

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7611613号
(P7611613)

(45)発行日 令和7年1月10日(2025.1.10)

(24)登録日 令和6年12月26日(2024.12.26)

(51)国際特許分類

G 0 6 F 9/52 (2006.01)

F I G 0 6 F 9/52 1 2 0 Z

請求項の数 15 (全41頁)

(21)出願番号	特願2023-514231(P2023-514231)	(73)特許権者	523384344
(86)(22)出願日	令和3年4月13日(2021.4.13)		C h i p t i p T e c h n o l o g y
(86)国際出願番号	PCT/JP2021/015354		株式会社
(87)国際公開番号	WO2022/219727		東京都港区赤坂二丁目10番2号吉川ビル2階
(87)国際公開日	令和4年10月20日(2022.10.20)	(74)代理人	100114188
審査請求日	令和5年12月5日(2023.12.5)		弁理士 小野 誠
		(74)代理人	100160255
			弁理士 市川 祐輔
		(72)発明者	福田 エリック駿
			東京都港区赤坂二丁目10番2号吉川ビル2階
		審査官	岸野 徹

最終頁に続く

(54)【発明の名称】 情報処理システム、情報処理装置、サーバ装置、プログラム、リコンフィギュラブルデバイス、又は方法

(57)【特許請求の範囲】

【請求項1】

ユーザから第1リソースを示す情報を取得する取得部と、

前記第1リソースを示す情報に対応する第1リコンフィギュラブルデバイスを特定する特定部と、

前記第1リコンフィギュラブルデバイスに対して、前記第1リソースを示す情報に対応する第1パーティションセルの書き込みを指示する指示部と、

を備えるシステム。

【請求項2】

前記取得部は、前記第1リソースを示す情報と同一ではない第2リソースを示す情報を取得し、

前記指示部は、前記第1リコンフィギュラブルデバイスに対し、前記第2リソースを示す情報に対応するものであって、前記第1パーティションセルとは異なる、第2パーティションセルの書き込みを指示する、

請求項1に記載のシステム。

【請求項3】

前記ユーザに対して、一又は複数のリソース情報を提示する提示部を更に備え、

前記第1リソースを示す情報は、提示された、前記一又は複数のリコンフィギュラブルデバイスリソース情報の一部である、

請求項2に記載のシステム。

【請求項 4】

前記提示部は、前記第 1 リコンフィギュラブルデバイスについて、PRリージョンの設定についての、複数の設定方法を提示する、
請求項 3 に記載のシステム。

【請求項 5】

前記一又は複数のリソース情報は、演算機能に係る情報、記憶機能に係る情報、及び／又は、通信機能に係る情報、を含む、
請求項 3 に記載のシステム。

【請求項 6】

前記取得部は、前記第 1 リソースを示す情報及び前記第 2 リソースを示す情報、と同一ではない第 3 リソースを示す情報を取得し、

10

前記特定部は、前記第 3 リソースを示す情報に対応し、前記第 1 リコンフィギュラブルデバイスと異なる第 3 リコンフィギュラブルデバイスを特定し、

前記指示部は、前記第 3 リコンフィギュラブルデバイスに対して、前記第 3 リソースを示す情報に対応する第 3 パーティションシェルの書き込みを指示する、
請求項 2 乃至 5 のいずれか 1 項に記載のシステム。

【請求項 7】

前記システムは、少なくとも、前記第 1 リソースを示す情報と、前記第 1 リソースを示す情報に対応する前記第 1 リコンフィギュラブルデバイスを示す情報と、を関連付けて記憶するデータベースを備える、

20

請求項 1 乃至 6 のいずれか 1 項に記載のシステム。

【請求項 8】

前記第 1 リコンフィギュラブルデバイスには、予め、前記第 1 パーティションシェルが有しない機能を有する、ハイパーバイザーシェルが書き込み済みである、

請求項 1 乃至 7 のいずれか 1 項に記載のシステム。

【請求項 9】

前記システムは、前記ハイパーバイザーシェルに対応する第 1 PRリージョンの状況を問い合わせる問い合わせ部を備え、

前記ハイパーバイザーシェルは、前記問い合わせ部からの前記第 1 PRリージョンの状況の問い合わせに対する回答を、回答可能である、

30

請求項 8 に記載のシステム。

【請求項 10】

前記ハイパーバイザーシェルは、ユーザが書き込む先のPRリージョン、についての権限の確認機能を有する、

請求項 8 又は 9 のいずれか 1 項に記載のシステム。

【請求項 11】

前記ハイパーバイザーシェルは、前記第 1 リコンフィギュラブルデバイスに係る記憶機能及び／又は通信機能の初期化機能を含んでよいユーザが書き込む先のPRリージョン、についての権限の確認機能を有する、

請求項 8 乃至 10 のいずれか 1 項に記載のシステム。

40

【請求項 12】

システムが、

ユーザから第 1 リソースを示す情報を取得するステップと、

前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定するステップと、

前記第 1 リコンフィギュラブルデバイスに対して、前記第 1 リソースを示す情報に対応する第 1 パーティションシェルの書き込みを指示するステップと、
を実行する方法。

【請求項 13】

前記システムが、前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバ

50

イスを特定する情報を記憶する、
請求項 1 2 に記載の方法。

【請求項 1 4】

システムを、
ユーザから第 1 リソースを示す情報を取得する手段、
前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定する手段、

前記第 1 リコンフィギュラブルデバイスに対して、前記第 1 リソースを示す情報に対応する第 1 パーティションシェルの書き込みを指示する手段、
として動作させるためのプログラム。

10

【請求項 1 5】

前記システムが、前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定する情報を記憶する、
請求項 1 4 に記載のプログラム。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本出願において開示された技術は、情報処理システム、情報処理装置、サーバ装置、リコンフィギュラブルデバイス、プログラム、又は方法に関する。

【背景技術】

20

【0 0 0 2】

近年、回路の修正可能なプログラマブルロジックデバイスが種々の分野において導入され始めている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【文献】特開第 2 0 2 0 - 1 3 5 3 1 8 号公報

【文献】特開第 2 0 1 0 - 2 5 1 9 2 5 号公報

【文献】特開第 H 7 - 6 0 8 0 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、リコンフィギュラブルデバイスを分散処理に利用する技術は活用されていない状況がある。そこで、本発明の様々な実施形態は、上記の課題を解決するために、情報処理システム、情報処理装置、サーバ装置、プログラム、リコンフィギュラブルデバイス、又は方法を提供する。

【課題を解決するための手段】

【0 0 0 5】

本願に係る一実施形態は、
ユーザから第 1 リソースを示す情報を取得する取得部と、
前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定する特定部と、

40

前記第 1 リコンフィギュラブルデバイスに対して、前記第 1 リソースを示す情報に対応する第 1 パーティションシェルの書き込みを指示する指示部と、
を備えるシステム。

【0 0 0 6】

本願に係る他の実施形態は、
システムが、
ユーザから第 1 リソースを示す情報を取得するステップと、
前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定するス

50

テップと、

前記第１リコンフィグラブルデバイスに対して、前記第１リソースを示す情報に対応する第１パーティションシェルの書き込みを指示するステップと、
を実行する方法。

【０００７】

本願に係る他の実施形態は、

システムを、

ユーザから第１リソースを示す情報を取得する手段、

前記第１リソースを示す情報に対応する第１リコンフィグラブルデバイスを特定する手段、

前記第１リコンフィグラブルデバイスに対して、前記第１リソースを示す情報に対応する第１パーティションシェルの書き込みを指示する手段、
として動作させるためのプログラム。

【発明の効果】

【０００８】

本発明の一実施形態により、より適切にリコンフィグラブルデバイスを活用できる。

【図面の簡単な説明】

【０００９】

【図１】図１は、一実施態様に係るシステムと、リコンフィグラブルデバイスとの関係を示す一例のブロック図である。

【図２】図２は、一実施態様に係るシステムと、リコンフィグラブルデバイスとの関係を示す一例のブロック図である。

【図３】図３は、一実施態様に係るシステムの機能を示すブロック図である。

【図４】図４は、一実施態様に係るシステムの一例の処理のフローを示す図である。

【図５】図５は、一実施態様に係るシステムの一例のデータ形式を示す図である。

【図６】図６は、一実施態様に係るシステムの一例のデータ形式を示す図である。

【図７】図７は、一実施態様に係るシステムの一例のデータ形式を示す図である。

【図８】図８は、一実施態様に係るシステムの一例の処理のフローを示す図である。

【図９】図９は、一実施態様に係るシステムの一例のデータ形式を示す図である。

【図１０】図１０は、一実施態様に係るシステムの機能を示すブロック図である。

【図１１】図１１は、一実施態様に係るシステムの機能を示すブロック図である。

【図１２】図１２は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１３】図１３は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１４】図１４は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１５】図１５は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１６】図１６は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１７】図１７は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１８】図１８は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図１９】図１９は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図２０】図２０は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図２１】図２１は、一実施態様に係るシステムの一例の処理の一部を説明する図である。

【図２２】図２２は、一実施態様に係るシステムの機能を示すブロック図である。

【図２３】図２３は、一実施態様に係るシステムの一例の処理のフローを示す図である。

【図２４】図２４は、一実施態様に係るシステムの一例の構成を示すブロック図である。

【００１０】

１．概要

本願において開示される技術の一例は、書き換え可能な回路に係るものである。ただし、本技術の一例は、書き換え可能でない回路を含む情報処理装置が利用されてもよい。本願書類において、書き換え可能な回路は、プログラマブルロジックデバイスなどとも称されるが、本願書類においては、これらを含めて、リコンフィグラブルデバイス（Reconfig

10

20

30

40

50

urable Logic Device) と称する。他方、書き換え可能でない回路は、命令デコード方式、ノイマン型デバイス、などと称されることもあるが、本願書類においては、これらを含めてプログラム可変デバイス (Program Variable Device) と称する。

【0011】

リコンフィグラブルデバイスは、例えば、PAL (Programmable Array Logic)、PLA (Programmable Logic Array)、GAL (Generic Array Logic)、CPLD (Complex Programmable Logic Device)、FPGA (Field Programmable Gate Array)、CGRA (Coarse-Grained Reconfigurable Array) などが挙げられる。

【0012】

本願書類の以下では、リコンフィグラブルデバイスとして、主に、FPGAを用いて説明するが、かかるFPGAに代えて、その他のリコンフィグラブルデバイスにおいても適用できることはいうまでもない。特に、リコンフィグラブルデバイスとして、パーシャルリコンフィグレーション、すなわち、一のプログラマブルロジックデバイス内の複数の領域 (例えば、PRリージョン) を互いに独立に書き込み可能な機能であれば、後述の領域毎の処理が可能であってよい。ここで、互いに独立に書き込み可能とは、一のプログラマブルロジックデバイス内の一の領域で処理が実行中に、かかる一の領域と異なる前記一のプログラマブルロジックデバイス内の他の領域について書き込みが可能な機能を含んでよい。

【0013】

なお、本願書類において、情報処理装置という用語は、リコンフィグラブルデバイスとプログラム可変デバイスの上位概念の語として使用する。

【0014】

また、以下の第1乃至第4システムは、互いに独立した発明であるが、以下の第2乃至第4システムの説明において、第1システムと同一の用語についての説明は、各システム固有の事情がある場合を除き説明を省略する。

【0015】

2. 第1システムの例

本例のシステムは、ユーザによるアプリケーションの書き込み前に、通信機能を含むハイパーバイザーシェル及びパーティションシェルが書き込まれるハードウェア資源を、ユーザに対して提供するシステムに係る。かかるシステムは、ユーザに対し、リコンフィグラブルデバイスのハードウェア資源を適切に提供できる利点がある。

【0016】

本例のシステムは、1又は複数の情報処理装置から構成されてよい。かかる一又は複数の情報処理装置は、一又は複数のFPGA、及び／又は、一又は複数のプログラム可変デバイス、から構成されてよい。

【0017】

また、かかる本例のシステムは、一又は複数のFPGAと接続されてよい。この場合、一又は複数のFPGAを管理できる利点がある。

【0018】

図1は、本例のシステムが、一又は複数のFPGAと接続されている一例を示す。本例のシステム(001)が、FPGA1(0021)乃至FPGA4(0024)と接続されている状況を示す。かかる接続は、イーサネットで接続されてもよいし、例えばPCIExpressなどのバスで接続されてもよい。なお、本例のシステムは、ユーザのアプリケーションを実行する演算機能として、一又は複数のFPGAのみと接続されてもよい。この場合、ユーザのアプリケーションを実行する演算機能以外の機能を実行するハードウェア資源としては、プログラム可変デバイスと接続されてよい。

【0019】

また、本例のシステムは、一又は複数のFPGAと接続されるとともに、更に、一又は複数のプログラム可変デバイスと接続されてもよい。この場合、本例のシステムは、FPGAの管理に加えて、プログラム可変デバイスも含めて分散処理などの管理をできる利点がある。

【0020】

本例のシステムが、一又は複数のFPGA、及び／又は、一又は複数のプログラム可変デバイスと接続されている場合において、接続は、ネットワークを介して直接的又は間接的に接続されてよい。一又は複数のFPGAは、本例のシステムと同一の施設内に設置されていてもよいし、異なる施設内に設置されていてもよい。また、一又は複数のFPGAの設置の具体的な場所はどのようなものであってもよい。例えば、一又は複数のFPGAは、建物内（屋内）に設置されてもよいし、建物外（屋外）に設置されてもよい。センサなどのIoT機器は建物内及び／又は建物外において作動してよく、これらがFPGAによって実装されてもよい。ネットワークは、有線であってもよいし、無線であってもよいし、これらの混合であってもよい。

10

【0021】

図2は、本例のシステムが、FPGA、及び、プログラム可変デバイス、とネットワーク（000）を介して接続されている状況を示す。本図では、FPGA群（002）内に、複数のFPGAとプログラム可変デバイス、を含む構成例である。ここではプログラム可変デバイスを示すものとして、CPU1及びCPU2と記載されており、便宜上これらもFPGA群の一部として示している。また、FPGA群（003）内には、複数のFPGAとFPGAライターの機能を含む情報処理装置を含む。かかるFPGAライターは、FPGA群（003）に対するビットストリーム（Bitstream）の書き込みと、FPGA群（002）に対するビットストリームの書き込みの、両方の書き込みが可能であってもよい。これらのFPGA群（002）及び（003）内のネットワークは、バスであってもよいし、イーサネットなどでもよい。

20

【0022】

なお、本例のシステム、上述の一又は複数のFPGA、及び／又は、上述の一又は複数のプログラム可変デバイスは、クラウド上の情報処理装置であってもよい。

【0023】

2. 1. システムの機能

本例のシステムは、FPGA情報を含むデータベース部、前記データベース部内の情報を管理する管理部、を含んでよい。図3は、かかる機能の一例を図示したものである。

【0024】

2. 1. 1. 管理部

管理部は、処理の管理を行う機能を有する。ここで処理は、例えば、情報を提供する機能、情報を受け付ける機能、情報を送信する機能、及び／又は、情報を受信する機能、を含んでよい。また、これらの、提供、受け付け、送信、受信、の対象となる情報は互いに同じであってもよいし、異なってもよい。

30

【0025】

例えば、管理部は、ユーザに対して情報を提供する機能を有してよい。この場合、本例のシステムは、ユーザに情報を提供し、ユーザに有意義な判断を可能とする利点がある。また、管理部は、ユーザによって入力された情報を受け付ける機能を有してよい。この場合、本例のシステムは、ユーザから受け付けた情報を利用できる利点がある。また、管理部は、FPGAに対して情報を送信する機能を有してよい。この場合、本例のシステムは、FPGAに対して送信した情報により、FPGAに影響を与えることができる利点がある。また、管理部は、FPGAから情報を受信する機能を有してよい。この場合、本例のシステムは、FPGAから受信した情報により、FPGAの状況を管理できる利点がある。これらの詳細は後述する。

40

【0026】

2. 1. 2. データベース部

データベース部は、FPGAについての情報を格納する機能を有する。特に、データベースは、後述する、一又は複数のリソース情報を格納してよい。なお、データベース部は、他の情報を格納してもよい。本例のシステムがデータベース部を備えることにより、本例のシステムが管理するFPGAの情報を利用できる利点がある。

【0027】

50

2.2. 処理の流れ

本システムの例を、準備段階と、運用段階と、の2段階に分けて説明する。準備段階は、システムに新たなFPGAを接続した場合に行われる段階であってよい。かかる場合は、例えば、FPGAを増設した場合や、従来のFPGAを変更した場合、などが挙げられる。従来のFPGAを変更した場合は、従来のFPGA内の構成を変更する場合を含んでよい。運用段階は、準備段階が終了したものに対する段階であってよい。

【0028】

2.2.1. 準備段階

準備段階について、図4を参考に説明する。

【0029】

ステップ1

まず、本例のシステムとFPGAとを、信号の通信が可能なように接続を行ってよい。かかる接続は、有線又は無線で、信号の通信が可能なようにしてよい。

【0030】

かかる接続は、新規にFPGAを増設した場合、修理などによるFPGAの物理的な構成の変更の場合、などが挙げられるが、これらに限られない。

【0031】

また、かかる接続は、FPGA同士をネットワークで接続すること、FPGAと他のCPUを含む情報処理装置とをネットワークで接続すること、を含んでよい。

【0032】

ステップ2

本例のシステムは、接続されたFPGAに対し、ハイパーバイザーシェルの書き込む処理を支援してもよい。FPGAに対する書き込み技術自体は、公知の技術が利用されてよい。

【0033】

ハイパーバイザーシェルの書き込みは、本例のシステムが自動的に行ってもよいし、手動で行ってもよい。

【0034】

ハイパーバイザーシェルは、任意のプログラミング言語で記述されたものでよい。ハイパーバイザーシェルは、書き込まれる場合には、ビットストリームに変換され、公知の技術を用いて、FPGAに書き込まれてよい。書き込まれる手段としては、例えば、JTAGやUSBを介した技術であってよい。

【0035】

書き込まれるハイパーバイザーシェルは、対象となるFPGAの種類や機能に対応したものでよい。

【0036】

ハイパーバイザーシェルは、FPGAに書き込まれることにより、FPGAに管理部との通信機能を提供できるものであればよく、後述のハイパーバイザーシェルの全ての機能を有する必要はない。このステップでハイパーバイザーシェルが書き込まれることにより、本例のシステムは、ハイパーバイザーシェルが書き込まれたFPGAと通信が可能になる。

【0037】

ステップ3

本例のシステムは、物理的に接続されたFPGAについての情報を、データベースに登録する支援を行ってよい。データベース内にFPGAについての情報が事前に登録されることにより、本例のシステムは、かかるデータベースが保有する情報を介して、FPGAの情報を利用できる利点がある。

【0038】

かかるデータベースは、後述の情報を格納可能なものであればよく、データベース管理システムを利用してもよいし、利用しなくともよい。データベースが基づくデータモデルがある場合は、階層型、ネットワーク型、リレーショナルデータモデル、オブジェクトデータモデルなど種々のタイプのものであってよく、その種類は限定されない。また、かか

10

20

30

40

50

るデータベースを実現するハードウェア資源は、専用装置や汎用装置であってもよいし、クラウド、サーバ、などの種々の情報処理装置であってもよい。

【0039】

本例のシステムは、データベースを利用する場合、データベースにアクセス可能であればよく、本例のシステムがデータベースを備えてもよいし、本例のシステムがデータベースを備えなくともよい。後者の場合、本例のシステムがネットワークなどを介してデータベースに直接的又は間接的に接続可能であればよい。

【0040】

データベースには、一のFPGAを現実に特定する情報と、かかるFPGAが有する機能についての情報（本願書類において「リソース情報」ということがある）が関連付けられて記憶されてよい。リソース情報は、例えば、リコンフィグラブルデバイスの種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報が挙げられる。演算装置に係る属性は、演算装置の種類、セル数等の演算装置の数、クロック周波数等の演算装置の能力、及び／又は、演算装置の利用する電力、などを含んでよい。演算装置は、例えば、ロジック・エレメント（LE）、ロジック・セル（LC）、及び／又は、LUT（ルック・アップ・テーブル）などを含んでよい。記憶装置に係る属性は、記憶装置の種類、記憶装置の容量、記憶装置の読み・書きの速度、及び／又は、記憶装置の利用する電力、などを含んでよい。記憶装置は、例えば、リコンフィグラブルデバイス内のオンチップの記憶装置であってもよいが、リコンフィグラブルデバイス外に設置される他の記憶装置であってもよい。通信装置に係る属性は、内部通信装置に係る属性、及び／又は、外部通信装置に係る属性、を有してよい。また、内部通信装置に係る属性は、FPGA内に係る通信の情報であってもよい。外部通信装置に係る属性は、外部との通信のネットワーク帯域幅、及び／又は、帯域速度、などを含んでよい。

【0041】

また、一のFPGAは、一又は複数のPRリージョンを含んでよい。PRリージョンは、独立して回路構成を変更できる区画である。PRリージョン毎に、FPGAは、パースシャルリコンフィギュレーションを利用して一又は複数の独立した演算を実行できてもよいし、パースシャルリコンフィギュレーションを利用せずに一又は複数の独立した演算を実行することが可能であってもよい。独立であることから、例えば、一のFPGAがPRリージョンAとPRリージョンBを含む場合、PRリージョンAとPRリージョンBとは、回路の書き換え、回路の実行、について、独立に動作してよい。そのため、PRリージョンAが実行中にPRリージョンBの書き換えも可能であってもよい。

【0042】

なお、本願書類において「一の」リソース情報とは、ユーザがハードウェア資源として利用可能な、一の単位であってもよい。したがって、FPGAがPRリージョン単位で管理されていない場合には、一のリソース情報は一のFPGAであってもよいが、FPGAがPRリージョン単位で管理されてPRリージョン毎に利用可能なハードウェア資源であれば、一のリソース情報は一のFPGA内の一のPRリージョンであってもよい。

【0043】

上述のデータベースは、一のFPGA内に含まれる、一又は複数のPRリージョンの各々に対して、上述のリソース情報が関連付けられて記憶してもよい。

【0044】

なお、一のFPGAに対し、PRリージョンの設定方法は、複数であってもよい。例えば、一のFPGAは、PRリージョンA及びB、の2つのPRリージョンに分けられてもよいし、PRリージョンA乃至Dの4つのPRリージョンに分けられてもよい。このように分割方法が異なる場合、各PRリージョンについてのリソース情報も異なることから、ある分割方法における特定のPRリージョンに対して、リソース情報が関連付けられて記憶されてよい。

【0045】

図5は、FPGAのリソースの情報が登録されたデータベースが有する情報を論理的に整理した一例である。FPGAIDは、本例のシステムと現実に接続されたFPGAに対して割り当

10

20

30

40

50

てられたIDを示す。リソース情報は、上述のと通りの区分を有する場合があることから、各FPGAのIDに対応して、リソース情報が、関連付けられて記憶されてよい。

【0046】

また、図6は、FPGAのリソースの情報が登録されたデータベースが有する情報を論理的に整理した他の一例である。本図では、一のFPGAに対して、複数のPRリージョンが設定されている場合の例であり、例えば、FPGAIDが001のものに対しては、PRリージョンが2つ設定され、FPGAIDが002のものに対しては、PRリージョンが3つ設定されている。そして、各PRリージョンに対して、リソース情報が設定されている。これは、各PRリージョンは、同一のリソースを有する場合もあれば、異なるリソースを有する場合もあるためである。特に後者の場合、各PRリージョンに対応したリソース情報を設定できる利点がある。

10

【0047】

更に、図7は、FPGAのリソースの情報が登録されたデータベースが有する情報を論理的に整理した他の一例である。本図では、一のFPGAに対して、PRリージョンの分割方法が複数ある場合を示す。例えば、FPGAIDが001のものに対しては、PRリージョンの分割方法1と分割方法2があり、分割方法1はPRリージョンを2つに分ける場合であり、分割方法2はPRリージョンを4つに分ける方法として設定されている。各PRリージョンの各々は、上述のとおり、同一のリソースを有してもよいし、異なるリソースを有してもよい。各PRリージョンを特定する情報と関連付けられて各PRリージョンについてのリソース情報が記憶されてよい。

20

【0048】

また、上述の図5乃至図7では図示していないが、データベースは、現実の各FPGAを特定する情報と関連付けられて、FPGAの種類を特定する情報を格納してもよい。FPGAの種類は、ユーザが、ハードウェア記述言語（HDL）のVHDLやVerilogやC言語などの高レベル合成言語などのプログラミング時やビットストリーム生成時に、ターゲットとなるFPGAの種類が必要であるためである。

【0049】

また、データベースは、各PRリージョンの利用中の有無を示す情報を、対応するPRリージョンと関連付けて、記憶してよい。かかる利用中の有無を示す情報により、対応するPRリージョンがユーザによって利用されているかどうか、を管理できる利点がある。

30

【0050】

また、データベースは、各PRリージョンが利用されている場合において、利用されているPRリージョンを示す情報と利用しているユーザを示す情報と、を関連付けて記憶してよい。この場合、PRリージョンが利用されている場合のユーザを管理できる利点がある。

【0051】

なお、データベースは、ユーザを示す情報と関連付けられたユーザに係る情報を格納してよい。ユーザに係る情報は、ユーザについての、ユーザの住所・メールアドレス等のユーザを実世界において特定する情報、ユーザのID、IDに対応するパスワード、及び／又は、ユーザが利用するサービスに係る情報、などを含んでよい。サービスに係る情報は、ユーザが支払い済みのサービスのコースについての情報、及び／又は、ユーザが加入可能なオプションについての情報、などを含んでよい。

40

【0052】

また、データベースは、各FPGAと関連付けられて、各FPGAに係るライセンスに係る情報を格納してもよい。例えば、データベースは、各FPGAについて必要なライセンスの有無を示す情報を格納してもよい。また、データベースは、各FPGAと関連付けられて、各FPGAについて必要なライセンスの種類を示す情報を格納してもよい。かかるライセンスの情報が記憶されていることで、各FPGAを利用する場合におけるライセンスの必要の有無や、ライセンスの種類を検証できる利点がある。なお、ライセンスは、FPGAの種類、演算機能、記憶機能、及び／又は通信機能、毎のライセンスであってよい。FPGAの種類、演算機能、記憶機能、及び／又は通信機能、毎にライセンスが異なる場合があるためであ

50

る。特に、ライセンスは、廉価版、高価版、特殊用途向け、など種々のライセンスに対しても、格納可能であってよい。また、ライセンスは、その性質に応じて、一のFPGAに対するライセンスであってもよいし、複数のFPGAに対するパッケージのライセンスであってもよい。

【0053】

また、データベースは、上述のユーザを示す情報と関連付けられて、かかるユーザが有しているライセンスに係る情報を有してもよい。例えば、ユーザが有する、ライセンスの有無及び／又は種類を特定する情報を有してもよい。この場合、ユーザがどのようなFPGAを利用可能なライセンスを有しているかを示す情報を生成する又は検証を可能に構成できる利点がある。

【0054】

また、データベースは、FPGAを示す情報と関連付けられて、かかるFPGAについての物理的な情報を格納してもよい。FPGAについての物理的な情報は、例えば、FPGAの設置されている地理的な情報を含んでよい。また、FPGAについての物理的な情報は、例えば、FPGAの設置されている緯度・経度、FPGAの設置されている施設名、FPGAを管理する施設管理者名、及び／又は、FPGAが管理されている施設の管理レベル情報、などを含んでよい。かかる情報は、FPGAが設置された場所や管理について、セキュリティやインシデントへの対応力などを考慮する参考情報としての利用価値がありうる。

【0055】

データベースは、接続可能な全てのFPGAについて、単一のデータベースから構成されてもよいし、複数のデータベースから構成されてもよい。後者は、例えば、後述のパーティションシェルが書き込み済みのFPGAについてのデータベースと、パーティションシェルが未書き込みのFPGAについてのデータベースと、に分かれて管理されてもよい。後者の場合、書き込み済みのFPGAの分量が少ない場合、迅速なアクセスが可能である利点がある。

【0056】

かかるFPGAについてのリソース情報は、データベースに対し、人によって手作業で登録されてもよいし、FPGAに対応する情報としてデータベースに登録されて登録されてもよい。

【0057】

2.2.2. 運用段階

運用段階について、図8を参考に説明する。

ステップ1

本例のシステムは、ユーザに対し、フレーバ（Flavor）を提示する。フレーバは、仮想ハードウェアのテンプレートであってよい。また、フレーバは、仮想化するミドルウェアのOpenStackで使用されている用語であるが、他の仮想化ミドルウェアにおける同様の機能のものでよい。フレーバは、本例のシステムが提供する表示装置において表示されてよい。フレーバは、一又は複数のFPGAについて、一又は複数のリソース情報を含んでよい。一のリソース情報は、デバイス名、PRシェル、PRリージョン、及び／又は、デバイス情報、とが関連付けられたものを含んでよい。PRシェルは、PRリージョンを管理するシェルであり、本願書類においてパーティションシェルと同じものを指してよい。フレーバが表示されることにより、ユーザは、リソース情報を用いて、書き込む予定の回路に適したリソース情報を選択できる利点がある。特に、上述のとおり、リソース情報は、リコンフィギュラブルデバイスの種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報を含むため、書き込む予定の回路に適したものを選択できる利点がある。

【0058】

図9は、フレーバの一例である。デバイス名がFPGA1であるものに対し、PRシェルが1（PRS1と表示）であり、PRリージョンを、PR1と表示する例である。また、デバイス名がFPGA2であるものに対しては、PRシェルとして2つのPRリージョンを管理可能なシ

10

20

30

40

50

エルが対応し（PRS2と表示）、2つのPRリージョンは、各々、PR1及びPR2と表示されている。また、フレーバは、物理的に一つのデバイスについて、PRリージョンの複数の設定方法を示す情報を含んでよい。例えば、FPGA4は、2つのPRリージョンに分ける場合と、4つのPRリージョンに分ける場合があってよい。前者は、2つのPRリージョンについて、PR1とPR2の名称が付与され、これらを管理するシェルとしてPRS2が対応する。後者は、4つのPRリージョンについて、PR1乃至PR4の名称が付与され、これらを管理するシェルとしてPRS4が対応する。ここで、FPGA4について、2つのPRリージョンと4つのPRリージョンに分ける方法を説明したが、これらに限られず、各FPGAが対応可能な任意の数の複数のPRリージョンに分割できる場合において、対応する任意の数のPRリージョンの管理を本例のシステムは可能であってよい。この場合、本例のシステムは、分割可能なPRリージョンの数の組み合わせを、管理可能であり、フレーバ内に含ませてよい。このように、同一のデバイスに対して、複数の分割方法が提示されることにより、ユーザは、かかる物理的デバイスに許容される複数の分割方法のうちの一つの分割を選択できる利点がある。なお、データベースは、かかる表示が提示可能なように、一のFPGAデバイスに対し、一又は複数の分割方法が関連付けられて記憶されてよい。なお、本図において、PRシェルを含む表示としたが、かかるPRシェルはなくともよい。

【0059】

また、フレーバは、上述のようにリソース情報の一要素として、一のFPGAを示す情報と関連付けられたFPGAの種類を含んでもよい。この場合、ユーザは、FPGAの種類も含めて、所望のリソース情報を選択できる利点がある。また、フレーバは、上述のようにリソース情報の一要素として、PRリージョンを含んでもよい。この場合、ユーザは、リソース情報も含めて、所望のリソース情報を選択できる利点がある。例えば、FPGA内に書き込まれるアプリケーションのビットストリームは、FPGAの種類及び／又はPRリージョンに応じて、生成される場合がある。例えば、FPGAを書き換えるためのハードウェア記述言語又は高位合成言語で記載されたプログラムは、コンパイルされてビットストリームが生成される場合において、FPGAの種類及び／又はPRリージョンの情報を利用できる利点がある。これは、FPGAを書き換えるためのプログラムは、コンパイル時にFPGAの種類及び／又はPRリージョンが必要である場合があり、かつ、コンパイルに数時間という多大な時間が必要である場合があり、ユーザが用意したFPGA用のコンパイルされたプログラムに係るFPGAの種類及び／又はPRリージョンが、本例のシステムが提供するリソース情報に係るハードウェア資源に係るFPGAの種類及び／又はPRリージョンと異なる場合、新たにコンパイルが必要になるという課題を回避できる利点がある。

【0060】

また、フレーバが提示するリソース情報は、現実世界のリソース情報と一対一の関係にあるものであってもよいし、そうでなくともよい。前者は、フレーバが提示するリソース情報が現実存在することを示し、例えば、現実同一のリソース情報 α のハードウェア資源が2つあれば、フレーバも2つ同一情報を提示できることを意味する。この場合、リソース情報に対応するハードウェア資源が実質的に一つのみであるか複数であるかも含めて表示できる利点がある。他方、後者は、フレーバが提示するリソース情報と、現実世界のリソース情報とが一対多の関係にあってもよい。例えば、現実同一のリソース情報 α のハードウェア資源が2つあれば、フレーバは、かかるリソース情報 α を一つ提示することを意味する。この場合、同一のリソース情報であるため、表示領域を有効利用できる利点がある。

【0061】

また、フレーバは、上述について、両方を表示してもよい。例えば、フレーバが提示するリソース情報は、現実世界のリソース情報と一体多の関係のうちの一つについて表示しつつ、多として異なる要素を別途提示してもよい。多として異なる要素としては、例えば、現実のリソース情報に係るハードウェア資源の数であったり、現実のリソース情報に係るハードウェア資源が設置される設置場所であったり、現実のリソース情報に係るハードウェア資源が設置される場所までのシステムからの距離、などであってよい。ここで、距離

は、後述の、物理的な距離であってもよいし、情報の通信に係る距離であってもよい。

【0062】

また、フレーバは、ユーザが利用可能なデバイスであるか利用可能ではないデバイスであるかを問わず、データベースが備える全てのリソース情報を含み、提示してもよい。この場合、データベースがどのようなハードウェア資源を有しているか、をユーザは理解できる利点がある。例えば、あるリソース情報を含むハードウェア資源が、所定の数以上あるのか、それとも所定の数未満であるか、なども含めて、ユーザが理解できる利点がある。

【0063】

かかる構成に代えて、フレーバは、特定のユーザと関係なしに、書き込み可能なユーザがいる一又は複数のリソース情報を含み、提示してもよい。すなわち、フレーバは、利用中のリソース情報を除く、リソース情報を提示してもよい。この場合、既に利用中のリソース情報が表示されないため、リソース情報の選択が容易になる利点がある。この場合において、追加的に、リソース情報を選択するユーザが現在利用しているリソース情報は、表示してもよい。この場合、リソース情報を選択するユーザが現在利用しているリソース情報を参考にしつつ、新たなリソース情報を選択できる利点がある。

【0064】

また、かかる構成に代えて、フレーバは、フレーバを選択する特定のユーザが利用可能な一又は複数のリソース情報を含み、提示してもよい。例えば、ユーザは、ユーザが有するライセンスの有無・種類や、本例のシステムの会員のコースや規約等により、利用可能リソース情報が予め決まっていよく、かかるユーザが利用可能な一又は複数のリソース情報のみが、提示されてよい。この場合においても、リソース情報を選択するユーザが現在利用しているリソース情報は、表示してもよい。この場合、リソース情報を選択するユーザが現在利用しているリソース情報を参考にしつつ、新たなリソース情報を選択できる利点がある。

【0065】

また、かかる構成に代えて、フレーバは、フレーバを選択する特定のユーザが利用可能な一又は複数のリソース情報、及び、かかる特定のユーザが特定の条件を充足した場合には利用可能な一又は複数のリソース情報を含み、提示してもよい。ここで、特定の条件は、例えば、新たにライセンスを取得すること、本例のシステムの会員のコースを変更すること、及び／又は、本例のシステムの会員のオプションを取得すること、などを含んでよい。また、これらの特定の条件は、各条件が充足された場合に利用可能なリソース情報と関連付けられて提示されてよい。この場合、ユーザは、どのような条件が充足できれば対応するリソース情報を選択できるかを理解できる利点がある。

【0066】

また、フレーバは、FPGAについての物理的な情報を含み、提示してもよい。この場合、ユーザは、FPGAの物理的な情報を考慮して、選択できる利点がある。

【0067】

FPGAについての物理的な情報は、例えば、FPGAの設置されている地理的な情報を含んでよい。また、FPGAについての物理的な情報は、例えば、FPGAの設置されている緯度・経度、FPGAの設置されている施設名、FPGAを管理する施設管理者名、及び／又は、FPGAが管理されている施設の管理レベル情報、などを含んでよい。かかる情報がリソース情報に対応する物理的な情報と関連付けられて表示された場合、FPGAが設置された場所や管理について、セキュリティやインシデントへの対応力などを考慮する参考情報としての利点がありうる。

【0068】

また、FPGAについての物理的な情報は、FPGA間の距離を示す情報を含んでよい。FPGA間の距離は、物理的な距離であってもよいし、情報の通信に係る距離であってもよい。前者は、ユークリッド距離であってよく、その測定方法は、FPGA間の直線距離でもよいしFPGA間の通信ネットワークに沿った距離であってもよい。後者である情報の通信に係る距離は、FPGA間の通信時のホップ数やネットワーク帯域量が用いられたものでもよい

10

20

30

40

50

。この場合、通信状況を踏まえた距離を特定できる利点がある。また、上述のFPGA間の距離は、2つのFPGAであればかかる2つのFPGA間の距離であってよく、3つ以上のFPGAに対しては3つ以上のFPGA間の各2つのFPGA間の距離の合計でもよいし3つ以上のFPGA間で情報を伝達する場合における最大距離であってよい。なお、上述のFPGA間の距離は、選択された複数のリソース情報に対して、選択された複数のFPGA間の距離を示す情報が計算され、表示される、というものでもよい。この場合、選択は、暫定的なものであってよい。

【0069】

また、デバイス間の距離は、2次元又は3次元のグラフが用いられて表示されてよい。特に、かかるグラフは、上述の計算されたデバイス間の距離に対応した位置にグラフの各ノードが位置付けられるよう表示されたものでもよい。この場合、ユーザは、より直感的に理解できる利点がある。

【0070】

また、フレバは、一のFPGAについてユーザの提供可能なPRリージョンは、かかるFPGAに対して予め用意されたパーティションシェルが提供可能なPRリージョンの種類及び／又は数に対応するものであってよい。例えば、あるFPGAに対して、予め、管理者が、PRリージョン2のものと、PRリージョン4のものを用意している場合、フレバは、PRリージョン2の場合におけるリソース情報、及び／又は、PRリージョン4の場合におけるリソース情報、を含んでよい。

【0071】

また、後述するとおり、パーティションシェルが階層的に設けられる機能を有する場合、フレバは、パーティションシェルが書き込み済みのFPGAに対しても、書き込まれていないPRリージョンについて、パーティションシェルが書き込まれる場合に提供可能な複数のパターンを含んでよい。例えば、2つのPRリージョンを提供するためのパーティションシェル（第1パーティションシェル）が書き込まれた一のFPGAにおいて、既に一のPRリージョン（第1PRリージョン）が書き込み済みの場合、パーティションシェルが階層的に設けられない場合は、フレバは、（仮にかかるFPGAに対して複数のPRリージョンの個数や種類を提供可能な第1パーティションシェルと異なるパーティションシェルが提供可能であるとしても、既に第1PRリージョンが書き込み済みであり、かかる第1PRリージョン及び第1パーティションシェルを削除しない場合は）残りの一のPRリージョン（第2PRリージョン）のみを提供可能であった。しかし、かかる第2PRリージョンにおいてパーティションシェル（第2パーティションシェル）が書き込まれる場合、かかる第2パーティションシェルが提供可能な範囲で、一又は複数のリソース情報を提供してよい。

【0072】

上述において、フレバが、表形式で表現されているが、かかる態様でユーザに表示されてもよいし、かかる態様に限らず、種々の表現態様によってフレバがユーザに対して、表示されてよい。

【0073】

また、本ステップにおいて、フレバとしてユーザに提示される情報を説明したが、これらにとどまらず、上述の準備段階において説明したデータベース内に格納された情報の全部または一部は、フレバとして、ユーザに提示されてよい。

【0074】

ステップ2

次に、ユーザは、本例のシステムから提示されたフレバから、一又は複数のリソース情報を選択し、本例のシステムは、ユーザによって選択されたリソース情報に対応して、選択された、一又は複数のリソース情報を特定する情報を取得する。

【0075】

本ステップにおいて、本例のシステムのフレバが、物理的なハードウェア資源内のリソース情報と一対一で対応するリソース情報を提示している場合、ユーザによって選択されたリソース情報に対応して、ユーザが選択したリソース情報に一対一で対応するハード

10

20

30

40

50

ウェア資源を特定する情報を取得してよい。

【0076】

他方、本例のシステムが、上述のフレーバにおいて提示されるフレーバ内のリソース情報と現実のリソース情報に係るハードウェア資源との関係が一对多の関係にある場合、本例のシステムは、かかる多のハードウェア資源のうちの一のハードウェア資源を特定するハードウェア資源特定処理をしてもよい。

【0077】

ハードウェア資源特定処理は、種々の観点で実行されてよい。例えば、ハードウェア資源特定処理は、ユーザに係る情報、及び／又は、ユーザの利用するハードウェア資源に係る情報、などを用いてよい。

【0078】

また、ユーザに係る情報は、ユーザの会員に係る情報、及び／又は、ユーザの会員期間に係る情報、などを用いてよい。

【0079】

ユーザの会員期間に係る情報を用いた例としては、例えば、本例のシステムは、ユーザの会員期間の長さを用いて、ハードウェア資源を特定してもよい。例えば、本例のシステムは、ユーザの会員期間の残存期間の長さが所定の期間以上である場合、長期利用予定用のハードウェア資源の一を割り当てる処理をしてもよい。この場合、本例のシステムの管理者が、ハードウェア資源のメンテナンスを効率的に遂行できる利点がある。また、例えば、本例のシステムは、ユーザの会員期間の残存期間の長さとはハードウェアの交換予定スケジュールとを用いて、ハードウェア資源を特定してもよい。例えば、本例のシステムは、ユーザの会員期間の残存期間の長さが所定の期間以上である場合、ハードウェア資源の交換時期まで所定の期間以下のものは割り当てないようにしてもよい。また、本例のシステムは、ユーザの会員期間の残存期間の長さが第1所定の期間である場合、ハードウェア資源の次の交換時期まで前記第1所定の期間以上あるハードウェア資源を対象として、ハードウェア資源を決定してよい。このような場合、ユーザの会員期間の延長がない場合には、ハードウェア資源のメンテナンスを効率的に遂行できる利点がある。なお、会員期間に係る情報は、ハードウェア資源を利用可能な残存期間、及び／又は、ユーザが本例のシステムの会員に入会した時期からの合計又は継続期間、などを含んでよい。

【0080】

また、ユーザの会員に係る情報は、会員のコース又は地位に係る情報を含んでよい。例えば、本例のシステムは、ユーザの会員のコースが所定のものである場合及び／又は会員の地位が所定のものである場合、所定のハードウェア資源の一を割り当てる処理をしてもよい。かかる所定のハードウェア資源は、他のハードウェア資源と比較して、ハードウェア資源の安定性や堅牢性が高いものであってよい。この場合、ユーザが特定の会員又は所定のコースになっている場合、より質の高いハードウェア資源を利用できる利点がある。なお、会員のコース又は地位に係る情報は、ユーザが本例のシステムを利用するにあたって選択したものであってよい。例えば、ある分量のリソース情報を利用するという趣旨の契約によって得られるものであってもよい。

【0081】

また、ユーザの利用するハードウェア資源に係る情報は、ユーザが上述の選択時に利用中の一又は複数のハードウェア資源を含んでよい。例えば、本例のシステムは、ユーザが選択したリソース情報に合致する現実のハードウェア資源のうち、ユーザが現在利用中の1) 一又は複数のハードウェア資源が含まれるFPGAと同一のFPGA内のハードウェア資源、2) ユーザが現在利用中の一又は複数のハードウェア資源と同一のローカルエリアネットワーク内若しくはバス内のハードウェア資源、及び／又は、3) ユーザが現在利用中の一又は複数のハードウェア資源と距離が短いもの、を含んでよい。

【0082】

上述の1) の場合、同一のFPGA内であるため、ユーザが同一又は関連するアプリケーションに利用するハードウェア資源として同一のFPGA内のハードウェア資源を利用する

10

20

30

40

50

ことで、より効率的な通信を実現するハードウェア資源の提供を支援できる利点がある。

【0083】

上述の2)の場合、前者の同一のローカルエリアネットワーク又はバスにおいても、同様に、同一のネットワーク内又はバス内であるため、より効率的な通信を実現するハードウェア資源の提供を支援できる利点がある。なお、ローカルエリアネットワーク又はバスの同一性は、ネットワークを超えた通信を行うための処理を削減できるようなものであればよく、どのような階層であってもよい。

【0084】

また、上述の2)は、仮想的なローカルネットワークであってもよい。この場合、物理的には距離が所定の距離より近いとは限らず情報の通信に係る距離も所定の距離より短いとは限らないものの、セキュリティが高い利点がある。

【0085】

また、上述の3)の場合、距離は、上述の、物理的な距離であってもよいし、情報の通信に係る距離であってもよい。ユーザが選択したリソース情報に合致する現実のハードウェア資源のうち、ユーザが現在利用中の一又は複数のハードウェア資源と距離が短いもの、が選択されることにより、他のものに比べて、より効率的な通信を実現するハードウェア資源の提供を支援できる利点がある。

【0086】

ステップ3

次に、本例のシステムは、ユーザによって選択された一又は複数のリソース情報に対応する、一又は複数のハードウェア資源が利用可能であることを確認する。すなわち、本例のシステムは、リソース情報に対応した、ハードウェア資源であるFPGAデバイスに対し、リソース情報に対応するパーティションシエルの書き込みを試みる。かかる書き込みは、ビットストリームが書き込まれてよく、その情報の伝達手法は、TAGが用いられて書き込まれてもよいし、USBが用いられて書き込まれてもよく、その態様に限定はない。また、FPGAに対する書き込み技術自体は、公知の技術が用いられてもよい。

【0087】

なお、本例のシステムが、パーティションシエルの書き込みに失敗した場合、本例のシステムは、かかるパーティションシエルの書き込みの失敗などユーザが選択したリソース情報は選択できないことを表示し、本例のシステムは、新たなリソース情報の選択を、ユーザに促す表示をしてよい。

【0088】

パーティションシエルは、後述のパーティションシエルと同じものであってもよいし、異なってもよい。パーティションシエルは、パーティションシエルが書き込まれたFPGA内のハードウェア資源をユーザが利用できるよう支援する機能を備えていればよく、後述のパーティションシエルが備える全ての機能を有する必要はない。

【0089】

ステップ4

本例のシステムは、パーティションシエルの書き込みに成功した場合、書き込みに成功したリソース情報についての情報を、データベースに登録する。

【0090】

また、本例のシステムは、書き込みに成功したリソース情報についての情報を、ユーザにフィードバックしてよい。ユーザにフィードバックする態様は種々のものであってもよい。例えば、書き込みに成功したリソース情報についての情報を、表示装置上に表示したり、ユーザに対してメールしたり、ユーザがアクセス可能なユーザの所定の場所に記憶してよい。かかるリソース情報についての情報は、実際にパーティションシエルが書き込まれたハードウェア資源を特定する情報を含んでよく、かかるハードウェア資源を特定する情報は、具体的なリコンフィギュラブルデバイスを特定する情報を含んでよい。また、かかるリソース情報についての情報は、FPGAの、種類、演算装置に係る属性、記憶装置に係る属性、通信装置に係る属性、PRリージョン、及び／又は、ネットワーク上の位置を特定す

10

20

30

40

50

る情報、を含んでよい。ネットワーク上の位置を特定する情報は、例えば、FPGAであればIPアドレスであってよく、FPGA内のPRリージョンはIPアドレス又はポート番号であってよい。

【0091】

ユーザは、これらの情報を用いて、書き込まれたPRリージョンにアクセス可能であってよい。例えば、ユーザは、ユーザがFPGAに利用する予定のアプリケーションであって、コンパイルによりビットストリームに変換したプログラムを、かかる情報を用いて、対応するFPGAに書き込む。

【0092】

本例のシステムは、かかるユーザの用意したビットストリームを、上述の情報を用いて、対応するFPGAへの書き込みを支援してよい。この場合、USB（JTAG）経由で書き込んでもよいし、イーサネット経由で書き込んでもよいし、PCIe経由で書き込んでもよい。

【0093】

また、上述と異なる態様において、本例のシステムは、まずユーザによって一旦リソース情報が選択され、PRシェルの書き込みを試みて選択できない場合

【0094】

なお、運用段階のステップ1の前の段階において、本例のシステムは、ユーザの会員登録を管理する処理をしてもよい。例えば、本例のシステムは、ユーザの登録やユーザの会員情報の修正などを管理する機能を有してよい。

【0095】

ユーザの登録は、本例のシステムが、上述のユーザに係る情報を取得する処理であってよい。例えば、本例のシステムは、ユーザが選択可能な、コース及び／又はサービスオプションをユーザに提示し、ユーザが、提示されたコース及び／又はサービスオプションの中からコース及び／又はサービスオプションを選択したものを、本例のシステムは取得して、ユーザを特定する情報と関連付けて記憶してよい。

【0096】

本例のシステムは、ユーザに係る情報を取得する処理において、ユーザが利用するリコンフィギュラブルデバイスについての指向の情報を取得し、ユーザを特定する情報と関連付けて記憶してもよい。リコンフィギュラブルデバイスについての指向の情報は、例えば、ユーザが利用予定のリコンフィギュラブルデバイスについての、種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報を含んでよい。これは、ユーザが普段利用する特定の種類のリコンフィギュラブルデバイスがある場合、その種類のリコンフィギュラブルデバイスに慣れ親しんでいると考えられることから、本例のシステムにおいて利用するリコンフィギュラブルデバイスも、同じ種類のリコンフィギュラブルデバイスである可能性が高いため、かかる情報を利用することで利便性が向上する可能性があるためである。同様に、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、についても、ユーザの指向に沿ったものである場合、ユーザの利便性が向上する可能性があるためである。

【0097】

なお、上述のステップは、ユーザは本例のシステムに対して直接入力してよい。例えば、本例のシステムが、ユーザの利用するユーザ端末を含む場合、上述のステップは本例のシステムにおいてユーザとのインタラクションが行われてよく、本例のシステムは直接ユーザに対して表示し、本例のシステムはユーザの入力を直接取得してよい。

【0098】

他方、本例のシステムがユーザへの表示またはユーザからの入力機構を備えない場合、本例のシステムは、本例のシステムが含まないユーザが利用するユーザ端末と、直接的または間接的に接続されていてよく、本例のシステムと一又は複数のユーザ端末とのインタラクションによって、上述のステップが進められてよい。例えば、上述のステップ1は、本例のシステムからユーザ端末に向けてフレーバを含む情報が送信され、ユーザ端末においてかかるフレーバを含む情報が表示されてよい。上述のステップ2は、ユーザ端末にお

10

20

30

40

50

いて選択されたリソース情報が、ユーザ端末から本例のシステムに送信され、本例のシステムにおいてかかるリソース情報が受信されてよい。上述のステップ3は、本例のシステムがかかるリソース情報に対応するハードウェア資源の利用可否を確認してよい。上述のステップ4は、本例のシステムがデータベースに登録してよい。

【0099】

なお、本例のシステムが、ユーザの利用する端末を含む場合であっても含まない場合であっても、ステップ3のパーティションシェルの書き込まれるリコンフィグラブルデバイスは本例のシステムの一部であってもよいし本例のシステムの外部のものでもよい。また、ステップ4において登録されるデータベースも、本例のシステムの一部であってもよいし本例のシステムの外部のものでもよい。

【0100】

3. 第2システム

第2システムは、リコンフィグラブルデバイスに係るものであってよい。例えば、第2システムは、FPGAに書き込まれる機能として以下で説明される機能が実装されたリコンフィグラブルデバイスそのもの、リコンフィグラブルデバイス内に書き込まれた場合に以下で説明される機能を実現するビットストリーム、又は、コンパイルによってかかるビットストリームに変換されるHDL記述言語で記述されたプログラム、であってよい。上述のとおり、以下ではFPGAを主に用いて説明するが、FPGAに代えて、リコンフィグラブルデバイスにおいても同様に実装可能である。

【0101】

3. 1. システムの機能

FPGAに書き込まれる機能は、ハイパーバイザーシェルが処理する機能（ハイパーバイザーシェル機能）、及び／又は、パーティションシェルが処理する機能（パーティションシェル機能）、を含んでよい。すなわち、かかる機能が書き込まれた後のFPGAは、後述の、ハイパーバイザーシェル機能を含むハイパーバイザーシェル部、及び／又は、パーティションシェル機能を含むパーティションシェル部、を備えてよい。図10は、かかる機能及びこれらの機能が備える機能例を図示する。

【0102】

一のFPGAに対し、一のハイパーバイザーシェルが対応付けられてよい。かかる一のハイパーバイザーシェルは、かかる一のFPGA内に書き込まれてよい。また、一のFPGAに対し、一のパーティションシェルが対応付けられてよい。そのため、例えば、一のFPGAに、複数のPRリージョンがあっても、一のパーティションシェルがあってもよく、かかるパーティションシェルは、かかる一のFPGA内に書き込まれてよい。

【0103】

なお、ハイパーバイザーシェルは、書き込まれるFPGAの、種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報に応じて決定されるものであってよい。他方、パーティションシェルは、書き込まれるFPGAの、種類、演算装置に係る属性、記憶装置に係る属性、通信装置に係る属性、PRリージョンの数、PRリージョンにおける演算装置に係る属性、PRリージョンにおける記憶装置に係る属性、及び／又は、PRリージョンにおける通信装置に係る属性に応じて決定されてよい。

【0104】

そのため、本例のシステムに係るデータベースは、FPGAの、種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報と関連付けられたハイパーバイザーシェルを格納してよい。この場合、後述のとおり、本例のシステムは、FPGAの種類及び／又は機能を取得し、かかるFPGAの種類及び／又は機能に応じて、対応するハイパーバイザーシェルを特定し、利用できる利点がある。更に、本例のシステムに係るデータベースは、FPGAの、種類、演算装置に係る属性、記憶装置に係る属性、通信装置に係る属性、及び／又は、PRリージョンの数、などの情報と関連付けられたパーティションシェルを格納してよい。この場合、後述のとおり、本例のシステムは、FPGAの種類、機能及び／又はPRリージョンの数を取得し、かかるFPGAの種類、機能及び／又は

10

20

30

40

50

PRリージョンの数に応じて、対応するパーティションシェルを特定し、利用できる利点がある。

【0105】

以下においてハイパーバイザーシェル及びパーティションシェルは、異なる機能を有してよい。ただし、ハイパーバイザーシェルとパーティションシェルとが、同一の機能を含んでもよい。FPGAに書き込まれる機能を2つに分けることで、PRリージョンの動的な変更に対応して変更させる機能（パーティションシェル機能）とPRリージョンの動的な変更に対して変更しない機能（ハイパーバイザーシェル機能）を区別できる利点がある。

【0106】

FPGAに書き込まれるタイミングは、ハイパーバイザーシェルと、パーティションシェルとは、FPGAに書き込まれるタイミングが、所定の範囲内の同時期であってもよいし、異なってもよい。前者は、例えば、ハイパーバイザーシェルが書き込まれた直後にパーティションシェルが書き込まれるなど、連続して書き込まれるケースなどが含まれてよい。他方、異なる時期とは、FPGAの登録時にハイパーバイザーシェルが書き込まれ、パーティションシェルは、ユーザがアプリケーションデータを書き込む段階（又はユーザがアプリケーションデータを書き込む直前）に書き込まれてよい。また、パーティションシェルは、パーティションシェルが一度書き込まれた後に、かかるパーティションシェルが削除されて、再度パーティションシェルが書き込まれる、というタイミングであってもよい。

【0107】

3. 1. 1. ハイパーバイザーシェル部

ハイパーバイザーシェル部は、管理部との通信、外部装置との通信、パーティションシェルへの通信機能の提供、書き込み関連機能、及び／又は、初期化、の機能を含んでよい。ハイパーバイザーシェルがこれらの機能の一部または全部を有する場合、書き込まれることによってプログラムの実行が可能となるリコンフィグラブルデバイスの、対応する機能についての便宜が向上する利点がある。

【0108】

管理部との通信は、管理部からの要求に対する回答する機能を含んでよい。例えば、管理部から、特定のPRリージョンの状況の問い合わせの要求があった場合に、かかる特定のPRリージョンの状況の回答をしてよい。かかるPRリージョンの状況としては、例えば、書き込みがされていない、書き込みがされている、などの情報や、使用中、使用していない、などの情報、を含んでよい。このように、FPGAがハイパーバイザーシェルの機能を有して管理部との通信が可能である場合、管理部は、通常のCPUと異なるFPGAからFPGAの状況についての情報を取得できる利点がある。

【0109】

外部装置との通信は、外部装置への情報の発信、及び／又は、外部装置からの受信、の機能を含んでよい。外部装置は、例えば、記憶媒体であってもよい。この場合、ハイパーバイザーシェル部は、外部装置に対するインターフェースを提供してよい。また、外部装置は、後述のパーティションシェルによる外部の記憶装置との通信のための、インターフェースを提供してよい。

【0110】

パーティションシェルへの通信機能の提供は、FPGA内のPRリージョンが、通信をする場合の支援を含んでよい。FPGA内のPRリージョンは、自己のPRリージョンと同一のFPGA内の他のPRリージョンと通信をする場合、及び／又は、自己のPRリージョンと異なるFPGA内の他の装置と通信をする場合、情報を送信する場合がある。このとき、パーティションシェルの通信機能は、かかる情報の行き先を、必要に応じて設定、及び／又は、変更してよい。ハイパーバイザーシェルは、パーティションシェルへの通信機能の提供のために、通信の宛先関係についてのテーブル（本願書類において、「通信宛先テーブル」ということもある）を含んでよい。かかる通信宛先テーブルは、利用者が利用するアプリケーション内での宛先（本願書類において「ユーザ宛先」ということもある）と、FPGA内の処理主体であるPRリージョン、及び／又は、FPGA外の計算主体、（本願書類において、

「ノード宛先」ということもある）、との関係を含んでよい。ハイパーバイザーシェルが、かかるユーザ宛先とノード宛先との関係を有する場合、ユーザがアプリケーション内で利用するユーザ宛先が、本願書類に係るシステムが提供するノード宛先に設定されて情報が伝達されるため、ユーザがFPGAの計算主体が異なることを気にせずアプリケーションを構築できる利点がある。

【0111】

また、ハイパーバイザーシェル部は、書き込み関連機能、を有してよい。書き込み関連機能は、パーティションシェルの書き込み機能を含んでよい。ハイパーバイザーシェルは、管理部から取得したパーティションシェルの書き込み機能を有してよい。書き込みを支援する機能は、管理部から書き込み機能を有するコードを取得して利用してよい。ハイパーバイザーシェルが書き込み関連機能を有する場合、パーティションシェルの書き込みを、管理者や利用者がマニュアルで書き込む必要がなく、負担が減少する利点がある。

10

【0112】

また、ハイパーバイザーシェル部の書き込み関連機能は、ユーザの権限に係る機能を有してよい。ユーザの権限に係る機能は、ユーザが書き込む先のPRリージョン、についての権限の確認機能を含んでよい。例えば、ユーザが書き込む先のPRリージョンが、ユーザのプログラムひいてはコンパイルされたビットストリーム又はかかるビットストリームの書き込み先を示す情報が、ユーザに権限のないPRリージョンに書き込まれる情報を含む場合がある。この場合、書き込み関連部がそのまま書き込んだ場合、ユーザに権限のないPRリージョンに書き込まれ、例えば、他のユーザのPRリージョンで実行されているアプリケーションを破壊するなどの問題が生じる。そこで、書き込まれるハイパーバイザーシェル部が、受領したビットストリームを書き込む処理を行う前に、かかる書き込まれるPRリージョンについて、ユーザが書き込み権限を有するか否かを確認する機能を有してよい。かかる機能により、故意または過失により、自己に書き込み権限のないPRリージョンに対して、かかるユーザに係るアプリケーションを構成するビットストリームの書き込みを防止できる利点がある。

20

【0113】

ハイパーバイザーシェル部の書き込み関連機能が、ユーザの権限に係る機能を含む場合、例えば、次の処理がされてよい。

30

【0114】

まず、ハイパーバイザーシェル部が、第1ユーザに係る第1アプリケーションを書き込み時に実現する第1ビットストリームを含む情報を、ネットワークを介して受領する（ステップ1）。

【0115】

次に、ハイパーバイザーシェル部は、かかる第1ビットストリームを含む情報の受領に対応して、かかる第1ビットストリームを含む情報から、かかる第1ビットストリームが書き込まれる対象となる第1PRリージョンを特定する情報、及び、前記第1アプリケーションを特定する情報、を取得する（ステップ2）。

【0116】

次に、ハイパーバイザーシェル部は、かかる第1アプリケーションを特定する情報及び前記書き込まれる対象となる第1PRリージョンを特定する情報、を含む情報を管理部に伝達する（ステップ3）。

40

【0117】

管理部は、前記第1アプリケーションを特定する情報及び前記第1PRリージョンを特定する情報を含む情報の受領に対応して、前記第1アプリケーションを特定する情報と前記第1PRリージョンを特定する情報を使用して、前記第1アプリケーションが前記第1PRリージョンに書き込まれる権限があるか否かを判定する（ステップ4）。

【0118】

管理部は、前記権限があると判定した場合は、前記ハイパーバイザーシェル部に対して

50

、書き込みを実行する許可を伝達し、前記前記権限があると判定した場合は、前記ハイパーバイザーシェル部に対して、書き込みを実行する許可を伝達しない（ステップ5）。後者においては、書き込みの実行の不許可を伝達してよい。

【0119】

なお、上記において、第1アプリケーションを特定する情報に代えて、かかる第1アプリケーションを書き込む指示をしたユーザを特定する情報を用いてもよい。例えば、上記のステップ4において、第1アプリケーションを特定する情報を用いて、第1アプリケーションを書き込ませる指示及び／又は第1アプリケーションを実行する第1ユーザを特定し、かかる第1ユーザに割り当てられたハードウェア資源の情報を用いて、かかる第1ユーザが、第1PRリージョンに書き込み権限を有するかどうかを判定してもよい。上述は一例であり、ハイパーバイザーシェル部が取得した第1ビットストリームを含む情報内に第1ユーザを特定する情報が含まれていれば、かかる情報が用いられて、管理部に伝達されて、かかる第1ユーザが、第1PRリージョンに書き込み権限を有するかどうかを判定してもよい。

10

【0120】

また、上述では、ハイパーバイザーシェル部が、ビットストリームの書き込む態様で説明したが、かかる構成に代えて、ハイパーバイザーシェル部はビットストリームを含む情報の取得に応答して、ハイパーバイザーシェル部が属するFPGA内のコンフィグメモリにかかるビットストリームを含む情報を伝達し、かかるコンフィグメモリがビットストリームを含む情報から書き込み対象となるPRリージョンを特定する情報を取得し、かかるコンフィグメモリがかかるビットストリームを含む情報をかかるPRリージョンを特定する情報に対応するPRリージョンに書き込んでよい。

20

【0121】

また、ハイパーバイザーシェル部の初期化機能は、ハイパーバイザーシェル部が属するFPGAに係る記憶機能及び／又は通信機能の初期化機能を含んでよい。初期化機能は、利用されていない状態に戻す機能を含んでよい。初期化により、誤作動を防止できる利点がある。記憶機能の初期化は、例えば、記憶機能内の情報を初期状態に戻すことを含んでよい。この場合、無意味な情報が格納されている状態を回避できる利点がある。また、通信機能の初期化は、例えば、通信機能内のFIFOのキューを削除したり、バスのハンドシェイクのシークエンスの途中段階である情報をリセットして初期状態に戻す、などの処理を含んでよい。この場合、通信の途中段階を除去できる利点がある。

30

【0122】

特にハイパーバイザーシェル部が初期化を実行することにより、仮にユーザのアプリケーションの実行メカニズム内に初期化機能が含まれない場合であっても、本例のシステムの分散処理が、アプリケーションの誤作動を減少できる利点がある。

【0123】

なお、初期化は、種々のタイミングで実行されてよい。例えば、上述のパーティションシェルの書き込みが実行されたことに応答して、かかるパーティションシェルが利用する記憶機能及び／又は通信機能を初期化してよい。パーティションシェルの書き込みは、その後にユーザがアプリケーションの書き込みなどが予定されていることから、アプリケーションの利用の前に初期化をできる利点がある。ただし、初期化に時間が必要である場合もあり、この場合、ユーザのアプリケーションの書き込みを遅延させる場合もある。また、ユーザのアプリケーションの書き込みが実行されたことに応答して、かかるアプリケーションが利用する記憶機能及び／又は通信機能を初期化してよい。アプリケーションの書き込みは、その後にユーザがアプリケーションの利用が予定されていることから、アプリケーションの利用の前に初期化をできる利点がある。ただし、初期化に時間が必要である場合もあり、この場合、ユーザのアプリケーションの利用を遅延させる場合もある。

40

【0124】

また、ユーザの状態の変化に応答して、かかるユーザに係るPRリージョンに係る記憶機能及び／又は通信機能を初期化してもよい。例えば、ユーザの会員のコースやオプション

50

が終了したことに応答して、かかるユーザに係るPRリージョンに係る記憶機能及び／又は通信機能を初期化してもよい。

【0125】

この場合、管理部は、各ユーザの会員のコースやオプション及び／又はかかるユーザの利用するPRリージョンの終了時期を監視し、これらの終了時期の到来に応答して、管理部は、かかるユーザの利用するPRリージョンを特定する情報を用いて、かかるPRリージョンが属するFPGAのハイパーバイザーシェルの部に対し、かかるPRリージョンに係る記憶機能及び／又は通信機能を初期化する通信をしてよい。ハイパーバイザーシェルの部は、管理部からのかかる通信に応答して、対応するPRリージョンに係る記憶機能及び／又は通信機能を初期化してよい。

10

【0126】

このように、ユーザの状態の変化、特にユーザがPRリージョンの利用を終了する時期に応じて初期化を実行する場合、かかる終了の時期から次に使用される時期までの間に時間がある場合には、初期化に時間が必要であっても、次の利用を遅延させるおそれは低い利点がある。

【0127】

3. 1. 2. パーティションシェルの部

パーティションシェルの部は、PRリージョン内の機能を支援する機能を有する。例えば、PRリージョン内の機能が使用する、クロック周波数機能、記憶機能、及び／又は、通信機能、を管理してよい。パーティションシェルの部がこれらの機能の一部または全部を有する場合、パーティションシェルの部が支援するPRリージョンにおける、対応する機能についての便宜が向上する利点がある。

20

【0128】

パーティションシェルの部は、PRリージョン内の機能が使用するクロック周波数機能を管理してよい。例えば、パーティションシェルの部は、クロック周波数信号を、PRリージョンに供給する役割を有してよい。

【0129】

パーティションシェルの部は、PRリージョンに供給するために、一又は複数のクロック周波数信号を生成する機能を有してよい。パーティションシェルの部は、異なる複数のクロック周波数信号を生成する機能を有してよい。パーティションシェルの部が生成するクロック周波数は、PRリージョン内の回路が利用可能なものであってよい。ユーザはクロック周波数信号を自ら用意せずにPRリージョン内の回路で利用できる利点がある。また、パーティションシェルの部が、異なる複数のクロック周波数信号を生成する場合、PRリージョン内に書き込まれる回路に適したクロック周波数信号を選択可能であり、回路が利用可能なクロック周波数信号の選択の幅が広がる利点がある。例えば、リコンフィギュラブルデバイスが書き込まれる回路がシンプルな場合は高めのクロック周波数信号が設定され、回路が複雑な場合は低目のクロック周波数信号が設定されるなど、回路構成に応じたクロック周波数信号を選択できる利点がある。

30

【0130】

また、パーティションシェルの部は、一のPRリージョンに対して、一又は複数のクロック周波数信号を供給してよい。例えば、パーティションシェルの部は、一のPRリージョン内において書き込まれる同一又は異なる複数の回路に対し、各々、異なるクロック周波数信号を供給してよい。一のPRリージョン内の同一又は異なる複数の回路について、ユーザは、その回路の複雑さや役割等に応じて異なるクロック周波数を利用したい場合においても、上述の場合、各回路に応じたクロック周波数信号を利用できる利点がある。

40

【0131】

なお、回路が利用するクロック周波数信号は、書き込まれる回路を決定するユーザが予め決定してよい。ユーザが回路が利用するクロック周波数を決定するため、本例のシステムは、ユーザがハードウェア記述言語又は高位合成言語によって回路をプログラムする環境において、回路が利用可能なクロック周波数を指定できる環境を支援してよい。また、

50

一のPRリージョン内の同一又は異なる複数の回路に対し、各々、異なるクロック周波数信号を供給したい場合、本例のシステムは、ユーザがハードウェア記述言語又は高位合成言語によって回路をプログラムする環境において、同一又は異なる各回路に対して、各々、利用可能なクロック周波数を指定できる環境を支援してよい。クロック周波数信号を指定できる環境の支援とは、例えば、同一又は異なる一又は複数の回路について、各々、回路が利用可能な一又は複数のクロック周波数信号を表示する処理、ユーザによって選択されたクロック周波数信号を対象となる回路と関連付けて記憶する処理、及び／又は、かかる関連付けられた回路とクロック周波数信号との接続関係をPRリージョン内の書き込み時に書き込む処理、を含んでよい。

【0132】

パーティションシェル部は、PRリージョン内の演算機能が使用する記憶機能と、かかるPRリージョンが属するFPGAが使用する記憶機能と、の対応関係を管理する機能を有してよい。かかる対応関係が管理されることにより、他のPRリージョンの記憶関連処理を妨害するリスクが低下する利点がある。例えば、PRリージョン内の演算機能が使用するメモリが、番地として000～999である場合であり、かかる番地が、かかるPRリージョンが属するFPGAが使用する記憶機能のうちの20000～20999に対応する場合、パーティションシェルは、かかる対応関係を示すテーブルを有してよく、パーティションシェルは、かかるテーブルを用いて、PRリージョン内の演算機能が使用するメモリの具体的な番地に対応してPRリージョンが属するFPGAが使用する記憶機能の対応するメモリを使用する支援をしてよい。ここで、FPGAが使用する記憶機能は、かかるFPGA内に設置された記憶装置でもよいし、かかるFPGAがアクセス可能な外部の記憶装置でもよい。

【0133】

また、パーティションシェル部は、PRリージョン内の通信機能が使用する通信チャンネルを特定する情報と、かかるPRリージョンが属するFPGAの外部との通信チャンネルを特定する情報と、の対応関係を管理する機能を有してよい。かかる対応関係が管理されることにより、他のPRリージョンの通信関連処理を妨害するリスクが低下する利点がある。例えば、あるPRリージョンが使用する通信チャンネルに基づく通信に対し、かかるPRリージョンに基づくことを示す情報を付して、ハイパーバイザシェルにかかる通信情報を渡してよい。

【0134】

パーティションシェル部は、階層的に、PRリージョン内に設けられてもよい。

【0135】

パーティションシェル部を階層的に設ける（例えば、パーティションシェル部が管理するPRリージョン内に別のパーティションシェル部を設ける）利点は、例えば次のような例において明らかになると考えられる。あるFPGAのPRリージョンは2つあり（1／2のPRリージョンが、2つある状態とする）、一のPRリージョン（第1の1／2 PRリージョン）は書き込み済みであり利用中であるとする。この場合、残りの1／2のPRリージョン（第2の1／2 PRリージョン）をユーザに提供可能であるが、ユーザは、1／4のPRリージョンのみの利用で良い場合を考える。この場合、既に2つのPRリージョンを設定したパーティションシェル部（第1パーティションシェル部）は書き込み済みであり、かつ、第1の1／2 PRリージョンは利用中である。そこで、まだ未利用の第2の1／2 PRリージョン内に、新たに、2つの1／4 PRリージョン（第1の1／4 PRリージョン及び第2の1／4 PRリージョン）を管理可能なパーティションシェル部（第2パーティションシェル部）を書き込み、第1の1／4 PRリージョンをユーザに利用させることにより、効率的な利用が可能である利点がある。

【0136】

パーティションシェル部は、上述のように階層的に設けられた下層のパーティションシェル部と、結果的に通信してもよい。この場合、パーティションシェル部は、下層のパーティションシェルが管理する通信機能、及び／又は、記憶機能、を介して、下層のパーティションシェルが管理するPRリージョン内の回路を支援してよい。

【0137】

4. 第3システム

第3システムの例は、FPGAを利用した分散処理を支援するシステムの例である。例えば、図11のように、本例のシステムは、JOBマネージャ機能と、リソースマネージャ機能と、TASKマネージャ機能と、を備えてよい。JOBマネージャ及びリソースマネージャの機能は、プログラム可変デバイス上で実装されてよい。TASKマネージャの機能は、リコンフィギュラブルデバイス上の機能として実装されてよい。上述のとおり、以下ではFPGAを主に用いて説明するが、FPGAに代えて、リコンフィギュラブルデバイスにおいても同様に実装可能である。また、第3システムにおいては、FPGAにおいて、ハイパーバイザーシェル、及び／又は、パーティションシェルが、書き込まれていてもよいし、書き込まれていなくてもよい。後者のように、ハイパーバイザーシェル、及び／又は、パーティションシェルが書き込まれていない場合でも、以下のとおり、ビットストリームの書き込みにより、分散処理が実行できてよい。

10

【0138】

4. 1. 機能

4. 1. 1. JOBマネージャ

JOBマネージャは、JOBの管理を行う機能を有する。

【0139】

JOBは、プログラマーが予め定めた一つのまとまりとしてのJOBでもよいし、別途分散処理用のJOB管理技術によって、プログラマーが定めた一つのまとまりを更に細分化したもの、又は、プログラマーが定めた一つのまとまりを複数集めたもの、であってもよい。

20

【0140】

JOBは、FPGA上で実行される場合には、プログラマーがプログラミングしたものを、ビットストリームに変換されたものでよい。JOBは、プログラム可変デバイス上で実行される場合には、プログラマーがプログラミングしたプログラムがコンパイルされたものや機械語に変換されたものなどハードウェア上で実行可能な形態であってもよい。

【0141】

JOBは、かかるJOBを一意的に特定可能なJOBのIDなどのジョブを識別可能な情報が用いられて、管理してよい。そのため、JOBマネージャは、JOBを特定する情報と、実際に実行されるJOBとを関連付けて記憶したデータベースを有してよい。

30

【0142】

JOBマネージャは、JOBについてデータフロー解析を行い、かかるデータフローに応じて、処理されるJOBの順序を決定してよい。この順序は、各JOBの入力データと出力データの情報を用いて、データフロー解析を行って決定された順序であってもよい。

【0143】

また、JOBマネージャは、JOB以下の粒度の処理であるTASKを管理してよい。例えば、JOBマネージャによる管理は、一のJOBを、一又は複数のTASKに分解する処理、ハードウェア資源において実行されたTASKの処理状況についての情報を取得する処理、分解された一又は複数のTASKを割り当てられたハードウェア資源において実行に係る指示を行う処理、を含んでよい。TASKの処理状況についての情報は、例えば、TASKのための初期化、TASKの実行開始、TASKの実行のためのタイマの管理、TASKの異常を処理する処理、TASKの終了の処理、などを含んでよい。終了の処理は、たとえば、TASKからのTASKの終了報告を受理する機能を含んでよい。また、実行に係る指示は、上述の処理状況に対応した指示を含んでよい。

40

【0144】

4. 1. 2. リソースマネージャ

リソースマネージャは、JOBを構成する一又は複数のTASKに対するハードウェア資源の管理を行う機能を有する。リソースマネージャは、ハードウェア資源と関連付けられた上述のリソース情報に係るデータベースを備え、ハードウェア資源を管理してよい。

【0145】

50

リソースマネージャは、一のJOBを構成する一又は複数のTASK、を特定する情報（例えばIDなど）と、かかるTASKが書き込まれたハードウェア資源と、を関連付けて、データベースに記憶してよい。かかるIDは、ビットストリーム毎に、付されてよい。また、かかるIDは、例えば、プログラム言語で簡易に説明すると、一の関数のようなものに対して、一のIDが付されてよい。そのため、関数実行時に種々の入力情報（引数）が与えられる可能性があるが、このような引数によって出力結果が変わりうる一の関数は、一のIDに対応付けられてよい。入力情報リソースマネージャは、かかるデータベースを用いて、TASKを特定する情報について、ハードウェア資源に書き込み済みであるかどうかを判定し、書き込み済みであれば書き込み済みの回路を利用し、未書き込みであれば新たに書き込んだのちに実行させてよい。かかる関連付けにより、不必要な書き込みを減らすことができる利点がある。なお、TASKは、上述の一のFPGAに対して、一のTASKが割り振られてもよいし、一のFPGA内の一のPRリージョンに対して、一のTASKが割り振られてもよい。

10

【0146】

リソースマネージャの管理機能は、TASKに対するハードウェア資源を提供する機能を含んでよい。

【0147】

例えば、リソースマネージャは、JOBマネージャからTASKに対応するハードウェア資源のリクエストがあった場合、TASKに対応するハードウェア資源を選定し、JOBマネージャに伝達してよい。

【0148】

20

ここで、リソースマネージャは、ハードウェア資源を選定するにあたり、JOBマネージャから、TASKに係る情報を取得してもよい。TASKに係る情報は、上述のリソース情報を含んでよく、例えば、TASKを実行するための、リコンフィグラブルデバイスの種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報を含んでよい。リソースマネージャは、TASKに係る情報に対応するハードウェア資源、すなわち、TASKを実行可能なハードウェア資源を有するものを、リソース情報についてのデータベース内から選定してよい。ここで選定は、TASKを実行可能なハードウェア資源であればよい。リコンフィグラブルデバイスの種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、のうち種類や型については一致させる必要があるものの、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報における機能的なものは、TASKに係る情報の機能を包含するものであればよい。

30

リソースマネージャは、選定されたリソース情報に対応する現実のハードウェア資源を特定する情報を、JOBマネージャに伝達してよい。例えば、書き込まれる対象となるリコンフィグラブルデバイスの物理的なID、かかるデバイスを特定するIPアドレス等のネットワーク上の位置、及び／又は、書き込まれる対象となるPRリージョンを特定するIPアドレス又はポート番号などのFPGA又はネットワーク上の位置、の情報を、JOBマネージャに伝達してよい。また、データベースにおいて、かかるTASKが割り当てられたことが、割り当てられたハードウェア資源を特定する情報と関連付けられて記憶されてよい。

【0149】

40

ここで、リソースマネージャは、TASKを実行可能なハードウェア資源を有するものの選定にあたり、以下の3つのステップが順次処理されてもよい。以下のステップが実行される場合、より時間の短縮が可能となる可能性がある利点がある。

【0150】

(ステップ1)

ハードウェア資源を割り当て対象のTASKが、ハードウェア資源内に書き込み済みである場合、かかるオペレータのハードウェア資源を、割り当てる。既にオペレータが書き込まれている場合、新たに書き込みを行う時間を短縮できる利点がある。かかる書き込み済みの有無は、上述のとおり、TASKと関連付けられたIDなどを用いる。また、かかる書き込み済みのものを利用するか、新たに書き込むかの判断は、かかるIDを介して、ユーザの

50

判断であってよい。なお、他の態様として、あるTASKが他の入力情報を用いて実行中である場合において、かかるハードウェア資源を割り当てる選択をする構成をしてもよいし、他のハードウェア資源を割り当てる選択をする構成をしてもよい。後者の場合は、以下の2のステップに進んでよい。かかる選択肢は、新たにTASKに対応するビットストリームを書き込むのに要する時間と他の実行中のTASKの完了予定時間との比較を予測する予測処理に基づいて判断されてよい。なお、後者は、かかるTASKについて、優先TASKなどの情報が付されている場合に限り、後者の処理がされてもよい。優先的に処理されるべきTASKである場合は、既書き込まれている場合でも、他のTASKの実行により遅延されないようにするためである。

【0151】

(ステップ2)

ハードウェア資源を割り当て対象のTASKが、ハードウェア資源内に書き込み済みでない場合であって、かかるTASKを書き込み可能なPRリージョンをデータベース内で選定できる場合、かかるPRリージョンに対して、TASKについてのビットストリームの書き込みを行う。次の3のステップに比較すると、パーティションシェルの書き込み及びかかる新たに選定されたPRリージョンの情報を用いて数時間必要かもしれないコンパイルの時間を短縮できる利点がある。ここで、PRリージョンの選定基準は、上述のハードウェア資源特定処理が用いられてよい。

【0152】

(ステップ3)

ハードウェア資源を割り当て対象のTASKが、ハードウェア資源内に書き込み済みでない場合であって、かかるTASKを書き込み可能なPRリージョンをデータベース内で選定できない場合、TASKを書き込み可能なPRリージョンを確保可能なFPGAに対して、パーティションシェルを書き込む。かかるパーティションシェルが書き込まれた後、かかるパーティションシェルに基づくPRリージョンにTASKを書き込む。なお、この場合、新たにパーティションシェルを書き込まずに、ハイパーバイザーシェルが書き込み済みでパーティションシェルが書き込まれていないFPGAにおいて、PRリージョンを利用せずに、TASKを書き込んでもよい。また、TASKを書き込み可能なPRリージョンを選定できる場合であっても、1) 別途TASKを書き込み可能なPRリージョンを確保可能な他のFPGAに対して、パーティションシェルを書き込み、かかるパーティションシェルに基づくPRリージョンにTASKを書き込んでもよいし、又は、2) ハイパーバイザーシェルが書き込み済みでパーティションシェルが書き込まれていないFPGAにおいて、PRリージョンを利用せずに、TASKを書き込んでもよい。なお、ハードウェア資源を割り当て対象のTASKが、ハードウェア資源内に書き込み済みでない場合であって、かかるTASKを書き込み可能なPRリージョンをデータベース内で選定できない場合において、上述に代えて、パーティションシェル及び／又はハイパーバイザーシェルを書き込まずに、TASKに対応するビットストリームをUSBケーブルやJTAGを使ってFPGAに書き込んでもよい。この場合、USBケーブルは予め接続されており、JTAGを介して、プログラムによって自動的にTASKに対応するビットストリームが書き込まれてもよいし、人がUSBケーブルを接続してJTAGを用いてTASKに対応するビットストリームを書き込んでもよい。

【0153】

4. 1. 3. TASKマネージャ

TASKマネージャは、TASKの管理を行う機能を有する。TASKマネージャは、JOBマネージャからの指示を用いて、TASKマネージャが書き込まれたFPGAと同一のFPGA内で実行されるTASKを管理する。又は、TASKマネージャは、TASKについての処理状況を、JOBマネージャに伝達してよい。

【0154】

TASKマネージャは、TASKマネージャが書き込まれたFPGA内において実行されるJOBを示す情報と、かかるJOBの現在の実行状況と、の関係を示すテーブルを有してよい。かかる実行状況は、実行されている、実行されていない、及び／又は、中断、などの状況を

10

20

30

40

50

含んでよい。

【0155】

JOBマネージャからの指示は、JOBを特定する情報と関連付けられた、初期化、開始、中断、又は、キャンセル、の指示を含んでよい。

【0156】

初期化は、JOBが使用する記憶情報及び／又は通信情報の初期化を含む。かかる初期化の指示は、FPGA内にオペレータが新たに書き込まれた場合、及び／又は、新たなJOBが実行される場合、に処理されてよい。オペレータが新たに書き込まれる場合、書き込み処理の一段階として記憶情報及び／又は通信情報の初期化がされる場合もあるが、分散処理の一ステップとして再度初期化がされる場合、より初期化を保証できる利点がある。また、
10 同じオペレータ内の新たなJOBの場合、前に実行されたJOBの処理の影響をなしにする利点がある。

【0157】

開始は、TASKの開始を指示するものであってよい。TASKマネージャは、開始の指示は、オペレータが利用するパラメータ（TASKを実行させるための入力情報）と関連付けられて、JOBマネージャから取得してもよい。TASKマネージャは、開始の指示に係るTASKを実行するPRリージョンに対して、TASKの開始の指示を、TASKを実行させるための入力情報と共に送り、TASKの開始を実行させてよい。

【0158】

中断は、TASKの実行を、一時止めるものであってよい。再度、開始の指令が来た場合、TASKの実行を再開させてよい。
20

【0159】

また、TASKマネージャは、TASKについての処理状況として、TASKの異常処理や、TASKの完了報告を、JOBマネージャに伝達してよい。

【0160】

4. 2. 処理の流れ

4. 2. 1. 処理の流れの第1態様例

次に、本例のシステムの処理の流れの一例を説明するが、かかる例にとどまらず、種々の例を実現できることはいうまでもない。

【0161】

まず、準備段階の処理として、リソースマネージャに係るデータベースには、現実のFPGAについての情報が格納しておく。例えば、接続された物理的なFPGAを特定する情報と関連付けて、かかるFPGAの種類、演算装置に係る属性、記憶装置に係る属性、及び／又は、通信装置に係る属性、などの情報を記憶する。かかる構成により、上述のとおり、リソースマネージャが、問い合わせのあったJOBを実行可能なハードウェア資源を特定可能とする。かかる情報は、マニュアル又は自動的にデータベースに登録されてよい。
30

【0162】

また、JOBマネージャは、各JOBに係る情報のテーブルを有してよい。

【0163】

ステップ1

40

JOBマネージャは、JOBのデータフロー分析を行い、実行するJOBを決定する。ここで、JOBマネージャは、各JOBに係る情報を用いて、データフロー分析を行ってよい。JOBに係る情報は、例えば、JOBの入力データ、JOBの出力データ、などのデータフロー分析に必要な情報であってよい。データフロー分析自体は、公知の技術が使用されてよい。また、JOBは、FPGA上で実行可能なようにコンパイルされ、ビットストリームの態様であってもよい。

【0164】

ステップ2

JOBマネージャが、実行するJOBを実行可能なハードウェア資源について、リソースマネージャに問い合わせる。ここで、各JOBが必要なリソース情報は、予めJOBマネージャ
50

が保有してよい。かかるリソース情報は、プログラマが、各JOBを実行する場合において必要なリソース情報として、予め登録したものであってよい。なお、JOBが、上述のとおりコンパイルされビットストリームの態様である場合、前提としているFPGAの情報、及び／又は、PRリージョンについての情報、などの情報がリソース情報に含まれ、ハードウェア資源の選定に利用されてよい。

【0165】

ステップ3

リソースマネージャが、実行するJOBに対する、ハードウェア資源を決定し、かかるハードウェア資源を、JOBマネージャに伝達する。この場合において、上述の3つのステップが処理されてもよい。

【0166】

ステップ4

JOBマネージャが、JOB毎に対応するハードウェア資源に対して、JOBに係るビットストリーム、及び／又は、JOBの実行時の入力情報、を通信する。この場合において、パーティションシェル及び／又はJOBに係るオペレータは、ビットストリームなどの態様において、対応するハードウェア資源において書き込まれてよい。この場合、FPGAライター及び／又はパーティションシェルなどが用いられて書き込まれてよい。

【0167】

ステップ5

JOB毎に対応するハードウェア資源内のTASKマネージャは、JOBに含まれるTASKを管理し、TASKの実行を進める。

【0168】

4.2.2. 処理の流れの第2態様例

次に、上述の処理の流れの一態様として、特にJOBマネージャとTASKマネージャに着目した流れを説明する。以下の流れでは、JOBマネージャが上述のリソースマネージャの役割も兼ねて実行する例である。また、FPGAライターを利用する例であるが、かかる機能は、リコンフィグラブルデバイス内以外であれば、どの個所に実装されていてもよい。

【0169】

まず、図12のように、JOBマネージャ01は、FPGA03A及び03Bで利用することになるビットストリーム情報を、FPGAライター02に送る。

【0170】

次に、図13のように、FPGAライター02は、ビットストリームをFPGA03A及び03Bに送り、各々書き込む。

【0171】

そして、図14のように、JOBマネージャ01から、タスクの開始命令を、タスクの実行場所であるFPGA03A及び03B内の各TASKマネージャに各々伝達し、各TASKマネージャは、同一のFPGA内の処理回路において、実行を開始する。

【0172】

なお、上述の例においてビットストリームは、JOBマネージャから送信される例を示したが、JOBマネージャ内において実行するJOBと実行する場所であるハードウェア資源が決定された場合、かかるJOBに対応するビットストリームは、FPGAライターが実行されている情報処理装置に係るストレージ、データベース、ストレージシステム、に格納されて利用されてもよい。

【0173】

4.2.3. 処理の流れの第3態様例

次に、分散処理の一例として、1から1000を合計する例を説明する。

【0174】

本例においては、図15のように、本例のシステムは、プログラム可変デバイス内に実装されたJOBマネージャを備えるサーバ01と、ネットワークを介して接続された、FPGAライターを実装したプログラム可変デバイスとかかるプログラム可変デバイスとPCIeで接

10

20

30

40

50

続されたFPGAを含むサーバ02、及び、FPGAを備えるサーバ03、を含んでよい。かかる構成は、一例であり、サーバ内のFPGAの個数は2に限られず一又は複数のいずれの個数でもよく、FPGAライターと接続されているFPGAを含むサーバも2に限られず一又は複数のいずれの個数でもよく、ネットワークの構成も種々の構成があってよい。

【0175】

次に、図16は、JOBマネージャから、サーバ02内のFPGAライターに対し、FPGAに書き込まれる予定のビットストリームが送られる状態を示す。ここで、各FPGAに利用されるビットストリームは、同じであってもよいし、異なってもよい。例えば、本例において、後述の通り、1乃至1000の合計は、1乃至250、251乃至500、501乃至750、751乃至1000と分けて計算することを想定しているが、これらの分けられた各部分計算を計算しその結果を返す処理を行うFPGA用のビットストリームと、これらの分けられた各部分計算に加えてこれらの合計を計算する処理を行うFPGA用のビットストリームと、は異なってもよい。また、前者においても、書き込まれるFPGAの種類やFPGA内の機能が異なるのであれば、それらに応じたビットストリームであってよい。

10

【0176】

次に、図17は、FPGAライターが、各FPGAにビットストリームを書き込む態様を示す。ここで、各FPGAへのビットストリームの書き込みは、PCIe、USB、JTAG、Ethernet、Infiniband等のインターコネクト経由で書き込まれて良い。また、これらの書き込みは、書き込まれるFPGAがFPGAライターと同じサーバ内であってもよいし、FPGAライターと異なるサーバ内であってもよい。

20

【0177】

次に、図18は、JOBマネージャから、各FPGA内のタスクマネージャにタスクの開始命令が伝達される状態を示す。かかるステップにおいて、タスクに利用される入力情報も共に伝達されてよい。例えば、本例においては、1乃至250、251乃至500、501乃至750、751乃至1000、などの入力情報が伝達されてよい。

【0178】

次に、図19は、TASKマネージャの指示を受けて、各FPGA内でビットストリームが書き込まれた処理回路が、タスクを実行する。例えば、本例においては、1乃至250、251乃至500、501乃至750、751乃至1000、の各部分の計算がされてよい。

【0179】

次に、図20は、各FPGA内において計算された結果を、一つのFPGA内のタスクの処理回路に伝達し、これらの合計を計算する状態を示す。例えば、FPGA04A乃至04Cによって計算された各結果は、FPGA04Dに伝達されてよい。この場合、FPGA04Dのネットワーク上の位置は、予めJOBマネージャによるデータフロー解析に基づいて、決定されていてよい。かかるネットワーク上の位置は、ビットストリーム内に含まれて各FPGAに書き込まれてもよいし、各タスクの開始命令と共に処理結果の伝達先を示すタスクへの入力情報として、各FPGAに伝達されてもよい。

30

【0180】

最後に、図21は、各タスクの実行が終了したことを、FPGA内の各タスクマネージャが、JOBマネージャに伝達している状態を示す。

40

【0181】

4.3. 他の態様例

本形態の一態様のシステムは、
JOBマネージャとリソースマネージャと、を備える分散処理管理システムであって、
前記JOBマネージャは、FPGA上で実行される一又は複数のJOBを含む、複数のJOBを取得し、
前記リソースマネージャは、前記JOBに対応するリソースを選択し、
前記JOBマネージャは、前記リソースに対して、前記JOBを割り当てる、システムであって、
前記リソースマネージャは、前記JOBが、ビットストリームが前記FPGA上に書き込まれ

50

ることで実行されるビットストリームJOBである場合、前記ビットストリームJOBを割り当てたPRリージョンに対応する対応ビットストリームを、前記ビットストリームJOBに係る複数のビットストリームから選択する、分散処理システムであってよい。

また、前記JOBが、ビットストリームが前記FPGA上に書き込まれることで実行されるビットストリームJOBである場合において、

前記リソースマネージャは、

前記JOBを実行可能なビットストリームが、FPGA内に書き込まれている場合には、前記書き込まれた位置に対応する情報を、JOBマネージャに伝達し、

前記JOBを実行可能なビットストリームが、FPGA内に書き込まれていないが書き込み可能なPRリージョンがある場合には、前記書き込み可能なPRリージョンを示す情報を含む情報を、JOBマネージャに伝達し、

前記JOBを実行可能なビットストリームが、FPGA内に書き込まれておらず、かつ、書き込み可能なPRリージョンがない場合には、前記書き込み可能な領域を示す情報を含む情報を、JOBマネージャに伝達する、分散処理システムであってよい。

【0182】

5. 第4システム

第4システムは、上述の第1システムにおいて、ユーザが書き込むビットストリームを開発するための開発ツールに係る技術である。FPGA上で実行されるプログラムをユーザが開発した後、ユーザがプログラムをFPGA上に書き込む場合、ハードウェア記述言語又は高位合成言語で記述されたプログラム（本願書類において「HDLプログラム又はHLSプログラム」ということもある）はコンパイルされ、FPGA上に書き込むことができるようにビットストリームになっている必要がある。このビットストリームはFPGAの種類やPRリージョンなどのリソース情報に対応したものである必要があり、FPGAの種類やPRリージョンなどのリソース情報に対応していないビットストリームは、対応していないリソース情報におけるFPGAには書き込みができない。この場合、書き込み予定のFPGA用にHDLプログラム又はHLSプログラムをビットストリームへコンパイルする必要があり、HDLプログラム又はHLSプログラムによっては、コンパイル時間が数時間以上必要な場合もある。そのため、第1システムにおいて、ユーザが、特定のリソース情報に対応するハードウェアを確保した後に、確保されたハードウェアに対応するビットストリームが生成されていない場合、ビットストリームを生成するのに時間が必要であり、その間、確保したハードウェアが未利用となる。これは、ハードウェア資源の利用が非効率であり、また、ユーザが時間課金制の場合、利用していないにもかかわらず費用が生じてしまう。そこで、第4システムは、かかる課題に対応し、ハードウェア資源の利用の効率性を向上可能とするものである。上述のとおり、以下ではFPGAを主に用いて説明するが、FPGAに代えて、リコンフィグラブルデバイスにおいても同様に実装可能である。

【0183】

なお、第4システムは、上述の第1システムを前提として、第4システムと関連付けられたものであってよい。他方、第4システムは、第1システムが実装されていない環境におけるシステムであってもよい。

【0184】

5. 1. 構成例

第4システムは、後述のハードウェア情報提供装置、及び、後述のコンパイル装置、とネットワークなどにより、直接的または間接的に接続されてよい。

【0185】

第4システムは、ユーザにより利用されるシステムであってよい。第4システムは、ユーザが利用する端末装置、ユーザが利用する端末によってアクセスされる情報処理装置、又は、これらの装置上で実行されるプログラム、であってよい。

【0186】

5. 2. 機能例

第4システムの一例のシステムは、図22のように、ユーザインタフェース部、ハードウェア情報提供装置通信部、及び／又は、コンパイラ通信部と、を備えてよい。

【0187】

5. 2. 1. ユーザインタフェース部

ユーザインタフェース部は、ユーザから情報を取得してよい。例えば、ユーザから、フレーバに関する情報のアップデートをする指示を取得してよい。

【0188】

また、ユーザインタフェース部は、ユーザに対して、情報を提供してよい。

【0189】

なお、フレーバに関する情報のアップデートは、ユーザからの指示にとどまらず、所定の条件に応じてアップデートしてもよい。所定の条件は、例えば、所定の定期期間毎を含んでよい。

【0190】

5. 2. 2. ハードウェア情報提供装置通信部

ハードウェア情報提供装置通信部は、第4システムとは異なる、ハードウェア情報の提供が可能なシステムと通信可能な機能を有してよい。ハードウェア情報の提供が可能な装置（本願書類において、「ハードウェア情報提供装置」ということもある）は、上述の第1システムであってもよいし、上述の第1システムではなくともよい。ハードウェア情報提供装置は、HDLプログラム又はHLSプログラムが書き込まれるFPGA又はFPGA内のPRリージョンを特定する情報を、提供可能な機能を有していればよい。

【0191】

ハードウェア情報提供装置通信部は、所定の条件に対応して、ハードウェア情報提供装置に対して、HDLプログラム又はHLSプログラムが書き込まれるFPGA又はFPGA内のPRリージョンを特定する情報（本願書類において、「ハードウェア特定情報」ということもある）をリクエストしてよい。ここで、ハードウェア特定情報は、HDLプログラム又はHLSプログラムがコンパイルされたビットストリームが書き込み可能な限度で特定されたリソース情報でよい。例えば、ハードウェア情報は、PRリージョンを特定する情報を含むリソース情報など、異なるハードウェアであっても同一のビットストリームを書き込み可能なリソース情報であってもよい。これは、PRリージョンを含まないリソース情報は、PRリージョンが異なると同一のビットストリームの書き込みができないためである。

所定の条件は、ユーザからフレーバのアップデートをする情報を取得した場合を含んでよい。また、所定の条件は、所定の時間的条件を充足した場合を含んでよい。所定の時間的条件は、所定の定期時間毎であってもよい。また、所定の時間的条件は、予め定められた日時であってもよい。

【0192】

ハードウェア情報提供装置通信部は、かかるハードウェア情報提供装置から、ハードウェア特定情報、を取得する機能を有してよい。ハードウェア情報提供装置通信部は、ハードウェア特定情報を、上述のリクエストに対応して取得してもよいし、上述のリクエストをせずに取得してもよい。後者は、例えば、ハードウェア情報提供装置が、所定の条件に基づいて、ハードウェア特定情報を、第4システムに送信し、ハードウェア情報提供装置通信部は、かかる送信に対応して、ハードウェア特定情報を、取得してよい。

【0193】

ハードウェア情報提供装置通信部が取得するハードウェア特定情報は、ハードウェア情報提供装置が提供可能なハードウェアの全てについてのハードウェア特定情報であってもよいし、ハードウェア情報提供装置が提供可能なハードウェアの一部についてのハードウェア特定情報であってもよい。かかる一部は、ハードウェア情報提供装置が提供するハードウェアにおいて、かかるユーザが利用可能なハードウェアの情報に基づいて、選択されてよい。例えば、かかる一部のハードウェア特定情報は、コンパイルされるHDLプログラム又はHLSプログラムを利用するユーザが所定の会員である場合、かかる会員が利用可能

10

20

30

40

50

なハードウェアから選択されてよい。かかる選択は、所定の基準に基づいて、選択されてよい。かかる所定の基準は、例えば、かかるユーザが利用可能なハードウェアの中で、第1システムの管理者がユーザが利用させたいハードウェアから選択されるようなものであってよい。

【0194】

5.2.3. コンパイラ通信部

コンパイラ通信部は、第4システム外の、コンパイラと通信する機能を有する。コンパイラ通信部は、コンパイラに対して、コンパイルの指示を送信する機能を有してよい。コンパイラ通信部は、コンパイラに対して、コンパイルの指示と関連して、コンパイルに利用される情報を送信してよい。かかる情報は、例えば、コンパイルされるHDLプログラム又はHLSプログラム、及び／又は、コンパイルされたビットストリームが書き込まれるハードウェア特定情報、を含んでよい。

【0195】

コンパイラ通信部は、コンパイラから、コンパイル終了後に、コンパイル結果を取得してよい。コンパイル結果は、デザイン中間ファイルを含んでよい。デザイン中間ファイルは、対象となるPRリージョン以外の部分と配置配線した情報を含んでよい。例えば、ハードウェア特定情報として、第1FPGAのPRリージョン1が含まれている場合、対応するデザイン中間ファイルは、かかる第1FPGAのPRリージョン1以外の第1FPGA内の部分との配線情報を含んでよい。なお、ハードウェア特定情報が複数のPRリージョンが含まれている場合、対応するデザイン中間ファイルは、かかる各複数のPRリージョンに対応した各PRリージョン以外の（各PRリージョンが含まれる）FPGA内の部分との配線情報を含んでよい。また、コンパイル結果は、ビットストリームの形式の情報を含んでよい。コンパイラ結果は、複数のパーシャルビットストリームの形式の情報を含んでよい。

【0196】

5.3. 処理の流れの例

次に、本例のシステムの一例の処理の流れを図23を用いて説明するが、本例のシステムの機能の処理はかかる流れにとどまらず、多様な処理が可能であってよい。

【0197】

まず、第4システムである本例のシステムは、ユーザから、ハードウェア特定情報のアップデートの指示を取得する（ステップ1）。

【0198】

次に、本例のシステムは、ハードウェア情報提供装置に対し、ハードウェア特定情報のアップデートを指示する（ステップ2）。

【0199】

次に、本例のシステムは、ハードウェア情報提供装置からハードウェア特定情報を取得して、アップデートする（ステップ3）。例えば、本例のシステムは、ハードウェア情報提供装置から、ハードウェア特定情報を取得する。なお、ステップ3は、ステップ1及び／又は2なしに実行されてもよく、この場合、ステップ1及び2はあってもよいし、なくてもよい。

【0200】

次に、本例のシステムは、ユーザから、コンパイル対象となるHDLプログラム等に係る情報（HDLプログラム又はHLSプログラム、及び／又は、HDLプログラム又はHLSプログラムを特定する情報を含む。以下同じ。）と、ハードウェア特定情報を、コンパイル装置に伝達する（ステップ4）。ここで、ハードウェア特定情報は、本例のシステムが有する全てのハードウェア特定情報であってもよいし、その一部であってもよい。コンパイルの対象のハードウェア特定情報が増えるほど書き込み可能な対象が増える利点がある。他方、一部である場合、書き込み可能な対象は少なくなるものの延べコンパイル時間は短くなる利点がある。

【0201】

コンパイル装置は、コンパイル対象となるHDLプログラム等に係る情報と、ハードウェ

10

20

30

40

50

ア特定情報を用いて、コンパイルを行う（ステップ5）。この場合、コンパイル装置は、全てのハードウェア特定情報に対してコンパイルしてもよいし、所定の範囲のハードウェア特定情報を用いてコンパイルを行ってよい。コンパイルの対象のハードウェア特定情報が増えるほど書き込み可能な対象が増える利点がある。他方、所定の範囲と限定される場合、書き込み可能な対象は少なくなるものの延べコンパイル時間を短くなる利点がある。

【0202】

コンパイル装置はコンパイル結果を本例のシステムに送信し、本例のシステムはコンパイル結果をコンパイル装置から取得する（ステップ6）。

【0203】

なお、この後、第1システムにおいて説明したように処理されてよい。例えば、本例のシステムが第1システムと接続されている場合、本例のシステムは、フレバ内の一又は複数のリソース情報を選択して、対応するハードウェア資源の確保を、第1システムに要求してよい。第1システムは、対応するハードウェア資源の確保が成功した場合、データベースに登録の上、本例のシステムに対して、確保されたハードウェア資源の情報を伝達してよい。確保されたハードウェア資源の情報は、例えば、パーティションシェルが書き込まれ、利用可能なPRリージョンを特定する情報を含んでよい。かかる利用可能なPRリージョンを特定する情報は、IPアドレス又はMACアドレスなどのPRリージョンに係るネットワークアドレス、かかるPRリージョンのID、及び／又は、かかるPRリージョンが含まれるFPGAを特定する情報、を含んでよい。

【0204】

第4システムの一例のシステムは、
ユーザに情報を提供及び／又はユーザから情報を取得するユーザインタフェース部と、
第1システム又はハードウェア特定情報提供装置と通信可能な機能を有するハードウェア特定情報提供装置通信部と、

HDLプログラム又はHLSプログラムを、FPGAに書き込み可能なビットストリームに変換可能なコンパイラとの通信が可能な機能を有するコンパイラ通信部と、
を備えてよい。

【0205】

6. 様々な実施態様について

第1の態様によるシステムは、「
ユーザから第1リソースを示す情報を取得する取得部と、
前記第1リソースを示す情報に対応する第1リコンフィギュラブルデバイスを特定する特定部と、
前記第1リコンフィギュラブルデバイスに対して、前記第1リソースを示す情報に対応する第1パーティションシェルの書き込みを指示する指示部と、
を備えるシステム」である。

【0206】

第2の態様によるシステムは、上記第1の態様において「
前記取得部は、前記第1リソースを示す情報と同一ではない第2リソースを示す情報を取得し、
前記指示部は、前記第1リコンフィギュラブルデバイスに対し、前記第2リソースを示す情報に対応するものであって、前記第1パーティションシェルとは異なる、第2パーティションシェルの書き込みを指示する」ものである。

【0207】

第3の態様によるシステムは、上記第1の態様又は上記第2の態様において「
前記ユーザに対して、一又は複数のリソース情報を提示する提示部を更に備え、
前記第1リソースを示す情報は、提示された、前記一又は複数のリコンフィギュラブルデバイスリソース情報の一部である」ものである。

【0208】

第4の態様によるシステムは、上記第1乃至上記第3のいずれか一の態様において「

前記提示部は、前記第 1 リコンフィギュラブルデバイスについて、PRリージョンの設定についての、複数の設定方法を提示する」ものである。

【0209】

第 5 の態様によるシステムは、上記第 1 乃至上記第 4 のいずれか一の態様において「前記一又は複数のリソース情報は、演算機能に係る情報、記憶機能に係る情報、及び／又は、通信機能に係る情報、を含む」ものである。

【0210】

第 6 の態様によるシステムは、上記第 1 乃至上記第 5 のいずれか一の態様において「前記取得部は、前記第 1 リソースを示す情報及び前記第 2 リソースを示す情報、と同一ではない第 3 リソースを示す情報を取得し、

前記特定部は、前記第 3 リソースを示す情報に対応し、前記第 1 リコンフィギュラブルデバイスと異なる第 3 リコンフィギュラブルデバイスを特定し、

前記指示部は、前記第 3 リコンフィギュラブルデバイスに対して、前記第 3 リソースを示す情報に対応する第 3 パーティションシェルの書き込みを指示する」ものである。

【0211】

第 7 の態様によるシステムは、上記第 1 乃至上記第 6 のいずれか一の態様において「前記システムは、少なくとも、前記第 1 リソースを示す情報と、前記第 1 リソースを示す情報に対応する前記第 1 リコンフィギュラブルデバイスを示す情報と、を関連付けて記憶するデータベースを備える」ものである。

【0212】

第 8 の態様によるシステムは、上記第 1 乃至上記第 7 のいずれか一の態様において「前記第 1 リコンフィギュラブルデバイスには、予め、前記第 1 パーティションシェルが有しない機能を有する、ハイパーバイザーシェルが書き込み済みである」ものである。

【0213】

第 9 の態様によるシステムは、上記第 1 乃至上記第 8 のいずれか一の態様において「前記システムは、前記ハイパーバイザーシェルに対応する第 1 PRリージョンの状況を問い合わせる問い合わせ部を備え、

前記ハイパーバイザーシェルは、前記問い合わせ部からの前記第 1 PRリージョンの状況の問い合わせに対する回答を、回答可能である」ものである。

【0214】

第 10 の態様によるシステムは、上記第 1 乃至上記第 9 のいずれか一の態様において「前記ハイパーバイザーシェルは、ユーザが書き込む先のPRリージョン、についての権限の確認機能を有する」ものである。

【0215】

第 11 の態様によるシステムは、上記第 1 乃至上記第 10 のいずれか一の態様において「前記ハイパーバイザーシェルは、前記第 1 リコンフィギュラブルデバイスに係る記憶機能及び／又は通信機能の初期化機能を含んでよいユーザが書き込む先のPRリージョン、についての権限の確認機能を有する」ものである。

【0216】

第 12 の態様による方法は、「システムが、ユーザから第 1 リソースを示す情報を取得するステップと、前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定するステップと、前記第 1 リコンフィギュラブルデバイスに対して、前記第 1 リソースを示す情報に対応する第 1 パーティションシェルの書き込みを指示するステップと、を実行する方法」である。

【0217】

第 13 の態様による方法は、上記第 12 の態様において「前記システムが、前記前記第 1 リソースを示す情報に対応する第 1 リコンフィギュラブルデバイスを特定する情報を記憶

10

20

30

40

50

する」ものである。

【0218】

第14の態様によるコンピュータプログラムは、「システムを、

ユーザから第1リソースを示す情報を取得する手段、

前記第1リソースを示す情報に対応する第1リコンフィギュラブルデバイスを特定する手段、

前記第1リコンフィギュラブルデバイスに対して、前記第1リソースを示す情報に対応する第1パーティションシェルの書き込みを指示する手段、
として動作させるためのプログラム」である。

10

【0219】

第15の態様によるコンピュータプログラムは、上記第14の態様において「前記システムが、前記前記第1リソースを示す情報に対応する第1リコンフィギュラブルデバイスを特定する情報を記憶する」ものである。

【0220】

7. プログラム可変デバイスの構成例

図24のように、プログラム可変デバイス10は、演算装置12、記憶装置13、通信IF16、及びこれらを接続するバス11を備えてよい。また、プログラム可変デバイス10は、更に、入力装置14、表示装置15、及びこれらも接続するバス11を備えてよい。また、プログラム可変デバイス10は、他の情報処理装置とネットワーク19を介して、
直接的又は間接的に接続されてよい。

20

【0221】

プログラム可変デバイス10は、サーバ、クラウド、などの情報処理装置であってよい。専用装置であってもよいし、汎用装置であってもよい。また、プログラム可変デバイス10自体、リコンフィギュラブルデバイスにおいて回路が書き込まれたものであってもよい。この場合、上述の種々の実施態様のプログラムの実行をより迅速に実行できる利点がある。

【0222】

上述では、本例のシステムが実施する構成として説明したが、これらは、システム内の一又は複数の情報処理装置が実施する構成であってもよい。また、本願書類に係るシステムは、種々の態様で提示してよい。例えば、提示は、表示を含んでよい。例えば、本例のシステムは、本例のシステムに含まれる表示装置が表示してもよいし、本例のシステムが直接的又は間接的に接続する他の情報処理装置内の表示装置において表示させてもよい。

30

【0223】

本願書類の実施例において述べた発明例は、本願書類で説明されたものに限らず、その技術的思想の範囲内で、種々の例に適用できることはいうまでもない。

【0224】

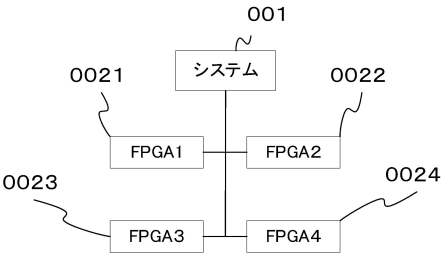
また、本願書類で説明される処理及び手順は、実施形態において明示的に説明されたものによってのみならず、ソフトウェア、ハードウェア又はこれらの組み合わせによっても実現可能なものであってよい。また、本願書類で説明される処理及び手順は、それらの処理・手順をコンピュータプログラムとして実装し、各種のコンピュータに実行させることが可能であってよい。またこれらのコンピュータプログラムは、記憶媒体に記憶されてよい。また、これらのプログラムは、非一過性又は一時的な記憶媒体に記憶されてよい。

40

【図面】

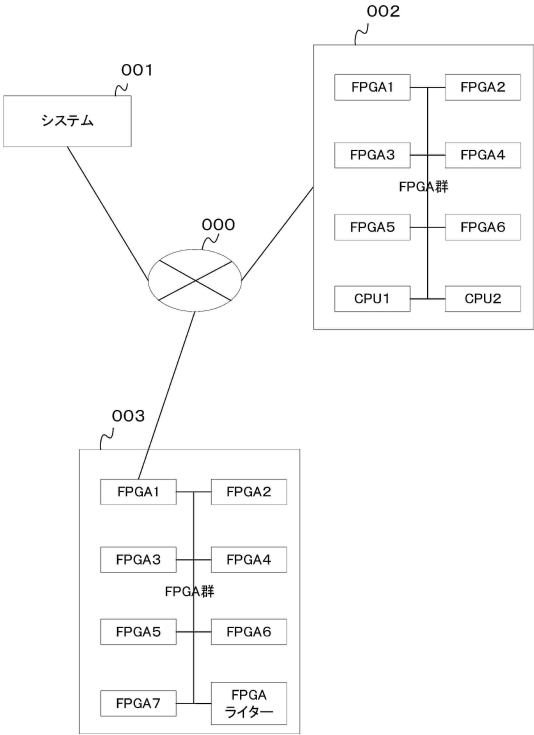
【図 1】

図1



【図 2】

図2

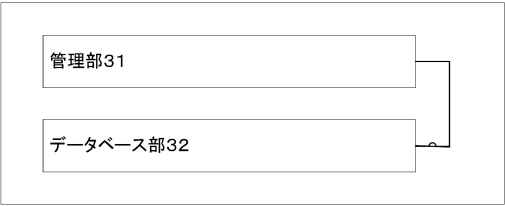


10

20

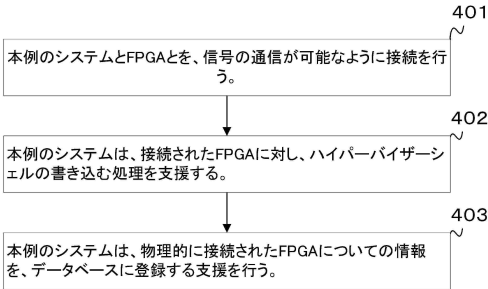
【図 3】

図3



【図 4】

図4



30

40

50

【図 5】

図5

FPGAID	リソース情報		
	演算装置に係る情報	記憶装置に係る属性	通信装置に係る属性
0 0 1	・ ・ ・	・ ・ ・	・ ・ ・
0 0 2	・ ・ ・	・ ・ ・	・ ・ ・
0 0 3	・ ・ ・	・ ・ ・	・ ・ ・
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・

【図 6】

図6

FPGAID	PRリージョン	リソース情報		
		演算装置に係る情報	記憶装置に係る属性	通信装置に係る属性
0 0 1	0 0 1	・ ・ ・	・ ・ ・	・ ・ ・
0 0 1	0 0 2	・ ・ ・	・ ・ ・	・ ・ ・
0 0 2	0 0 1	・ ・ ・	・ ・ ・	・ ・ ・
0 0 2	0 0 2	・ ・ ・	・ ・ ・	・ ・ ・
0 0 2	0 0 3	・ ・ ・	・ ・ ・	・ ・ ・
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・

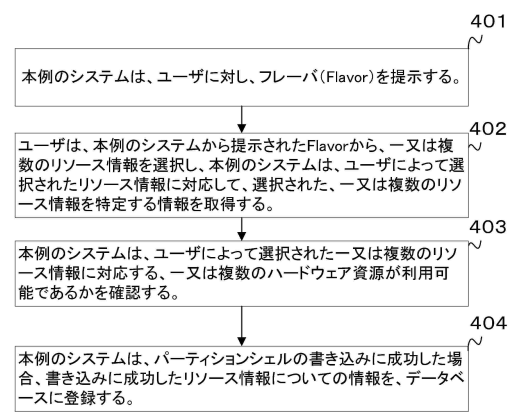
【図 7】

図 7

FPGAID	分割方法	PRリージョン	リソース情報		
			演算装置にかかる情報	記憶装置に係る属性	通信装置に係る属性
0 0 1	1	0 0 1	・ ・ ・	・ ・ ・	・ ・ ・
0 0 1	1	0 0 2	・ ・ ・	・ ・ ・	・ ・ ・
0 0 1	2	0 0 1	・ ・ ・	・ ・ ・	・ ・ ・
0 0 1	2	0 0 2	・ ・ ・	・ ・ ・	・ ・ ・
0 0 1	2	0 0 3	・ ・ ・	・ ・ ・	・ ・ ・
0 0 1	2	0 0 4	・ ・ ・	・ ・ ・	・ ・ ・
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・

【図 8】

図8



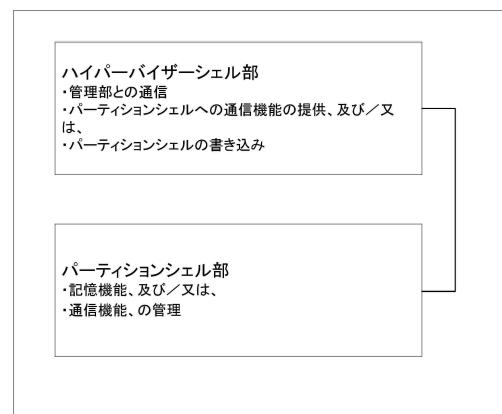
【図 9】

図9

デバイス名	PRシェル	PRリージョン	リソース情報
FPGA1	PRS1	PR1	・ ・ ・
FPGA2	PRS2	PR1	・ ・ ・
FPGA2	PRS2	PR2	・ ・ ・
FPGA4	PRS2	PR1	・ ・ ・
FPGA4	PRS2	PR2	・ ・ ・
FPGA4	PRS4	PR1	・ ・ ・
FPGA4	PRS4	PR2	・ ・ ・
FPGA4	PRS4	PR3	・ ・ ・
FPGA4	PRS4	PR4	・ ・ ・

【図 1 0】

図10



10

20

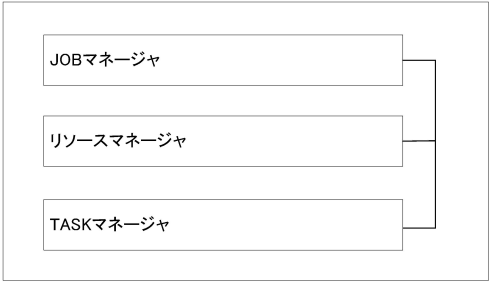
30

40

50

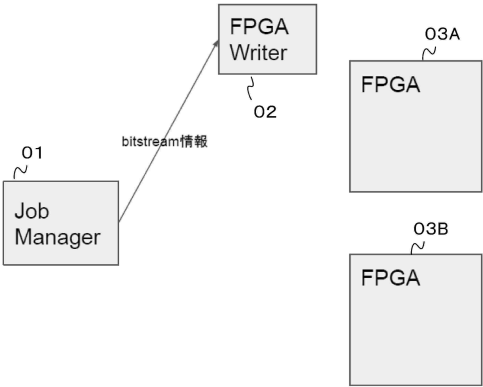
【図 1 1】

図 11



【図 1 2】

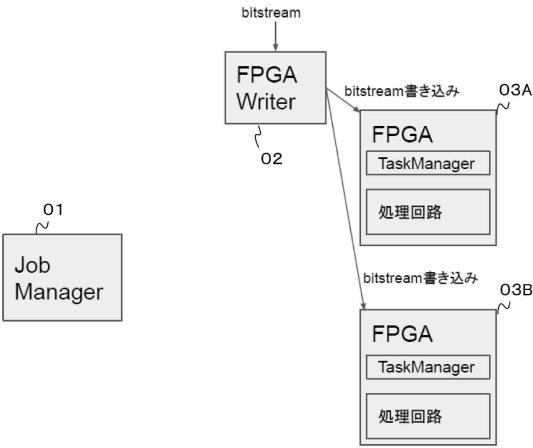
図 12



10

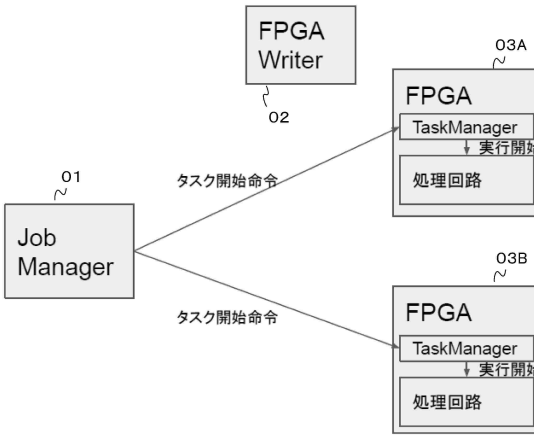
【図 1 3】

図 13



【図 1 4】

図 14



20

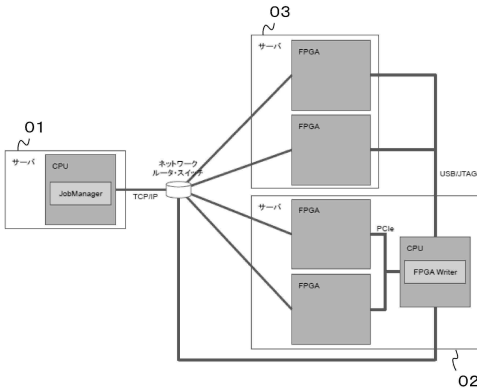
30

40

50

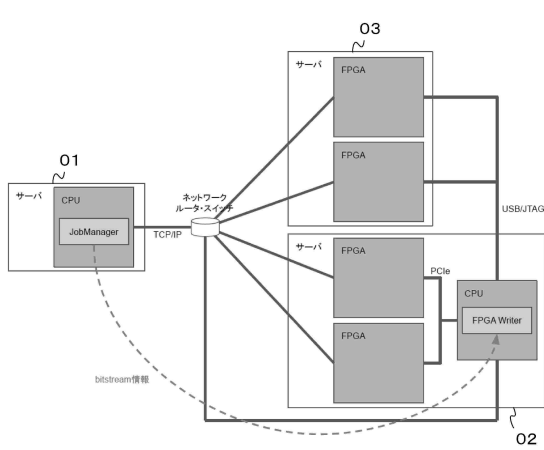
【図 15】

図15



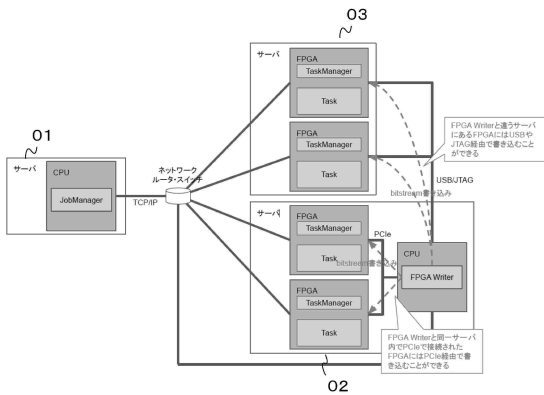
【図 16】

図16



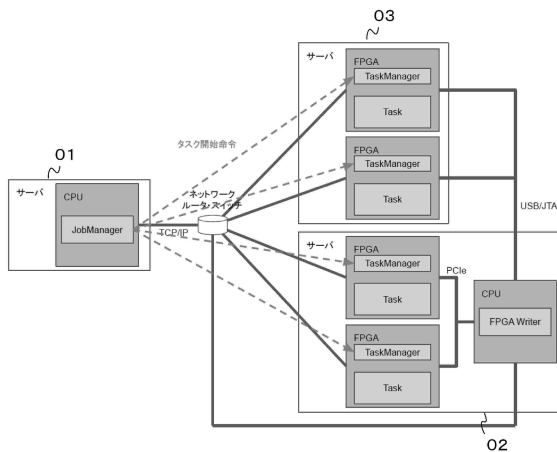
【図 17】

図17



【図 18】

図18



10

20

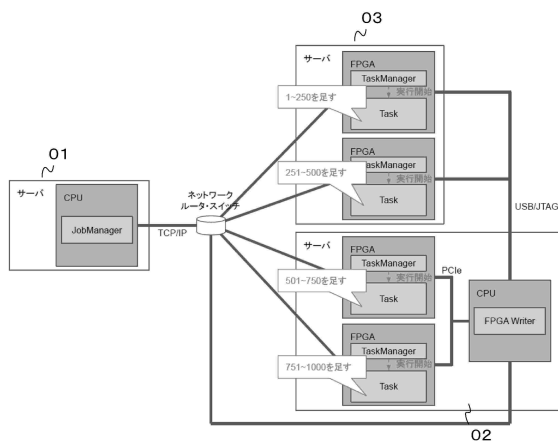
30

40

50

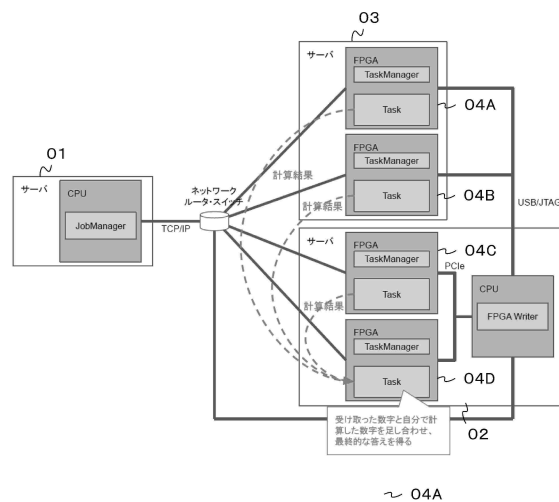
【図 19】

图 19



【図 20】

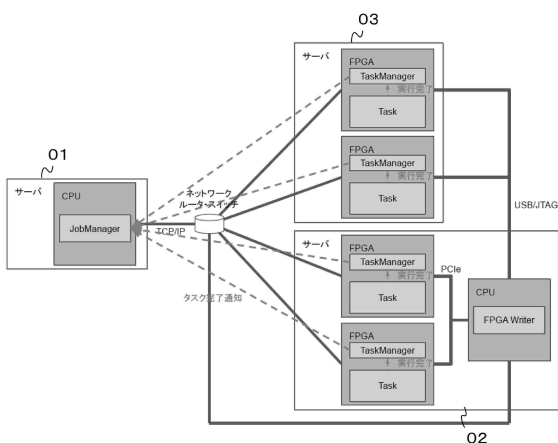
图20



10

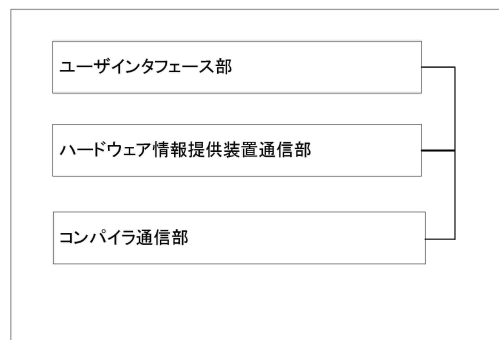
【図 2 1】

图21



【圖 2 2】

图22



20

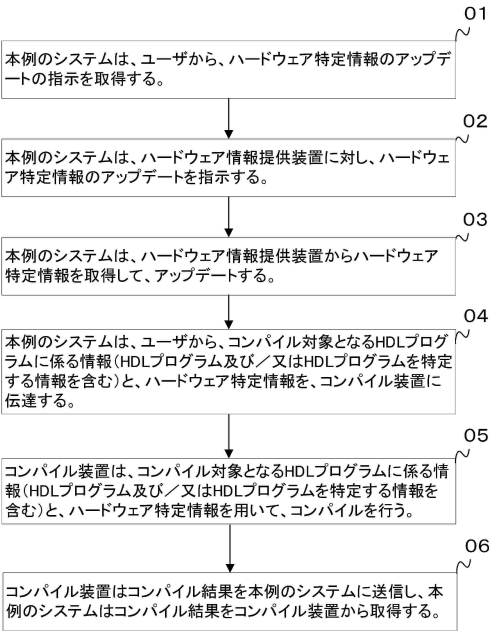
30

40

50

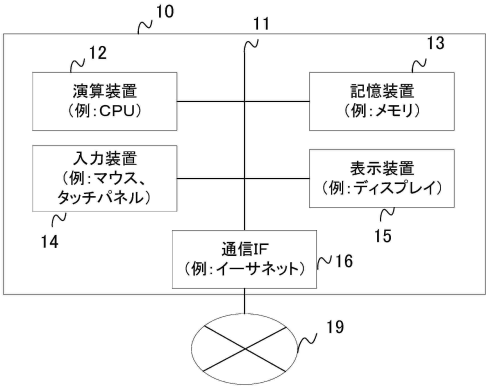
【図 2 3】

図23



【図 2 4】

図24



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表2020-537799 (JP, A)
国際公開第2017/199383 (WO, A1)
米国特許出願公開第2007/0088535 (US, A1)
菅原 健 ほか, パブリッククラウド上のFPGA搭載サーバにおける悪性ハードウェア,
2018年 暗号と情報セキュリティシンポジウム (SCIS2018) 予稿集, 2018年0
1月26日, pp.1-8
高野 了成 ほか, マルチFPGAクラウドシステムにおける資源管理の検討, 情報処理学会
研究報告 システムソフトウェアとオペレーティング・システム (OS) 2019-OS
-1, 日本, 情報処理学会, 2019年02月21日, pp.1-8
- (58)調査した分野 (Int.Cl., DB名)
G06F 9/52