

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
9. März 2006 (09.03.2006)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2006/024403 A1**

(51) Internationale Patentklassifikation:  
**G11C 17/18** (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/008952

(22) Internationales Anmeldedatum:  
18. August 2005 (18.08.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2004 042 105.6 30. August 2004 (30.08.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-  
Martin-Strasse 53, 81669 Muenchen (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **GUPTA, Siddharth**  
[IN/IN]; 307, Rifco Santosh Apartments, NAL-Wind

Tunnel Road, Bangalore 560017 (IN). **LARGUIER, Jean-Yves** [FR/FR]; 728, Rue de sant Jean, F-06600 Antibes (FR). **LEHMANN, Gunther** [DE/DE]; Schoenlohstrasse 16, 83607 Holzkirchen (DE). **MARTELLONI, Yannick** [FR/DE]; Alpenrosenstrasse 15, 85586 Poing (DE).

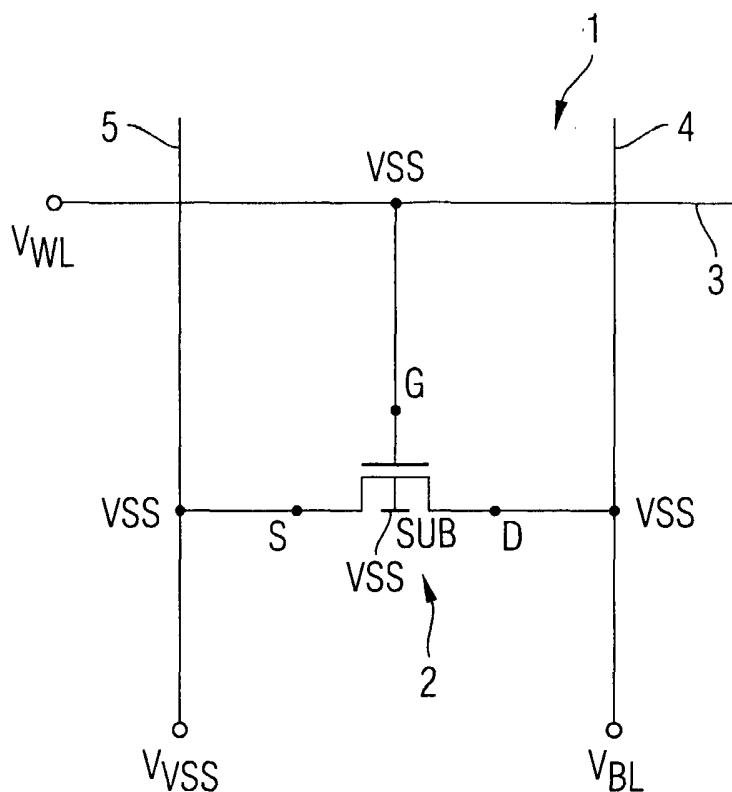
(74) **Anwalt: HASSA, Oliver**; Reinhard, Skuhra, Weise & Partner GbR, Friedrichstrasse 31, 80801 Muenchen (DE).

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,

[Fortsetzung auf der nächsten Seite]

(54) **Title:** RANDOM ACCESS MEMORY FEATURING REDUCED LEAKAGE CURRENT, AND METHOD FOR WRITING THE SAME

(54) **Bezeichnung:** ROM-SPEICHER MIT REDUZIERTEM LECKSTROM UND METHODE ZUM BESCHREIBEN DESSELBEN



(57) **Abstract:** The invention relates to a random access memory cell comprising a first terminal that is connected to a word line, a second terminal, and a third terminal. The second terminal is connected to a bit line and/or the third terminal is connected to a supply line for precharging the third terminal. The inventive ROM cell is characterized in that the first terminal, the second terminal, and/or the third terminal are impinged upon by the same reference potential in a standby mode. The invention further relates to a ROM module comprising such ROM cells as well as a method for reading out said ROM cell.

(57) **Zusammenfassung:** Die Erfindung betrifft eine ROM-Speicherzelle mit einem mit einer Wortleitung verbundenen ersten Anschluss, mit einem zweiten Anschluss und mit einem dritten Anschluss, wobei der zweite Anschluss mit einer Bitleitung verbunden ist und/oder der dritte Anschluss mit einer Versorgungsleitung zum Voraufladen des dritten Anschlusses verbunden ist. Die erfindungsgemäße ROM-Speicherzelle zeichnet sich dadurch aus, dass der erste Anschluss, der zweite Anschluss und/oder der dritte Anschluss in einem Stand-by-Betrieb jeweils mit dem gleichen Bezugspotenzial beaufschlagt sind. Die Erfindung betrifft

ferner einen ROM-Speicherbaustein mit solchen ROM-Speicherzellen sowie ein Verfahren zum Auslesen der ROM-Speicherzelle.

WO 2006/024403 A1



SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**ROM-SPEICHER MIT REDUZIERTEM LECKSTROM UND METHODE ZUM  
BESCHREIBEN DESSELBEN**

## Beschreibung

- 5 Die Erfindung betrifft eine ROM-Speicherzelle der im Oberbegriff des Patentanspruchs 1 genannten Art. Die Erfindung betrifft ferner einen ROM-Speicherbaustein sowie ein Verfahren zum Auslesen einer ROM-Speicherzelle.
- 10 Zur Informationsspeicherung in digitalen Systemen werden Halbleiterspeicher, also Halbleiterbauelemente mit zumindest einer Speicherzelle verwendet. Entsprechend der Art der Informationsspeicherung und den verschiedenen Möglichkeiten, die Information in den Speicher einzuschreiben und wieder
- 15 auszulesen, werden die Halbleiterspeicher in Klassen unterteilt. Bewahrt der Speicher die Information, auch wenn die Versorgungsspannung abgeschaltet ist, so spricht man von einem nicht-flüchtigen Speicher oder Festwertspeicher, wie zum Beispiel einem ROM (Read Only Memory). Zur Klasse der
- 20 flüchtigen Speicher gehören statische und dynamische Speicher, beispielsweise SRAM (Static Random Access Memory) oder DRAM (Dynamic Random Access Memory), die nach der Herstellung in freier Weise beschrieben und ausgelesen werden können. Im Gegensatz dazu können maskenprogrammierte ROM-Speicher nach
- 25 der Herstellung im Allgemeinen nicht beschrieben werden.
- Ein herkömmlicher ROM-Speicherbaustein umfasst eine Vielzahl von ROM-Speicherzellen, die jeweils einen Transistor enthalten. Die einzelnen Transistoren des ROM-Speicherbausteins
- 30 sind typischerweise als MOS-Transistoren (Metal Oxid Semiconductor) ausgebildet und matrixförmig in einem Speicherzellenfeld des ROM-Speicherbausteins angeordnet. Dabei ist der Source-Anschluss des Transistors mit einer Massespannung verbunden, dessen Drain-Anschluss ist wahlweise mit einer
- 35 Bitleitung verbunden und dessen Gateanschluss ist mit einer Wortleitung verbunden. Ein ROM-Speicherbaustein mit solchen

Speicherzellen ist in der gattungsbildenden deutschen Patentanmeldung DE 103 35 385 A1 beschrieben.

Im Stand-by-Betrieb ist der Source-Anschluss und der Gate-Anschluss eines solchen ROM-Speichertransistors mit einem Massepotenzial beaufschlagt, während der Drain-Anschluss mit dem positiven Versorgungspotenzial beaufschlagt ist. Solche Speicherzellenarchitekturen weisen im Stand-by-Betrieb allerdings relativ hohe Leckströme, also parasitäre Ströme auf.

Diese Leckströme sind auf unterschiedliche Ursachen zurückzuführen: Der Leckstrom  $I_{\text{Gate}}$  bezeichnet einen parasitären Strom zwischen dem Drain- bzw. Source-Anschluss und dem Gate-Anschluss. Der Leckstrom  $I_{\text{Junc}}$  bezeichnet einen parasitären Strom über den pn-Übergang zwischen dem Drain- bzw. Source-Anschluss und dem Substrat. Der Leckstrom  $I_{\text{OFF}}$  bezeichnet einen parasitären Strom im Bereich des Kanals des Transistors, also zwischen dessen Drainzone und Sourcezone. Diese Leckströme sind unerwünscht, da im Stand-by-Betrieb, bei der die ROM-Speicherzellen also nicht benötigt werden, diese dennoch einen nicht vernachlässigbaren Stromverbrauch aufweisen, der insbesondere für mobile Anwendungen die lokale Energieversorgung schnell erschöpfen kann. Aus diesen Gründen wird bei modernen ROM-Speicherzellenarchitekturen zunehmend auf die Reduzierung der Leckströme geachtet.

Fig. 1 zeigt das Schaltbild einer allgemein bekannten Leckstrom-optimierten Speicherzelle. Fig. 1a zeigt die dazugehörigen Signal-Zeit-Diagramme.

In Fig. 1 ist ein einzelner Speichertransistor ST dargestellt, dessen Gate-Anschluss G mit einer Wortleitung WL, dessen Drain-Anschluss D mit einer Bitleitung BL und dessen Source-Anschluss S mit einer Versorgungsleitung VL verbunden ist. Die Versorgungsleitung VL wie auch die Bitleitung BL sind im dargestellten Stand-by-Betrieb mit einem positiven Versorgungspotenzial VDD beaufschlagt. Die Wortleitung WL ist im Stand-by-Betrieb mit dem Potenzial VSS=0 Volt beauf-

schlägt. Die ROM-Speicherzellenarchitektur in Fig. 1 erlaubt zwar, den Leckstrom  $I_{OFF}$  vollständig zu unterdrücken. Allerdings wird durch diese Speicherzellenarchitektur unerwünschterweise der Leckstrom  $I_{Gate}$  und  $I_{Junc}$  verdoppelt.

5

Moderne Speichertechnologien sehen eine zunehmende Integration vor. Bei zukünftigen Speichergenerationen, die in der so genannten Deep-Sub-Micron Technologie, also mit Strukturbreiten von 70 nm und weniger, hergestellt werden, nimmt insbesondere der Leckstrom  $I_{Gate}$  stark zu. Dies liegt daran, dass mit zunehmender Integration das Gateoxid immer dünner wird, wodurch der Leckstrom  $I_{Gate}$  aufgrund von Tunneleffekten durch das Gateoxid immer größer wird.

10

Ein weiteres Problem, welches der bekannten Speicherzellenarchitektur entsprechend Fig. 1 inhärent ist, ergibt sich beim Auslesen der ROM-Speicherzelle. Vor dem Auslesen der in der Speicherzelle enthaltenen Information wird der mit der Versorgungsleitung VL verbundene Source-Anschluss S zunächst entladen, beispielsweise auf das Potenzial 0 Volt, um den Speichertransistor ST beim Auslesen über die Wortleitung WL und damit über dessen Gate-Anschluss G aufzusteuern. Idealerweise sollte dabei die zwischen dem Gate-Anschluss G und dem Drain-Anschluss D abfallende Spannung  $V_{GS}$  nach dem Entladen des Source-Anschlusses S gleich dem Potenzial der Bitleitung BL sein, so dass gilt  $V_{GS}=V_{DD}$ . Ist die Entladung des Source-Anschlusses S allerdings nicht vollständig, beispielsweise im Falle einer sehr hohen Bitleitungskapazität, dann beträgt die Gate-Source-Spannung  $V_{GS}$  beim Auslesen vielmehr  $V_{GS}=V_{DD}-V_{VSS}$ , wobei  $V_{VSS}$  das am Source-Anschluss S nach dem Entladen noch verbleibende Potenzial bezeichnet. Folglich kann der Speichertransistor ST nicht ausreichend schnell aufgesteuert werden, was eine niedrigere Auslesegeschwindigkeit der ROM-Speicherzelle mit sich bringt.

20

25

30

35

Ausgehend davon liegt der vorliegenden Erfindung die Aufgabe zugrunde, den Leckstrom bei einer ROM-Speicherzelle oder

einer entsprechenden ROM-Speicherzellenarchitektur zu reduzieren und insbesondere möglichst ganz zu eliminieren.

Erfindungsgemäß wird diese Aufgabe durch eine ROM-Speicher-  
5 zelle mit den Merkmalen des Patentanspruchs 1, einen ROM-Speicherbaustein mit den Merkmalen des Patentanspruchs 9 sowie ein Verfahren mit den Merkmalen des Patentanspruchs 13 gelöst.

10 Demgemäß ist vorgesehen:

- Eine Leckstrom-optimierte ROM-Speicherzelle mit einem mit einer Wortleitung verbundenen ersten Anschluss, mit einem zweiten Anschluss und mit einem dritten Anschluss, wobei  
15 der zweite Anschluss mit einer Bitleitung verbunden ist und/oder der dritte Anschluss mit einer Versorgungsleitung zum Voraufladen des dritten Anschlusses verbunden ist. Die ROM-Speicherzelle zeichnet sich dadurch aus, dass der erste Anschluss, der zweite Anschluss und/oder der dritte Anschluss in einem Stand-by-Betrieb jeweils mit dem gleichen Bezugspotenzial beaufschlagt sind. (Patentanspruch 1)  
20
- Eine ROM-Speicherbaustein mit zumindest einem Speicherzellenfeld, der jeweils enthält: eine Vielzahl von ROM-Speicherzellen, eine Vielzahl von Wortleitungen, eine  
25 Vielzahl von Bitleitungen und eine Vielzahl von Versorgungsleitungen zum Voraufladen eines Anschlusses einer der ROM-Speicherzellen, wobei die Wortleitungen, die Bitleitungen und die Versorgungsleitungen eines Speicherzellenfeldes im Stand-by-Betrieb jeweils mit dem gleichen Bezugspotenzial beaufschlagt sind. (Patentanspruch 9)  
30
- Ein Verfahren zum Auslesen einer ROM-Speicherzelle, die einen steuerbaren ersten, einen zweiten und einen dritten  
35 Anschluss aufweist, bei dem in einem Stand-By-Betrieb alle Anschlüsse oder zumindest der erste Anschluss und der zweite oder der dritte Anschluss der ROM-Speicherzelle mit

5 einem gleichen Bezugspotenzial beaufschlagt werden und bei dem in einem Lesebetrieb zum Auslesen der ROM-Speicherzelle zunächst der dritte Anschluss mit einem ersten Potenzial voraufgeladen wird, anschließend der erste Anschluss mit einem zweiten Potenzial beaufschlagt wird und schließlich der Inhalt der Speicherzelle über den zweiten Anschluss ausgelesen wird. (Patentanspruch 13)

10 Die der vorliegenden Erfindung zugrunde liegende Idee besteht darin, im Stand-By Betrieb sämtliche Anschlüsse einer Speicherzelle mit demselben Potenzial zu beaufschlagen. Im Falle eines ROM-Speichertransistors ist somit dessen Gate-Anschluss (erster Anschluss), über den die Speicherzelle in einen Auslesemodus steuerbar ist, und zumindest einer der beiden  
15 Anschlüsse der gesteuerten Strecke des Speichertransistors, das heißt dessen Drain-Anschluss (zweiter Anschluss) und/oder dessen Source-Anschluss (dritter Anschluss), je nach Programmierung mit demselben Bezugspotenzial beaufschlagt. Der besondere Vorteil besteht darin, dass zwischen solchen Anschlüssen, die ein gleiches Potenzial aufweisen, somit kein  
20 Spannungsabfall vorhanden ist, so dass dort im Stand-By-Betrieb auch kein Leckstrom fließen kann.

Sind zum Beispiel gemäß einer ersten Programmierung alle  
25 Anschlüsse, das heißt Gate-Anschluss, Drain-Anschluss und Source-Anschluss, mit demselben Bezugspotenzial beaufschlagt, fließen mangels eines Spannungsabfalls zwischen diesen Anschlüssen auch keinerlei Leckströme. Im Falle einer zweiten Programmierung ist einer der Anschlüsse der gesteuerten  
30 Strecke nicht an die entsprechende Versorgungs- bzw. Bitleitung angeschlossen. Der jeweils andere Anschluss ist in gleicher Weise wie der Gate-Anschluss mit demselben Bezugspotenzial beaufschlagt, so dass zwischen diesen Anschlüssen kein Spannungsabfall vorhanden ist und damit auch kein Leckstrom fließt. Der nicht an einer Versorgungs- bzw. Bitleitung  
35 angeschlossene Anschluss weist somit gewissermaßen ein floatendes Potenzial auf, welches typischerweise relativ nahe dem

Bezugspotenzial ist. Damit können auch hier lediglich minimale Leckströme entstehen.

Insgesamt bedeutet dies, dass durch die erfindungsgemäße  
5 Speicherzelle die Leckströme zwischen den ersten, zweiten  
und/oder dritten Anschlüssen weitestgehend eliminiert sind.  
Im Stand-by-Betrieb der ROM-Speicherzelle ist diese somit  
(nahezu) vollständig Leckstrom frei. Dies ist für den Gesamt-  
stromverbrauch insbesondere für mobile Anwendungen sehr  
10 vorteilhaft.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den weiteren Unteransprüchen sowie der Beschreibung unter Bezugnahme auf die Zeichnung.

15 In einer vorteilhaften Ausgestaltung ist als Speichertransistor ein durch Feldeffekt steuerbarer Transistor vorgesehen. Besonders vorteilhaft ist es, wenn dieser Speichertransistor als N-Kanal-Transistor, insbesondere als N-Kanal-MOSFET  
20 ausgebildet ist.

Insgesondere bei Verwendung einer als MOS-Transistor ausgebildeten Speicherzelle weist diese einen vierte, so genannten Substratanschluss auf, der mit dem Substrat der Speicherzelle  
25 verbunden ist. Insbesondere bei MOS-Transistoren ist das Substrat und damit auch der Substrat-Anschluss mit einem Bezugspotenzial beaufschlagt. Vorzugsweise ist im Stand-by-Betrieb der erste, zweite und dritte Anschluss mit demselben Bezugspotenzial des Substratanschlusses beaufschlagt.

30 In einer typischen Ausgestaltung ist als Bezugspotenzial ein Potenzial von 0 Volt, also das Potenzial der Bezugsmasse, vorgesehen.

35 Bei digital ausgebildeten Speichern ist eine Speicherzelle jeweils zum Speichern eines ersten logischen Pegels oder eines zweiten logischen Pegels ausgebildet. Ein logischer



Pegel kann ein logischer hoher Pegel ("1", High) oder ein logischer niedriger Pegel ("0", Low) sein. Während der Programmierung, beispielsweise durch eine Maskenprogrammierung, wird einer jeweiligen ROM-Speicherzelle dadurch entweder ein  
5 erster oder ein zweiter logischer Pegel zugeordnet.

Typischerweise ist im Falle einer ROM-Speicherzelle, die zum Speichern eines ersten logischen Pegels, beispielsweise eines hohen logischen Pegels, ausgelegt ist, der zweite (Drain-  
10 )Anschluss an die Bitleitung angeschlossen und der dritte (Source-)Anschluss an die Versorgungsleitung angeschlossen. Dabei weisen alle drei Anschlüsse, also Gate-, Drain- und Source-Anschluss dasselbe Bezugspotenzial auf. Im Falle einer ROM-Speicherzelle, die zum Speichern eines zweiten logischen  
15 Pegels, beispielsweise eines niedrigen logischen Pegels, ausgelegt ist, wird der zweite (Drain-)Anschluss nicht an die Bitleitung angeschlossen. Denkbar wäre auch eine alternative Variante, bei der der dritte (Source-)Anschluss von der Versorgungsleitung getrennt ist. Funktionell ist hier kein  
20 Unterschied, da es ausreicht, dass bei dieser Programmierung die gesteuerte Strecke (Drain-Source-Strecke) des Transistors stets unterbrochen ist und somit zwischen Drain und Source keinerlei Strom fließt. Damit kann über die Bitleitung auch kein Signal aus der Speicherzelle ausgelesen werden. Dies  
25 wird von einer entsprechenden Auswerteschaltung als zweiter logischer Pegel interpretiert.

In einer sehr vorteilhaften Ausgestaltung der Erfindung bezeichnet der erste logische Pegel einen hohen logischen  
30 Pegel ("1") und der zweite logische Pegel einen niedrigen logischen Pegel ("0"). Hier wird also ein erster Datenwert "1" dadurch programmiert, dass der Entladepfad durch den Transistor aufgebaut wird, und der zweite Datenwert "0" wird dadurch programmiert, dass der Entladepfad durch den Transis-  
35 tor nicht aufgebaut wird.

In einer vorteilhaften Ausgestaltung des erfindungsgemäßen ROM-Speicherbausteins sind die Wortleitungen, die Bitleitungen und die Versorgungsleitungen eines im Stand-by-Betrieb betriebenen Speicherzellenfeldes mit einem Bezugspotenzial von 0 Volt beaufschlagt.

In einer vorteilhaften Ausgestaltung ist eine Einrichtung zum Voraufladen der Versorgungsleitungen vorgesehen. Diese Einrichtung ist dazu ausgelegt, vor einem Auslesen oder für einen Auslesevorgang der Speicherzelle zumindest eine Versorgungsleitung auf ein erstes Potenzial, beispielsweise das positive Versorgungspotenzial, aufzuladen, um damit einen Auslesevorgang zu ermöglichen.

In einer sehr vorteilhaften Ausgestaltung wird als Einrichtung zum Voraufladen ein Spaltendecoder bzw. ein Bitleitungsdecoder verwendet. Dieser Bitleitungsdecoder, der eine jeweilige Bitleitung, über die die Speicherzelle ausgelesen werden soll, auswählt, ist vorzugsweise zusätzlich dazu ausgelegt, die entsprechende Versorgungsleitung, die derselben Speicherzelle zugeordnet ist, mit einem Spannungspotenzial voraufzuladen. Dies stellt eine schaltungstechnisch sehr einfache, platzsparende und energetisch vorteilhafte Möglichkeit dar, da lediglich diejenige Versorgungsleitung mit einem Spannungspotenzial beaufschlagt wird, die einer jeweils auszulesenden Speicherzelle zugeordnet ist. Die übrigen Versorgungsleitungen anderer Speicherzellenspalten, die nicht ausgelesen werden sollen, werden nicht aufgeladen.

Zum Auslesen der verschiedenen Speicherzellen ist einer jeweiligen Bitleitung typischerweise zumindest ein Auswahltransistor zugeordnet, der steuerseitig mit einer Multiplexerschaltung verbunden ist. Die gesteuerte Strecke dieses Auswahltransistors ist einerseits an die jeweilige Bitleitung angeschlossen und andererseits mit einer Ausleseschaltung gekoppelt. Da bitleitungsseitig im Stand-by-Betrieb ein 0 Volt Bezugspotenzial anliegt und im Auslesemodus ein

steigendes Potenzial detektiert werden soll, ist es vorteilhaft, wenn dieser Auswahltransistor als N-Kanal-Transistor ausgebildet ist. Aufgrund ihrer Strom-Spannungs-Kennlinie eignen sich hier N-Kanal-MOSFETs besser als P-Kanal-MOSFETs, da deren Drain-Anschluss näher an dem Bezugspotenzial (also an 0 Volt) liegt, als an dem Betriebspotenzial ( $V_{DD}$ ).

Die Verwendung von NMOS-Transistoren als Auswahltransistoren ist insbesondere hinsichtlich des Flächenbedarfes vorteilhaft. NMOS-Transistoren weisen gegenüber PMOS-Transistoren den besonderen Vorteil auf, dass sie aufgrund der unterschiedlichen Beweglichkeit von Löchern und Elektronen einen etwa dreifach kleineren Flächenbedarf bei gleichem Sättigungsstrom aufweisen. Insbesondere bei Verwendung einer Vielzahl von Auswahltransistoren, wie dies bei Speicherbausteinen der Fall ist, lässt sich damit eine signifikante Flächensparnis realisieren. Darüber lassen sich NMOS-Transistoren auch schneller schalten, was unmittelbar zu schnelleren Auslesegeschwindigkeiten führt. Alternativ wäre allerdings auch denkbar, als Auswahltransistoren P-Kanal-MOSFETs oder eine Kombination von P-Kanal- und N-Kanal-MOSFETs zu verwenden.

In einer vorteilhaften Ausgestaltung des erfindungsgemäßen Verfahrens wird das erste Potenzial und das zweite Potenzial gleich gewählt. Die beiden gleichen Potentiale bezeichnen insbesondere das Betriebspotenzial, beispielsweise das positive Versorgungspotenzial.

In einer weiteren Ausgestaltung des erfindungsgemäßen Verfahrens werden die Wortleitungen durch Dekodieren einer Zeilenadresse ausgewählt und die Bitleitungen und die Versorgungsleitungen werden durch Dekodieren einer Spaltenadresse ausgewählt.

Die Erfindung wird nachfolgend anhand der in den schematischen Figuren der Zeichnung angegebenen Ausführungsbeispiele näher erläutert. Es zeigen dabei:

5 Fig. 1 das Schaltbild einer bekannten ROM-Speicherzelle;

Fig. 1a die zu der bekannten ROM-Speicherzelle in Fig. 1 dazugehörigen Signal-Zeit-Diagramme;

10 Fig. 2 das Schaltbild einer erfindungsgemäßen ROM-Speicherzelle, die zum Speichern eines logischen hohen Pegels ausgelegt ist;

15 Fig. 2a die zu der ROM-Speicherzelle in Fig. 2 dazugehörigen Signal-Zeit-Diagramme;

Fig. 3 das Schaltbild einer erfindungsgemäßen ROM-Speicherzelle, die zum Speichern eines logischen niedrigen Pegels ausgelegt ist;

20 Fig. 3a die zu der ROM-Speicherzelle in Fig. 3 dazugehörigen Signal-Zeit-Diagramme;

25 Fig. 4 ein Blockschaltbild eines erfindungsgemäßen ROM-Speicherbausteins mit erfindungsgemäßen ROM-Speicherzellen.

30 In den Figuren der Zeichnungen sind - sofern nichts anderes angegeben ist - gleiche Elemente und Signale mit denselben Bezugszeichen versehen worden.

Fig. 2 zeigt das Schaltbild einer erfindungsgemäßen ROM-Speicherzelle. In Fig. 2 ist die erfindungsgemäße ROM-Speicherzelle mit Bezugszeichen 1 bezeichnet. Die Speicherzelle 1 weist einen Speichertransistor 2 auf, der im vorliegenden Ausführungsbeispiel als N-Kanal-MOSFET, kurz NMOS-Transistor, ausgebildet ist. Der NMOS-Transistor 2 weist in

bekannter Weise einen Gate-Anschluss G zum gesteuerten Ein- und Ausschalten des Speichertransistors 2 sowie einen Source-Anschluss S und einen Drain-Anschluss D auf, zwischen denen die gesteuerte Strecke des Speichertransistors 2 vorliegt.

5 Der Gate-Anschluss G ist an eine Wortleitung 3, der Drain-Anschluss D ist an eine Bitleitung 4 und der Source-Anschluss S ist an eine Versorgungsleitung 5 angeschlossen. Der Speichertransistor 2 weist ferner einen Substratanschluss SUB auf.

10

Die erfindungsgemäße Speicherzelle 1 in Fig. 2 ist dazu ausgelegt, einen logischen hohen Pegel zu speichern. Daher ist sowohl der Gate-Anschluss G sowie der Drain-Anschluss D jeweils mit der Wortleitung 3 bzw. der Bitleitung 4 verbunden.

15

Im Stand-by-Betrieb der Speicherzelle 1 ist die Wortleitung 3, die Bitleitung 4 und die Versorgungsleitung 5 und damit die entsprechenden Anschlüsse G, D, S mit dem Bezugspotenzial VSS, im vorliegenden Fall mit VSS = 0 Volt, beaufschlagt.

20

Darüber hinaus befindet sich auch der Substratanschluss SUB auf dem Bezugspotenzial VSS = 0 Volt. Im Stand-by-Betrieb ist somit die zwischen Source-Anschluss S und Gate-Anschluss G abfallende Gate-Source-Spannung VGS sowie die zwischen Drain-

25

Anschluss D und Gate-Anschluss G abfallende Drain-Gate-Spannung VGD gleich 0 Volt. Da zwischen diesen Anschlüssen somit keinerlei Spannung abfällt, fließt zwischen Gate und Source sowie zwischen Gate und Drain keinerlei Leckstrom, unabhängig davon, wie dick das Gate-Oxid des Speichertransistors 2 ist. Im Stand-By-Betrieb ist also der Strom  $I_{\text{Gate}} =$

30

0 Ampere oder zumindest vernachlässigbar gering. Da darüber hinaus das Substrat SUB ebenfalls auf einem 0 Volt Bezugspotenzial liegt, fällt somit zwischen dem Source-Anschluss S und dem Substratanschluss SUB sowie zwischen dem Drain-

35

Anschluss D und dem Substratanschluss SUB ebenfalls keine Spannung ab. Somit entsteht auch keinerlei Leckstrom zwischen Source- bzw. Drain-Anschluss und dem Substrat, so dass auch

der Strom  $I_{\text{Junc}} = 0$  Ampere beträgt oder zumindest vernachlässigbar gering ist.

Fig. 2a zeigt die Signal-Zeit-Diagramme für einen Auslesevorgang einer erfindungsgemäßen ROM-Speicherzelle entsprechend Fig. 2. Mit  $V_{\text{WL}}$  ist das Potenzial der Wortleitung 3, mit  $V_{\text{BL}}$  das Potenzial der Bitleitung 4 und mit  $V_{\text{VDD}}$  das Potenzial der Versorgungsleitung 5 bezeichnet. Vor einem Auslesevorgang befinden sich, wie bereits anhand von Fig. 2 dargelegt wurde, sämtliche Leitungen 3, 4, 5 auf einem Bezugspotenzial  $V_{\text{SS}}=0$  Volt. Zum Auslesen der in der Speicherzelle 1 gespeicherten Information ("1") wird der Source-Anschluss S über die Versorgungsleitung 5 zunächst auf ein Versorgungspotenzial  $V_{\text{DD}}$  voraufgeladen. Nach dem Voraufladen des Source-Anschlusses S bzw. auch bereits während dem Voraufladevorgang wird der Gate-Anschluss G über die Wortleitung 3 ebenfalls mit einem Versorgungspotenzial  $V_{\text{DD}}$  beaufschlagt, wodurch der Speichertransistor 2 aufgesteuert wird. Aufgrund der Spannungsdifferenz zwischen Source und Drain fließt damit ein Drain-Source-Strom, was dazu führt, dass das Potenzial am Drain-Anschluss D und somit an der Bitleitung 4 zunehmend steigt. Dieses steigende Potenzial kann über einen Leseverstärker, der dieses Signal als hohen logischen Pegel interpretiert, ausgelesen werden.

Typischerweise ist das Voraufladen des Source-Anschlusses S über die Versorgungsleitung 5, insbesondere aufgrund der Leitungskapazitäten innerhalb einer ROM-Speicheranordnung, relativ unvollständig, was unmittelbar auch dazu führt, dass das Potenzial am Drain-Anschluss auch nicht vollständig auf das Versorgungspotenzial  $V_{\text{DD}}$  steigt. Typischerweise reicht aber bereits ein Potenzialhub von etwa 10%  $V_{\text{DD}}$  an der Bitleitung aus, damit dieses Signal von dem Leseverstärker als logischer hoher Pegel interpretiert werden kann bzw. von einem logischen niedrigen Pegel unterschieden werden kann. Selbst wenn bei einem Auslesevorgang das Potenzial an der Versorgungsleitung 5 nicht den idealen Wert des Betriebspo-

tenzials VDD erreicht, hat die Speicherzelle 1 ihren maximalen Sättigungsstrom, da die zwischen Gate- und Source-Anschluss G, S abfallende Spannung  $V_{GS}$  gleich der Betriebsspannung VDD ist.

5

Fig. 3 zeigt eine erfindungsgemäße ROM-Speicherzelle, die zum Speichern eines niedrigen logischen Pegels ausgelegt ist. Fig. 3a zeigt das dazugehörige Signal-Zeit-Diagramm.

- 10 Im Unterschied zu dem Ausführungsbeispiel in der Fig. 2 ist hier der Drain-Anschluss D nicht an die Bitleitung 4 angeschlossen. Der Drain-Anschluss D befindet sich somit gewissermaßen auf einem floatenden Potenzial, typischerweise aufgrund des Substratpotenzials VSS auf einem Potenzial nahe  
15 des Bezugspotenzials VSS. Der Source-Anschluss S und der Gate-Anschluss G befinden sich weiterhin auf einem Bezugspotenzial von  $VSS = 0$  Volt. Zwischen Source und Gate ergibt sich - wie oben in dem Ausführungsbeispiel in Fig. 2 - keinerlei Leckstrom  $I_{Gate}$ . In gleicher Weise ergibt sich auch  
20 kein Leckstrom  $I_{Junc}$  zwischen dem Source-Anschluss S und dem Substrat-Anschluss SUB. Lediglich zwischen dem Gate-Anschluss G und dem Drain-Anschluss D einerseits sowie zwischen dem Drain-Anschluss D und dem Substrat-Anschluss SUB ergeben sich geringfügige Leckströme  $I_{Gate}$ ,  $I_{Junc}$ , die aber aufgrund der  
25 Tatsache, dass der Drain-Anschluss D ein floatendes Potenzial nahe des Bezugspotenzials VSS aufweist, ebenfalls vernachlässigbar gering sind.

- Für einen Auslesevorgang (siehe Fig. 3a) wird in bekannter  
30 Weise zunächst die Versorgungsleitung 5 mit dem Versorgungspotenzial VDD voraufgeladen. Anschließend wird der Gate-Anschluss G über die Wortleitung 3 mit dem Versorgungspotenzial VDD aufgeladen. Da der Drain-Anschluss D allerdings nicht an die Bitleitung 4 angeschlossen ist, bleibt die  
35 Bitleitung 4 auf dem Bezugspotenzial  $VSS = 0$  Volt, so dass ein Leseverstärker den Inhalt dieser Speicherzelle 2 als einen niedrigen logischen Pegel interpretiert.

Fig. 4 zeigt ein Blockschaltbild eines erfindungsgemäßen ROM-Speicherbausteins mit erfindungsgemäßen ROM-Speicherzellen.

In Fig. 4 ist ein ROM-Speicherbaustein lediglich schematisch,

5 also nicht vollständig, dargestellt. Der Speicherbaustein 10 weist ein Speicherzellenfeld 11 auf, welches im vorliegenden Ausführungsbeispiel aus einer Vielzahl von erfindungsgemäßen ROM-Speicherzellen 1 aufgebaut ist. Die Speicherzellen 1 sind in bekannter Weise matrixförmig in Zeilen und Spalten ange-

10 ordnet, wobei jeder Zeile eine Wortleitung 3 und jeweils einer Spalte eine Bitleitung 4 sowie eine Versorgungsleitung 5 zugeordnet ist. Die Wortleitungen 3 sind mit einem Zeilen-decoder 12, die Bitleitungen 4 mit einem Spaltendecoder 13 und die Versorgungsleitungen 5 mit einer Vorladeschaltung 14

15 verbunden.

Für einen Auslesevorgang ist jeder Bitleitung 4 jeweils zumindest ein Auswahltransistor 15 zugeordnet. Im vorliegen-

20 den Ausführungsbeispiel sind die Auswahltransistoren 15 in gleicher Weise wie die Transistoren des Speicherzellenfeldes 11 als N-Kanal-MOSFET ausgebildet. Dabei ist der Drain-

Anschluss D eines Auswahltransistors 15 mit einer jeweiligen Bitleitung 4 verbunden. Der Drain-Anschluss D ist somit mit einem Bezugspotenzial VSS (Stand-By-Betrieb) oder mit einem

25 Potenzial in der Nähe des Bezugspotenzial VSS (Lesebetrieb) beaufschlagt. Der Source-Anschluss S des Auswahltransistors 15 ist mit einer Ausleseschaltung 16 verbunden. Zum Selektie-

ren einer jeweiligen Bitleitung 4, das heißt zum Auswählen einer einzelnen oder einiger spezieller Bitleitungen 4 inner-

30 halb des Speicherzellenfeldes 11, ist der Gate-Anschluss G mit einer Bitleitungsmultiplexerschaltung 17 verbunden. Über diese Bitleitungsmultiplexerschaltung 17 ist ein jeweiliger

Auswahltransistor 15, der einer Bitleitung 4 zugeordnet ist, über welche eine ROM-Speicherzelle 1 ausgelesen werden soll,

35 ein- bzw. ausschaltbar.



Obgleich die vorliegende Erfindung vorstehend anhand vorteilhafter Ausführungsbeispiele beschrieben wurde, sei sie nicht darauf beschränkt, sondern auf mannigfaltige Art und Weise modifizierbar.

5

So sei die Erfindung nicht ausschließlich auf die Verwendung von als NMOS-Transistoren ausgebildeten Speichertransistoren bzw. Auswahltransistoren beschränkt, sondern kann selbstverständlich auch auf PMOS-Transistoren erweitert werden. Als Speichertransistoren können selbstverständlich auch andere Transistortypen, beispielsweise JFETs, Bipolartransistoren oder dergleichen, verwendet werden, wenngleich sich MOSFETs als Speichertransistoren besonders gut eignen. Darüber hinaus ist durch Austausch der Leitfähigkeitstypen N gegen P und umgekehrt eine Vielzahl unterschiedlicher Ausführungsbeispiele angebbbar.

Es versteht sich von selbst, dass die Schaltungstopographie einer einzelnen ROM-Speicherzelle wie auch die Schaltungstopographie eines ROM-Speicherbausteins geeignet modifiziert oder verändert werden kann, ohne dass vom Wesen der Erfindung abgewichen wird.

Die Erfindung wurde so beschrieben, dass ein logischer hoher Pegel durch Anschließen sämtlicher Anschlüsse des ROM-Speichertransistors definiert ist und ein logischer niedriger Pegel durch Nichtanschließen des Drain-Anschlusses an die Bitleitung definiert ist. Denkbar wäre selbstverständlich auch eine umgekehrte Logik. Darüber hinaus wäre auch möglich, dass statt des Nichtanschließens des Drain-Anschlusses an die Bitleitung der Source-Anschluss nicht an die Versorgungsleitung angeschlossen wird oder zusätzlich oder alternativ auch der Gate-Anschluss nicht an die Wortleitung angeschlossen wird.

35

Auch wäre statt der Verwendung eines Bezugspotenzials von 0 Volt selbstverständlich ein anderes Bezugspotenzial denkbar.

- 5 Wengleich in der Fig. 4 lediglich ein einziges Speicherzellenfeld eines ROM-Speicherbausteins dargestellt ist, versteht es sich von selbst, dass ein ROM-Speicherbausteins beliebig komplex ausgebildet sein kann und entsprechend eine beliebige Vielzahl von Speicherzellenfelder aufweisen kann.

10

Auch sei die Erfindung nicht ausschließlich auf maskenprogrammierte ROM-Speicher beschränkt. Denkbar wären selbstverständlich auch andere Arten der Programmierung, beispielsweise die Programmierung mittels einer Diffusionsmaske.

15

## Patentansprüche

1. Leckstrom optimierte ROM-Speicherzelle (1)

- mit einem mit einer Wortleitung (3) verbundenen ersten

5 Anschluss (G),

- mit einem zweiten Anschluss (D) und

- mit einem dritten Anschluss (S),

- wobei der zweite Anschluss (D) mit einer Bitleitung (4)

verbunden ist und/oder der dritte Anschluss (S) mit einer

10 Versorgungsleitung (5) zum Voraufladen des dritten Anschlusses (S) verbunden ist,

d a d u r c h g e k e n n z e i c h n e t ,

dass der erste Anschluss (G), der zweite Anschluss (D)

und/oder der dritte Anschluss (S) in einem Stand-by-Betrieb

15 jeweils mit dem gleichen Bezugspotenzial (VSS) beaufschlagt sind.

2. Speicherzelle nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

20 dass die Speicherzelle (1) einen Speichertransistor (2)

aufweist, der einen als ersten Anschluss (G) ausgebildeten

Gate-Anschluss (G), einen als zweiten Anschluss (D) ausgebil-

deten Drain-Anschluss (D) und einen als dritten Anschluss (S)

ausgebildeten Source-Anschluss (S) aufweist.

25

3. Speicherzelle nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t ,

dass der Speichertransistor (2) als n-Kanal Transistor (2),

insbesondere als NMOS-Transistor (2), ausgebildet ist.

30

4. Speicherzelle nach wenigstens einem der vorstehenden

Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass der Speichertransistor (2) einen vierten Anschluss (SUB)

35 aufweist, der den Substratanschluss (SUB) des Speichertran-

sistors (2) bildet und der mit dem gleichen Bezugspotenzial

(VSS) beaufschlagt ist wie der erste Anschluss (G), der

zweite Anschluss (D) und/oder der dritte Anschluss (S) im Stand-by-Betrieb.

5. Speicherzelle nach wenigstens einem der vorstehenden

5 Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

dass als Bezugspotenzial (VSS) ein Potenzial von 0 Volt vorgesehen ist.

10 6. Speicherzelle nach wenigstens einem der vorstehenden

Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

15 dass die Speicherzelle (1) zum Speichern eines ersten logischen Pegels ausgelegt ist, bei dem der zweite Anschluss (D) mit der Bitleitung (4) und der dritte Anschluss (S) mit der Versorgungsleitung (5) verbunden ist und bei dem alle Anschlüsse (G, D, S) mit demselben Bezugspotenzial (VSS) beaufschlagt sind.

20 7. Speicherzelle nach wenigstens einem der Ansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t ,

25 dass die Speicherzelle (1) zum Speichern eines zweiten logischen Pegels ausgelegt ist, bei dem der zweite Anschluss (D) mit der Bitleitung (4) oder der dritte Anschluss (S) mit der Versorgungsleitung (5) verbunden ist und bei dem der an die Bitleitung (4) bzw. der an die Versorgungsleitung (5) angeschlossene Anschluss (D, S) sowie der erste Anschluss (G) mit demselben Bezugspotenzial (VSS) beaufschlagt sind.

30 8. Speicherzelle nach wenigstens einem der Ansprüche 6 oder 7,

d a d u r c h g e k e n n z e i c h n e t ,

35 dass erste logische Pegel einen logischen hohen Pegel ("1") und der zweite logische Pegel einen logischen niedrigen Pegel ("0") bezeichnet.

9. ROM-Speicherbaustein (10) mit zumindest einem Speicherzellenfeld (11), der jeweils enthält:

- eine Vielzahl von ROM-Speicherzellen (1), insbesondere nach einem der vorstehenden Ansprüche,
- 5 - eine Vielzahl von Wortleitungen (3),
- eine Vielzahl von Bitleitungen (4) und
- eine Vielzahl von Versorgungsleitungen (5) zum Voraufladen eines Anschlusses einer der ROM-Speicherzellen (1),

d a d u r c h g e k e n n z e i c h n e t ,

- 10 dass die Wortleitungen (3), die Bitleitungen (4) und die Versorgungsleitungen (5) eines Speicherzellenfeldes (11) im Stand-by-Betrieb jeweils mit dem gleichen Bezugspotenzial (VSS) beaufschlagt sind.

- 15 10. Speicherbaustein nach Anspruch 9,

d a d u r c h g e k e n n z e i c h n e t ,

dass als Bezugspotenzial (VSS) ein Potenzial von 0 Volt vorgesehen ist.

- 20 11. Speicherbaustein nach wenigstens einem der Ansprüche 9 oder 10,

d a d u r c h g e k e n n z e i c h n e t ,

dass eine Einrichtung (14) zum Voraufladen der Versorgungsleitungen (5) vorgesehen ist, die dazu ausgelegt ist, vor

- 25 einem Auslesen einer Speicherzelle (1) zumindest die dieser auszulesenden Speicherzelle (1) zugeordnete Versorgungsleitung (5) auf ein erstes Potenzial (VDD) aufzuladen.

12. ROM-Speicherbaustein nach wenigstens einem der Ansprüche

- 30 9 bis 11,

d a d u r c h g e k e n n z e i c h n e t ,

dass einer jeweiligen Bitleitung (4) zumindest ein Auswahltransistor (15) zugeordnet ist, der steuerseitig mit einer Multiplexerschaltung (17) verbunden ist, der mit seiner

- 35 gesteuerten Strecke zwischen der diesem Auswahltransistor (15) zugeordneten Bitleitung (4) und einer Ausleseschaltung (16) angeordnet ist, wobei der Auswahltransistor (15) als n-

Kanal Transistor (15), insbesondere als NMOS-Transistor (15) ausgebildet ist.

13. Verfahren zum Auslesen einer ROM-Speicherzelle (1), die  
5 einen steuerbaren ersten, einen zweiten und einen dritten Anschluss (G, D, S) aufweist,

- bei dem in einem Stand-By-Betrieb zumindest der erste Anschluss (G) und der zweite oder der dritte Anschluss (D, S) der ROM-Speicherzelle (1) mit einem gleichen Bezugspotenzial (VSS) beaufschlagt werden und  
10

- bei dem in einem Lesebetrieb zum Auslesen der ROM-Speicherzelle (1) zunächst der dritte Anschluss (S) mit einem ersten Potenzial (VDD) voraufgeladen wird, anschließend der erste Anschluss (G) mit einem zweiten Potenzial (VDD) beaufschlagt wird und schließlich der Inhalt der  
15 Speicherzelle (1) über den zweiten Anschluss (D) ausgelesen wird.

14. Verfahren nach Anspruch 13,

20 d a d u r c h g e k e n n z e i c h n e t ,  
dass das erste Potenzial (VDD) und das zweite Potenzial (VDD) gleich gewählt werden.

15. Verfahren nach wenigstens einem der Ansprüche 13 oder 14,

25 d a d u r c h g e k e n n z e i c h n e t ,  
dass die Wortleitungen (3) durch Dekodieren einer Zeilenadresse ausgewählt werden und die Bitleitungen (4) und die Versorgungsleitungen (5) durch Dekodieren einer Spaltenadresse ausgewählt werden.

## Bezugszeichenliste

|    |                   |                                         |
|----|-------------------|-----------------------------------------|
|    | 1                 | ROM-Speicherzelle                       |
|    | 2                 | Speichertransistor, NMOS-Transistor     |
| 5  | 3                 | Wortleitung                             |
|    | 4                 | Bitleitung                              |
|    | 5                 | Versorgungsleitung                      |
|    | 10                | ROM-Speicherbaustein                    |
|    | 11                | Speicherzellenfeld                      |
| 10 | 12                | Zeilendecoder                           |
|    | 13                | Spaltendecoder                          |
|    | 14                | Vorladeschaltung                        |
|    | 15                | Auswahltransistor                       |
|    | 16                | Ausleseschaltung                        |
| 15 | 17                | Bitleitungsmultiplexerschaltung         |
|    | ST                | Transistor                              |
|    | BL                | Bitleitung                              |
|    | WL                | Wortleitung                             |
| 20 | VVSS              | Versorgungsleitung                      |
|    | G                 | Gate-Anschluss                          |
|    | D                 | Drain-Anschluss                         |
|    | S                 | Source-Anschluss                        |
|    | SUB               | Substratanschluss                       |
| 25 | VSS               | Bezugspotenzial                         |
|    | VDD               | Betriebspotenzial, Versorgungspotenzial |
|    | V <sub>BL</sub>   | Potenzial der Bitleitung                |
|    | V <sub>WL</sub>   | Potenzial der Wortleitung               |
|    | V <sub>VDD</sub>  | Potenzial der Versorgungsleitung        |
| 30 | V <sub>VSS</sub>  | Potenzial der Versorgungsleitung        |
|    | I <sub>Gate</sub> | Leckstrom                               |
|    | I <sub>Junc</sub> | Leckstrom                               |





FIG 2

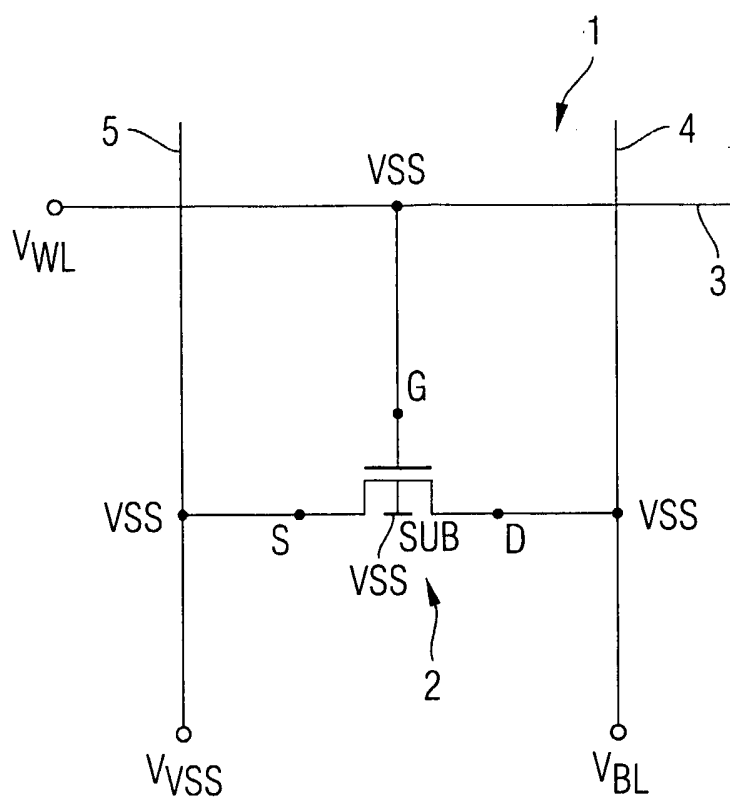


FIG 2A

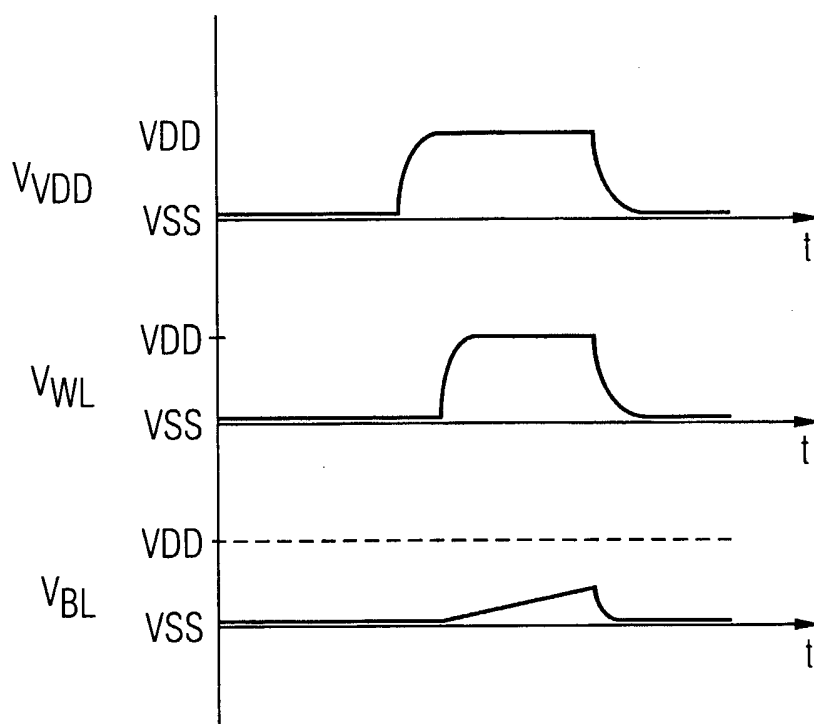


FIG 3

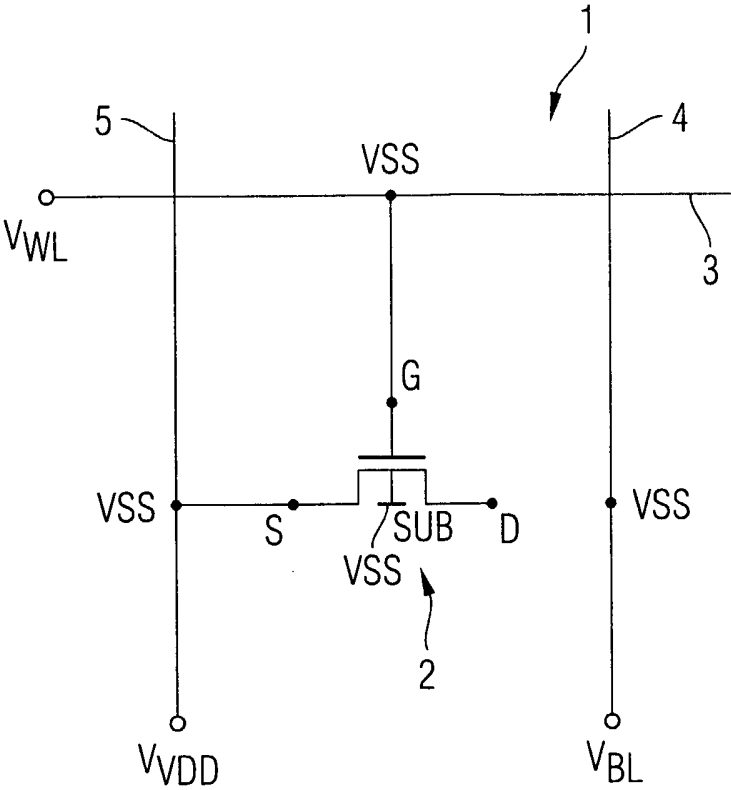


FIG 3A

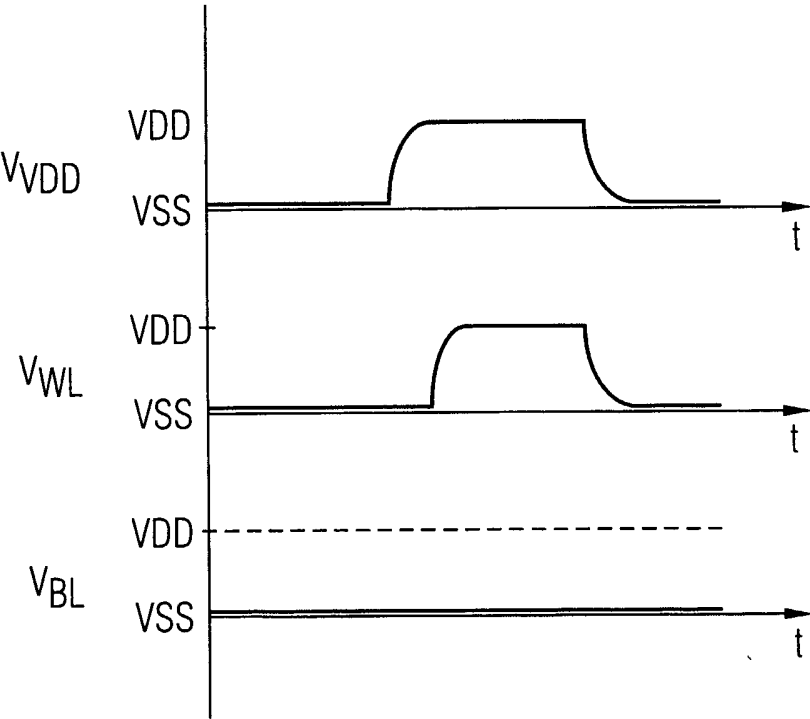
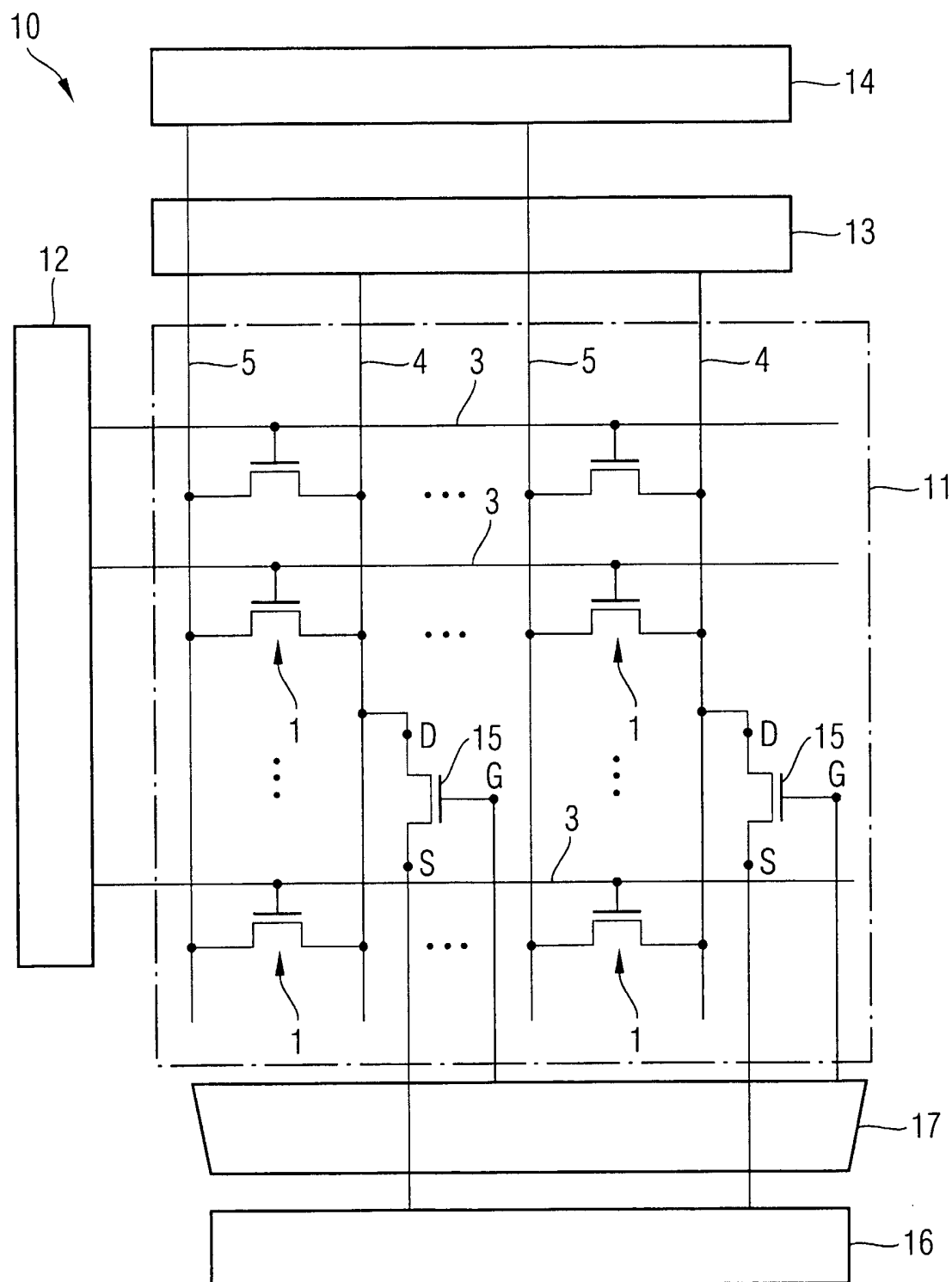


FIG 4



# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2005/008952

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>G11C17/18                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                                                                                                   |                       |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                                   |                       |
| <b>B. FIELDS SEARCHED</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                   |                       |
| Minimum documentation searched (classification system followed by classification symbols)<br>G11C                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                                                                                                                   |                       |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                   |                       |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used)<br>EPO-Internal                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                                                                                   |                       |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                   |                       |
| Category *                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | Citation of document, with indication, where appropriate, of the relevant passages                                                                                | Relevant to claim No. |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | US 5 812 461 A (KOMAREK ET AL)<br>22 September 1998 (1998-09-22)<br>column 2, line 34 - column 5, line 2<br>column 9, line 50 - column 16, line 62<br>figures 2,3 | 1-12                  |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | -----                                                                                                                                                             | 13-15                 |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | US 2001/053107 A1 (KOHNO TAKAKI)<br>20 December 2001 (2001-12-20)<br>figures 5,11                                                                                 | 13-15                 |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | US 2004/151045 A1 (KANAI MASAHIRO)<br>5 August 2004 (2004-08-05)<br>figures 10,11,14                                                                              | 1-3,5-14              |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | -----                                                                                                                                                             | 4,14,15               |
| -/--                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                                   |                       |
| <div style="display: flex; justify-content: space-between;"> <span><input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.</span> <span><input checked="" type="checkbox"/> Patent family members are listed in annex.</span> </div>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                                                   |                       |
| * Special categories of cited documents :                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                   |                       |
| <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*&amp;* document member of the same patent family</p> </div> </div> |                                                                                                                                                                   |                       |
| Date of the actual completion of the international search<br><br><div style="text-align: center;">24 January 2006</div>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | Date of mailing of the international search report<br><br><div style="text-align: center;">02/02/2006</div>                                                       |                       |
| Name and mailing address of the ISA<br>European Patent Office, P.B. 5818 Patentlaan 2<br>NL - 2280 HV Rijswijk<br>Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,<br>Fax: (+31-70) 340-3016                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | Authorized officer<br><br><div style="text-align: center;">Stocken, C</div>                                                                                       |                       |

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2005/008952

| C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT |                                                                                                                                                               |                       |
|------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Category *                                           | Citation of document, with indication, where appropriate, of the relevant passages                                                                            | Relevant to claim No. |
| X                                                    | US 2004/022084 A1 (SUNG NAK-WOO ET AL)<br>5 February 2004 (2004-02-05)<br>cited in the application<br>paragraphs '0025!, '0034!, '0035!,<br>'0058!, '0065!    | 1,9,13                |
| Y                                                    | paragraph '0065!<br>-----                                                                                                                                     | 1-3,5-15              |
| Y                                                    | US 6 711 058 B1 (HIRANO YASUAKI)<br>23 March 2004 (2004-03-23)<br>column 9, line 15 - line 19; figure 2<br>-----                                              | 4                     |
| Y                                                    | EP 0 280 883 A (KABUSHIKI KAISHA TOSHIBA;<br>TOSHIBA MICRO-COMPUTER ENGINEERING<br>CORPORATI) 7 September 1988 (1988-09-07)<br>figure 3<br>-----              | 14,15                 |
| Y                                                    | WO 03/071553 A (HITACHI,LTD; HITACHI ULSI<br>SYSTEMS CO., LTD; MIYAZAKI, SHINYA; KATO, H.<br>K) 28 August 2003 (2003-08-28)<br>abstract; figures 1,4<br>----- | 1-15                  |

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/008952

| Patent document<br>cited in search report |    | Publication<br>date | Patent family<br>member(s) |               | Publication<br>date |
|-------------------------------------------|----|---------------------|----------------------------|---------------|---------------------|
| US 5812461                                | A  | 22-09-1998          | US                         | 5467300 A     | 14-11-1995          |
| US 2001053107                             | A1 | 20-12-2001          | JP                         | 2001351394 A  | 21-12-2001          |
|                                           |    |                     | TW                         | 511088 B      | 21-11-2002          |
| US 2004151045                             | A1 | 05-08-2004          | JP                         | 2004199738 A  | 15-07-2004          |
| US 2004022084                             | A1 | 05-02-2004          | CN                         | 1477647 A     | 25-02-2004          |
|                                           |    |                     | DE                         | 10335385 A1   | 26-02-2004          |
|                                           |    |                     | FR                         | 2843229 A1    | 06-02-2004          |
| US 6711058                                | B1 | 23-03-2004          | JP                         | 3694422 B2    | 14-09-2005          |
|                                           |    |                     | JP                         | 2001006380 A  | 12-01-2001          |
| EP 0280883                                | A  | 07-09-1988          | JP                         | 2046262 C     | 25-04-1996          |
|                                           |    |                     | JP                         | 7072996 B     | 02-08-1995          |
|                                           |    |                     | JP                         | 63188896 A    | 04-08-1988          |
|                                           |    |                     | US                         | 4912749 A     | 27-03-1990          |
| WO 03071553                               | A  | 28-08-2003          | EP                         | 1477990 A1    | 17-11-2004          |
|                                           |    |                     | TW                         | 586229 B      | 01-05-2004          |
|                                           |    |                     | US                         | 2005082572 A1 | 21-04-2005          |

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/008952

## A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

G11C17/18

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile                                                                         | Betr. Anspruch Nr. |
|------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|
| X          | US 5 812 461 A (KOMAREK ET AL)<br>22. September 1998 (1998-09-22)<br>Spalte 2, Zeile 34 - Spalte 5, Zeile 2<br>Spalte 9, Zeile 50 - Spalte 16, Zeile 62<br>Abbildungen 2,3 | 1-12               |
| Y          | -----                                                                                                                                                                      | 13-15              |
| Y          | US 2001/053107 A1 (KOHNO TAKAKI)<br>20. Dezember 2001 (2001-12-20)<br>Abbildungen 5,11                                                                                     | 13-15              |
| X          | US 2004/151045 A1 (KANAI MASAHIRO)<br>5. August 2004 (2004-08-05)<br>Abbildungen 10,11,14                                                                                  | 1-3,5-14           |
| Y          | -----                                                                                                                                                                      | 4,14,15            |
|            | -----<br>-/--                                                                                                                                                              |                    |

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. Januar 2006

Absendedatum des internationalen Recherchenberichts

02/02/2006

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Stocken, C

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/EP2005/008952

| C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN |                                                                                                                                                                           |                    |
|------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------|
| Kategorie <sup>a</sup>                               | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile                                                                        | Betr. Anspruch Nr. |
| X                                                    | US 2004/022084 A1 (SUNG NAK-WOO ET AL)<br>5. Februar 2004 (2004-02-05)<br>in der Anmeldung erwähnt<br>Absätze '0025!', '0034!', '0035!', '0058!',<br>'0065!               | 1,9,13             |
| Y                                                    | Absatz '0065!                                                                                                                                                             | 1-3,5-15           |
| Y                                                    | -----<br>US 6 711 058 B1 (HIRANO YASUAKI)<br>23. März 2004 (2004-03-23)<br>Spalte 9, Zeile 15 - Zeile 19; Abbildung 2<br>-----                                            | 4                  |
| Y                                                    | EP 0 280 883 A (KABUSHIKI KAISHA TOSHIBA;<br>TOSHIBA MICRO-COMPUTER ENGINEERING<br>CORPORATI) 7. September 1988 (1988-09-07)<br>Abbildung 3<br>-----                      | 14,15              |
| Y                                                    | WO 03/071553 A (HITACHI,LTD; HITACHI ULSI<br>SYSTEMS CO., LTD; MIYAZAKI, SHINYA; KATO, H.<br>K) 28. August 2003 (2003-08-28)<br>Zusammenfassung; Abbildungen 1,4<br>----- | 1-15               |



# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/008952

| Im Recherchenbericht<br>angeführtes Patentdokument | Datum der<br>Veröffentlichung | Mitglied(er) der<br>Patentfamilie                             | Datum der<br>Veröffentlichung                        |
|----------------------------------------------------|-------------------------------|---------------------------------------------------------------|------------------------------------------------------|
| US 5812461 A                                       | 22-09-1998                    | US 5467300 A                                                  | 14-11-1995                                           |
| US 2001053107 A1                                   | 20-12-2001                    | JP 2001351394 A<br>TW 511088 B                                | 21-12-2001<br>21-11-2002                             |
| US 2004151045 A1                                   | 05-08-2004                    | JP 2004199738 A                                               | 15-07-2004                                           |
| US 2004022084 A1                                   | 05-02-2004                    | CN 1477647 A<br>DE 10335385 A1<br>FR 2843229 A1               | 25-02-2004<br>26-02-2004<br>06-02-2004               |
| US 6711058 B1                                      | 23-03-2004                    | JP 3694422 B2<br>JP 2001006380 A                              | 14-09-2005<br>12-01-2001                             |
| EP 0280883 A                                       | 07-09-1988                    | JP 2046262 C<br>JP 7072996 B<br>JP 63188896 A<br>US 4912749 A | 25-04-1996<br>02-08-1995<br>04-08-1988<br>27-03-1990 |
| WO 03071553 A                                      | 28-08-2003                    | EP 1477990 A1<br>TW 586229 B<br>US 2005082572 A1              | 17-11-2004<br>01-05-2004<br>21-04-2005               |