

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月23日(23.04.2020)



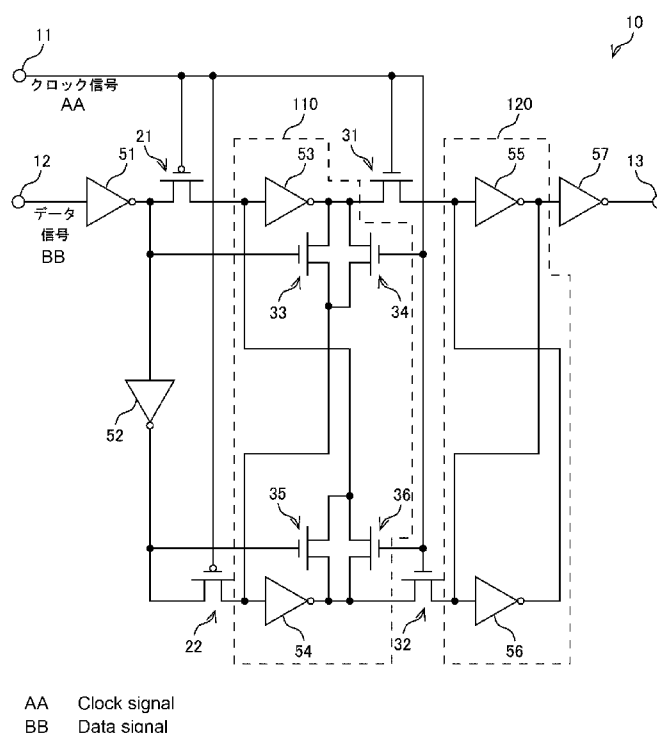
(10) 国際公開番号

WO 2020/079951 A1

- (51) 国際特許分類:
H03K 3/037 (2006.01) *H03K 3/356* (2006.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2019/032774 (72) 発明者: 川上 敦史 (KAWAKAMI Atsushi);
〒2430021 神奈川県厚木市岡田4-16-1 ソニーL S I デザイン株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2019年8月22日(22.08.2019)
- (25) 国際出願の言語: 日本語 (74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂1丁目10番17号 しんくみ赤坂ビル7階 Fukuoka (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-195058 2018年10月16日(16.10.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: DATA-HOLDING CIRCUIT

(54) 発明の名称: データ保持回路



(57) Abstract: The purpose of the present invention is to minimize the sizes of data-holding circuits. First and second MOS transistors transmit a data signal and a reversed data signal, respectively, to input of first and second reversed gates constituting a status holding circuit when a clock signal is in a first level. Fifth and sixth MOS transistors are inserted to a feedback path from output of the second reversed gate to input of the first reversed gate and a feedback path from output of the first reversed gate to input of the second reversed gate, respectively, and transmit outputs of the second and

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

first reversed gates, respectively when the clock signal is in a second signal level. Seventh and eighth MOS transistors are constituted in a channel of a conductive type that is different from that of the first MOS transistor and connected in parallel to the fifth and the sixth MOS transistors, respectively, and transmit the output of the second reversed gate and the output of the first reversed gate, respectively, on the basis of the reversed data signal and the data signal.

(57) 要約：データ保持回路を小型化する。第1および第2のMOSトランジスタは、クロック信号が第1のレベルのときに状態保持回路を構成する第1および第2の反転ゲートの入力にデータ信号および反転データ信号をそれぞれ伝達する。第5および第6のMOSトランジスタは、第2の反転ゲートの出力から第1の反転ゲートの入力への帰還経路および第1の反転ゲートの出力から第2の反転ゲートの入力への帰還経路にそれぞれ挿入されてクロック信号が第2の信号レベルのときに第2および第1の反転ゲートの出力をそれぞれ伝達する。第7および第8のMOSトランジスタは、第1のMOSトランジスタとは異なる導電型チャンネルに構成されるとともに第5および第6のMOSトランジスタにそれぞれ並列に接続され、反転データ信号およびデータ信号に基づいて第2の反転ゲートの出力および第1の反転ゲートの出力をそれぞれ伝達する。

明 細 書

発明の名称：データ保持回路

技術分野

[0001] 本開示は、データ保持回路に関する。詳しくは、クロック信号に同期してデータの保持を行うデータ保持回路に関する。

背景技術

[0002] 従来、ロジック回路に使用するD型フリップフロップにおいて、2つのインバータのそれぞれの出力を入力にたすき掛け接続して帰還経路が構成されたフリップフロップを2つ縦続接続したD型フリップフロップが使用されている。このD型フリップフロップにおいては、上記2つのフリップフロップを第1および第2のフリップフロップとすると、第1のフリップフロップおよび第2のフリップフロップの間にクロックドインバータが配置される。また、データ信号入力および第1のフリップフロップの間にもクロックドインバータが配置され、これら2つのクロックドインバータは、それぞれ逆相のクロック信号により駆動される。すなわち、第1のフリップフロップにおけるデータ信号の入力と第1のフリップフロップの出力の第2のフリップフロップへの入力とがクロック信号の半周期毎に繰り返される。第2のフリップフロップの出力は、D型フリップフロップの出力信号に該当する。

[0003] 上述のD型フリップフロップにおいては、逆相のクロック信号を生成するため、入力されたクロック信号を反転するインバータが配置される。このインバータの出力はクロック信号の周期に基づいて反転するため、消費電力が増加する。

[0004] そこで、クロックドインバータの代わりにpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを配置し、逆相のクロック信号を省略したD型フリップフロップが提案されている。例えば、データ信号入力および第1のフリップフロップの一方の入力の間にpチャネルMOSトランジスタを配置し、第1のフリップフロップの他方の入力には他のpチャネルMO

Sトランジスタを介してデータ信号を反転した反転データ信号を入力する。さらに、第1のフリップフロップの2つの出力および第2のフリップフロップの2つの入力の間にnチャネルMOSトランジスタをそれぞれ配置したD型フリップフロップが提案されている。これらpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのゲートに同一のクロック信号を入力することにより、これらのMOSトランジスタを交互に導通させてデータの転送を行うことができる。逆相のクロック信号を省略することができる。

[0005] しかし、フリップフロップへのデータ信号の入力をMOSトランジスタにより行うため、フリップフロップに保持された状態とMOSトランジスタにより伝達されるデータ信号の論理とが異なる場合におけるフリップフロップの保持状態の反転が困難になる場合がある。データ信号入力および第1のフリップフロップの間にpチャネルMOSトランジスタを配置した場合、このpチャネルMOSトランジスタのゲートに印加されるクロック信号がローレベルの際にpチャネルMOSトランジスタは導通状態になる。この際、入力されたデータ信号がハイレベルの場合、すなわち、第1のフリップフロップの入力をハイレベルに充電する場合には、pチャネルMOSトランジスタは比較的高い駆動能力を有する。

[0006] 一方、入力されたデータ信号がローレベルであり、第1のフリップフロップの入力をローレベルに放電する場合には、駆動能力が低下する。ゲートおよびソース間の閾値電圧 V_{th} の影響を受け、第1のフリップフロップの入力における放電後の電圧が V_{th} 分ローレベルの電圧にかさ上げされるためである。このため、第1のフリップフロップの入力電圧はローレベルまで低下せず、この入力にたすき掛け接続される第1のフリップフロップの出力（インバータの出力）と競合した結果、第1のフリップフロップの入力を反転させることができない場合が生じる。

[0007] そこで、第1のフリップフロップにたすき掛け接続されるインバータの出力と入力との間に並列接続されたpチャネルMOSトランジスタおよびnチャネルMOSトランジスタを追加したD型フリップフロップが提案されてい

る（例えば、特許文献1参照。）。この追加されたpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのゲートは共通のデータ信号により駆動される。この際、追加されたpチャネルMOSトランジスタ等が接続される第1のフリップフロップの入力に供給されるデータ信号を反転した反転データ信号が追加されたpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのゲートに印加される。具体的には、データ信号が伝達される第1のフリップフロップの入力に接続されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのゲートには反転データ信号が印加される。一方、反転データ信号が伝達される第1のフリップフロップの他の入力に接続されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタのゲートにはデータ信号が印加される。

[0008] これにより、追加されたpチャネルMOSトランジスタおよびnチャネルMOSトランジスタが接続される第1のフリップフロップの入力がローレベルの場合には、pチャネルMOSトランジスタが導通する。一方、第1のフリップフロップの入力がハイレベルの場合にはnチャネルMOSトランジスタが導通してインバータの出力が入力側に帰還される。上述のように、pチャネルMOSトランジスタによるローレベル信号の伝達およびnチャネルMOSトランジスタによるハイレベル信号の伝達においては、駆動能力が低下するため、第1のフリップフロップのインバータの出力から入力側への駆動能力が低下する。これにより、フリップフロップに入力データ信号を伝達するpチャネルMOSトランジスタによる第1のフリップフロップの保持状態の反転を容易に行うことができる。

先行技術文献

特許文献

[0009] 特許文献1：特開2011-029828号公報

発明の概要

発明が解決しようとする課題

[0010] 上述の従来技術では、第1のフリップフロップにおいて帰還経路に追加されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタより高い駆動能力に構成された入力データを伝達するpチャネルMOSトランジスタが必要になるという問題がある。入力データを伝達するpチャネルMOSトランジスタによる第1のフリップフロップの保持状態の反転を確実なものにするためである。上述のように、帰還経路に追加されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタの駆動能力を低くした場合であっても、製造工程のばらつき等の影響を除去するため、MOSトランジスタの駆動能力にマージンを持たせる必要がある。具体的には、入力データを伝達するpチャネルMOSトランジスタには、帰還経路に配置されるpチャネルMOSトランジスタより大きなサイズのMOSトランジスタを使用する。しかし、このように異なるサイズのMOSトランジスタを配置すると、チップサイズが増加することとなる。

[0011] 本開示は、上述した問題点に鑑みてなされたものであり、データ保持回路におけるMOSトランジスタのサイズの増加を防止し、データ保持回路を小型化することを目的としている。

課題を解決するための手段

[0012] 本開示は、上述の問題点を解消するためになされたものであり、その第1の態様は、たすき掛け接続される帰還経路により互いの出力が入力に帰還される第1の反転ゲートおよび第2の反転ゲートにより構成されて2つの状態を保持する状態保持回路と、クロック信号が第1のレベルのときに上記第1の反転ゲートの入力にデータ信号を伝達する第1のMOSトランジスタと、上記クロック信号が上記第1のレベルのときに上記第2の反転ゲートの入力に上記データ信号を反転した信号である反転データ信号を伝達する第2のMOSトランジスタと、上記クロック信号が第2の信号レベルのときに上記第1の反転ゲートに保持された上記状態を伝達する第3のMOSトランジスタと、上記クロック信号が上記第2の信号レベルのときに上記第2の反転ゲートに保持された上記状態を伝達する第4のMOSトランジスタと、上記第2

の反転ゲートの出力から上記第1の反転ゲートの入力への上記帰還経路に挿入されて上記クロック信号が上記第2の信号レベルのときに上記第2の反転ゲートの出力を上記第1の反転ゲートの入力に伝達する第5のMOSトランジスタと、上記第1の反転ゲートの出力から上記第2の反転ゲートの入力への上記帰還経路に挿入されて上記クロック信号が上記第2の信号レベルのときに上記第1の反転ゲートの出力を上記第2の反転ゲートの入力に伝達する第6のMOSトランジスタと、上記第1のMOSトランジスタとは異なる導電型チャネルに構成されるとともに上記第5のMOSトランジスタに並列に接続され、上記反転データ信号に基づいて上記第2の反転ゲートの出力を上記第1の反転ゲートの入力に伝達する第7のMOSトランジスタと、上記第2のMOSトランジスタとは異なる導電型チャネルに構成されるとともに上記第6のMOSトランジスタに並列に接続されて上記データ信号に基づいて上記第1の反転ゲートの出力を上記第2の反転ゲートの入力に伝達する第8のMOSトランジスタとを具備するデータ保持回路である。

[0013] また、この第1の態様において、上記第3のMOSトランジスタおよび上記第4のMOSトランジスタにより伝達される上記状態を保持する第2の状態保持回路と、上記第2の状態保持回路に保持された状態を出力信号として伝達する出力部とをさらに具備してもよい。

[0014] また、この第1の態様において、上記データ保持回路は、スタンダードセルを構成してもよい。

[0015] また、この第1の態様において、上記クロック信号は、上記スタンダードセルの入力端からバッファを介さずに上記データ保持回路に入力される信号であってもよい。

[0016] また、本開示の第2の態様は、データ信号が入力される第1のMOSトランジスタと、上記第1のMOSトランジスタの出力が入力に接続される第1の反転ゲートと、上記第1の反転ゲートの出力が入力に接続される第3のMOSトランジスタと、互いに並列に接続されるとともに上記第1の反転ゲートの出力が入力に接続される第6のMOSトランジスタおよび第8のMOS

トランジスタと、上記第3のMOSトランジスタの出力が入力に接続される第3の反転ゲートと、上記データ信号を論理的に反転させた反転データ信号が入力される第2のMOSトランジスタと、上記第2のMOSトランジスタの出力が入力に接続される第2の反転ゲートと、上記第2の反転ゲートの出力が入力に接続される第4のMOSトランジスタと、互いに並列に接続されるとともに上記第2の反転ゲートの出力が入力に接続される第5のMOSトランジスタおよび第7のMOSトランジスタと、上記第4のMOSトランジスタの出力が入力に接続される第4の反転ゲートとを備え、上記第6のMOSトランジスタおよび上記第8のMOSトランジスタの出力が上記第2の反転ゲートの入力にさらに接続され、上記第5のMOSトランジスタおよび上記第7のMOSトランジスタの出力が上記第1の反転ゲートの入力にさらに接続され、上記第3の反転ゲートの出力が上記第4の反転ゲートの入力にさらに接続され、上記第4の反転ゲートの出力が上記第3の反転ゲートの入力にさらに接続され、上記第1乃至第6のMOSトランジスタのゲートには同一の制御信号が入力され、上記第8のMOSトランジスタのゲートには上記データ信号が入力され、上記第7のMOSトランジスタのゲートには上記反転データ信号が入力され、上記第1および第2のMOSトランジスタは、上記第3乃至第8のMOSトランジスタとは異なる導電チャネル型に構成されるデータ保持回路である。

[0017] 上述の態様を採ることにより、状態保持回路を構成する反転ゲートの入力にデータ信号を伝達するMOSトランジスタおよび帰還経路を構成するとともにそのMOSトランジスタとは異なる導電チャネル型のMOSトランジスタが接続されという作用をもたらす。また、帰還経路を構成するMOSトランジスタは、データ信号の論理を反転させた信号がゲートに印加されるという作用をもたらす。これにより、データ信号を伝達するMOSトランジスタと帰還経路を構成するMOSトランジスタとの出力電圧の競合の回避が想定される。

図面の簡単な説明

[0018] [図1]本開示の第1の実施の形態に係るデータ保持回路の構成例を示す図である。

[図2]本開示の第1の実施の形態の第1の変形例に係るデータ保持回路の構成例を示す図である。

[図3]本開示の第1の実施の形態の第2の変形例に係るデータ保持回路の構成例を示す図である。

[図4]本開示の第1の実施の形態の第3の変形例に係るデータ保持回路の構成例を示す図である。

[図5]本開示の第1の実施の形態の第4の変形例に係るデータ保持回路の構成例を示す図である。

[図6]本開示の第2の実施の形態に係るデータ保持回路の構成例を示す図である。

[図7]従来のデータ保持回路の構成例を示す図である。

[図8]データ保持回路の消費電力の一例を示す図である。

[図9]本開示が適用され得るスタンダードセルの構成例を示す図である。

発明を実施するための形態

[0019] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 実施の形態の効果
4. スタンダードセルへの応用例

[0020] <1. 第1の実施の形態>

[データ保持回路の構成]

図 1 は、本開示の第 1 の実施の形態に係るデータ保持回路の構成例を示す図である。同図は、データ保持回路 10 の構成例を表す回路図である。同図のデータ保持回路 10 は、入力端 11 および 12 と、出力端 13 と、MOS トランジスタ 21、22 および 31 乃至 36 と、反転ゲート 51 乃至 57 とを備える。MOS トランジスタ 21 および 22 には、p チャネル MOS トランジスタを使用することができる。MOS トランジスタ 31 乃至 36 には、n チャネル MOS トランジスタを使用することができる。

[0021] 同図のデータ保持回路 10 は、入力端 12 に入力されるデータ信号を入力端 11 に入力されるクロック信号に同期して保持し、この保持したデータ信号を出力端 13 に出力する回路である。反転ゲート 51 の入力を入力端 12 に接続される。反転ゲート 51 の出力は、反転ゲート 52 の入力、MOS トランジスタ 21 のソースおよび MOS トランジスタ 33 のゲートに接続される。反転ゲート 52 の出力は、MOS トランジスタ 22 のソースおよび MOS トランジスタ 35 のゲートに接続される。MOS トランジスタ 21 のドレインは、反転ゲート 53 の入力、MOS トランジスタ 35 のドレインおよび MOS トランジスタ 36 のドレインに接続される。MOS トランジスタ 22 のドレインは、反転ゲート 54 の入力、MOS トランジスタ 33 のドレインおよび MOS トランジスタ 34 のドレインに接続される。

[0022] 反転ゲート 53 の出力は MOS トランジスタ 31 のソース、MOS トランジスタ 33 のソースおよび MOS トランジスタ 34 のソースに接続される。反転ゲート 54 の出力は、MOS トランジスタ 32 のソース、MOS トランジスタ 35 のソースおよび MOS トランジスタ 36 のソースに接続される。MOS トランジスタ 31 のドレインは、反転ゲート 55 の入力および反転ゲート 56 の出力に接続される。MOS トランジスタ 32 のドレインは、反転ゲート 56 の入力、反転ゲート 55 の出力および反転ゲート 57 の入力に接続される。反転ゲート 57 の出力は、出力端 13 に接続される。MOS トランジスタ 21、22、31、32、34 および 36 のゲートは、入力端 11 に共通に接続される。

[0023] 反転ゲート53および54は、たすき掛け接続される帰還経路により互いの出力が入力に帰還される。すなわち、反転ゲート53および54のそれぞれの出力が他方の反転ゲートの入力に接続された状態保持回路110を構成する。この状態保持回路110は、入力端12から入力されるデータ信号の状態を保持する。具体的には、入力されたデータ信号のハイレベルおよびローレベルの何れかの状態を保持する。なお、同図の状態保持回路110は、帰還経路にMOSトランジスタ33および34とMOSトランジスタ35および36とがそれぞれ挿入される。なお、状態保持回路110は、請求の範囲に記載の状態保持回路の一例である。反転ゲート54は、請求の範囲に記載の第1の反転ゲートの一例である。反転ゲート53は、請求の範囲に記載の第2の反転ゲートの一例である。

[0024] 反転ゲート55および56も同様に、たすき掛け接続される帰還経路により互いの出力が入力に帰還される状態保持回路120を構成する。すなわち、反転ゲート55および56のそれぞれの出力が他方の反転ゲートの入力に接続される。状態保持回路110および120は、縦続接続され、いわゆるマスタスレーブ型のD型フリップフロップを構成する。なお、状態保持回路120は、請求の範囲に記載の第2の状態保持回路の一例である。反転ゲート55は、請求の範囲に記載の第4の反転ゲートの一例である。反転ゲート56は、請求の範囲に記載の第3の反転ゲートの一例である。

[0025] 入力端12から入力されたデータ信号は、反転ゲート51により論理が反転されたデータ信号である反転データ信号に変換される。この反転データ信号は、反転ゲート52により再度論理が反転されて入力端12に入力されたデータ信号と同じ論理の信号に変換される。以下、反転ゲート52の出力信号もデータ信号と称する。これら反転ゲート51および52は、データ信号のバッファにも該当する。

[0026] MOSトランジスタ21は、反転ゲート51の出力および反転ゲート53の入力の間に接続され、反転データ信号を反転ゲート53の入力に伝達するMOSトランジスタである。このMOSトランジスタ21は、入力端11か

ら入力されるクロック信号に基づいて反転データを状態保持回路 110 に伝達する。前述のように、MOS トランジスタ 21 は、p チャネル MOS トランジスタにより構成されるため、クロック信号がローレベルのときにドレインおよびソース間が導通状態になる。このため、クロック信号がローレベルのときに反転データ信号が反転ゲート 53 の入力に伝達される。なお、MOS トランジスタ 21 は、請求の範囲に記載の第 2 の MOS トランジスタの一例である。ローレベルは、請求の範囲に記載の第 1 のレベルの一例である。クロック信号は、請求の範囲に記載の制御信号の一例である。

[0027] MOS トランジスタ 22 は、反転ゲート 52 の出力および反転ゲート 54 の入力の間に接続され、データ信号を反転ゲート 54 の入力に伝達する MOS トランジスタである。この MOS トランジスタ 22 は、MOS トランジスタ 21 と同様に、p チャネル MOS トランジスタにより構成され、入力端 11 から入力されたクロック信号に基づいてデータ信号を状態保持回路 110 に伝達する。すなわち、クロック信号がローレベルのときにデータ信号が反転ゲート 54 の入力に伝達される。この MOS トランジスタ 21 および 22 により、反転データ信号およびデータ信号が状態保持回路 110 に入力される。なお、MOS トランジスタ 22 は、請求の範囲に記載の第 1 の MOS トランジスタの一例である。

[0028] MOS トランジスタ 31 は、反転ゲート 53 の出力および反転ゲート 55 の入力の間に接続される MOS トランジスタである。この MOS トランジスタ 31 は、クロック信号に基づいてデータ信号と同じ論理状態の反転ゲート 53 に保持された信号を反転ゲート 55 に伝達する。すなわち、データ信号を状態保持回路 120 に伝達する。前述のように、MOS トランジスタ 31 は、n チャネル MOS トランジスタにより構成されるため、クロック信号がハイレベルのときにドレインおよびソース間が導通状態になる。このため、クロック信号がハイレベルのときにデータ信号が反転ゲート 55 の入力に伝達される。なお、MOS トランジスタ 31 は、請求の範囲に記載の第 4 の MOS トランジスタの一例である。ハイレベルは、請求の範囲に記載の第 2 の

レベルの一例である。

[0029] MOSトランジスタ32は、反転ゲート54の出力および反転ゲート56の入力の間に接続されるMOSトランジスタである。このMOSトランジスタ32は、MOSトランジスタ31と同様に、nチャネルMOSトランジスタにより構成され、クロック信号に基づいて反転データ信号と同じ論理状態の信号を反転ゲート54から反転ゲート56に伝達する。クロック信号がハイレベルのときに反転データ信号が反転ゲート56の入力に伝達される。このMOSトランジスタ31および32により、データ信号および反転データ信号が状態保持回路120に入力される。なお、MOSトランジスタ32は、請求の範囲に記載の第3のMOSトランジスタの一例である。

[0030] このように、反転ゲート51および52と状態保持回路110との間には、pチャネルMOSトランジスタにより構成されたMOSトランジスタ21および22が配置される。状態保持回路110および120の間にはnチャネルMOSトランジスタにより構成されたMOSトランジスタ31および32が配置される。これにより、クロック信号の1周期において、状態保持回路110へのデータ信号および反転データ信号の伝達と、状態保持回路110から状態保持回路120へのデータ信号および反転データ信号の伝達とが連続して実行される。クロック信号を反転した信号を使用することなく、継続接続された状態保持回路110および120におけるデータ信号の転送および保持を行うことができる。状態保持回路120を構成する反転ゲート55の出力は、反転ゲート57を介して出力端13に伝達される。なお、反転ゲート57は、請求の範囲に記載の出力部の一例である。

[0031] MOSトランジスタ36は、反転ゲート54の出力および反転ゲート53の入力の間に接続されて反転データ信号を伝達するMOSトランジスタである。このMOSトランジスタ36は、反転ゲート54の出力から反転ゲート53の入力への帰還経路に挿入される。また、MOSトランジスタ36は、nチャネルMOSトランジスタにより構成され、クロック信号がハイレベルの時に反転ゲート54の出力を反転ゲート53の入力に伝達する。なお、M

OSトランジスタ36は、請求の範囲に記載の第6のMOSトランジスタの一例である。

[0032] MOSトランジスタ34は、反転ゲート53の出力および反転ゲート54の入力の間に接続されてデータ信号を伝達するMOSトランジスタである。このMOSトランジスタ34は、反転ゲート53の出力から反転ゲート54の入力への帰還経路に挿入される。また、MOSトランジスタ34は、MOSトランジスタ36と同様に、nチャネルMOSトランジスタにより構成され、クロック信号がハイレベルの時に反転ゲート53の出力を反転ゲート54の入力に伝達する。なお、MOSトランジスタ34は、請求の範囲に記載の第5のMOSトランジスタの一例である。

[0033] このように、MOSトランジスタ36および34は、MOSトランジスタ21および22とは異なる導電チャネル型に構成される。これらMOSトランジスタ36および34は、MOSトランジスタ21および22が反転データ信号およびデータ信号を反転ゲート53および54にそれぞれ伝達した後に導通状態となる。そして、反転ゲート53および54の入力に反転ゲート54および53の出力信号を伝達する。

[0034] MOSトランジスタ35は、MOSトランジスタ36と並列に接続され、反転ゲート54の出力を反転ゲート53の入力に伝達するMOSトランジスタである。このMOSトランジスタ35は、MOSトランジスタ21とは異なる導電チャネル型であるnチャネルMOSトランジスタに構成され、ゲートが反転ゲート52の出力ノードに接続される。このため、データ信号に基づいて反転ゲート54の出力信号を反転ゲート53の入力に伝達する。なお、MOSトランジスタ35は、請求の範囲に記載の第8のMOSトランジスタの一例である。

[0035] MOSトランジスタ33は、MOSトランジスタ34と並列に接続され、反転ゲート53の出力を反転ゲート54の入力に伝達するMOSトランジスタである。このMOSトランジスタ33は、MOSトランジスタ21とは異なる導電チャネル型であるnチャネルMOSトランジスタに構成され、ゲート

トが反転ゲート51の出力ノードに接続される。このため、反転データ信号に基づいて反転ゲート53の出力信号を反転ゲート54の入力に伝達する。なお、MOSトランジスタ33は、請求の範囲に記載の第7のMOSトランジスタの一例である。

[0036] データ信号がハイレベルの場合を例に挙げて回路の動作を説明する。データ信号がハイレベルになると、反転ゲート51の出力ノードおよび反転ゲート52の出力ノードがそれぞれローレベルおよびハイレベルになる。これにより、MOSトランジスタ35が導通状態になり、MOSトランジスタ33が非導通の状態になる。MOSトランジスタ21はpチャネルMOSトランジスタにより構成されるため、反転ゲート51の出力ノードがローレベルの場合に駆動能力が低下する。反転ゲート53の入力および出力がそれぞれハイレベルおよびローレベルの場合には反転ゲート53の入力電圧が十分に低下しないため、MOSトランジスタ21単独では反転ゲート53の出力を反転させることができない。一方、反転ゲート52の出力ノードはハイレベルとなるため、MOSトランジスタ22の駆動能力は比較的高くなる。MOSトランジスタ33および34が非導通であることも相俟って反転ゲート54の入力電圧が閾値を超える値となり、反転ゲート54の出力が反転してローレベルとなる。導通状態のMOSトランジスタ35を介して反転ゲート53の入力がローレベルとなる結果、反転ゲート53の出力が反転してハイレベルとなる。

[0037] 以上説明したように、状態保持回路を構成する反転ゲート（反転ゲート53）の入力にデータ信号を伝達するMOSトランジスタ（MOSトランジスタ21）を接続する。その反転ゲートの入力にさらに接続される帰還経路にそのMOSトランジスタとは異なる導電チャネル型のMOSトランジスタ（MOSトランジスタ35）を配置し、そのデータ信号の論理を反転させた信号をゲートに印加する。このような構成により、状態保持回路に入力データ信号を伝達するMOSトランジスタの駆動能力が低下する電圧レベルのデータ信号を伝達する場合であっても、状態保持回路を構成する他方の反転ゲート

トの出力電圧が帰還経路を介して印加されることとなる。駆動能力が不足するMOSトランジスタに代わって反転ゲートの出力電圧を反転させることができる。

[0038] これに対し、状態保持回路に入力信号を伝達するMOSトランジスタの駆動能力を維持可能な電圧レベルのデータ信号を伝達する場合には、帰還経路に配置されたMOSトランジスタは非導通の状態となる。また、帰還経路に配置されたMOSトランジスタには、ゲートにクロック信号が印加されるMOSトランジスタが並列に接続される。この並列に接続されるMOSトランジスタは、データ信号の入力後のデータ信号の保持の際に導通して帰還経路を維持し、データ信号の入力際に非導通の状態となって状態保持回路に入力信号を伝達するMOSトランジスタとの競合を回避することができる。このため、状態保持回路を構成するMOSトランジスタおよび当該状態保持回路にデータ信号を伝達するMOSトランジスタ同士の出力電圧の競合を防ぐことができる。これらのMOSトランジスタを略等しいサイズに構成することができ、採用するプロセスや使用電圧に応じた最小サイズのMOSトランジスタをデータ保持回路10に配置することができる。

[0039] また、クロック信号の論理を反転させた信号を使用しないため、低消費電力化が可能である。なお、同図のデータ保持回路10では、クロック信号が印加される入力端11に6つのMOSトランジスタのゲートが接続され、クロック信号線の負荷容量が増加することとなる。クロック信号線と各MOSトランジスタのゲートへの配線との間にバッファを配置することにより、クロック信号線の負荷容量を軽減することができる。

[0040] [変形例1]

上述のデータ保持回路10は、内部に配置された反転ゲートにより反転データ信号を生成していたが、外部の回路から反転データ信号を入力する構成にすることもできる。

[0041] [データ保持回路の構成]

図2は、本開示の第1の実施の形態の第1の変形例に係るデータ保持回路

の構成例を示す図である。同図のデータ保持回路 10 は、入力端 14 をさらに備え、反転ゲート 52 の入力が入力端 14 に接続される点で、図 1 において説明したデータ保持回路 10 と異なる。入力端 14 には、入力端 12 に入力されるデータ信号の論理を反転させた信号が入力される。

[0042] [変形例 2]

上述のデータ保持回路 10 は、D 型のフリップフロップに構成されるが、リセット信号を入力する構成にすることもできる。

[0043] [データ保持回路の構成]

図 3 は、本開示の第 1 の実施の形態の第 2 の変形例に係るデータ保持回路の構成例を示す図である。同図のデータ保持回路 10 は、入力端 15 をさらに備え、反転ゲート 53 および 56 の代わりに 2 入力の NOR ゲート 61 および 62 がそれぞれ配置される点で、図 1 において説明したデータ保持回路 10 と異なる。入力端 15 には、リセット信号が入力される。NOR ゲート 61 の一方の入力は入力端 15 に接続され、他方の入力には MOS トランジスタ 21 のドレイン、MOS トランジスタ 35 のドレインおよび MOS トランジスタ 36 のドレインが接続される。NOR ゲート 61 の出力は、MOS トランジスタ 31 のソース、MOS トランジスタ 33 のソースおよび MOS トランジスタ 34 のソースに接続される。NOR ゲート 62 の一方の入力は入力端 15 に接続され、他方の入力には MOS トランジスタ 32 のドレイン、反転ゲート 55 の出力および反転ゲート 57 の入力に接続される。NOR ゲート 62 の出力は、MOS トランジスタ 31 のドレインおよび反転ゲート 55 の入力に接続される。

[0044] NOR ゲート 61 および 62 を配置し、これらにリセット信号を入力することにより、これらの NOR ゲートが配置された状態保持回路を初期化することができ、データ保持回路 10 の出力を値「0」（ローレベル）にすることができる。

[0045] [変形例 3]

上述のデータ保持回路 10 は、D 型のフリップフロップに構成されるが、

セット信号を入力する構成にすることもできる。

[0046] [データ保持回路の構成]

図4は、本開示の第1の実施の形態の第3の変形例に係るデータ保持回路の構成例を示す図である。同図のデータ保持回路10は、入力端16をさらに備え、反転ゲート54および55の代わりに2入力のNORゲート63および64がそれぞれ配置される点で、図1において説明したデータ保持回路10と異なる。入力端16には、セット信号が入力される。NORゲート63の一方の入力は入力端16に接続され、他方の入力にはMOSトランジスタ22のドレイン、MOSトランジスタ33のドレインおよびMOSトランジスタ34のドレインが接続される。NORゲート63の出力は、MOSトランジスタ32のソース、MOSトランジスタ35のソースおよびMOSトランジスタ36のソースに接続される。NORゲート64の一方の入力は入力端16に接続され、他方の入力にはMOSトランジスタ31のドレインおよび反転ゲート56の出力が接続される。NORゲート64の出力は、MOSトランジスタ32のドレイン、反転ゲート56の入力および反転ゲート57の入力に接続される。

[0047] NORゲート63および64を配置し、これらにセット信号を入力することにより、これらのNORゲートが配置された状態保持回路を初期化することができる。図3において説明したデータ保持回路10とは異なり、初期化の際の同図のデータ保持回路10の出力は値「1」（ハイレベル）となる。

[0048] [変形例4]

上述のデータ保持回路10は、クロック信号がローレベルの際に入力されたデータを転送していたが、クロック信号がハイレベルの際にデータを転送する構成にしてもよい。

[0049] [データ保持回路の構成]

図5は、本開示の第1の実施の形態の第4の変形例に係るデータ保持回路の構成例を示す図である。同図のデータ保持回路10は、MOSトランジスタ21および22にnチャネルMOSトランジスタを使用し、MOSトラン

ジスタ 31 乃至 36 に p チャネル MOS トランジスタを使用する点で、図 1 において説明したデータ保持回路 10 と異なる。

[0050] 同図のデータ保持回路 10 では、クロック信号がハイレベルの際にデータ信号および反転データ信号が反転ゲート 53 および 54 に伝達され、クロック信号がローレベルの際に反転ゲート 53 および 54 に保持された状態が反転ゲート 55 および 56 に伝達される。

[0051] 以上説明したように、本開示の第 1 の実施の形態のデータ保持回路 10 は、状態保持回路を構成する反転ゲートの入力にデータ信号を伝達する MOS トランジスタと帰還経路を構成する MOS トランジスタとを接続する。この際、帰還経路を構成する MOS トランジスタは、データ信号を伝達する MOS トランジスタとは異なる導電チャネル型にしてデータ信号の論理を反転させた信号をゲートに印加する。これにより、データ信号を伝達する MOS トランジスタと帰還経路を構成する MOS トランジスタとの出力電圧の競合を回避し、データ信号を伝達する MOS トランジスタの駆動能力が低下する際には帰還経路を構成する MOS トランジスタがデータを転送する。このため、これらの MOS トランジスタを同じサイズに構成することができ、MOS トランジスタのサイズを最小化することができる。データ保持回路 10 の小型化が可能となる。

[0052] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態のデータ保持回路 10 は、第 1 の状態保持回路 110 を構成する反転ゲート 53 および 54 の入力にデータ信号を印加していた。これに対し、本開示の第 2 の実施の形態のデータ保持回路 10 は、状態保持回路の反転ゲートを構成する n チャネル MOS トランジスタのコモン側に配置された差動回路にデータ信号を入力する点で、上述の第 1 の実施の形態と異なる。

[0053] [データ保持回路の構成]

図 6 は、本開示の第 2 の実施の形態に係るデータ保持回路の構成例を示す図である。同図のデータ保持回路 17 は、入力端 11 および 12 と、出力端

13と、MOSトランジスタ23乃至26と、MOSトランジスタ41乃至46と、NANDゲート65および66と、反転ゲート58とを備える。MOSトランジスタ23乃至26には、pチャネルMOSトランジスタを使用することができる。MOSトランジスタ41乃至46には、nチャネルMOSトランジスタを使用することができる。また、NANDゲート65および66は、2入力のNANDゲートを使用することができる。

[0054] 入力端12はMOSトランジスタ44のゲートに接続され、MOSトランジスタ44のソースはMOSトランジスタ45のソースおよびMOSトランジスタ46のドレインに接続される。MOSトランジスタ44のドレインは、MOSトランジスタ41のソースおよびMOSトランジスタ43のソースに接続される。MOSトランジスタ43のドレインは、MOSトランジスタ45のドレインおよびMOSトランジスタ42のソースに接続される。MOSトランジスタ41のドレインは、MOSトランジスタ25のゲート、MOSトランジスタ42のゲート、MOSトランジスタ45のゲート、MOSトランジスタ24のドレイン、MOSトランジスタ23のドレインに接続される。また、MOSトランジスタ41のドレインには、NANDゲート65の入力がさらに接続される。NANDゲート65の他の入力には、NANDゲート66の出力および反転ゲート58の入力が接続される。

[0055] MOSトランジスタ41のゲートは、MOSトランジスタ24のゲート、MOSトランジスタ25のドレイン、MOSトランジスタ42のドレイン、MOSトランジスタ26のドレインおよびNANDゲート66の入力に接続される。NANDゲート66の他の入力には、NANDゲート65の出力が接続される。MOSトランジスタ23のゲート、MOSトランジスタ26のゲートおよびMOSトランジスタ46のゲートは、入力端11に共通に接続される。MOSトランジスタ23のソース、MOSトランジスタ24のソース、MOSトランジスタ43のゲート、MOSトランジスタ25のソースおよびMOSトランジスタ26のソースは、電源線V_{dd}に接続される。MOSトランジスタ46のソースは、接地される。反転ゲート58の出力は出力

端 1 3 に接続される。

[0056] 図 1 において説明したデータ保持回路 1 0 と同様に、入力端 1 1 および 1 2 にはクロック信号およびデータ信号がそれぞれ入力される。MOS トランジスタ 2 4 および 4 1 ならびに MOS トランジスタ 2 5 および 4 2 は、それぞれ反転ゲートを構成する。また、これら 2 つの反転ゲートは、状態保持回路 1 3 0 を構成する。また、NAND ゲート 6 5 および 6 6 は、状態保持回路 1 4 0 を構成する。

[0057] MOS トランジスタ 2 3 および 2 6 は、状態保持回路 1 3 0 に保持された状態を状態保持回路 1 4 0 に伝達する MOS トランジスタである。クロック信号がハイレベルの際に、MOS トランジスタ 2 3 が非導通の状態になり、反転ゲートを構成する MOS トランジスタ 2 4 および 4 1 の出力が状態保持回路 1 4 0 の NAND ゲート 6 5 に伝達される。同様に、クロック信号がハイレベルの際に、MOS トランジスタ 2 6 が非導通の状態になり、MOS トランジスタ 2 5 および 4 2 の出力が NAND ゲート 6 6 に伝達される。クロック信号がローレベルの際には、MOS トランジスタ 2 3 および 2 6 が導通して NAND ゲート 6 5 および 6 6 の入力がともにハイレベルとなり、状態保持回路 1 4 0 の状態が保持される。

[0058] また、クロック信号がローレベルの際には、MOS トランジスタ 4 1、4 2 および 4 5 のゲートがハイレベルに充電される。その後クロック信号がハイレベルになると、MOS トランジスタ 4 6 が導通する。この際、入力端 1 2 から入力されるデータ信号がハイレベルの場合には、MOS トランジスタ 4 4 が導通して MOS トランジスタ 4 1 のソースがローレベルとなる。MOS トランジスタ 4 1 のゲートがハイレベルに充電されているため、MOS トランジスタ 4 1 が導通してドレインがローレベルとなる。NAND ゲート 6 5 に反転データ信号（ローレベル）が伝達される。この場合、出力端 1 3 には、ハイレベルが出力される。

[0059] これに対し、入力端 1 2 から入力されるデータ信号がローレベルの場合には、MOS トランジスタ 4 4 が非導通の状態になる。MOS トランジスタ 4

5 および 4 2 のゲートがハイレベルに充電されているため、MOS トランジスタ 4 5 が導通し、次いで MOS トランジスタ 4 2 が導通する。このため、MOS トランジスタ 4 2 のドレインがローレベルとなり、NAND ゲート 6 6 にデータ信号（ローレベル）が伝達され、出力端 1 3 にローレベルが出力される。このように、NAND ゲート 6 5 および 6 6 の入力に伝達された信号（状態）が状態保持回路 1 4 0 に保持される。

[0060] 以上説明したように、本開示の第 2 の実施の形態のデータ保持回路 1 7 において入力されたデータの転送および保持を行うことができる。

[0061] < 3. 実施の形態の効果 >

上述の第 1 の実施の形態におけるデータ保持回路 1 0 および第 2 の実施の形態におけるデータ保持回路 1 7 の効果について説明する。

[0062] [従来のデータ保持回路の構成]

図 7 は、従来のデータ保持回路の構成例を示す図である。同図は、比較例であるデータ保持回路 1 8 の構成を表す図である。同図のデータ保持回路 1 8 は、MOS トランジスタ 2 7 および 4 7 と、反転ゲート 7 1 乃至 7 8 とを備える。MOS トランジスタ 2 7 および 4 7 には、それぞれ p チャネル MOS トランジスタおよび n チャネル MOS トランジスタを使用することができる。また、反転ゲート 7 6 乃至 7 8 には、クロックドインバータを使用することができる。

[0063] 反転ゲート 7 3 および 7 7 ならびに反転ゲート 7 4 および 7 8 は、それぞれ状態保持回路を構成する。この状態保持回路へのデータ信号の入力にクロックドインバータが使用され、これらの状態保持回路の間におけるデータの転送に並列接続された MOS トランジスタ 2 7 および 4 7 により構成される非反転ゲート回路が使用される。このクロックドインバータおよび非反転ゲート回路には、クロック信号およびクロック信号を反転した信号が入力される。

[0064] [データ保持回路の比較]

図 8 は、データ保持回路の消費電力の一例を示す図である。同図は、図 1

において説明したデータ保持回路 10、図 6 において説明したデータ保持回路 17 および上述のデータ保持回路 18 におけるデータトグル率と消費電力との関係を表した図である。同図の横軸はデータトグル率を表す。ここで、データトグル率は、クロック周期毎のデータ信号が反転する比率を表す。データトグル率が 100% の場合には、クロック周期毎に入力されるデータ信号が反転することとなる。また、同図の縦軸は、消費電力を表す。この消費電力は、データトグル率が 100% の場合におけるデータ保持回路 10 の消費電力を値「1」として規格化した値である。同図の実線は、データ保持回路 10 の消費電力を表す。同図の 1 点鎖線は、データ保持回路 17 の消費電力を表す。同図の破線は、データ保持回路 18 の消費電力を表す。

[0065] 同図に表したように、データ保持回路 10 は、トグル率が 100% 未満の場合にデータ保持回路 18 より低い消費電力となり、トグル率が 80% 未満の領域においてデータ保持回路 17 より低い消費電力となる。一方、データ保持回路 17 は、トグル率が 80% を超える場合にデータ保持回路 10 より低い消費電力となる。データ保持回路 17 はデータ保持回路 10 より素子数が少ないためである。通常の L S I におけるデータのトグル率は 20% 以下であるため、データ保持回路 10 を採用することにより、システム全体の消費電力を低減することができる。

[0066] <4. スタンダードセルへの応用例>

上述の第 1 の実施の形態におけるデータ保持回路 10 は、様々な電子回路に適用することができる。例えば、上述のデータ保持回路 10 は、スタンダードセル方式のカスタム IC に適用することができる。

[0067] [スタンダードセルの構成]

図 9 は、本開示が適用され得るスタンダードセルの構成例を示す図である。同図は、スタンダードセル 1 の構成例を表すブロック図である。同図のスタンダードセル 1 は、D 型のフリップフロップに構成される例を表した図である。ここで、スタンダードセル方式とは、カスタム IC の方式一例であり、標準化された半導体回路ライブラリ（セルライブラリ）を組み合わせでカ

スタム IC を形成する方式である。同図のスタンダードセル 1 のような半導体回路を組み合わせるとともに相互の配線を形成することにより、スタンダードセル方式のカスタム IC を形成することができる。

[0068] 同図のスタンダードセル 1 は、入力端 2 および 3 と、出力端 4 とを備える。また、同図のスタンダードセル 1 は、データ保持回路 10 を内包する。すなわち同図のスタンダードセル 1 は、データ保持回路 10 により構成される。

[0069] 入力端 2 および 3 は、それぞれデータ保持回路 10 の入力端 11 および 12 に接続される。入力端 2 および 3 には、それぞれクロック信号およびデータ信号が入力される。出力端 4 には、データ保持回路の出力端 13 が接続される。入力端 2 に入力されたクロック信号に基づいて、入力端 3 に入力されたデータ信号がスタンダードセル 1 に保持される。この保持されたデータは、出力端 4 に出力される。スタンダードセル 1 は、データ保持回路 10 により構成されるため、前述のように小型化が可能である。

[0070] 同図に表したように、入力端 2 とデータ保持回路 10 の入力端 11 とは、直接接続される。すなわち、入力端 2 に入力されたクロック信号は、バッファを介さずデータ保持回路 10 の入力端 11 に伝達される。図 1 において説明したように、データ保持回路 10 の入力端 11 は、MOS トランジスタ 21 等のゲートに直接接続される。このため、スタンダードセル 1 は、クロック信号のバッファを含まない構成となり、低消費電力化することができる。なお、信号伝達の過程において減衰したクロック信号を整形する際には、バッファをスタンダードセル 1 の入力端 2 の前段等に配置することができる。この際には、1 つのバッファから複数のスタンダードセル 1 の入力端 2 に共通にクロック信号を供給することができる。

[0071] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0072] なお、本技術は以下のような構成もとることができる。

(1) たすき掛け接続される帰還経路により互いの出力が入力に帰還される第1の反転ゲートおよび第2の反転ゲートにより構成されて2つの状態を保持する状態保持回路と、

クロック信号が第1のレベルのときに前記第1の反転ゲートの入力にデータ信号を伝達する第1のMOSトランジスタと、

前記クロック信号が前記第1のレベルのときに前記第2の反転ゲートの入力に前記データ信号を反転した信号である反転データ信号を伝達する第2のMOSトランジスタと、

前記クロック信号が第2の信号レベルのときに前記第1の反転ゲートに保持された前記状態を伝達する第3のMOSトランジスタと、

前記クロック信号が前記第2の信号レベルのときに前記第2の反転ゲートに保持された前記状態を伝達する第4のMOSトランジスタと、

前記第2の反転ゲートの出力から前記第1の反転ゲートの入力への前記帰還経路に挿入されて前記クロック信号が前記第2の信号レベルのときに前記第2の反転ゲートの出力を前記第1の反転ゲートの入力に伝達する第5のMOSトランジスタと、

前記第1の反転ゲートの出力から前記第2の反転ゲートの入力への前記帰還経路に挿入されて前記クロック信号が前記第2の信号レベルのときに前記第1の反転ゲートの出力を前記第2の反転ゲートの入力に伝達する第6のMOSトランジスタと、

前記第1のMOSトランジスタとは異なる導電型チャネルに構成されるとともに前記第5のMOSトランジスタに並列に接続され、前記反転データ信号に基づいて前記第2の反転ゲートの出力を前記第1の反転ゲートの入力に伝達する第7のMOSトランジスタと、

前記第2のMOSトランジスタとは異なる導電型チャネルに構成されるとともに前記第6のMOSトランジスタに並列に接続されて前記データ信号に基づいて前記第1の反転ゲートの出力を前記第2の反転ゲートの入力に伝達

する第8のMOSトランジスタと
を具備するデータ保持回路。

(2) 前記第3のMOSトランジスタおよび前記第4のMOSトランジスタ
により伝達される前記状態を保持する第2の状態保持回路と、

前記第2の状態保持回路に保持された状態を出力信号として伝達する出力
部と

をさらに具備する前記(1)に記載のデータ保持回路。

(3) 前記データ保持回路は、スタンダードセルを構成する前記(1)に記
載のデータ保持回路。

(4) 前記クロック信号は、前記スタンダードセルの入力端からバッファを
介さずに前記データ保持回路に入力される信号である前記(3)に記載のデ
ータ保持回路。

(5) データ信号が入力される第1のMOSトランジスタと、

前記第1のMOSトランジスタの出力が入力に接続される第1の反転ゲー
トと、

前記第1の反転ゲートの出力が入力に接続される第3のMOSトランジス
タと、

互いに並列に接続されるとともに前記第1の反転ゲートの出力が入力に接
続される第6のMOSトランジスタおよび第8のMOSトランジスタと、

前記第3のMOSトランジスタの出力が入力に接続される第3の反転ゲー
トと、

前記データ信号を論理的に反転させた反転データ信号が入力される第2の
MOSトランジスタと、

前記第2のMOSトランジスタの出力が入力に接続される第2の反転ゲー
トと、

前記第2の反転ゲートの出力が入力に接続される第4のMOSトランジス
タと、

互いに並列に接続されるとともに前記第2の反転ゲートの出力が入力に接

続される第5のMOSトランジスタおよび第7のMOSトランジスタと、
前記第4のMOSトランジスタの出力が入力に接続される第4の反転ゲートと
を備え、
前記第6のMOSトランジスタおよび前記第8のMOSトランジスタの出力が前記第2の反転ゲートの入力にさらに接続され、
前記第5のMOSトランジスタおよび前記第7のMOSトランジスタの出力が前記第1の反転ゲートの入力にさらに接続され、
前記第3の反転ゲートの出力が前記第4の反転ゲートの入力にさらに接続され、
前記第4の反転ゲートの出力が前記第3の反転ゲートの入力にさらに接続され、
前記第1乃至第6のMOSトランジスタのゲートには同一の制御信号が入力され、
前記第8のMOSトランジスタのゲートには前記データ信号が入力され、
前記第7のMOSトランジスタのゲートには前記反転データ信号が入力され、
前記第1および第2のMOSトランジスタは、前記第3乃至第8のMOSトランジスタとは異なる導電チャネル型に構成される
データ保持回路。

符号の説明

- [0073] 1 スタンダードセル
 10、17、18 データ保持回路
 21～26、31～36、41～46 MOSトランジスタ
 51～58 反転ゲート
 61～64 NORゲート
 65、66 NANDゲート
 110、120、130、140 状態保持回路

請求の範囲

[請求項1]

たすき掛け接続される帰還経路により互いの出力が入力に帰還される第1の反転ゲートおよび第2の反転ゲートにより構成されて2つの状態を保持する状態保持回路と、

クロック信号が第1のレベルのときに前記第1の反転ゲートの入力にデータ信号を伝達する第1のMOSトランジスタと、

前記クロック信号が前記第1のレベルのときに前記第2の反転ゲートの入力に前記データ信号を反転した信号である反転データ信号を伝達する第2のMOSトランジスタと、

前記クロック信号が第2の信号レベルのときに前記第1の反転ゲートに保持された前記状態を伝達する第3のMOSトランジスタと、

前記クロック信号が前記第2の信号レベルのときに前記第2の反転ゲートに保持された前記状態を伝達する第4のMOSトランジスタと、

前記第2の反転ゲートの出力から前記第1の反転ゲートの入力への前記帰還経路に挿入されて前記クロック信号が前記第2の信号レベルのときに前記第2の反転ゲートの出力を前記第1の反転ゲートの入力に伝達する第5のMOSトランジスタと、

前記第1の反転ゲートの出力から前記第2の反転ゲートの入力への前記帰還経路に挿入されて前記クロック信号が前記第2の信号レベルのときに前記第1の反転ゲートの出力を前記第2の反転ゲートの入力に伝達する第6のMOSトランジスタと、

前記第1のMOSトランジスタとは異なる導電型チャネルに構成されるとともに前記第5のMOSトランジスタに並列に接続され、前記反転データ信号に基づいて前記第2の反転ゲートの出力を前記第1の反転ゲートの入力に伝達する第7のMOSトランジスタと、

前記第2のMOSトランジスタとは異なる導電型チャネルに構成されるとともに前記第6のMOSトランジスタに並列に接続されて前記

データ信号に基づいて前記第1の反転ゲートの出力を前記第2の反転ゲートの入力に伝達する第8のMOSトランジスタと
を具備するデータ保持回路。

[請求項2] 前記第3のMOSトランジスタおよび前記第4のMOSトランジスタにより伝達される前記状態を保持する第2の状態保持回路と、

前記第2の状態保持回路に保持された状態を出力信号として伝達する出力部と

をさらに具備する請求項1記載のデータ保持回路。

[請求項3] 前記データ保持回路は、スタンダードセルを構成する請求項1記載のデータ保持回路。

[請求項4] 前記クロック信号は、前記スタンダードセルの入力端からバッファを介さずに前記データ保持回路に入力される信号である請求項3記載のデータ保持回路。

[請求項5] データ信号が入力される第1のMOSトランジスタと、
前記第1のMOSトランジスタの出力が入力に接続される第1の反転ゲートと、

前記第1の反転ゲートの出力が入力に接続される第3のMOSトランジスタと、

互いに並列に接続されるとともに前記第1の反転ゲートの出力が入力に接続される第6のMOSトランジスタおよび第8のMOSトランジスタと、

前記第3のMOSトランジスタの出力が入力に接続される第3の反転ゲートと、

前記データ信号を論理的に反転させた反転データ信号が入力される第2のMOSトランジスタと、

前記第2のMOSトランジスタの出力が入力に接続される第2の反転ゲートと、

前記第2の反転ゲートの出力が入力に接続される第4のMOSトラ

ンジスタと、

互いに並列に接続されるとともに前記第2の反転ゲートの出力が入力に接続される第5のMOSトランジスタおよび第7のMOSトランジスタと、

前記第4のMOSトランジスタの出力が入力に接続される第4の反転ゲートと

を備え、

前記第6のMOSトランジスタおよび前記第8のMOSトランジスタの出力が前記第2の反転ゲートの入力にさらに接続され、

前記第5のMOSトランジスタおよび前記第7のMOSトランジスタの出力が前記第1の反転ゲートの入力にさらに接続され、

前記第3の反転ゲートの出力が前記第4の反転ゲートの入力にさらに接続され、

前記第4の反転ゲートの出力が前記第3の反転ゲートの入力にさらに接続され、

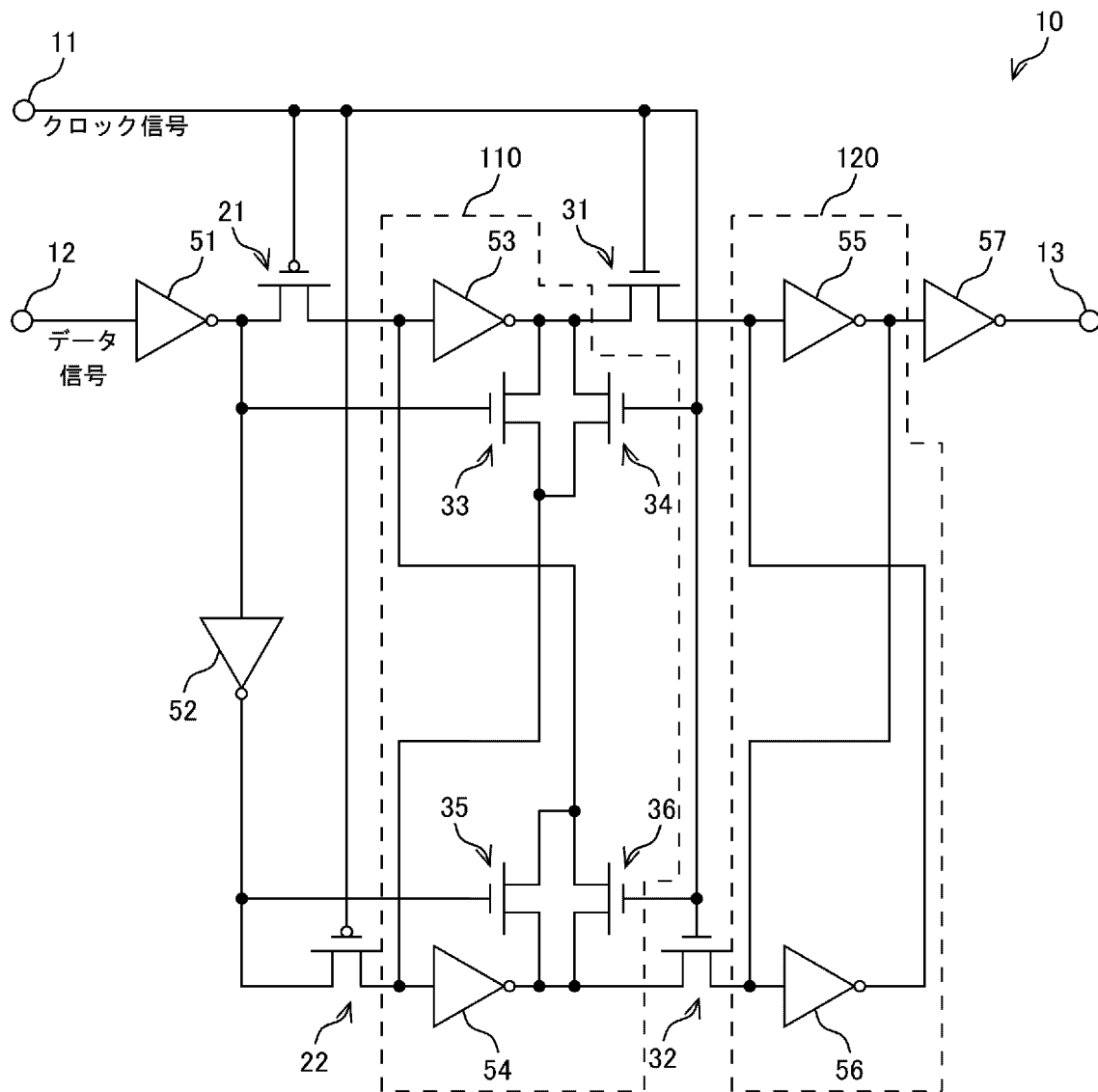
前記第1乃至第6のMOSトランジスタのゲートには同一の制御信号が入力され、

前記第8のMOSトランジスタのゲートには前記データ信号が入力され、

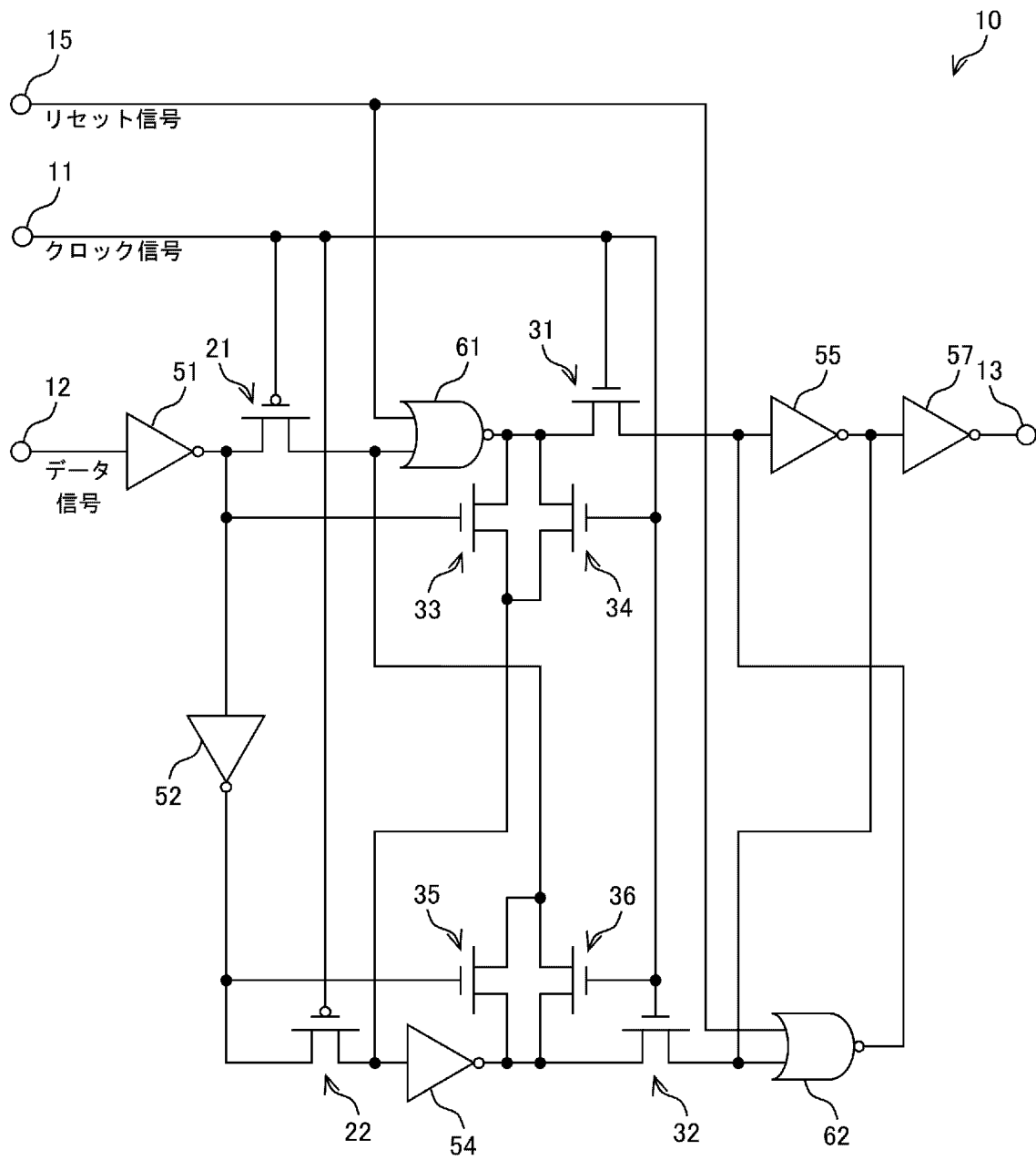
前記第7のMOSトランジスタのゲートには前記反転データ信号が入力され、

前記第1および第2のMOSトランジスタは、前記第3乃至第8のMOSトランジスタとは異なる導電チャネル型に構成されるデータ保持回路。

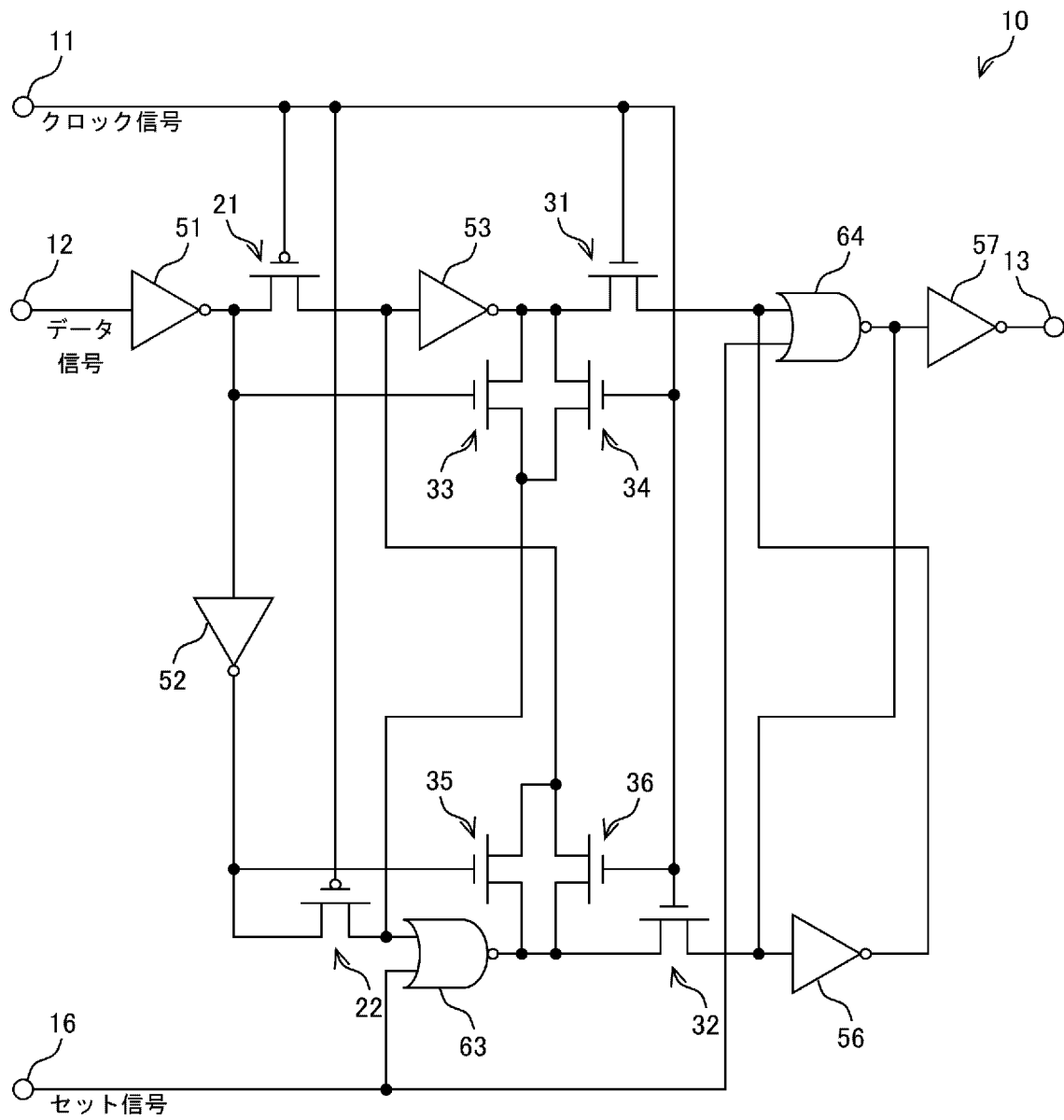
[図1]



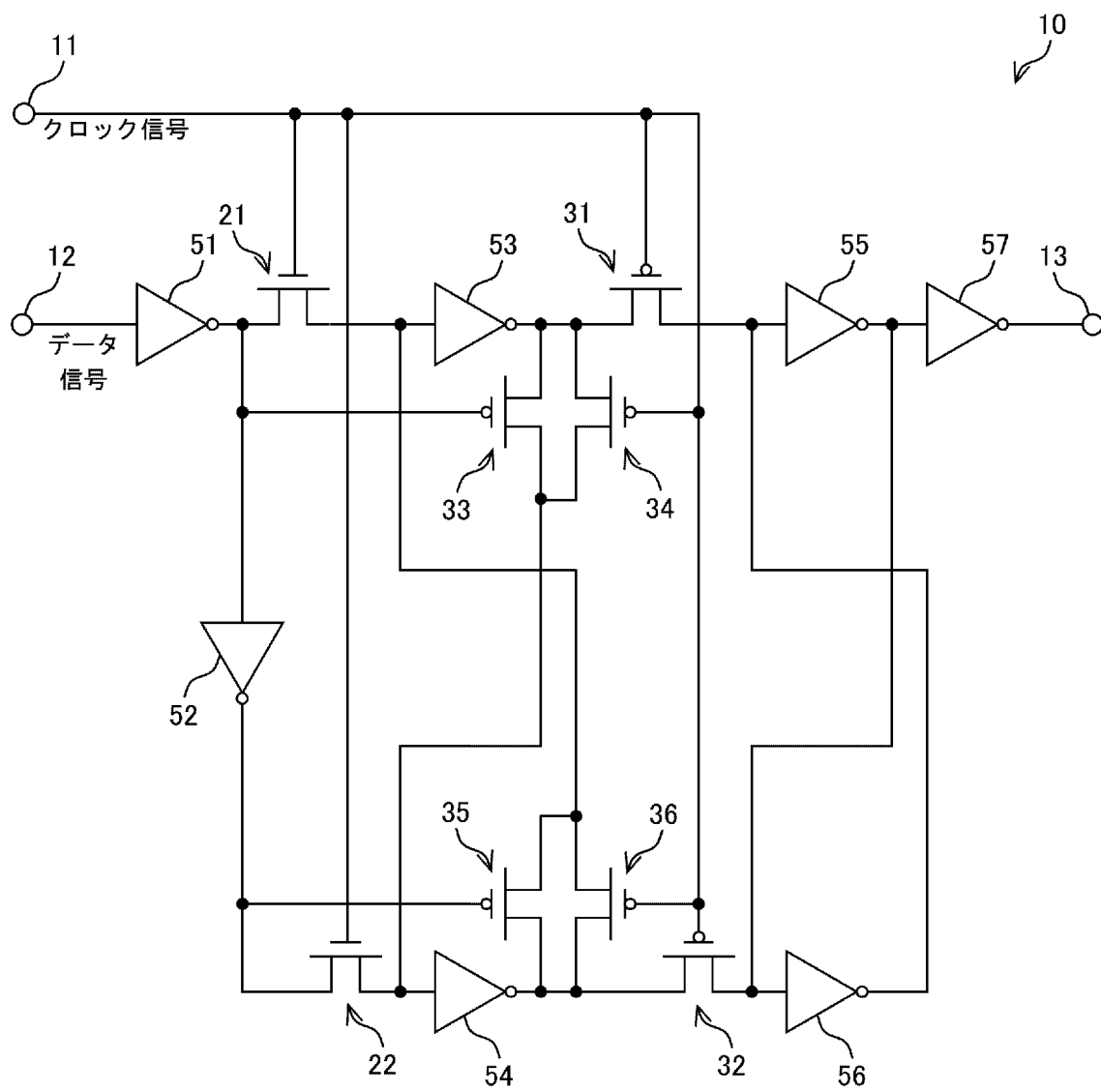
[図3]



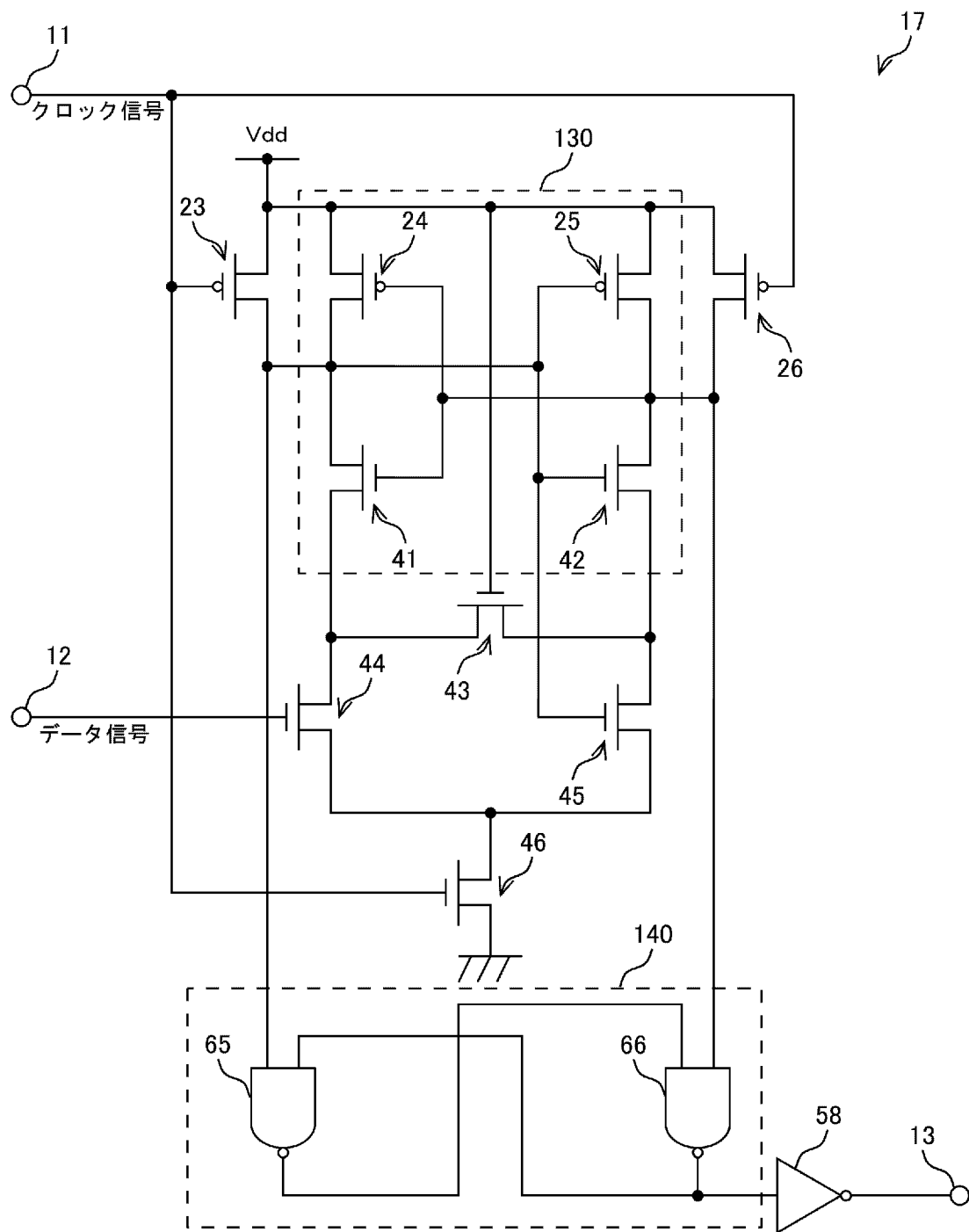
[図4]



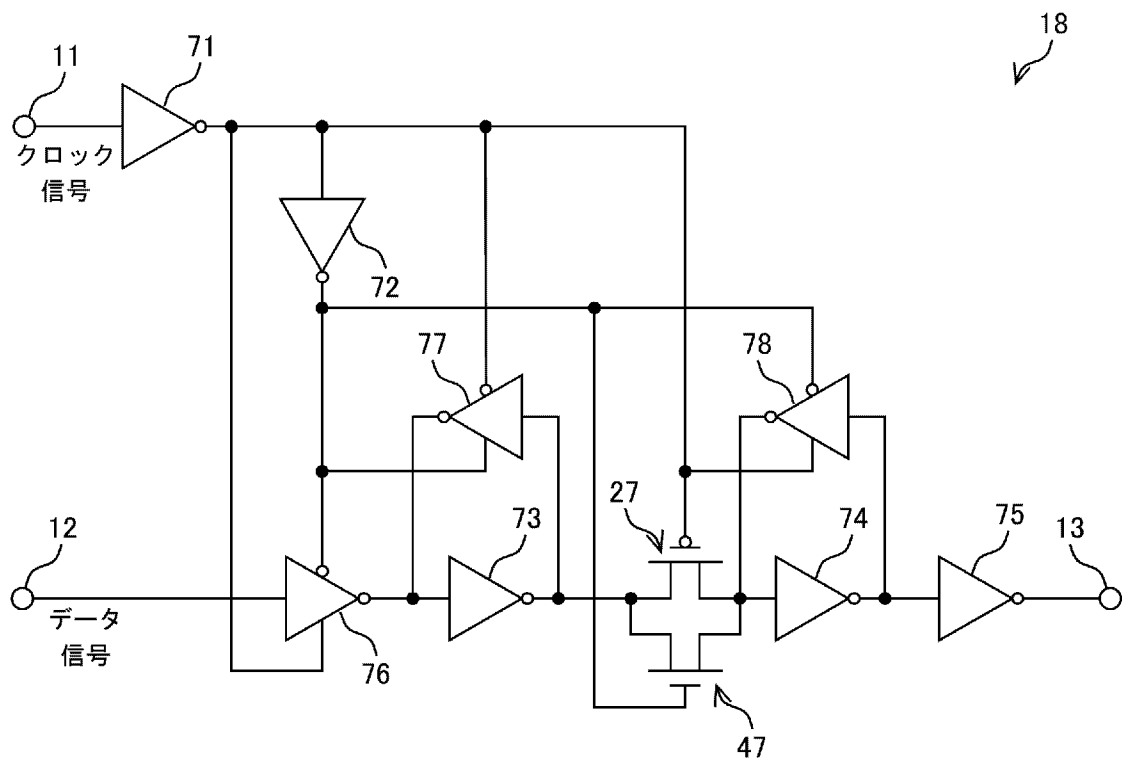
[図5]



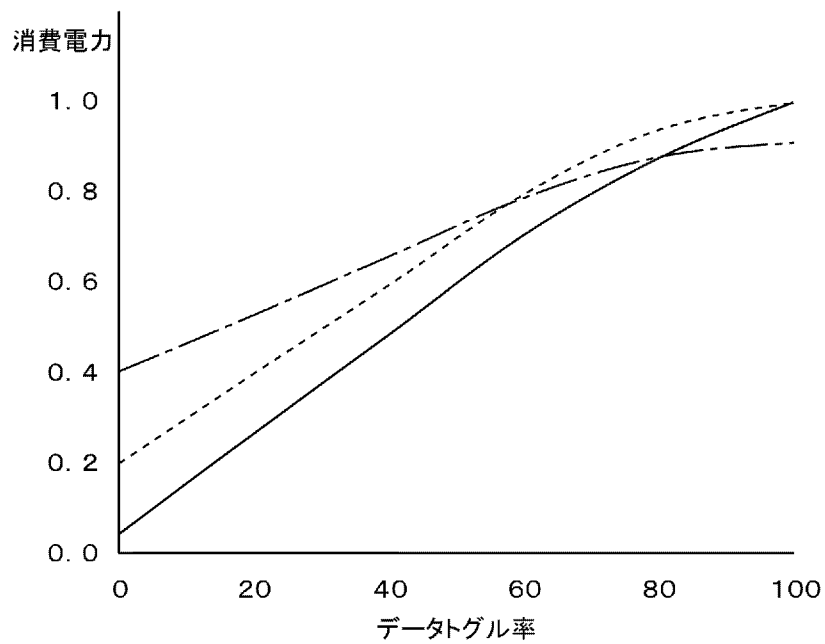
[図6]



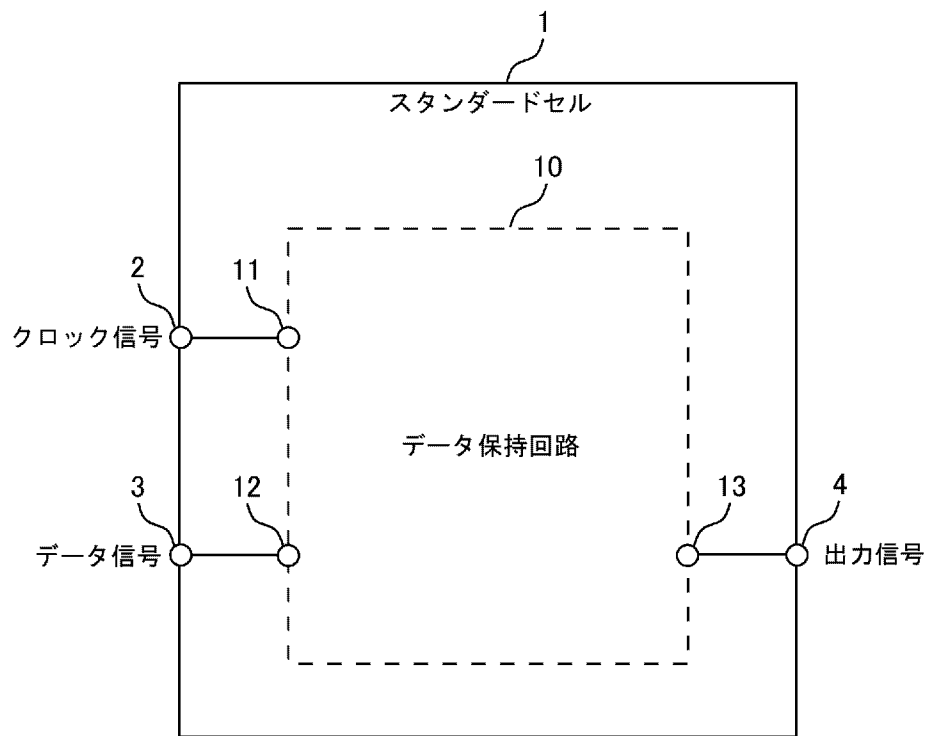
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/032774

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K3/037 (2006.01) i, H03K3/356 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K3/037, H03K3/356

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-216665 A (FUJITSU LIMITED) 17 November 2014 & US 2014/0312950 A1	1-5
A	JP 11-150458 A (NEC CORPORATION) 02 June 1999 (Family: none)	1-5
A	JP 2-82711 A (FUJITSU LIMITED) 23 March 1990 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07.11.2019

Date of mailing of the international search report
19.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K3/037(2006.01)i, H03K3/356(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K3/037, H03K3/356

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-216665 A (富士通株式会社) 2014.11.17, & US 2014/0312950 A1	1-5
A	JP 11-150458 A (日本電気株式会社) 1999.06.02, (ファミリーなし)	1-5
A	JP 2-82711 A (富士通株式会社) 1990.03.23, (ファミリーなし)	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

07.11.2019

国際調査報告の発送日

19.11.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

工藤 一光

5W

9274

電話番号 03-3581-1101 内線 3576