



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년08월25일  
 (11) 등록번호 10-1434103  
 (24) 등록일자 2014년08월19일

(51) 국제특허분류(Int. Cl.)  
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)  
 (21) 출원번호 10-2013-0062512  
 (22) 출원일자 2013년05월31일  
 심사청구일자 2013년05월31일  
 (56) 선행기술조사문헌  
 KR1020130024530 A  
 KR101197921 B1  
 KR1020110068231 A  
 JP2002270458 A

(73) 특허권자  
 삼성전기주식회사  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (72) 발명자  
 이민곤  
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
 이승호  
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인씨엔에스

전체 청구항 수 : 총 14 항

심사관 : 김상철

(54) 발명의 명칭 **적층 세라믹 전자부품 및 적층 세라믹 전자부품의 실장 기판**

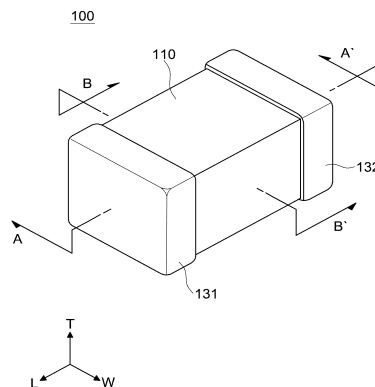
**(57) 요약**

본 발명의 일 실시형태는 유전체층을 포함하는 세라믹 본체; 및

상기 세라믹 본체 내부에 형성되며, 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극;을 포함하며,

상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극 내의 비전극 영역의 면적을  $A_{center}$ 라고 할 때,  $A_{cover}$  와  $A_{center}$ 의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족하는 적층 세라믹 전자부품.

**대표도 - 도1**



(72) 발명자

**김중환**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**이윤희**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**이성환**

경기 수원시 영통구 매영로 150, (매탄동, 삼성  
전기)

**특허청구의 범위**

**청구항 1**

유전체층을 포함하는 세라믹 본체; 및

상기 세라믹 본체 내부에 형성되며, 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극;을 포함하며,

상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극 내의 비전극 영역의 면적을  $A_{center}$  라고 할 때,  $A_{cover}$  와  $A_{center}$  의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족하는 적층 세라믹 전자부품.

**청구항 2**

제1항에 있어서,

상기 유전체층의 두께를  $T_d$ , 상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할때,  $0.5 \leq T_e/T_d \leq 1.2$ 를 만족하는 적층 세라믹 전자부품.

**청구항 3**

제1항에 있어서,

상기 커버부 내부전극의 도전성 금속 대비 공재 함량을  $C_{cover}$ , 상기 중앙부 내부전극의 도전성 금속 대비 공재 함량을  $C_{center}$  라고 할 때,  $1.05 \leq C_{cover}/C_{center} \leq 3.00$ 을 만족하는 적층 세라믹 전자부품.

**청구항 4**

제3항에 있어서,

상기 도전성 금속은 니켈(Ni), 망간(Mn), 크롬(Cr), 구리(Cu), 팔라듐(Pd), 은(Ag), 코발트(Co), 알루미늄(Al)으로 이루어진 군에서 선택되는 하나 이상을 포함하는 적층 세라믹 전자부품.

**청구항 5**

제3항에 있어서,

상기 공재는 세라믹 재료를 포함하는 적층 세라믹 전자부품.

**청구항 6**

제1항에 있어서,

상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할 때,  $0.1 \mu m \leq T_e \leq 0.5 \mu m$ 를 만족하는 적층 세라믹 전자부품.

**청구항 7**

제1항에 있어서,

상기 유전체층의 적층수는 세라믹 본체 두께 10 $\mu$ m당 7층 이상인 적층 세라믹 전자부품.

**청구항 8**

상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및

상기 인쇄회로기판 위에 설치된 적층 세라믹 전자부품;을 포함하며,

상기 적층 세라믹 커패시터는 유전체층을 포함하는 세라믹 본체 및 상기 세라믹 본체 내부에 형성되며, 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하며, 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극 내의 비전극 영역의 면적을  $A_{center}$  라고 할 때,  $A_{cover}$  와  $A_{center}$ 의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족하는 적층 세라믹 전자부품의 실장 기판.

**청구항 9**

제8항에 있어서,

상기 유전체층의 두께를  $T_d$ , 상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할때,  $0.5 \leq T_e/T_d \leq 1.2$ 를 만족하는 적층 세라믹 전자부품의 실장 기판.

**청구항 10**

제8항에 있어서,

상기 커버부 내부전극의 도전성 금속 대비 공재 함량을  $C_{cover}$ , 상기 중앙부 내부전극의 도전성 금속 대비 공재 함량을  $C_{center}$  라고 할 때,  $1.05 \leq C_{cover}/C_{center} \leq 3.00$ 을 만족하는 적층 세라믹 전자부품의 실장 기판.

**청구항 11**

제10항에 있어서,

상기 도전성 금속은 니켈(Ni), 망간(Mn), 크롬(Cr), 구리(Cu), 팔라듐(Pd), 은(Ag), 코발트(Co), 알루미늄(Al)으로 이루어진 군에서 선택되는 하나 이상을 포함하는 적층 세라믹 전자부품의 실장 기판.

**청구항 12**

제10항에 있어서,

상기 공재는 세라믹 재료를 포함하는 적층 세라믹 전자부품의 실장 기판.

**청구항 13**

제8항에 있어서,

상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할 때,  $0.1\mu m \leq T_e \leq 0.5\mu m$ 를 만족하는 적층 세라믹 전자부품의 실장 기판.

**청구항 14**

제8항에 있어서,

상기 유전체층의 적층수는 세라믹 본체 두께 10 $\mu$ m당 7층 이상인 적층 세라믹 전자부품의 실장 기판.

## 명세서

### 기술분야

[0001] 본 발명은 적층 세라믹 전자부품 및 적층 세라믹 전자부품이 실장된 기판에 관한 것이다.

### 배경기술

[0002] 일반적으로 커패시터, 인덕터, 압전 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 본체, 세라믹 본체 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 본체 표면에 설치된 외부전극을 구비한다.

[0003] 세라믹 전자부품 중 적층 세라믹 커패시터는 적층된 복수의 유전체층, 일 유전체층을 사이에 두고 대향 배치되는 내부전극, 상기 내부전극에 전기적으로 접속된 외부전극을 포함한다.

[0004] 적층 세라믹 커패시터는 소형이면서 고용량이 보장되고, 실장이 용이하다는 장점으로 인하여 컴퓨터, PDA, 휴대폰 등의 이동 통신장치의 부품으로서 널리 사용되고 있다.

[0005] 최근 전기, 전자기기 산업의 고성능화 및 경박단소화에 따라 전자부품에 있어서도 소형, 고성능 및 고용량화가 요구되고 있다. 특히 CPU의 고속화, 기기의 소형 경량화, 디지털화 및 고기능화가 진전됨에 따라, 적층 세라믹 커패시터도 소형화, 박층화, 고용량화, 고주파영역에서의 저임피던스화 등의 특성을 구현하기 위한 연구 개발이 활발히 진행되고 있다.

[0006] 또한, 적층 세라믹 커패시터는 LSI의 전원 회로 내에 배치되는 바이패스(bypass) 커패시터로 유용하게 사용되고 있으며, 이러한 바이패스 커패시터로 기능하기 위해서는 적층 세라믹 커패시터가 고주파 노이즈를 효과적으로 제거할 수 있어야 한다. 이러한 요구는 전자장치의 고주파화 경향에 따라 더욱 증가되고 있다. 바이패스 커패시터로 사용되는 적층 세라믹 커패시터는 회로기판 상의 실장 패드 상에 솔더링을 통하여 전기적으로 연결되며 상기 실장 패드는 기판 상의 배선 패턴이나 도전성 비아를 통해 다른 외부 회로와 연결될 수 있다.

## 선행기술문헌

### 특허문헌

[0007] (특허문헌 0001) 일본 특허 공개 공보 제 2002-164248 호

## 발명의 내용

### 해결하려는 과제

[0008] 본 발명은 적층 세라믹 전자부품 및 적층 세라믹 전자부품이 실장된 기판을 제공하고자 한다.

### 과제의 해결 수단

[0009] 본 발명의 일 실시형태는 유전체층을 포함하는 세라믹 본체; 및

[0010] 상기 세라믹 본체 내부에 형성되며, 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극;을 포함하며,

- [0011] 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극 내의 비전극 영역의 면적을  $A_{center}$ 라고 할 때,  $A_{cover}$  와  $A_{center}$ 의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족하는 적층 세라믹 전자부품을 제공할 수 있다.
- [0012] 상기 적층 세라믹 전자부품은 상기 유전체층의 두께를  $T_d$ , 상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할 때,  $0.5 \leq T_e/T_d \leq 1.2$ 를 만족할 수 있다.
- [0013] 상기 적층 세라믹 전자부품은 상기 커버부 내부전극의 도전성 금속 대비 공재 함량을  $C_{cover}$ , 상기 중앙부 내부전극의 도전성 금속 대비 공재 함량을  $C_{center}$ 라고 할 때,  $1.05 \leq C_{cover}/C_{center} \leq 3.00$ 을 만족할 수 있다.
- [0014] 상기 도전성 금속은 니켈(Ni), 망간(Mn), 크롬(Cr), 구리(Cu), 팔라듐(Pd), 은(Ag), 코발트(Co), 알루미늄(Al)으로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있다.
- [0015] 상기 공재는 세라믹 재료를 포함할 수 있다.
- [0016] 상기 적층 세라믹 전자부품은 상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할 때,  $0.1 \mu m \leq T_e \leq 0.5 \mu m$ 를 만족할 수 있다.
- [0017] 상기 유전체층의 적층수는 세라믹 본체 두께  $10 \mu m$ 당 7층 이상일 수 있다.
- [0018] 본 발명의 다른 일 실시형태는 상부에 제1 및 제2 전극 패드를 갖는 인쇄회로기판; 및 상기 인쇄회로기판 위에 설치된 적층 세라믹 전자부품;을 포함하며, 상기 적층 세라믹 커패시터는 유전체층을 포함하는 세라믹 본체 및 상기 세라믹 본체 내부에 형성되며, 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극을 포함하며, 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극 내의 비전극 영역의 면적을  $A_{center}$ 라고 할 때,  $A_{cover}$  와  $A_{center}$ 의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족하는 적층 세라믹 전자부품의 실장 기판을 제공할 수 있다.
- [0019] 상기 적층 세라믹 전자부품은 상기 유전체층의 두께를  $T_d$ , 상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할 때,  $0.5 \leq T_e/T_d \leq 1.2$ 를 만족할 수 있다.
- [0020] 상기 적층 세라믹 전자부품은 상기 커버부 내부전극의 도전성 금속 대비 공재 함량을  $C_{cover}$ , 상기 중앙부 내부전극의 도전성 금속 대비 공재 함량을  $C_{center}$ 라고 할 때,  $1.05 \leq C_{cover}/C_{center} \leq 3.00$ 을 만족할 수 있다.
- [0021] 상기 도전성 금속은 니켈(Ni), 망간(Mn), 크롬(Cr), 구리(Cu), 팔라듐(Pd), 은(Ag), 코발트(Co), 알루미늄(Al)으로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있다.

[0022] 상기 공재는 세라믹 재료를 포함할 수 있다.

[0023] 상기 적층 세라믹 전자부품은 상기 제1 및 제2 내부전극의 두께를  $T_e$ 라고 할 때,  $0.1\mu\text{m} \leq T_e \leq 0.5\mu\text{m}$ 를 만족할 수 있다.

[0024] 상기 유전체층의 적층수는 세라믹 본체 두께  $10\mu\text{m}$ 당 7층 이상일 수 있다.

**발명의 효과**

[0025] 본 발명의 실시형태에 의하면 고 신뢰성의 적층 세라믹 전자부품 및 적층 세라믹 전자부품의 실장 기관을 제공할 수 있다.

**도면의 간단한 설명**

[0026] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.

도 2a는 도 1의 A-A' 선을 따라 취한 적층 세라믹 커패시터를 나타내는 개략적인 단면도이다.

도 2b는 도 1의 B-B' 선을 따라 취한 적층 세라믹 커패시터를 나타내는 개략적인 단면도이다.

도 3은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 유전체층 및 내부전극을 개략적으로 나타내는 확대도이다.

도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터 단면의 유전체층 및 내부전극을 나타내는 주사전자 현미경(SEM) 사진이다.

도 5는 본 발명 일 실시형태에 따른 적층 세라믹 커패시터가 실장된 기관에 관한 개략적인 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

**적층 세라믹 전자부품**

[0028] 본 발명의 일 실시형태는 적층 세라믹 전자부품에 관한 것으로, 세라믹 재료를 사용하는 전자부품은 커패시터, 인덕터, 압전체 소자, 바리스터, 또는 서미스터 등이 있다. 하기에서는 적층 세라믹 전자부품의 일례로서 적층 세라믹 커패시터에 관하여 설명한다.

[0030] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.

[0031] 도 2a는 도 1의 A-A' 선을 따라 취한 적층 세라믹 커패시터를 나타내는 개략적인 단면도이다.

[0032] 도 2b는 도 1의 B-B' 선을 따라 취한 적층 세라믹 커패시터를 나타내는 개략적인 단면도이다.

[0033] 도 1, 도 2a 및 도 2b를 참조하면, 본 실시형태에 따른 적층 세라믹 커패시터는 유전체층(111)을 포함하는 세라믹 본체(110), 상기 세라믹 본체(110) 내부에 형성되며, 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극(121, 122) 및 상기 세라믹 본체(110)의 외표면에 형성되는 제1 및 제2 외부 전극(131, 132)을 포함할 수 있다.

- [0034] 본 발명의 일 실시 형태에서, 적층 세라믹 커패시터의 '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의될 수 있다. 상기 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0035] 상기 세라믹 본체(110)의 형상에 특별히 제한은 없지만, 본 발명의 일 실시형태에 따르면 육면체 형상을 가질 수 있다.
- [0036] 상기 세라믹 본체(110)는 복수 개의 유전체층(111)이 적층되어 형성될 수 있다.
- [0037] 상기 세라믹 본체(110)를 구성하는 복수의 유전체층(111)은 소결된 상태로써, 인접하는 유전체층끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0038] 상기 유전체층(111)은 세라믹 분말을 포함하는 세라믹 그린시트의 소결에 의하여 형성될 수 있다.
- [0039] 상기 세라믹 분말은 당업계에서 일반적으로 사용되는 것이면 특별히 제한되지 않는다.
- [0040] 이에 제한되는 것은 아니나, 예를 들면 BaTiO<sub>3</sub>계 세라믹 분말을 포함할 수 있다.
- [0041] 상기 BaTiO<sub>3</sub>계 세라믹 분말은 이에 제한되는 것은 아니며, 예를 들면, BaTiO<sub>3</sub>에 Ca, Zr 등이 일부 고용된 (Ba<sub>1-x</sub>Ca<sub>x</sub>)TiO<sub>3</sub>, Ba(Ti<sub>1-y</sub>Ca<sub>y</sub>)O<sub>3</sub>, (Ba<sub>1-x</sub>Ca<sub>x</sub>)(Ti<sub>1-y</sub>Zr<sub>y</sub>)O<sub>3</sub> 또는 Ba(Ti<sub>1-y</sub>Zr<sub>y</sub>)O<sub>3</sub> 등이 있다.
- [0042] 또한, 상기 세라믹 그린시트는 상기 세라믹 분말과 함께 전이금속, 희토류 원소, 마그네슘(Mg), 알루미늄(Al) 등을 포함할 수 있다.
- [0043] 상기 일 유전체층(111)의 두께는 적층 세라믹 커패시터의 용량 설계에 맞추어 적절히 변경될 수 있다.
- [0044] 이에 제한되는 것은 아니나, 예를 들면 소결 후 인접하는 2개의 내부 전극 사이에 형성된 유전체층(111)의 두께는 0.6 $\mu$ m이하 일 수 있다.
- [0045] 상기 세라믹 본체(110) 내부에는 제1 및 제2 내부 전극(121, 122)이 형성될 수 있다.
- [0046] 상기 제1 및 제2 내부 전극(121, 122)은 세라믹 그린시트 상에 형성되어 적층되고, 소결에 의하여 일 유전체층을 사이에 두고, 상기 세라믹 본체(110) 내부에 형성될 수 있다.
- [0047] 상기 제1 및 제2 내부 전극은 서로 다른 극성을 갖는 제1 내부전극(121) 및 제2 내부전극(122)을 한 쌍으로 할 수 있으며, 유전체층의 적층 방향에 따라 대향 배치될 수 있다.
- [0048] 도 2a에 도시된 바와 같이, 상기 제1 및 제2 내부 전극(121, 122)의 말단은 세라믹 본체(110)의 길이 방향의 일면으로 교대로 노출될 수 있다.
- [0049] 또한, 도시되지 않았으나, 본 발명의 일 실시형태에 따르면 제1 및 제2 내부 전극은 리드부를 갖고, 리드부를 통하여 세라믹 본체의 동일면으로 노출될 수 있다.
- [0050] 또는 제1 및 제2 내부 전극(121, 122)은 리드부를 갖고 리드부를 통하여 세라믹 본체의 하나 이상의 면으로 노출될 수 있다.
- [0051] 상기 세라믹 본체(110)의 외표면에는 제1 및 제2 외부 전극(131, 132)이 형성될 수 있고, 상기 제1 및 제2 외부 전극(131, 132)은 제1 및 제2 내부 전극(121, 122)과 각각 전기적으로 연결될 수 있다.
- [0052] 보다 구체적으로, 상기 세라믹 본체(110)의 일면으로 노출된 제1 내부 전극(121)과 전기적으로 연결된 제1 외부



전극(131)과 상기 세라믹 본체(110)의 타면으로 노출된 제2 내부 전극(122)과 전기적으로 연결된 제2 외부전극으로 구성될 수 있다.

[0053] 또한 도시되지 않았으나, 세라믹 본체로 노출되는 제1 및 제2 내부 전극과 연결되기 위하여 복수 개의 외부전극이 형성될 수 있다.

[0054] 상기 제1 및 제2 외부 전극(131, 132)은 금속 분말을 포함하는 도전성 페이스트로 형성될 수 있다.

[0055] 상기 도전성 페이스트에 포함되는 금속 분말은 특별히 제한되지 않으며, 예를 들면 니켈(Ni), 구리(Cu), 또는 이들 합금을 사용할 수 있다.

[0056] 상기 제1 및 제2 외부 전극(131, 132)의 두께는 용도 등에 따라 적절히 결정할 수 있는데, 예를 들면 10 내지 50 $\mu$ m 정도일 수 있다.

[0057] 도 3은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 유전체층 및 내부전극을 개략적으로 나타내는 확대도이다.

[0058] 도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터 단면의 유전체층 및 내부전극을 나타내는 주사전자현미경(SEM) 사진이다.

[0059] 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 제1 및 제2 내부전극(121, 122)은 내부에 비전극 영역(N)을 포함할 수 있다. 본 발명의 일 실시형태에 따르면, 제1 및 제2 내부전극(121, 122)에서 비전극 영역(N)을 제외한 부분은 전극영역(E)으로 이해될 수 있다.

[0060] 본 발명의 일 실시형태에 따르면, 상기 비전극 영역(N)은 제1 및 제2 내부전극의 소성 과정에서 형성될 수 있으며, 상기 비전극 영역(N)은 내부 전극을 형성하는 도전성 페이스트의 조성물에 의하여 형성될 수 있다.

[0061] 이에 제한되는 것은 아니나, 비전극 영역(N)은 세라믹 공재를 포함할 수 있다.

[0062] 도 4의 주사전자현미경(SEM) 사진에서 밝게 표시된 영역이 내부전극이며, 내부 전극 내에서 진하게 표시된 작은 영역은 비전극영역을 나타낸다.

[0063] 도 3 및 도 4를 참조하면, 상기 제1 및 제2 내부 전극(121, 122)은 도전성 금속 및 공재를 포함하고, 도전성 금속에 의한 전극 영역(E)과 상기 공재에 의해 용량 형성에 기여하지 않는 비전극 영역(N)을 포함할 수 있다.

[0064] 상기 제1 및 제2 내부 전극(121, 122)을 형성하는 도전성 금속의 종류는 특별히 제한되지 않으며, 예를 들면 비금속(base metal)을 사용할 수 있다.

[0065] 이에 제한되는 것은 아니나, 예를 들면 니켈(Ni), 망간(Mn), 크롬(Cr), 코발트(Co), 알루미늄(Al) 또는 이들의 합금이 있고, 이들을 하나 이상 포함할 수 있다.

[0066] 또한, 상기 공재는 유전체층(111)을 형성하는 세라믹 분말과 동일한 것을 사용할 수 있으며, 예를 들어 티탄산 바륨( $BaTiO_3$ ) 분말을 사용할 수 있으나 이에 제한되는 것은 아니다.

[0067] 상기 제1 및 제2 내부 전극(121, 122)이 포함하는 상기 공재의 함량을 조절함으로써, 제1 및 제2 내부전극 내의 비전극 영역(N)을 제어하여 내부 전극의 강도를 강화시키고, 소결 수축 응력을 완화시켜 수축 시 크랙(crack) 발생을 억제할 수 있다.

- [0068] 좀 더 구체적으로, 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극(120a, 120b) 내의 비전극 영역(N)의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극(120c) 내의 비전극 영역(N)의 면적을  $A_{center}$  라고 할 때,  $A_{cover}$  와  $A_{center}$ 의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족하도록 비전극 영역(N)의 면적을 제어할 수 있다.
- [0069] 다시 도 2a를 참조하여 보면, 상기 커버부 내부전극(120a, 120b)은 제1 및 제2 내부전극(121, 122)의 적층 방향에서 최외측에 배치된 내부전극을 제외하고 제1 및 제2 내부전극 중 상부로부터 2번째 내지 5번째의 내부전극 또는 하부로부터 2번째 내지 5번째의 내부전극을 의미한다.
- [0070] 상기 중앙부 내부전극(120c)은 제1 및 제2 내부전극의 적층 방향에서 중앙에 위치한 내부전극을 의미한다.
- [0071] 상기  $A_{cover}$ 는 길이-두께(L-T) 방향 단면에서 나타나는 커버부 내부 전극 내에 존재하는 비전극 영역의 면적을 의미하며, 상기  $A_{center}$ 는 길이-두께(L-T) 방향 단면에서 나타나는 중앙부 내부 전극 내에 존재하는 비전극 영역의 면적을 의미하며, 상기  $A_{cover}$  및  $A_{center}$ 는 동일한 단면적에서 측정되어야 한다.
- [0072]  $A_{center}/A_{cover}$  값을 제어하기 위해 상기 공재는 상기 커버부 내부전극의 도전성 금속 대비 공재 함량을  $C_{cover}$ , 상기 중앙부 내부전극의 도전성 금속 대비 공재 함량을  $C_{center}$  라고 할 때,  $1.05 \leq C_{cover}/C_{center} \leq 3.00$ 를 만족하도록 포함될 수 있다.
- [0073]  $A_{center}/A_{cover}$  이 0.33 미만인 경우 용량이 저하되어 목표용량구현에 어려움이 있으며,  $A_{center}/A_{cover}$  이 0.95를 초과하는 경우 세라믹 본체의 소성과정에서 수축크랙이 발생하는 문제가 존재하였다.
- [0074] 따라서  $A_{center}/A_{cover}$ 는 0.33 이상 0.95 이하가 되도록 형성되는 것이 바람직하다.
- [0075] 나아가 본 발명의 적층 세라믹 커패시터는 상기 유전체층의 두께를  $T_d$ , 상기 제1 및 제2 내부전극의 두께를  $T_e$  라고 할 때,  $0.5 \leq T_e/T_d \leq 1.2$ 를 만족하도록 제조될 수 있다. 내부전극 및 유전체층의 두께를 제어하는 이유 역시, 수축크랙 발생을 방지하기 위한 것으로  $T_e/T_d$ 가 1.2를 초과하도록 제작되는 경우 소성과정에서 수축크랙이 발생하는 문제가 있으며,  $T_e/T_d$ 가 0.5 미만으로 제작되는 경우 목표용량구현에 어려움이 있다
- [0076] 따라서  $T_e/T_d$ 는 0.5 내지 1.2가 되도록 형성되는 것이 바람직하다.
- [0077] 상기 제1 및 제2 내부 전극(121, 122)의 두께는 용도 등에 따라 적절히 결정할 수 있는데, 예를 들면,  $0.7\mu\text{m}$ 이하 일 수 있다. 또는 제1 및 제2 내부 전극(121, 122)의 두께는 0.1 내지  $0.5\mu\text{m}$ 일 수 있다. 또는 제1 및 제2 내부 전극(121, 122)의 두께는 0.3 내지  $0.5\mu\text{m}$ 일 수 있다.
- [0078] 상기 제1 및 제2 내부전극(121, 122)의 두께는 상기 유전체층 사이에 배치되는 제1 및 제2 내부전극의 평균 두께를 의미할 수 있다.
- [0079] 상기 제1 및 제2 내부전극(121, 122)의 평균 두께는 세라믹 본체(110)의 길이 - 두께(L-T) 방향 단면을 주사전

자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.

- [0080] 예를 들어, 세라믹 본체(110)의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 추출된 임의의 내부전극에 대해서, 폭 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0081] 상기 등간격인 30개의 지점은 제1 및 제2 내부전극(121, 122)이 중첩되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0082] 또한, 이러한 평균값 측정을 10개 이상의 내부전극으로 확장하여 평균값을 측정하면, 내부전극의 평균 두께를 더욱 일반화할 수 있다.
- [0083] 본 발명의 일 실시형태에 따르면 내부 전극이 형성된 유전체층은 250층 이상으로 적층될 수 있으며, 상기 유전체층은 세라믹 본체 두께 10 $\mu$ m당 7층 이상이 되도록 적층될 수 있다.
- [0084] 상기 제1 및 제2 내부전극(121, 122)의 평균 두께는 세라믹 본체(110)의 폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0085] 적층 세라믹 전자부품의 내부전극과 유전체 층이 박층화되고 적층수가 증가함에 따라 세라믹 본체의 소결 시 내부전극과 유전체층의 수축온도 차이에 의해 내부전극이 인쇄된 용량형성부와 내부전극이 인쇄되지 않은 영역의 수축량 차이가 급격해지게 된다. 이에 따라 마진부와 용량형성부 사이 또는 커버부와 용량형성부 사이에서 수축 크랙이 다발하게 되는데, 본 발명의 실시형태와 같이 중심부와 커버부 내부전극의 비전극 영역의 면적비를 제어하는 경우 커버부 내부전극의 수축율을 감소시키고, 강도를 강화시킬 수 있어 커버부에 가중되는 응력을 완화하여 수축 크랙 발생을 억제할 수 있다.
- [0086] 따라서 본 발명의 실시형태에 의하면, 내부전극 내에 존재하는 비전극 면적을 제어하고 내부전극과 유전체층의 두께를 제어함으로써 고신뢰성의 적층 세라믹 전자부품을 제공할 수 있다.
- [0087] **실예**
- [0088] 하기 표 1은 적층 세라믹 커패시터의 커버부 내부전극 및 중앙부 내부전극의 도전성 금속에 대한 공재의 함량비 및 비전극 면적비에 따른 수축 크랙 발생 여부 및 목표 용량 구현 여부를 나타내는 데이터이다.
- [0089] 본 실험예에 따른 적층 세라믹 커패시터는 하기와 같은 단계로 제작되었다.
- [0090] 우선, 평균 입경이 0.05~0.2 $\mu$ m인 티탄산바륨(BaTiO<sub>3</sub>) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 제조된 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체층을 형성하게 된다.
- [0091] 다음으로, 니켈 입자와 제2 입자(세라믹 공재)를 표 1에 나타난 비율이 되도록 혼합한 내부전극용 도전성 페이스트를 마련하였다. 본 실험 예에서 C<sub>cover</sub>는 상기 커버부 내부전극의 도전성 금속(니켈) 대비 세라믹 공재 함량을, C<sub>center</sub>는 상기 중앙부 내부전극의 도전성 금속(니켈) 대비 세라믹 공재 함량을 의미한다.
- [0092] 또한 본 실험 예에서 A<sub>cover</sub>는 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을 의미하며, A<sub>center</sub>는 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 중심부 내부전극 내 비전극 영역의 면적을 의미한다.

[0093] 다음으로 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 220층 내지 300층 적층하여 적층체를 만들었다.

[0094] 이후 압착, 절단하여 0603 규격의 Size의 칩을 만들며, 상기 칩을 H<sub>2</sub> 0.1%이하의 환원 분위기의 온도 1050~1200℃에서 소성하였다.

[0095] 다음으로, 외부전극, 도금 등의 공정을 거쳐 적층 세라믹 캐패시터로 제작하여 전기적 특성을 평가하였으며 설계된 chip의 정전용량 측정결과 10% 이상 용량이 저하되는 경우 (예 4.7uF 정전용량을 target으로 4.23 uF 이하의 용량값을 가지는 경우) 목표용량 미구현으로 판정하였다.

[0096] 수축 크랙은 상술한 것과 동일한 조건으로 제작된 50개의 소성된 세라믹 본체에 대해 도 2b와 같이 세라믹 본체의 길이(L) 방향의 중앙부에서 절단한 폭 및 두께 방향(W-T) 단면을 광학현미경으로 관찰한 이미지에서 내부전극이 인쇄되지 않은 마진부와 내부전극이 인쇄된 용량형성부의 경계 부분 근처에서 크랙의 발생 여부를 관찰하였다.

[0097] 표 1의 실험 데이터에서 내부전극과 유전체층의 두께는 1 : 1 이 되도록 제작되었다.

표 1

샘플	C <sub>cover</sub> /C <sub>center</sub>	A <sub>center</sub> /A <sub>cover</sub>	목표 용량 구현	수축 크랙 발생여부
1*	1.00	1.00	○	○
2	1.05	0.95	○	×
3	1.10	0.90	○	×
4	1.50	0.66	○	×
5	2.00	0.50	○	×
6	3.00	0.33	○	×
7*	3.50	0.25	×	×
8*	4.00	0.20	×	×

[0099] \*: 비교예

[0100] ○: 소성 후 크랙 발생, 목표 대비 용량 90% 이상

[0101] ×: 소성 후 크랙 미발생, 목표 대비 용량 90% 미만

[0102] 상기 표 1을 참조하면 비교 예인 샘플 1은 A<sub>center</sub>/A<sub>cover</sub>이 0.95 미만인 경우로서, 소성 후 크랙이 발생하여 신뢰성에 문제가 있으며, 또 다른 비교 예인 샘플 7 및 8은 A<sub>center</sub>/A<sub>cover</sub>이 0.33을 초과하는 경우로, 목표로 하는 정전 용량을 얻을 수 없음을 알 수 있다.

[0103] 본 발명의 실시 예인 샘플 3 내지 6은 본 발명의 수치범위를 만족하는 경우로서, 소성 후 크랙도 발생하지 않고 목표로 하는 정전 용량을 얻을 수 있어 신뢰성이 우수한 고용량 적층 세라믹 커패시터의 구현이 가능함을 알 수 있다.

[0104] 아래의 표 2는 상술한 제조 방법에 따른 적층 세라믹 커패시터에서 내부 전극 두께(Te) 및 유전체층 두께(Td)의 비(Te/Td)에 따른 수축 크랙 발생 여부 및 목표 용량 구현 여부를 나타내는 데이터이다. 표 2의 데이터에서  $C_{cover}/C_{center}$ 는 1.50  $A_{center}/A_{cover}$ 는 0.66이 되도록 제조되었다.

표 2

샘플	Te/Td	목표 용량 구현	수축 크랙 발생여부
1*	0.3	×	×
2*	0.4	×	×
3	0.5	○	×
4	0.8	○	×
5	1.2	○	×
6*	1.5	○	○
7*	2.0	○	○
8*	2.5	○	○

[0106] \*: 비교예

[0107] ○: 소성 후 크랙 발생, 목표 대비 용량 90% 이상

[0108] ×: 소성 후 크랙 미발생, 목표 대비 용량 90% 미만

[0109] 상기 표 2를 참조하면 비교 예인 샘플 1 및 2은 Te/Td가 0.5 미만인 경우로서, 목표로 하는 정전 용량을 얻을 수 없으며, 또 다른 비교 예인 샘플 6 내지 8은 Te/Td가 1.2를 초과하는 경우로서, 소성 후 크랙이 발생하여 신뢰성이 문제가 있다.

[0110] 본 발명의 실시 예인 샘플 3 내지 5는 본 발명의 수치범위를 만족하는 경우로서, 소성 후 크랙도 발생하지 않고 목표로 하는 정전 용량을 얻을 수 있어 신뢰성이 우수한 고용량 적층 세라믹 커패시터의 구현이 가능함을 알 수 있다.

[0111] **적층 세라믹 커패시터의 실장 기관**

[0112] 도 5는 본 발명 다른 일 실시형태에 따른 적층 세라믹 커패시터가 실장된 기관에 관한 개략적인 사시도이다.

[0113] 도 5를 참조하면 본 실시형태에 따른 적층 세라믹 커패시터가 실장된 기관(200)은 상부에 제1 및 제2 전극 패드(221, 222)를 갖는 인쇄회로기판(210); 및 상기 인쇄회로기판 위에 설치된 적층 세라믹 전자부품(100);을 포함하며, 상기 적층 세라믹 커패시터는 유전체층을 포함하는 세라믹 본체 및 상기 세라믹 본체 내부에 형성되며, 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부 전극을 포함하며, 상기 세라믹 본체의 길이-두께(L-T) 방향 단면에 있어서, 상기 제1 및 제2 내부전극 중 커버부 내부전극 내의 비전극 영역의 면적을  $A_{cover}$ , 상기 제1 및 제2 내부전극 중 중앙부 내부전극 내의 비전극 영역의 면적을  $A_{center}$  라고 할 때,  $A_{cover}$  와  $A_{center}$ 의 비율이,  $0.33 \leq A_{center}/A_{cover} \leq 0.95$ 를 만족할 수 있다.

[0114] 본 실시형태에서 인쇄회로기판(210)에 실장되는 적층 세라믹 커패시터(100)는 상술한 적층 세라믹 커패시터에 관한 설명과 중복되므로 그 설명을 생략하도록 한다.

[0115] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자

한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

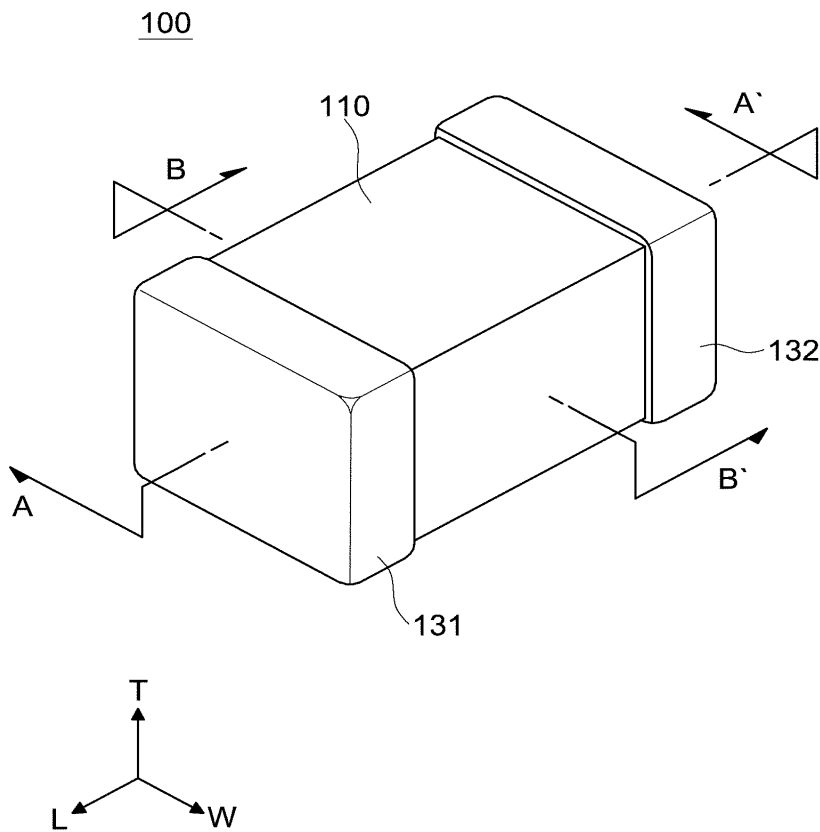
**부호의 설명**

[0116]

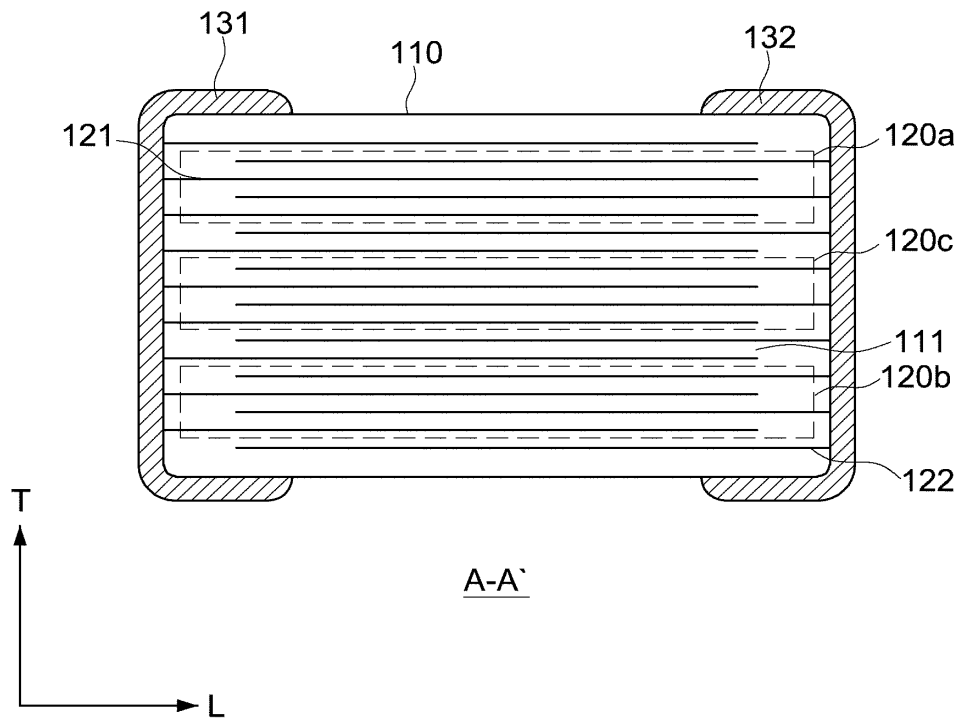
- 100 : 적층 세라믹 커패시터
- 110 : 세라믹 본체
- 111 : 유전체 층
- 121, 122 : 제1 및 제2 내부전극
- 131, 132 : 외부 전극
- 200 ; 실장 기판
- 210 ; 인쇄회로기판
- 221, 222 ; 제1 및 제2 전극 패드
- 230 ; 솔더링

**도면**

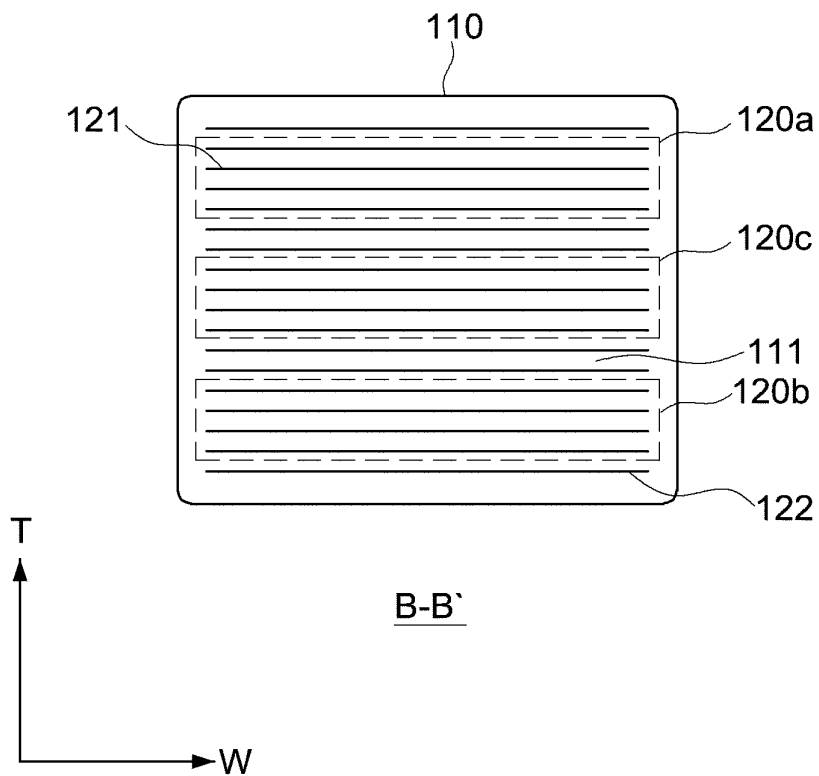
**도면1**



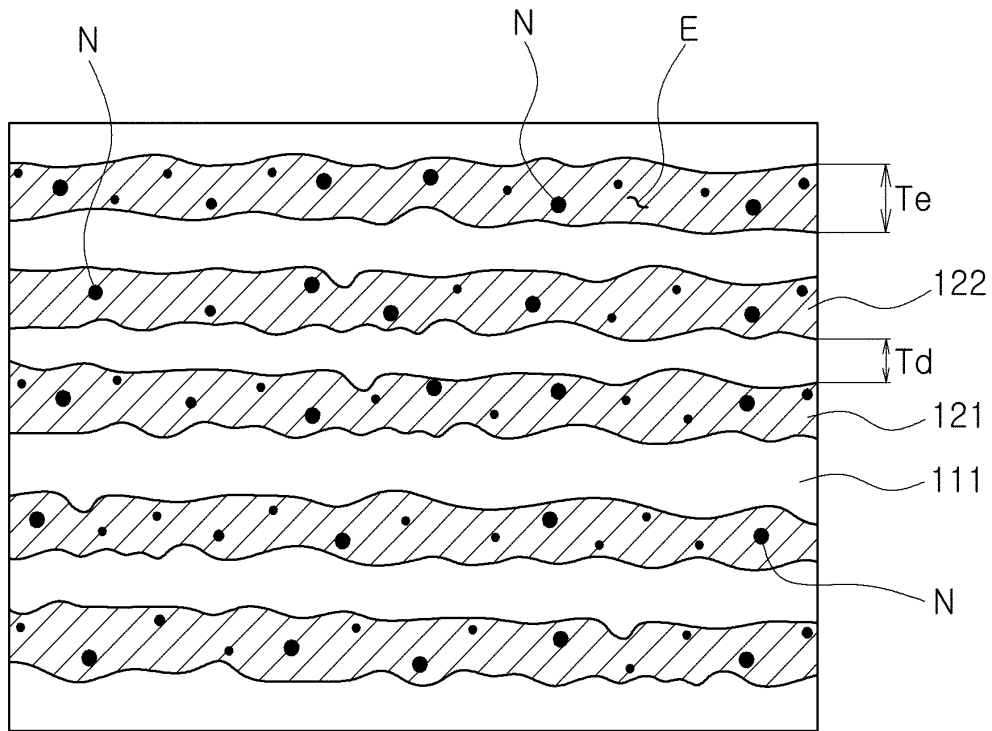
도면2a



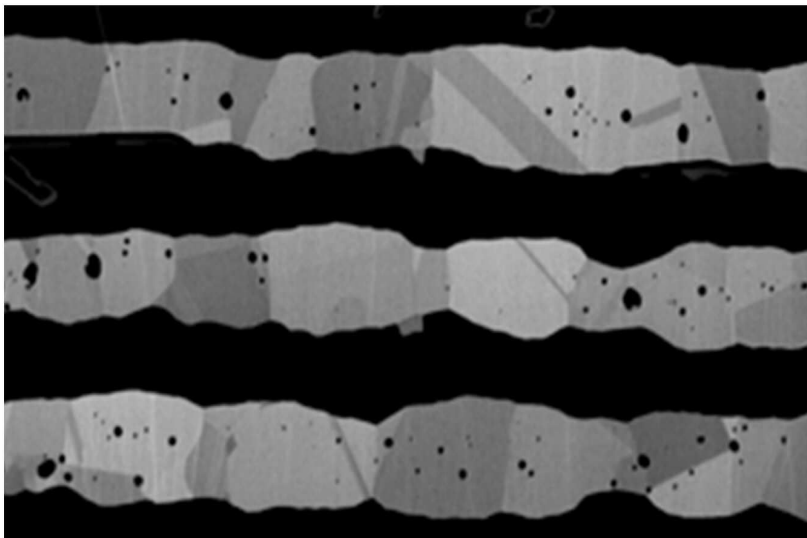
도면2b



도면3



도면4





도면5

