



(12) 发明专利

(10) 授权公告号 CN 101743616 B

(45) 授权公告日 2012.02.22

(21) 申请号 200880022572.2

H01L 27/12(2006.01)

(22) 申请日 2008.06.18

H01L 29/786(2006.01)

(30) 优先权数据

170087/2007 2007.06.28 JP

(56) 对比文件

WO 2007/008897 A1, 2007.01.18, 全文.

US 2007/0117354 A1, 2007.05.24, 全文.

CN 1765014 A, 2006.04.26, 全文.

US 6818529 B2, 2004.11.16, 全文.

US 6767802 B1, 2004.07.27, 全文.

US 2004/0121557 A1, 2004.06.24, 全文.

US 6562127 B1, 2003.05.13, 全文.

WO 01/11670 A1, 2001.02.15, 全文.

US 6004866 A, 1999.12.21, 全文.

JP 特开平 10-135479 A, 1998.05.22, 全文.

(85) PCT申请进入国家阶段日

2009.12.28

(86) PCT申请的申请数据

PCT/JP2008/061499 2008.06.18

(87) PCT申请的公布数据

W02009/001836 EN 2008.12.31

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

审查员 阎澄

(72) 发明人 下村明久 沟井达也 宫入秀和

田中幸一郎

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 朱海煜 王丹昕

(51) Int. Cl.

H01L 21/02(2006.01)

H01L 21/20(2006.01)

H01L 21/336(2006.01)

权利要求书 5 页 说明书 28 页 附图 20 页

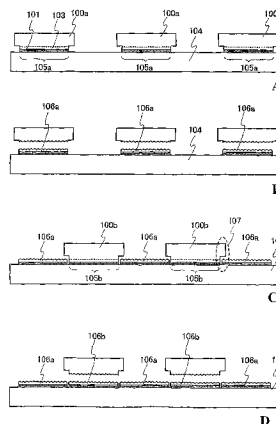
(54) 发明名称

半导体装置的制造方法

(57) 摘要

一种半导体装置的制造方法,其中可以使转置在多个地方的半导体膜之间的间隔变得很小。进行多次从接合衬底到基底衬底的半导体膜的转置。当使先转置的半导体膜和后转置的半导体膜相邻时,通过利用其端部被部分地去掉了的接合衬底来进行后转置。对于后转置的接合衬底来说,其对应于被去掉的端部的区域在垂直于接合衬底的方向上的宽度大于先转置的半导体膜的厚度。

CN 101743616 B



1. 一种半导体装置的制造方法,包括如下步骤:

将第一接合衬底接合在基底衬底上;

分离所述第一接合衬底,使得将所述第一接合衬底一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述凸部以外的区域与所述第一半导体膜重叠;以及

分离所述第二接合衬底,来在所述基底衬底上设置所述凸部一部分的第二半导体膜。

2. 一种半导体装置的制造方法,包括如下步骤:

将第一接合衬底接合在基底衬底上;

分离所述第一接合衬底,使得将所述第一接合衬底一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述凸部以外的区域与所述第一半导体膜重叠;以及

分离所述第二接合衬底,来在所述基底衬底上设置所述凸部一部分的第二半导体膜,

其中,在垂直于所述第二接合衬底的方向上的所述凸部的宽度大于所述第一半导体膜的厚度。

3. 一种半导体装置的制造方法,包括如下步骤:

将第一接合衬底接合在基底衬底上;

分离所述第一接合衬底,使得将所述第一接合衬底一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述凸部以外的区域与所述第一半导体膜重叠;

分离所述第二接合衬底,来在所述基底衬底上设置所述凸部一部分的第二半导体膜;

至少在所述第一半导体膜和所述第二半导体膜之间形成第三半导体膜;以及

通过利用外延生长使所述第三半导体膜结晶化。

4. 根据权利要求1所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第一接合衬底上形成绝缘膜,并且

所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

5. 根据权利要求2所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第一接合衬底上形成绝缘膜,并且

所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

6. 根据权利要求3所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第一接合衬底上形成绝缘膜,并且

所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

7. 根据权利要求1所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述凸部上形成绝缘膜,并且

所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

8. 根据权利要求 2 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述凸部上形成绝缘膜,并且所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

9. 根据权利要求 3 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述凸部上形成绝缘膜,并且

所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

10. 一种半导体装置的制造方法,包括如下步骤:

将通过部分地去掉面向基底衬底侧的表面的端部而形成了第一凸部的第一接合衬底接合在所述基底衬底上;

分离所述第一接合衬底,使得将所述第一凸部一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第二凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述第二凸部以外的区域与所述第一半导体膜重叠;以及

分离所述第二接合衬底,来在所述基底衬底上设置所述第二凸部的一部分的第二半导体膜。

11. 一种半导体装置的制造方法,包括如下步骤:

将通过部分地去掉面向基底衬底侧的表面的端部而形成了第一凸部的第一接合衬底接合在所述基底衬底上;

分离所述第一接合衬底,使得将所述第一凸部一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第二凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述第二凸部以外的区域与所述第一半导体膜重叠;以及

分离所述第二接合衬底,来在所述基底衬底上设置所述第二凸部一部分的第二半导体膜,

其中,在垂直于所述第二接合衬底的方向上的所述第二凸部的宽度大于所述第一半导体膜的厚度。

12. 一种半导体装置的制造方法,包括如下步骤:

将通过部分地去掉面向基底衬底侧的表面的端部而形成了第一凸部的第一接合衬底接合在所述基底衬底上;

分离所述第一接合衬底,将所述第一凸部一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第二凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述第二凸部以外的区域与所述第一半导体膜重叠;

分离所述第二接合衬底,来在所述基底衬底上设置所述第二凸部一部分的第二半导体膜;

至少在所述第一半导体膜和所述第二半导体膜之间形成第三半导体膜；以及通过利用外延生长使所述第三半导体膜结晶化。

13. 根据权利要求 10 所述的半导体装置的制造方法，其中通过利用羟基化或等离子体氧化来在所述第一凸部上形成绝缘膜，并且

所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

14. 根据权利要求 11 所述的半导体装置的制造方法，其中通过利用羟基化或等离子体氧化来在所述第一凸部上形成绝缘膜，并且

所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

15. 根据权利要求 12 所述的半导体装置的制造方法，其中通过利用羟基化或等离子体氧化来在所述第一凸部上形成绝缘膜，并且所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

16. 根据权利要求 10 所述的半导体装置的制造方法，其中通过利用羟基化或等离子体氧化来在所述第二凸部上形成绝缘膜，并且

所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

17. 根据权利要求 11 所述的半导体装置的制造方法，其中通过利用羟基化或等离子体氧化来在所述第二凸部上形成绝缘膜，并且

所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

18. 根据权利要求 12 所述的半导体装置的制造方法，其中通过利用羟基化或等离子体氧化来在所述第二凸部上形成绝缘膜，并且

所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

19. 一种半导体装置的制造方法，包括如下步骤：

将通过部分地去掉面向基底衬底侧的表面的端部而形成了第一凸部的第一接合衬底接合在所述基底衬底上；

分离所述第一接合衬底，将所述第一凸部一部分的第一半导体膜设置在所述基底衬底上；

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第二凸部的第二接合衬底接合在所述基底衬底上，以使所述第二接合衬底的所述第二凸部以外的区域与所述第一半导体膜重叠；

分离所述第二接合衬底，来在所述基底衬底上设置所述第二凸部一部分的第二半导体膜；

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第三凸部的第三接合衬底接合在所述基底衬底上，以使所述第三接合衬底的所述第三凸部以外的区域与所述第一半导体膜及所述第二半导体膜重叠；以及

分离所述第三接合衬底，来在所述基底衬底上设置所述第三凸部一部分的第三半导体膜，

其中，所述第一凸部、所述第二凸部以及所述第三凸部具有正六角形。

20. 一种半导体装置的制造方法，包括如下步骤：

将通过部分地去掉面向基底衬底侧的表面的端部而形成了第一凸部的第一接合衬底接合在所述基底衬底上；

分离所述第一接合衬底,使得将所述第一凸部一部分的第一半导体膜设置在所述基底衬底上;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第二凸部的第二接合衬底接合在所述基底衬底上,以使所述第二接合衬底的所述第二凸部以外的区域与所述第一半导体膜重叠;

分离所述第二接合衬底,来在所述基底衬底上设置所述第二凸部一部分的第二半导体膜;

将通过部分地去掉面向所述基底衬底侧的表面的端部而形成了第三凸部的第三接合衬底接合在所述基底衬底上,以使所述第三接合衬底的所述第三凸部以外的区域与所述第一半导体膜及所述第二半导体膜重叠;以及

分离所述第三接合衬底,来在所述基底衬底上设置所述第三凸部一部分的第三半导体膜,

其中,在垂直于所述第二接合衬底的方向上的所述第二凸部的宽度和在垂直于所述第三接合衬底的方向上的所述第三凸部的宽度均大于所述第一半导体膜的厚度,

并且,所述第一凸部、所述第二凸部以及所述第三凸部具有正六角形。

21. 根据权利要求 19 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第一凸部上形成绝缘膜,并且

所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

22. 根据权利要求 20 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第一凸部上形成绝缘膜,并且所述第一接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

23. 根据权利要求 19 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第二凸部上形成绝缘膜,并且

所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

24. 根据权利要求 20 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第二凸部上形成绝缘膜,并且所述第二接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

25. 根据权利要求 19 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第三凸部上形成绝缘膜,并且

所述第三接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

26. 根据权利要求 20 所述的半导体装置的制造方法,其中通过利用羟基化或等离子体氧化来在所述第三凸部上形成绝缘膜,并且

所述第三接合衬底以中间隔着所述绝缘膜的方式接合在所述基底衬底上。

27. 根据权利要求 1 所述的半导体装置的制造方法,其中通过在利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

28. 根据权利要求 2 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

29. 根据权利要求 3 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

30. 根据权利要求 10 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

31. 根据权利要求 11 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

32. 根据权利要求 12 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

33. 根据权利要求 19 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

34. 根据权利要求 20 所述的半导体装置的制造方法,其中利用掺杂在所述第一接合衬底中形成脆弱层之后、利用微波的介电质加热对所述第一接合衬底选择性地加热,而在所述脆弱层引起所述第一接合衬底的分离。

## 半导体装置的制造方法

### 技术领域

[0001] 本发明涉及一种使用 SOI (绝缘体上硅) 衬底的半导体装置的制造方法。本发明特别涉及接合 SOI 技术, 并且涉及一种半导体装置的制造方法, 所述半导体装置使用通过中间隔着绝缘膜将单晶或多晶半导体膜接合在衬底上而获得的 SOI 衬底。

### 背景技术

[0002] 对于高集成化、高运行速度、高性能、低耗电量化的要求越来越紧迫, 为了实现这些要求, 作为替代块体晶体管的有效手段, 使用 SOI 衬底的晶体管引人注目。与块体晶体管相比, 对使用 SOI 衬底的晶体管来说, 可以进一步期待实现高运行速度、低耗电量化, 这是因为由于在使用 SOI 衬底的晶体管的半导体膜上形成绝缘膜, 所以可以降低寄生电容并且抑制流过衬底的漏电流的产生的缘故。并且由于可以较薄地形成用作有源层的半导体膜, 所以可以抑制短沟道效应, 而可以实现元件的小型化及半导体集成电路的高集成化。另外, 使用 SOI 衬底的晶体管是完全无需闭锁的, 所以不存在元件被起因于闭锁的发热损坏的可能性。而且, 不像块体晶体管的那样, 使用 SOI 衬底的晶体管无需元件隔离, 所以使用 SOI 衬底的晶体管具有可以缩短元件之间的距离而实现高集成化之类的优点。

[0003] 作为 SOI 衬底的制造方法之一, 有中间隔着绝缘膜将半导体膜接合在衬底上的方法, 诸如以 Smart Cut (注册商标) 为典型的 UNIBOND (注册商标)、ELTRAN (外延层转置)、介电质分离法、或 PACE (等离子体辅助化学蚀刻) 法等。通过使用上述接合法, 可以将使用单晶半导体膜的高性能集成电路形成在廉价衬底上。

[0004] 作为使用 SOI 衬底的半导体装置的一个例子, 本申请人所提供的 是已知的 (参考文献 1 : 日本专利申请公开 2000-012864 号公报)。

[0005] 用于制造平板显示器等半导体装置 的玻璃衬底尺寸逐年增加, 诸如第七代 (1900mm×2200mm)、第八代 (2160mm×2460mm), 预测今后玻璃衬底面积将更大。诸如第九代 (2400mm×2800mm、2450mm×3050mm)、第十代 (2950mm×3400mm)。如果玻璃衬底尺寸增大, 可以利用一个玻璃衬底来产生更多个半导体装置, 而可以削减生产成本。

[0006] 另一方面, 对半导体衬底之一的硅衬底来说, 一般知道其直径为 5 英寸 (125mm) 的、其直径为 6 英寸 (150mm) 的、其直径为 8 英寸 (200mm) 的、其直径为 12 英寸 (300mm) 的, 而其大小明显小于玻璃衬底。因此, 当从半导体衬底将半导体膜转置在大型玻璃衬底上时, 需要在多个地方进行上述转置。然而, 有如下情况: 半导体衬底会翘曲或变形; 半导体衬底的端部稍微成圆形。此外, 还有如下情况: 当为了从半导体衬底剥离半导体膜而添加氢离子时, 不能对端部充分进行氢离子的添加。因此, 有如下问题: 半导体膜端部难以转置在玻璃衬底上, 当为了不使半导体衬底彼此重叠而在多个地方进行转置时, 转置的半导体膜之间的距离扩大, 而难以制造使用半导体膜但不受这些半导体膜之间间距影响的一种半导体装置。

### 发明内容

[0007] 鉴于上述问题,本发明的目的在于使转置在多个地方的半导体膜之间的间隔变得很小。

[0008] 在本发明中,进行多次从半导体衬底(接合衬底)到支承衬底(基底衬底)的半导体膜的转置。当使先转置的半导体膜和后转置的半导体膜相邻时,通过利用其端部被部分地去掉了的接合衬底来进行后转置。对于后转置的接合衬底来说,接合衬底 100b 对应于被去掉的端部的区域在垂直于接合衬底的方向(深度方向)上的宽度大于先转置的半导体膜的厚度。不但在后转置中,而且在先转置中,也可以使用其端部被部分地去掉了的接合衬底。但是,对于先转置的接合衬底来说,接合衬底对应于被去掉的端部的区域在垂直于接合衬底的方向(深度方向)上的宽度等于或大于先转置的半导体膜的厚度。

[0009] 具体地说,上述转置通过如下工序而进行:在将第一接合衬底接合在基底衬底上之后,分离第一接合衬底,将第一接合衬底的一部分的第一半导体膜转置而保留在基底衬底上。接着,将其中通过部分地去掉端部而形成凸部的第二接合衬底接合在基底衬底上。当将第二接合衬底接合在基底衬底上时,该凸部朝向基底衬底侧。第二接合衬底在凸部中包含的区域在垂直于第二接合衬底的方向上的宽度大于第一半导体膜的厚度。此外,将第二接合衬底接合在基底衬底上,以使第二接合衬底在凸部以外的区域部分地重叠于先转置的第一半导体膜。以及,分离第二接合衬底,将第二接合衬底的凸部的一部分的第二半导体膜转置而保留在基底衬底上。第二半导体膜被转置在第一半导体膜被转置的区域以外的区域。

[0010] 通过使用其端部被部分地去掉了的接合衬底,可以以使后转置的半导体膜不接触于先转置的半导体膜的方式并且以使先转置的半导体膜和接合衬底部分地重叠的方式进行半导体膜的后转置。因此,可以将先转置的半导体膜和后转置的半导体膜的间隔变得很小,因此这些转置的半导体膜可用于一个半导体装置而不受半导体膜之间间隔的影响。

#### 附图说明

[0011] 图 1A 至 1C 是表示本发明的半导体装置的制造方法的截面图;

[0012] 图 2A 至 2D 是表示本发明的半导体装置的制造方法的截面图;

[0013] 图 3A 和 3B 是表示本发明的半导体装置的制造方法的截面图;

[0014] 图 4A 至 4C 是表示本发明的半导体装置的制造方法的俯视图;

[0015] 图 5A 至 5C 是表示本发明的半导体装置的制造方法的俯视图;

[0016] 图 6A 至 6D 是表示本发明的半导体装置的制造方法的俯视图;

[0017] 图 7A 至 7C 是表示本发明的半导体装置的制造方法的截面图;

[0018] 图 8A 至 8D 是表示本发明的半导体装置的制造方法的截面图;

[0019] 图 9A 和 9B 是表示本发明的半导体装置的制造方法的截面图;

[0020] 图 10A 至 10D 是表示本发明的半导体装置的制造方法的截面图;

[0021] 图 11A 至 11D 是表示本发明的半导体装置的制造方法的截面图;

[0022] 图 12A 至 12C 是表示本发明的半导体装置的制造方法的截面图;

[0023] 图 13 是表示本发明的半导体装置的制造方法的截面图;

[0024] 图 14A 至 14D 是表示本发明的半导体显示装置的制造方法的立体图;

[0025] 图 15A 和 15B 是利用本发明而制造的半导体显示装置的像素的俯视图及截面图;



- [0026] 图 16A 和 16B 是利用本发明而制造的半导体显示装置的像素的截面图；
- [0027] 图 17 是表示利用本发明而制造的半导体显示装置的结构方块图；
- [0028] 图 18A 和 18B 是利用本发明而制造的半导体显示装置的俯视图及截面图；
- [0029] 图 19A 至 19C 是使用通过利用本发明而制造的半导体装置的电子设备的图。
- [0030] 本发明的选择图是图 2A 至 2D。

## 具体实施方式

[0031] 下面,参照附图而说明本发明的实施方式。但是,本发明可以以多个不同方式来实施,所属技术领域的普通技术人员可以很容易地理解一个事实就是,其方式和详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在本实施方式所记载的内容中。

### [0032] 实施方式 1

[0033] 在本实施方式 1 中,将说明本发明的半导体装置的制造方法,在该制造方法中进行多次从接合衬底到基底衬底的半导体膜的转置。

[0034] 首先,如图 1A 所示,在接合衬底 100 上形成绝缘膜 101。作为接合衬底 100,可以使用硅、锗等单晶半导体衬底或者多晶半导体衬底。此外,可以使用由砷化镓、磷化铟等化合物半导体形成的单晶半导体衬底或者多晶半导体衬底作为接合衬底 100。此外,作为接合衬底 100,还可以使用具有晶格畸变的硅、在硅中添加有锗的硅锗等半导体衬底。具有晶格畸变的硅可以通过在晶格常数 (lattice constant) 大于硅的硅锗或者氮化硅上形成硅来形成。

[0035] 绝缘膜 101 通过使用氧化硅、氮氧化硅、氧氮化硅、氮化硅等具有绝缘性的材料来形成。绝缘膜 101 可以是使用单个绝缘膜而成的、或者层叠多个绝缘膜而成的叠层。例如,在本实施方式中,使用如下的绝缘膜 101:从接近于接合衬底 100 一侧依次层叠氧的含量高于氮的含量的氧氮化硅、氮的含量高于氧的含量的氮氧化硅。

[0036] 例如,在使用氧化硅作为绝缘膜 101 的情况下,绝缘膜 101 可以通过使用硅烷和氧混合气体、TEOS(四乙氧基硅烷)和氧混合气体等且利用热 CVD、等离子体 CVD、常压 CVD、偏压 ECRCVD 等气相沉积法来形成。在此情况下,也可以通过利用氧等离子体处理来使绝缘膜 101 的表面致密化。在使用氮化硅作为绝缘膜 101 的情况下,可以通过使用硅烷和氮的混合气体且利用等离子体 CVD 法等气相沉积法来形成绝缘膜 101。在使用氮氧化硅作为绝缘膜 101 的情况下,可以通过使用硅烷和氮的混合气体、或者硅烷和氧化氮的混合气体且利用等离子体 CVD 法等气相沉积法来形成绝缘膜 101。

[0037] 或者,作为绝缘膜 101,也可以使用通过使用有机硅烷气体且利用化学气相沉积法来制造的氧化硅。作为有机硅烷气体,可以使用:如硅酸乙酯 (TEOS:化学式为  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、四甲基硅烷 (TMS:化学式为  $\text{Si}(\text{CH}_3)_4$ )、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、或三(二甲基氨基)硅烷 ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 等的含硅化合物。

[0038] 接着,如图 1A 所示,如箭头所示那样对接合衬底 100 添加氢或稀有气体、或者氢离子或稀有气体离子,来在离接合衬底 100 的表面有一定深度的区域中形成具有微孔的脆弱层 102。脆弱层 102 的形成位置取决于上述添加的加速电压。并且,由于从接合衬底 100

转置在基底衬底 104 上的半导体膜的厚度取决于脆弱层 102 的位置,因此,考虑上述半导体膜的厚度来设定添加的加速电压。此外,除了根据上述添加的加速电压以外,还根据绝缘膜 101 的厚度,可以改变脆弱层 102 的位置。因此,例如通过将绝缘膜 101 的厚度变更大,可以将半导体膜的厚度变更小。该半导体膜的厚度例如为 10nm 至 200nm、优选为 10nm 至 50nm。例如,当对接合衬底 100 添加氢时,剂量优选为  $1 \times 10^{16}/\text{cm}^2$  至  $1 \times 10^{17}/\text{cm}^2$ 。在本实施方式中,将剂量设定为  $1.75 \times 10^{16}/\text{cm}^2$  且将加速电压设定为 40kV,来进行氢或氢离子的添加。

[0039] 注意,在形成脆弱层 102 的上述工序中,对接合衬底 100 添加高浓度的氢或稀有气体、或者氢离子或稀有气体离子,因此,接合衬底 100 的表面变得粗糙,而有时在与基底衬底 104 接合方面不能获得足够强的接合强度。通过设置绝缘膜 101,当添加氢或稀有气体、或者氢离子或稀有气体离子时保护接合衬底 100 的表面,而可以良好地接合基底衬底 104 和接合衬底 100。

[0040] 接着,如图 1B 所示,在绝缘膜 101 上形成绝缘膜 103。与绝缘膜 101 同样,绝缘膜 103 通过利用氧化硅、氮氧化硅、氧氮化硅、或氮化硅等具有绝缘性的材料来形成。绝缘膜 103 可以是使用单个绝缘膜而成的、或者层叠多个绝缘膜而成的叠层。此外,作为绝缘膜 103,也可以通过使用有机硅烷气体且利用化学气相沉积法来制造氧化硅。在本实施方式中,作为绝缘膜 103,使用通过使用有机硅烷气体且利用化学气相沉积法来制造的氧化硅。

[0041] 通过使用氮化硅、氮氧化硅等阻挡性质高的绝缘膜作为绝缘膜 101 或者绝缘膜 103,可以防止碱金属或碱土金属等杂质从基底衬底 104 进入到转置在基底衬底 104 上的半导体膜 106a 以及半导体膜 106b。

[0042] 在本实施方式中,在形成脆弱层 102 之后形成绝缘膜 103,但是不一定需要绝缘膜 103。但是,由于绝缘膜 103 在形成脆弱层 102 之后形成,所以其表面的平坦性高于在形成脆弱层 102 之前形成的绝缘膜 101。因此,通过形成绝缘膜 103,可以提高以后进行的接合的强度。

[0043] 接着,部分地去掉接合衬底 100 的端部。在本实施方式中,如图 1C 所示,通过与绝缘膜 101 端部及绝缘膜 103 端部一起部分地去掉接合衬底 100 的端部,来形成具有凸部 105a 的接合衬底 100a 以及具有凸部 105b 的接合衬底 100b。

[0044] 接合衬底 100a 用于先转置。并且,接合衬底 100a 对应于被去掉的端部的区域在垂直于接合衬底 100a 的方向(深度方向)上的宽度  $d_a$  等于或大于从接合衬底 100a 转置的半导体膜 106a 的厚度。此外,接合衬底 100b 使用于后转置。接合衬底 100b 对应于被去掉的端部的区域在垂直于接合衬底 100b 的方向(深度方向)上的宽度  $d_b$  大于先转置的半导体膜 106a 的厚度。

[0045] 具体地说,考虑到半导体膜 106a 的厚度,将对应于被去掉的端部的区域在深度方向上的宽度  $d_a$ 、即接合衬底 100a 在凸部 105a 中包含的区域在垂直于接合衬底 100a 的方向上的宽度  $d_a$  例如设定为 10nm 或以上、优选为 200nm 或以上。此外,考虑到半导体膜 106a 的厚度,将对应于被去掉的端部的区域在深度方向上的宽度  $d_b$ 、即接合衬底 100b 在凸部 105b 中包含的区域在垂直于接合衬底 100b 的方向上的宽度  $d_b$  例如设定为几  $\mu\text{m}$  或以上、优选为 10  $\mu\text{m}$  或以上。

[0046] 将对应于被去掉的端部的区域在平行于接合衬底 100a 以及接合衬底 100b 的方向上的各宽度例如设定为几 mm 至几十 mm。

[0047] 在本实施方式中,不但部分地去掉在后转置中使用的接合衬底 100b 的端部,而且部分地去掉在先转置中使用的接合衬底 100a 的端部,但是本发明不局限于该结构。在本发明中,至少在进行多次的转置中后面进行的转置中使用其端部被部分地去掉了的接合衬底。注意,半导体膜中的位于接合衬底的端部的部分难以转置在基底衬底上。因此,对在先转置中使用的接合衬底 100a 来说,与当采用其端部未部分地去掉了的衬底时相比,当采用其端部被部分地去掉了的衬底时,转置的半导体膜的形状的再现性变得更高。因此,可以容易进行以后接合的接合衬底 100b 的位置对准,而可以将半导体膜之间的间隔变得很小。

[0048] 此外,在本实施方式中,宽度  $d_A$  小于宽度  $d_B$ ,但是本发明不局限于该结构。宽度  $d_A$  可以等于或大于宽度  $d_B$ 。

[0049] 在将接合衬底 100a 及接合衬底 100b 和基底衬底 104 接合在一起之前,对接合衬底 100a 及接合衬底 100b 进行氢化处理。例如在氢气气氛中在 350℃ 进行两个小时左右的氢化处理。

[0050] 并且,如图 2A 所示,将接合衬底 100a 和基底衬底 104 接合在一起,以使凸部 105a 朝向基底衬底 104 侧,就是说以将绝缘膜 101 以及绝缘膜 103 夹在接合衬底 100a 和基底衬底 104 中间。通过使绝缘膜 103 和基底衬底 104 在凸部 105a 处接合,可以将接合衬底 100a 和基底衬底 104 接合在一起。

[0051] 由于利用范德瓦耳斯力而形成接合,所以在室温下也形成强固的接合。注意,由于可以在低温下进行上述接合,所以作为基底衬底 104 可以使用各种衬底。例如,作为基底衬底 104,除了使用铝硅酸盐玻璃、钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底之外,还可以使用石英衬底、蓝宝石衬底等的衬底。而且,作为基底衬底 104,可以使用硅、砷化镓、磷化铟等半导体衬底等。或者,也可以使用包括不锈钢衬底的金属衬底作为基底衬底 104。

[0052] 可以在将基底衬底 104 和接合衬底 100a 接合在一起之后,进行加热处理或加压处理。通过进行加热处理或加压处理,可以提高接合的强度。

[0053] 通过在将接合衬底 100a 和基底衬底 104 接合在一起之后进行热处理,在脆弱层 102 中相邻的微孔彼此结合,而微孔的体积增大。结果,如图 2B 所示,接合衬底 100a 沿脆弱层 102 裂开或分离,而接合衬底 100a 的一部分的半导体膜 106a 从接合衬底 100a 剥离。优选在等于基底衬底 104 的耐热温度或在其以下的温度进行热处理,例如,在 400℃ 至 600℃ 的范围内的温度进行热处理。借助于该剥离,半导体膜 106a 与绝缘膜 101 及绝缘膜 103 一起被转置在基底衬底 104 上。然后,优选进行在 400℃ 至 600℃ 范围内温度的热处理,以便使绝缘膜 103 和基底衬底 104 之间的贴合进一步强固。

[0054] 接着,如图 2C 所示,将接合衬底 100b 和基底衬底 104 接合在一起,以使凸部 105b 朝向基底衬底 104 侧,就是说以将绝缘膜 101 以及绝缘膜 103 夹在接合衬底 100b 和基底衬底 104 中间。通过使绝缘膜 103 和基底衬底 104 在凸部 105b 处接合,可以将接合衬底 100b 和基底衬底 104 接合在一起。

[0055] 注意,进行上述接合衬底 100b 的接合,以便将凸部 105b 配置在包含先转置的半导体膜 106a 的区域以外的区域。如当着眼于虚线 107 所围绕的部分时可以知道,由于在本发明中,接合衬底 100b 的端部被部分地去掉,所以可以将凸部 105b 配置在半导体膜 106a 的附近,以使接合衬底 100b 和半导体膜 106a 部分地重叠,而不使接合衬底 100b 接触于半导体膜 106a。

[0056] 与先转置同样,由于利用范德瓦耳斯力而形成接合,所以在室温下也形成强固的接合。可以在将基底衬底 104 和接合衬底 100b 接合在一起之后,进行加热处理或加压处理。通过进行加热处理或加压处理,可以提高接合的强度。

[0057] 通过在将接合衬底 100b 和基底衬底 104 接合在一起之后,进行热处理,在脆弱层 102 中相邻的微孔彼此结合,而微孔的体积增大。结果,如图 2D 所示,接合衬底 100b 沿脆弱层 102 裂开或分离,而接合衬底 100b 的一部分的半导体膜 106b 从接合衬底 100b 剥离。优选在等于基底衬底 104 的耐热温度的温度或其以下的温度进行热处理,例如,在 400℃ 至 600℃ 的范围内的温度进行热处理。借助于该剥离,半导体膜 106b 与绝缘膜 101 及绝缘膜 103 一起被转置在基底衬底 104 上。然后,优选进行在 400℃ 至 600℃ 范围内温度的热处理,以便使绝缘膜 103 和基底衬底 104 之间的贴合进一步强固。

[0058] 可以根据接合衬底 100a 和接合衬底 100b 的平面取向来分别控制半导体膜 106a 和半导体膜 106b 的晶面取向。适当地选择具有与要形成的半导体元件适合的晶面取向的接合衬底 100a、接合衬底 100b 来使用。晶体管的迁移率根据半导体膜 106a 和半导体膜 106b 的晶面取向而不同。在要获得迁移率更高的晶体管的情况下,考虑到沟道方向和晶面取向而设定接合衬底 100a 和接合衬底 100b 的接合方向。

[0059] 可以在基底衬底 104 的表面上形成有绝缘膜。此时,通过利用形成在基底衬底 104 表面上的绝缘膜和绝缘膜 103 的贴合,来进行基底衬底 104 和接合衬底 100a 及接合衬底 100b 的接合。通过在基底衬底 104 的表面上形成绝缘膜,可以防止碱金属、碱土金属等杂质从基底衬底 104 进入到半导体膜 106a 和半导体膜 106b。

[0060] 接着,如图 3A 所示,使转置的半导体膜 106a 及半导体膜 106b 的表面平坦化。平坦化不是一定需要的,但是通过进行平坦化,可以提高以后形成的晶体管中在半导体膜 106a 及半导体膜 106b 和栅极绝缘膜之间的界面的特性。具体而言,平坦化可以通过化学机械抛光 (CMP) 或液体喷射抛光等来进行。借助于上述平坦化,使半导体膜 106a 及半导体膜 106b 的厚度减薄。

[0061] 在本实施方式中,虽然示出了采用 Smart Cut (注册商标) 方法的情况,其中通过形成脆弱层 102 将半导体膜 106a 和半导体膜 106b 从接合衬底 100a 和接合衬底 100b 分别剥离,但是也可以采用其它接合法如 ELTRAN (外延层转置)、介电质隔离法、PACE (等离子体辅助化学蚀刻) 法等。

[0062] 接着,如图 3B 所示,通过将平坦化了的半导体膜 106a 以及平坦化的半导体膜 106b 加工 (构图) 为所希望的形状,来形成岛状半导体膜 108。注意,可以通过利用选择氧化法 (LOCOS: 硅局部氧化法)、浅沟槽隔离法 (STI: Shallow Trench Isolation) 等进行元件隔离,而不通过利用半导体膜的构图进行。

[0063] 在本发明中,可以通过使用经过上述工序而形成的岛状半导体膜 108,来形成晶体管等各种半导体元件。

[0064] 在本发明中,通过使用其端部被部分地去掉了的接合衬底 100b,可以以使半导体膜 106b 不接触于先转置的半导体膜 106a 且使先转置的半导体膜 106a 和半导体膜 106b 部分地重叠的方式进行半导体膜 106b 的后转置。因此,可以将先转置的半导体膜 106a 和后转置的半导体膜 106b 的间距小到几十  $\mu\text{m}$  左右,因此转置的半导体膜 106a 和转置的半导体膜 106b 可用于一个半导体装置而不受这些半导体膜间隔的影响。

[0065] 本发明可以应用于各种各样的半导体装置的制造,例如微处理器、图像处理电路等的集成电路、能够与询问器无线式进行数据的发送/接收的RF标签、半导体显示装置等。半导体显示装置在其范畴包括:液晶显示装置、各像素中具有以有机发光元件(OLED)为典型的发光元件的发光装置、DMD(数字微镜装置)、PDP(等离子体显示面板)、FED(场致发射显示器)等、以及将使用半导体膜的电路元件用于驱动电路的其它半导体显示装置。

[0066] 实施方式 2

[0067] 在本实施方式 2 中,将说明转置在基底衬底上的半导体膜的布局。

[0068] 图 4A 是接合有多个接合衬底 201 的基底衬底 200 的俯视图。多个接合衬底 201 以不重叠的方式配置在彼此不同的区域。并且,多个接合衬底 201 分别具有虚线所示的凸部 202,而且被接合在基底衬底 200 上以使该凸部 202 朝向基底衬底 200 侧。

[0069] 虽然在图 4A 中使用具有如矩形的四角被砍掉的形状的接合衬底 201,但是本发明不局限于该结构。接合衬底 201 可以具有矩形或者如矩形的四角是圆形的形状。注意,通过使接合衬底 201 具有非矩形形状而是具有如矩形的四角被砍掉的形状或者如矩形的四角是圆形的形状,如从虚线 203 所围绕的部分的放大图可以知道,可以缩短在角落相邻的接合衬底 201 具有的凸部 202 之间的距离。因此,可以将上述相邻的接合衬底 201 转置的半导体膜之间间隔变得得小。

[0070] 在接合衬底 201 具有用于指示平面取向或衬底的方向的取向平面(orientation flat)或平面(flat)的情况下,优选以不重叠于取向平面或平面的方式形成凸部 202。

[0071] 如图 4A 所示,通过在将接合衬底 201 接合在基底衬底 200 上之后,分离接合衬底 201,如图 4B 所示,将半导体膜 204 转置在基底衬底 200 上。接着,将多个接合衬底 205 接合在基底衬底 200 上。

[0072] 与接合衬底 201 同样,多个接合衬底 205 以不重叠的方式配置在彼此不同的区域。此外,多个接合衬底 205 分别具有虚线所示的凸部 206,并且被接合在基底衬底 200 上以使该凸部 206 朝向基底衬底 200 侧。并且,接合衬底 205 和半导体膜 204 可以部分地重叠,但是各接合衬底 205 具有的凸部 206 配置在不同于半导体膜 204 被转置的区域的区域。

[0073] 虽然在图 4B 中,与接合衬底 201 同样,接合衬底 205 具有如矩形的四角被砍掉的形状,但是本发明不局限于该结构。接合衬底 205 可以具有矩形或者如矩形的四角是圆形的形状。注意,通过使接合衬底 205 具有如矩形的四角被砍掉的形状或者如矩形的四角是圆形的形状而不是矩形,可以缩短在角落相邻的接合衬底 205 具有的凸部 206 之间的距离。因此,可以将上述相邻的接合衬底 205 转置的半导体膜之间的间隔变得得小。

[0074] 另外,在接合衬底 205 具有用于指示平面取向或衬底的方向的取向平面或平面的情况下,优选以不重叠于取向平面或平面的方式形成凸部 206。

[0075] 通过在如图 4B 所示地将接合衬底 205 接合在基底衬底 200 上之后,分离接合衬底 205,如图 4C 所示,可以将半导体膜 207 转置在基底衬底 200 上。

[0076] 在本发明中,通过使用其端部被部分地去掉了的接合衬底 205,可以使半导体膜 207 不接触于先转置的半导体膜 204 且使先转置的半导体膜 204 和接合衬底 205 部分地重叠的方式进行半导体膜 207 的后转置。因此,可以将先转置的半导体膜 204 和后转置的半导体膜 207 的间隔小到几十  $\mu\text{m}$  左右,因此,转置的半导体膜 204 和转置的半导体膜 207 可用于一个半导体装置而不受这些半导体膜之间间隔的影响。

[0077] 在本实施方式中,不但部分地去掉在后转置中使用的接合衬底 205 的端部,而且部分地去掉在先转置中使用的接合衬底 201 的端部,但是本发明不局限于该结构。在本发明中,至少在进行多次的转置中的后面进行的转置中使用其端部被部分地去掉了的接合衬底。注意,半导体膜中的位于接合衬底的端部的部分难以较高再现性地转置在基底衬底上。因此,对在先转置中使用的接合衬底 201 来说,与当采用其端部不被部分地去掉了的衬底时相比,当采用其端部被部分地去掉了的衬底时,可以较高再现性地转置半导体膜 204。因此,可以更容易进行以后接合的接合衬底 205 的位置对准,而可以将半导体膜 204 和半导体膜 207 之间的间隔变得很小。

[0078] 本实施方式可以与上述实施方式适当地组合来实施。

[0079] 实施方式 3

[0080] 在本实施方式 3 中,将说明转置在基底衬底上的半导体膜的布局。

[0081] 图 5A 是接合有多个具有圆形的接合衬底 301 的基底衬底 300 的俯视图。多个接合衬底 301 以不重叠的方式配置在彼此不同的区域。并且,多个接合衬底 301 分别具有虚线所示的凸部 302,而且被接合在基底衬底 300 上以使该凸部 302 朝向基底衬底 300 侧。

[0082] 虽然在图 5A 中凸部 302 具有如矩形的四角被砍掉的形状,但是本发明不局限于该结构。凸部 302 可以具有矩形或者如矩形的四角是圆形的形状。注意,通过使凸部 302 具有如矩形的四角被砍掉的形状或者如矩形的四角是圆形的形状而不是矩形,可以更容易进行从凸部 302 转置的半导体膜在各角落的位置对准。

[0083] 另外,在接合衬底 301 具有用于指示平面取向的槽口 (notch) 或平面 (flat) 的情况下,优选以不重叠于槽口或平面的方式形成凸部 302。

[0084] 通过在如图 5A 所示地将接合衬底 301 接合在基底衬底 300 上之后,在凸部 302 分离接合衬底 301,如图 5B 所示地将半导体膜 304 转置在基底衬底 300 上。接着,将多个接合衬底 305 接合在基底衬底 300 上。

[0085] 与接合衬底 301 同样,多个接合衬底 305 以不重叠的方式配置在彼此不同的区域。此外,多个接合衬底 305 分别具有虚线所示的凸部 306,并且被接合在基底衬底 300 上以使该凸部 306 朝向基底衬底 300 侧。并且,接合衬底 305 和半导体膜 304 可以部分地重叠,但是各接合衬底 305 具有的凸部 306 配置在不同于半导体膜 304 被转置的区域的区域。

[0086] 虽然在图 5B 中接合衬底 305 的凸部 306 具有矩形,但是本发明不局限于该结构。接合衬底 305 的凸部 306 可以具有如矩形的四角被砍掉的形状或者如矩形的四角是圆形的形状。

[0087] 如图 5B 所示,通过在将接合衬底 305 接合在基底衬底 300 上之后,在凸部 306 分离接合衬底 305,如图 5C 所示,可以将半导体膜 307 转置在基底衬底 300 上。

[0088] 从虚线 303 所围绕的部分的放大图可以知道,与凸部 302 同样,在角落相邻的半导体膜 304 彼此具有如矩形的四角被砍掉的形状。因此,当进行转置时,可以更容易进行上述半导体膜 304 在角落的位置对准。

[0089] 在接合衬底 305 具有用于指示平面取向的槽口或平面的情况下,优选以不重叠于槽口或平面的方式形成凸部 306。

[0090] 在本发明中,通过使用其端部被部分地去掉了的接合衬底 305,可以以使半导体膜 307 不接触于先转置的半导体膜 304 且使先转置的半导体膜 304 和接合衬底 305 部分地重

叠的方式进行半导体膜 307 的后转置。因此,可以将先转置的半导体膜 304 和后转置的半导体膜 307 的间隔小到几十  $\mu\text{m}$  左右,因此,转置的半导体膜 304 和转置的半导体膜 307 可用于一个半导体装置而不受半导体膜之间的间隔的影响。

[0091] 在本实施方式中,不但部分地去掉在后转置中使用的接合衬底 305 的端部,而且部分地去掉在先转置中使用的接合衬底 301 的端部,但是本发明不局限于该结构。在本发明中,至少在进行多次的转置中的后面进行的转置中使用其端部被部分地去掉了的接合衬底。注意,半导体膜中的位于接合衬底的端部的部分难以较高再现性地转置在基底衬底上。因此,对在先转置中使用的接合衬底 301 来说,与当采用其端部不被部分地去掉了的衬底时相比,当采用其端部被部分地去掉了的衬底时,可以较高再现性地转置半导体膜 304。因此,可以更容易进行以后接合的接合衬底 305 的位置对准,而可以将半导体膜 304 和半导体膜 307 之间的间隔变得很小。

[0092] 本实施方式可以与上述实施方式适当地组合来实施。

[0093] 实施方式 4

[0094] 在本实施方式 4 中,将说明转置在基底衬底上的半导体膜的布局。

[0095] 图 6A 是接合有多个具有圆形的接合衬底 401 的基底衬底 400 的俯视图。多个接合衬底 401 以不重叠的方式配置在彼此不同的区域。并且,多个接合衬底 401 分别具有虚线所示的凸部 402,而且被接合在基底衬底 400 上以使该凸部 402 朝向基底衬底 400 侧。

[0096] 在接合衬底 401 具有用于指示平面取向的槽口或平面的情况下,优选以不重叠于槽口或平面的方式形成凸部 402。

[0097] 通过在如图 6A 所示地将接合衬底 401 接合在基底衬底 400 上之后,在凸部 402 分离接合衬底 401,如图 6B 所示地将半导体膜 404 转置在基底衬底 400 上。接着,将多个接合衬底 405 接合在基底衬底 400 上。

[0098] 与接合衬底 401 同样,多个接合衬底 405 以不重叠的方式配置在彼此不同的区域。此外,多个接合衬底 405 分别具有虚线所示的凸部 406,并且被接合在基底衬底 400 上以使该凸部 406 朝向基底衬底 400 侧。并且,接合衬底 405 和半导体膜 404 可以部分地重叠,但是各接合衬底 405 具有的凸部 406 配置在不同于半导体膜 404 被转置的区域的区域。注意,在本实施方式中,例示凸部 406 的形状是正六角形的情况。

[0099] 在接合衬底 405 具有用于指示平面取向的槽口或平面的情况下,优选以不重叠于槽口或平面的方式形成凸部 406。

[0100] 如图 6B 所示,通过在将接合衬底 405 接合在基底衬底 400 上之后,在凸部 406 分离接合衬底 405,如图 6C 所示,可以将半导体膜 407 转置在基底衬底 400 上。接着,将接合衬底 408 接合在基底衬底 400 上。

[0101] 接合衬底 408 具有虚线所示的凸部 409,并且被接合在基底衬底 400 上以使该凸部 409 朝向基底衬底 400 侧。并且,接合衬底 408 和半导体膜 404、半导体膜 407 可以部分地重叠,但是接合衬底 408 具有的凸部 409 配置在不同于半导体膜 404、半导体膜 407 被转置的区域的区域。注意,在本实施方式中,例示凸部 409 的形状是正六角形的情况。

[0102] 另外,在接合衬底 408 具有用于指示平面取向的槽口或平面的情况下,优选以不重叠于槽口或平面的方式形成凸部 409。

[0103] 如图 6D 所示,通过在将接合衬底 408 接合在基底衬底 400 上之后,在凸部 409 分

离接合衬底 408,如图 6D 所示,可以将半导体膜 410 转置在基底衬底 400 上。

[0104] 在本发明中,通过使用其端部被部分地去掉了的接合衬底 405,可以以使半导体膜 407 不接触于先转置的半导体膜 404 且使先转置的半导体膜 404 和接合衬底 405 部分地重叠的方式进行半导体膜 407 的后转置。再者,在本发明中,通过使用其端部被部分地去掉了的接合衬底 408,可以以使半导体膜 410 不接触于先转置的半导体膜 404、或半导体膜 407 且使先转置的半导体膜 404、和半导体膜 407 和接合衬底 408 部分地重叠的方式进行半导体膜 410 的后转置。因此,可以将先转置的半导体膜 404 和后转置的半导体膜 407、半导体膜 410 每个的间隔小到几十  $\mu\text{m}$  左右,因此转置的半导体膜 404 和转置的半导体膜 407、转置的半导体膜 410 可用于一个半导体装置而不受这些半导体膜之间间隔的影响。

[0105] 在本实施方式中,不但部分地去掉在后转置中使用的接合衬底 405、接合衬底 408 的端部,而且部分地去掉在先转置中使用的接合衬底 401 的端部,但是本发明不局限于该结构。在本发明中,至少在进行多次的转置中后面进行的转置中使用其端部被部分地去掉了的接合衬底。注意,半导体膜中的位于接合衬底的端部的部分难以较高再现性地转置在基底衬底上。因此,对在先转置中使用的接合衬底 401 来说,与当采用其端部不被部分地去掉了的衬底时相比,当采用其端部被部分地去掉了的衬底时,可以较高再现性地转置半导体膜 404。因此,可以更容易进行以后接合的接合衬底 405、接合衬底 408 的位置对准,而可以将半导体膜 404、半导体膜 407 和半导体膜 410 之间的间隔变得很小。

[0106] 虽然在本实施方式中,例示凸部 402、凸部 406、凸部 409 的形状是正六角形的情况,但是本发明不局限于该结构。凸部 402、凸部 406、凸部 409 可以具有边数为 3、4、5 或 7 或以上的多角形或者圆形、椭圆形等包括曲线的形状。但是,在使凸部 402、凸部 406、凸部 409 具有正三角形、正方形、长方形或者正六角形的情况下,可以以铺满的方式将半导体膜转置在基底衬底 400 上,而在半导体膜之间不留无用的空间。特别在凸部 402、凸部 406、凸部 409 具有正六角形的情况下,可以在基底衬底 400 上不留无用的空间地铺满半导体膜,而且可以使从一个圆形接合衬底转置在基底衬底上的半导体膜的面积最大。

[0107] 本实施方式可以与上述实施方式适当地组合来实施。

[0108] 实施方式 5

[0109] 在本实施方式 5 中,将说明本发明的半导体装置的制造方法,其中进行多次从接合衬底到基底衬底的半导体膜的转置。

[0110] 首先,如图 7A 所示,在接合衬底 500 上形成绝缘膜 501。作为接合衬底 500,可以使用硅、锗等的单晶半导体衬底或多晶半导体衬底。除此之外,可以使用由砷化镓、磷化铟等的化合物半导体形成的单晶半导体衬底或多晶半导体衬底作为接合衬底 500。另外,作为接合衬底 500,还可以使用具有晶格畸变的硅、对硅添加了锗的硅锗等的半导体衬底。具有晶格畸变的硅可以通过在其晶格常数大于硅的硅锗或氮化硅上形成硅来形成。

[0111] 绝缘膜 501 通过使用氧化硅、氮氧化硅、氮化硅等具有绝缘性的材料来形成。绝缘膜 501 可以是使用单层绝缘膜而成的、或者层叠多个绝缘膜的层而成的。例如,在本实施方式中,使用如下的绝缘膜 501:从接合衬底 500 侧层叠氧的含量高于氮的含量的氧氮化硅、氮的含量高于氧的含量的氮氧化硅。

[0112] 例如,在使用氧化硅作为绝缘膜 501 的情况下,绝缘膜 501 可以通过使用硅烷和氧的混合气体、TEOS(四乙氧基硅烷)和氧混合气体等且利用热 CVD、等离子体 CVD、常压 CVD、



偏压 ECRCVD 等气相沉积法来形成。在此情况下,可以通过利用氧等离子体处理来使绝缘膜 501 的表面致密化。或者,在使用硅作为接合衬底 500 的情况下,通过对接合衬底 500 的表面进行热氧化,可以形成利用氧化硅的绝缘膜 501。在使用氮化硅作为绝缘膜 501 的情况下,可以通过使用硅烷和氨的混合气体且利用等离子体 CVD 法等气相沉积法来形成绝缘膜 501。在使用氮氧化硅作为绝缘膜 501 的情况下,可以通过使用硅烷和氨的混合气体、或者硅烷和氧化氮的混合气体且利用等离子体 CVD 法等气相沉积法来形成绝缘膜 501。

[0113] 或者,作为绝缘膜 501,也可以使用通过使用有机硅烷气体且利用化学气相沉积法来制造的氧化硅来形成。作为有机硅烷气体,可以使用:如硅酸乙酯 (TEOS:化学式为  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、四甲基硅烷 (TMS:化学式为  $\text{Si}(\text{CH}_3)_4$ )、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、或三(二甲基氨基)硅烷 ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 等的含硅化合物。

[0114] 接着,如图 7A 所示,如箭头所示那样对接合衬底 500 添加氢或稀有气体、或者氢离子或稀有气体离子,来在离接合衬底 500 的表面有一定深度的区域中形成具有微孔的脆弱层 502。脆弱层 502 被形成的位置取决于上述添加的加速电压。并且,由于从接合衬底 500 转置在基底衬底 504 上的半导体膜的厚度取决于脆弱层 502 的位置,因此,考虑到上述半导体膜的厚度来设定添加的加速电压。此外,除了根据上述添加的加速电压以外,还根据绝缘膜 501 的厚度,可以改变脆弱层 502 的位置。因此,例如通过将绝缘膜 501 的厚度变更大,可以将半导体膜的厚度变更小。该半导体膜的厚度例如为 10nm 至 200nm、优选为 10nm 至 50nm。例如,当对接合衬底 500 添加氢时,剂量优选为  $1 \times 10^{16}/\text{cm}^2$  至  $1 \times 10^{17}/\text{cm}^2$ 。

[0115] 注意,在形成脆弱层 502 的上述工序中,对接合衬底 500 添加高浓度的氢或稀有气体、或者氢离子或稀有气体离子,因此,接合衬底 500 的表面变得粗糙,而有时在与基底衬底 504 接合方面不能获得足够强的接合强度。通过设置绝缘膜 501,当添加氢或稀有气体、或者氢离子或稀有气体离子时保护接合衬底 500 的表面,而可以良好地接合基底衬底 504 和接合衬底 500。

[0116] 接着,部分地去掉接合衬底 500 的端部。在本实施方式中,如图 7B 所示,通过与绝缘膜 501 端部一起部分地去掉接合衬底 500 的端部,来形成具有凸部 505a 的接合衬底 500a 以及具有凸部 505b 的接合衬底 500b。

[0117] 接合衬底 500a 被使用于先转置。并且,接合衬底 500a 对应于被去掉的端部的区域在垂直于接合衬底 500a 的方向(深度方向)上的宽度  $d_a$  等于或大于从接合衬底 500a 转置的半导体膜 506a 的厚度。此外,接合衬底 500b 被使用于后转置。并且,接合衬底 500b 对应于被去掉的端部的区域在垂直于接合衬底 500b 的方向(深度方向)上的宽度  $d_b$  大于先转置的半导体膜 506a 的厚度。

[0118] 具体地说,考虑到半导体膜 506a 的厚度,将其对应于被去掉的端部的区域在深度方向上的宽度  $d_a$ 、即接合衬底 500a 在凸部 505a 中包含的区域在垂直于接合衬底 500a 的方向上的宽度  $d_a$  例如设定为 10nm 或以上、优选为 200nm 或以上。此外,考虑到半导体膜 506a 的厚度,将其对应于被去掉的端部的区域在深度方向上的宽度  $d_b$ 、即接合衬底 500b 在凸部 505b 中包含的区域在垂直于接合衬底 500b 的方向上的宽度  $d_b$  例如设定为几  $\mu\text{m}$  或以上、优选为 10  $\mu\text{m}$  或以上。

[0119] 将其对应于被去掉的端部的区域在平行于接合衬底 500a 以及接合衬底 500b 的方

向上的宽度例如设定为几 mm 至几十 mm。

[0120] 在本实施方式中,不但部分地去掉在后转置中使用的接合衬底 500b 的端部,而且部分地去掉在先转置中使用的接合衬底 500a 的端部,但是本发明不局限于该结构。在本发明中,至少在进行多次的转置中后面进行的转置中使用其端部被部分地去掉了的接合衬底。注意,半导体膜中的位于接合衬底的端部的部分难以转置在基底衬底上。因此,对在先转置中使用的接合衬底 500a 来说,与当采用其端部不被部分地去掉了的衬底时相比,当采用其端部被部分地去掉了的衬底时,转置的半导体膜的形状的再现性提高。因此,可以更容易进行以后接合的接合衬底 500b 的位置对准,而可以将转置的半导体膜之间间隔变得很小。

[0121] 此外,在本实施方式中,宽度  $d_A$  小于宽度  $d_B$ ,但是本发明不局限于该结构。宽度  $d_A$  可以等于或大于宽度  $d_B$ 。

[0122] 接着,如图 7C 所示,去掉形成在凸部 505a、凸部 505b 上的绝缘膜 501。绝缘膜 501 不一定需要去掉,但是在由于为了形成上述脆弱层 502 的掺杂而绝缘膜 501 的表面变粗糙的情况下,通过去掉绝缘膜 501,可以将平坦性更高的凸部 505a、凸部 505b 的表面用于接合,因此可以进一步提高接合的强度。

[0123] 在使用离子淋浴 (ion shower) 类型的离子掺杂装置进行上述氢或稀有气体、或者氢离子或稀有气体离子的添加的情况下,在绝缘膜 501 中残存重金属等杂质。通过去掉绝缘膜 501,可以也去掉上述杂质。

[0124] 可以在去掉绝缘膜 501 之后,在凸部 505a 及凸部 505b 上形成绝缘膜。此时,该绝缘膜优选通过使用氧化硅、氮氧化硅、或氮化硅等具有绝缘性的材料以 1nm 至 50nm 的厚度来形成。或者,也可以使用通过利用有机硅烷气体且利用化学气相沉积法而制造的氧化硅形成该绝缘膜。该绝缘膜可以是使用单层绝缘膜而成的、或者层叠多个绝缘膜的层而成的。通过利用羟基化或等离子体氧化而形成的绝缘膜,与通过利用气相沉积法而形成的绝缘膜不同,不会易于产生起因于尘埃的表面上的凹凸,而由此可以获得高平坦性。因此,通过利用羟基化或等离子体氧化在凸部 505a 及凸部 505b 上形成上述绝缘膜,可以进一步提高以后进行的接合的强度。

[0125] 接着,也可以在将接合衬底 500a 及接合衬底 500b 和基底衬底 504 接合在一起之前,对接合衬底 500a 及接合衬底 500b 进行氢化处理。氢化处理例如在氢气气氛中在 350℃ 进行两个小时左右。

[0126] 接着,如图 8A 所示,在基底衬底 504 上形成绝缘膜 503。与绝缘膜 501 同样,绝缘膜 503 通过利用氧化硅、氮氧化硅、或氮化硅等具有绝缘性的材料来形成。绝缘膜 503 可以是使用单个绝缘膜而成的、或者层叠多个绝缘膜而成的。此外,作为绝缘膜 503,也可以使用通过 使用有机硅烷气体且利用化学气相沉积法来制造的氧化硅。

[0127] 此外,通过使用氮化硅、或氮氧化硅等阻挡性质高的绝缘膜作为绝缘膜 503,可以防止碱金属或碱土金属等杂质从基底衬底 504 进入到转置在基底衬底 504 上的半导体膜 506a 以及半导体膜 506b。

[0128] 在本实施方式中,使用如下的绝缘膜 503:从接近于基底衬底 504 一侧依次层叠有氮的含量高于氧的含量的氮氧化硅膜、氧的含量高于氮的含量的氧氮化硅膜、通过使用有机硅烷气体且利用化学气相沉积法来制造的氧化硅膜。

[0129] 并且,如图 8A 所示,将接合衬底 500a 和基底衬底 504 接合在一起,以使凸部 505a 朝向基底衬底 504 侧,就是说以将绝缘膜 503 夹在接合衬底 500a 和基底衬底 504 中间。通过使绝缘膜 503 和接合衬底 500a 在凸部 505a 接合,可以将接合衬底 500a 和基底衬底 504 接合在一起。

[0130] 由于利用范德瓦耳斯力而形成接合,所以在室温下也形成强固的接合。另外,由于可以在低温下进行上述接合,所以作为基底衬底 504 可以使用各种衬底。例如,作为基底衬底 504,除了使用铝硅酸盐玻璃、钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底之外,还可以使用石英衬底、或蓝宝石衬底等的衬底。而且,作为基底衬底 504,可以使用硅、砷化镓、磷化铟等的半导体衬底等。或者,也可以使用包括不锈钢衬底的金属衬底作为基底衬底 504。

[0131] 也可以在将基底衬底 504 和接合衬底 500a 接合在一起之后,进行加热处理或加压处理。通过进行加热处理或加压处理,可以提高接合的强度。

[0132] 通过在将接合衬底 500a 和基底衬底 504 接合在一起之后,进行热处理,在脆弱层 502 中相邻的微孔彼此结合,而微孔的体积增大。结果,如图 8B 所示,接合衬底 500a 沿脆弱层 502 裂开或分离,而接合衬底 500a 的一部分的半导体膜 506a 从接合衬底 500a 剥离。优选在等于基底衬底 504 的耐热温度或其以下的温度进行热处理,例如在 400°C 至 600°C 的范围内的温度进行热处理。借助于该剥离,半导体膜 506a 被转置在基底衬底 504 上。然后,优选进行 400°C 至 600°C 范围内的温度的热处理,以便使绝缘膜 503 和半导体膜 506a 进一步强固地贴合。

[0133] 接着,如图 8C 所示,将接合衬底 500b 和基底衬底 504 接合在一起,以使凸部 505b 朝向基底衬底 504 侧,就是说以将绝缘膜 503 夹在接合衬底 500b 和基底衬底 504 中间。通过使绝缘膜 503 和接合衬底 500b 在凸部 505b 接合,可以将接合衬底 500b 和基底衬底 504 接合在一起。

[0134] 注意,进行上述接合衬底 500b 的接合,以便将凸部 505b 配置在包含先转置的半导体膜 506a 的区域以外的区域。由于在本发明中,接合衬底 500b 的端部被部分地去掉,所以可以将凸部 505b 配置在半导体膜 506a 的附近,以使接合衬底 500b 和半导体膜 506a 部分地重叠,而不使接合衬底 500b 接触于半导体膜 506a。

[0135] 与先转置同样,由于利用范德瓦耳斯力而形成接合,所以在室温下也形成强固的接合。也可以在将基底衬底 504 和接合衬底 500b 接合在一起之后,进行加热处理或加压处理。通过进行加热处理或加压处理,可以提高接合的强度。

[0136] 通过在将接合衬底 500b 和基底衬底 504 接合在一起之后,进行热处理,在脆弱层 502 中相邻的微孔彼此结合,而微孔的体积增大。结果,如图 8D 所示,接合衬底 500b 沿脆弱层 502 裂开或分离,而接合衬底 500b 的一部分的半导体膜 506b 从接合衬底 500b 剥离。优选在等于基底衬底 504 的耐热温度或其以下的温度进行热处理,例如在 400°C 至 600°C 的范围内的温度进行热处理。借助于该剥离,半导体膜 506b 被转置在基底衬底 504 上。然后,优选进行 400°C 至 600°C 范围内的温度的热处理,以便使绝缘膜 503 和半导体膜 506b 进一步强固贴合。

[0137] 可以根据接合衬底 500a 和接合衬底 500b 的平面取向来分别控制半导体膜 506a 和半导体膜 506b 的晶面取向。适当地选择具有与要形成的半导体元件适合的晶面取向的接合衬底 500a、接合衬底 500b 来使用。晶体管的迁移率根据半导体膜 506a 和半导体膜

506b 的晶面取向而不同。在要获得更高迁移率的晶体管的情况下,考虑到沟道方向和晶面取向而设定接合衬底 500a 和接合衬底 500b 的接合方向。

[0138] 也可以不一定在基底衬底 504 的表面上形成有绝缘膜 503。此时,通过直接接触而接合基底衬底 504 和接合衬底 500a 及接合衬底 500b。注意,通过在基底衬底 504 的表面上形成绝缘膜,可以防止碱金属、碱土金属等杂质从基底衬底 504 进入到半导体膜 506a 和半导体膜 506b。此外,当在基底衬底 504 的表面上形成绝缘膜 503 时,由于在绝缘膜 503 和接合衬底 500a 及接合衬底 500b 之间进行接合,所以可以进行接合而不取决于基底衬底 504 的种类。

[0139] 接着,如图 9A 所示,使转置的半导体膜 506a 及半导体膜 506b 的表面平坦化。平坦化不是一定需要的,但是通过进行平坦化,可以提高在以后形成的晶体管中的半导体膜 506a 及半导体膜 506b 和栅极绝缘膜之间的界面的特性。具体而言,平坦化可以通过化学机械抛光 (CMP) 或液体喷射抛光等来进行。借助于上述平坦化,使半导体膜 506a 及半导体膜 506b 的厚度减薄。

[0140] 在本实施方式中,虽然示出采用 Smart Cut(注册商标)的情况,其中通过形成脆弱层 502 将半导体膜 506a 和半导体膜 506b 从接合衬底 500a 和接合衬底 500b 分别剥离,但是也可以采用其它接合法如 ELTRAN(外延层转置法)、介电质隔离法、PACE(等离子体辅助化学蚀刻)法等。

[0141] 接着,如图 9B 所示,通过将平坦化了的半导体膜 506a 以及半导体膜 506b 加工(构图)为所希望的形状,来形成岛状半导体膜 508。注意,也可以通过利用选择氧化法 (LOCOS: 硅局部氧化法)、浅沟槽隔离法 (STI: Shallow Trench Isolation) 等进行元件隔离,而不通过利用半导体膜的构图进行。

[0142] 在本发明中,可以通过使用经过上述工序而形成的岛状半导体膜 508,来形成晶体管等各种半导体元件。

[0143] 在本发明中,通过使用其端部被部分地去掉了的接合衬底 500b,可以以使半导体膜 506b 不接触于先转置的半导体膜 506a 且使先转置的半导体膜 506a 和接合衬底 500b 部分地重叠的方式进行半导体膜 506b 的后转置。因此,可以将先转置的半导体膜 506a 和后转置的半导体膜 506b 的间隔小到几十  $\mu\text{m}$  左右,因此可以使用转置的半导体膜 506a 和转置的半导体膜 506b 用于一个半导体装置而不受这些半导体膜之间间隔影响。

[0144] 本实施方式可以与上述实施方式适当地组合来实施。

[0145] 实施方式 6

[0146] 在本实施方式 6 中,将说明如下工序:在相当于且包含实施方式 5 的图 8D 所示工序之后,形成半导体膜来填充半导体膜 506a、半导体膜 506b 之间间隔,然后使该半导体膜结晶化。

[0147] 首先,在完成相当于且包含实施方式 5 的图 8D 所述工序的工序之后,如图 10A 所示,覆盖半导体膜 506a 及半导体膜 506b 地在基底衬底 504 上形成半导体膜 510。注意,在本实施方式中,如图 7C 的工序所示,优选去掉在接合衬底 500a 及接合衬底 500b 上的绝缘膜 501。半导体膜 510 既可以覆盖半导体膜 506a 及半导体膜 506b 的整个表面,又可以填充半导体膜 506a 及半导体膜 506b 的间隔地部分地覆盖半导体膜 506a 及半导体膜 506b。并且,使半导体膜 510 的厚度大致等于或大于半导体膜 506a 及半导体膜 506b 厚度。

[0148] 接着,如图 10B 所示,通过使用具有结晶性的半导体膜 506a 及半导体膜 506b 且利用外延生长来使半导体膜 510 结晶化。通过使半导体膜 510 结晶化,由半导体膜 506a、半导体膜 506b 及半导体膜 510 形成具有结晶性的半导体膜 511。外延生长可以通过热处理、光照射、电子束照射等来进行。在本实施方式中,通过利用激光器且利用外延生长来使半导体膜 510 结晶化。

[0149] 在使用脉冲激光器例如受激准分子激光器的情况下,以  $1\text{J}/\text{cm}^2$  至  $2\text{J}/\text{cm}^2$  的能量密度进行激光束的照射。此外,在使用连续波激光器例如 Nd:YVO<sub>4</sub> 激光器的二次谐波的情况下,将射束的宽度设定得大于半导体膜 506a 和半导体膜 506b 的间隔,且以 15m/sec 的扫描速度进行激光束的照射。

[0150] 作为脉冲激光器,例如可以使用 Ar 激光器、Kr 激光器、受激准分子激光器、CO<sub>2</sub> 激光器、YAG 激光器、Y<sub>2</sub>O<sub>3</sub> 激光器、YVO<sub>4</sub> 激光器、YLF 激光器、YAIO<sub>3</sub> 激光器、玻璃激光器、红宝石激光器、变石激光器、Ti: 蓝宝石激光器、铜蒸气激光器、或金蒸气激光器。

[0151] 作为连续波气体激光器,可以使用 Ar 激光器、Kr 激光器等。另外,作为连续波固态激光器,可以使用 YAG 激光器、YVO<sub>4</sub> 激光器、YLF 激光器、YAIO<sub>3</sub> 激光器、镁橄榄石 (Mg<sub>2</sub>SiO<sub>4</sub>) 激光器、GdVO<sub>4</sub> 激光器、Y<sub>2</sub>O<sub>3</sub> 激光器、玻璃激光器、红宝石激光器、变石激光器、Ti: 蓝宝石激光器等。

[0152] 激光束可以照射到半导体膜 506a、半导体膜 506b 以及半导体膜 510 的整个表面,或者照射到半导体膜 510 中的位于半导体膜 506a 和半导体膜 506b 之间的部分。

[0153] 虽然在本实施方式中说明了在半导体膜 510 中使晶体固相生长的实例,但是本发明不局限于该结构。也可以将包括晶体所用原子的气体供应在被加热基底衬底 504 上,以使通过半导体膜 506a 及半导体膜 506b 气相生长而形成具有结晶性的半导体膜。

[0154] 接着,如图 10C 所示,通过化学机械抛光 (CMP) 或液体喷射抛光等,来使半导体膜 511 平坦化。在只对半导体膜 510 中的位于半导体膜 506a 和半导体膜 506b 之间的部分进行结晶化的情况下,可以通过上述抛光去掉半导体膜 510 中在半导体膜 506a 及半导体膜 506b 上的未结晶化的部分。

[0155] 接着,如图 10D 所示,通过将平坦化了的半导体膜 511 加工 (构图) 为所希望的形状,来形成岛状半导体膜 512。注意,也可以通过利用选择氧化法 (LOCOS: 硅局部氧化法)、浅沟槽隔离法 (STI: Shallow Trench Isolation) 等进行元件分离,而不通过利用半导体膜的构图进行。

[0156] 在本发明中,可以通过使用经过上述工序而形成的岛状半导体膜 512,来形成晶体管等各种半导体元件。

[0157] 在本实施方式中,由于可以填充半导体膜 506a 和半导体膜 506b 之间的间隔地形成半导体膜 511,所以可以清除起因于上述间隔的半导体元件的布局上的限制。此外,在本发明中,因为可以将半导体膜 506a 和半导体膜 506b 之间的间隔小到几十  $\mu\text{m}$  左右,所以可以缩短利用上述外延生长的半导体膜 510 的结晶化所需要的时间。

[0158] 本实施方式可以与上述实施方式适当地组合来实施。

[0159] 实施方式 7

[0160] 在本实施方式 7 中,将说明在实施方式 1、实施方式 6 所示的半导体装置的制造方法中使用的分离接合衬底的方法的一个方式。

[0161] 首先,对接合衬底添加氢或稀有气体、或者氢离子或稀有气体离子,来在离接合衬底的表面有一定深度的区域中形成具有微孔的脆弱层。并且,在本实施方式中,在利用接合将接合衬底和基底衬底贴合在一起之后,通过利用由于微波等高频波的介电加热对接合衬底选择性地加热处理,而在本实施例中不对接合衬底及基底衬底的全体进行热处理。

[0162] 上述利用介电加热的加热处理可以通过对接合衬底照射高频发生装置中产生的频率为 300MHz 至 3THz 的高频波来进行。在本实施方式中,该照射通过以 900W 照射 14 个小时 2.45GHz 的微波进行,在脆弱层中使相邻的微孔彼此结合,而最后分离接合衬底。

[0163] 在本实施方式中,作为基底衬底,使用容易透过上述高频波而不吸收的衬底。例如,作为基底衬底,可以使用铝硅酸盐玻璃、钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底、碳化硅等陶瓷衬底、蓝宝石衬底等。

[0164] 当为了使接合衬底沿脆弱层分离而对接合衬底及基底衬底的全体进行热处理时,根据其种类而使基底衬底发生收缩 (shrink) 等性质变化。如本发明那样,在基底衬底上进行多次接合衬底的分离的情况下,通过对接合衬底选择性地加热,可以防止基底衬底性质变化,并且可以防止起因于基底衬底的性质变化而在半导体膜的二次转置及之后发生问题。

[0165] 本实施方式可以与上述实施方式适当地组合来实施。

[0166] 实施方式 8

[0167] 在本实施方式 8 中,将说明用于本发明的晶体管的具体制造方法的一个例子。

[0168] 首先,如图 11A 所示,在基底衬底 601 上形成岛状半导体膜 603、岛状半导体膜 604。在基底衬底 601 和岛状半导体膜 603 之间及岛状半导体膜 604 和基底衬底 601 之间设置有绝缘膜 602。绝缘膜 602 既可以通过层叠多个绝缘膜的层来形成,又可以通过利用一个绝缘膜来形成。

[0169] 岛状半导体膜 603、604 也可以添加有杂质元素,以便控制阈值电压。例如,在作为赋予 p 型的杂质元素添加硼的情况下,优选以  $5 \times 10^{17} \text{cm}^{-3}$  或以上且  $1 \times 10^{18} \text{cm}^{-3}$  或以下的浓度添加。以控制阈值电压为目的的杂质元素的添加可以在将半导体膜转置在基底衬底 601 上之前或在转置之后进行。

[0170] 可以在形成岛状半导体膜 603、604 之后且在形成栅极绝缘膜 606 之前进行氢化处理。氢化处理例如在氢气气氛中以 350°C 进行两个小时左右。

[0171] 接着,如图 11B 所示,以覆盖岛状半导体膜 603、604 的方式形成栅极绝缘膜 606。栅极绝缘膜 606 可以通过进行高密度等离子体处理使岛状半导体膜 603、604 的表面氧化或氮化来形成。高密度等离子体处理例如使用 He、Ar、Kr、或 Xe 等的稀有气体与氧、氧化氮、氮、氮、氢等的混合气体来进行。在此情况下,可以通过导入微波来激发等离子体,而产生低电子温度且高密度的等离子体。通过使用由这种高密度的等离子体产生的氧基(也有包括 OH 基的情况)或氮基(也有包括 NH 基的情况)使半导体膜的表面氧化或氮化,1nm 至 20nm、优选为 5nm 至 10nm 厚度的绝缘膜形成为与半导体膜接触。该 5nm 至 10nm 厚度的绝缘膜用作栅极绝缘膜 606。

[0172] 上述的利用高密度等离子体处理的半导体膜的氧化或氮化以固态反应进行,从而使栅极绝缘膜 606 和岛状半导体膜 603、604 之间的界面态密度极为低。另外,通过利用高密度等离子体处理直接使半导体膜氧化或氮化,可以抑制被形成的绝缘膜的厚度的不

均匀性。另外,在半导体膜具有结晶性的情况下,通过利用高密度等离子体处理以固态反应使半导体膜的表面氧化,可以抑制仅在晶粒界面的快速氧化,并且形成均匀性好且界面态密度低的栅极绝缘膜。包含在栅极绝缘膜的一部分或全部栅极绝缘膜利用高密度等离子体处理来形成的绝缘膜而成的晶体管可以几乎特性是均匀的。

[0173] 或者,也可以通过对岛状半导体膜 603、604 进行热氧化,来形成栅极绝缘膜 606。也可以通过利用等离子体 CVD 法或溅射法等且使用单层或叠层的包括氧化硅、氧氮化硅、氮化硅、氮化硅、氧化钪、氧化铝、或者氧化钽的膜,来形成栅极绝缘膜 606。

[0174] 接着,如图 11C 所示,通过在栅极绝缘膜 606 上形成导电膜,然后将该导电膜加工(构图)为预定的形状,来在岛状半导体膜 603、604 的上形成电极 607。可以使用 CVD 法、溅射法等来形成导电膜。作为导电膜可以使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等。或者,既可以使用以上述金属为主要成分的合金,又可以使用包括上述金属的化合物。或者,也可以使用对半导体膜掺杂了赋予导电类型的杂质元素如磷等而成的多晶硅等半导体来形成。

[0175] 作为两个导电膜的组合,可以使用氮化钽或钽(Ta)作为第一层,并且使用钨(W)作为第二层。除了上述实例以外,还可以举出氮化钨和钨、氮化钼和钼、铝和钼、以及铝和钛等。由于钨、氮化钽具有高耐热性,所以在形成两层导电膜之后可以进行以热激活为目的的加热处理。另外,作为两个导电膜的组合,例如可以使用掺杂有赋予 n 型导电性的杂质元素的硅和 NiSi(镍硅化物)、掺杂有赋予 n 型导电性的杂质元素的 Si 和 WSi<sub>x</sub> 等。

[0176] 另外,虽然在本实施方式中由一个导电膜形成各个电极 607,但本实施方式不局限于该结构。各个电极 607 也可以由被层叠的多个导电膜形成。在采用层叠三个或以上的导电膜而成的三层结构的情况下,可以采用钼膜、铝膜和钼膜的叠层结构。

[0177] 作为当形成电极 607 时使用的掩模,也可以使用氧化硅、氧氮化硅等而替代抗蚀剂。在此情况下,虽然还添加进行构图来形成氧化硅、氧氮化硅等的掩模的工序,但是由于当蚀刻时的掩模的膜厚和宽度的减少比使用抗蚀剂的情况少,所以可以形成具有所希望的宽度的电极 607。或者,也可以通过使用液滴排出法选择性地形成电极 607,而不使用掩模。

[0178] 注意,液滴排出法是指从小喷嘴排出包括预定组成物的液滴来形成预定图案的方法,并且喷墨法等包括在其范畴内。

[0179] 通过使用 ICP(感应耦合等离子体)蚀刻法并且适当地调节蚀刻条件(施加到线圈型电极层的电力量、施加到衬底侧的电极层的电力量、衬底侧的电极温度等),可以将电极 607 蚀刻为具有所希望的锥形形状。可以根据掩模形状来控制锥形形状的角度等。注意,作为蚀刻用气体,可以适当地使用氯类气体诸如氯、氯化硼、氯化硅或者四氯化碳等;氟类气体诸如四氟化碳、氟化硫磺或者氟化氮等;或者氧。

[0180] 接着,如图 11D 所示,以电极 607 作为掩模对半导体膜 603、604 添加赋予一种导电类型的杂质元素。在本实施方式中,对半导体膜 604 添加赋予 p 型导电性的杂质元素(例如硼),而对半导体膜 603 添加赋予 n 型导电性的杂质元素(例如磷或砷)。注意,当将赋予 p 型导电性的杂质元素添加到半导体膜 604 时,使用掩模等覆盖要添加 n 型杂质元素的半导体膜 603,来选择性地添加赋予 p 型导电性的杂质元素。反而,当将赋予 n 型导电性的杂质元素添加到半导体膜 603 时,使用掩模等覆盖要添加赋予 p 型的杂质元素的半导体膜 604,来选择性地添加赋予 n 型导电性的杂质元素。或者,还可以首先对半导体膜 603 及半

导体膜 604 添加赋予 p 型和 n 型中之一种导电性的杂质元素,然后仅对半导体膜 603 或半导体膜 604 中之一以更高浓度选择性地添加赋予 p 型及 n 型中另一种导电性的杂质元素。借助于上述杂质元素的添加,在半导体膜 603 中形成杂质区域 608,而在半导体膜 604 中形成杂质区域 609。

[0181] 接着,如图 12A 所示,在电极 607 的侧面形成侧壁 610。例如可以通过以覆盖栅极绝缘膜 606 及电极 607 的方式形成新的绝缘膜,并且进行以垂直方向为主体进行蚀刻的各向异性蚀刻而部分地蚀刻新形成的绝缘膜,来形成侧壁 610。通过上述各向异性蚀刻,部分地蚀刻新形成的绝缘膜,在电极 607 的侧面形成侧壁 610。可以借助于上述各向异性蚀刻,部分地蚀刻栅极绝缘膜 606。可以通过等离子体 CVD 法或溅射法等形成的单层硅膜、氧化硅膜、氮化硅膜、氮氧化硅膜、或者包括有机树脂等的有机材料的膜或者它们叠层,来形成用来形成侧壁 610 的绝缘膜。在本实施方式中,通过等离子体 CVD 法形成厚度为 100nm 的氧化硅膜。另外,作为蚀刻气体,可以使用  $\text{CHF}_3$  和氦的混合气体。注意,形成侧壁 610 的工序不局限于这些工序。

[0182] 接着,如图 12B 所示,以电极 607 及侧壁 610 为掩模对半导体膜 603、604 添加赋予一种导电类型的杂质元素。注意,将具有与在上述工序中添加给半导体膜 603、604 的杂质元素相同导电类型的杂质元素以比之前工序更高浓度分别添加到半导体膜 603、604。注意,当将赋予 p 型导电性的杂质元素添加到半导体膜 604 时,使用掩模等覆盖要添加 n 型杂质元素的半导体膜 603,来选择性地添加赋予 p 型导电性的杂质元素。反而,当将赋予 n 型导电性的杂质元素添加到半导体膜 603 时,使用掩模等覆盖要添加 p 型杂质元素的半导体膜 604,来选择性地添加赋予 n 型导电性的杂质元素。

[0183] 借助于上述杂质元素的添加,在半导体膜 603 中形成一对高浓度杂质区域 611、一对低浓度杂质区域 612、以及沟道形成区 613。另外,借助于上述杂质元素的添加,在半导体膜 604 中形成一对高浓度杂质区域 614、一对低浓度杂质区域 615、以及沟道形成区 616。高浓度杂质区域 611、614 用作源极和漏极,而低浓度杂质区域 612、615 用作 LDD(轻掺杂漏极)区域。

[0184] 注意,形成在半导体膜 604 上的侧壁 610 和形成在半导体膜 603 上的侧壁 610 既可以形成为在载流子移动的方向上的宽度彼此相同,又可以形成为该宽度彼此不同。将构成 p 沟道晶体管一部分的半导体膜 604 上的各侧壁 610 的宽度优选比构成 n 沟道晶体管一部分的半导体膜 603 上的各侧壁 610 的宽度大。这是因为如下缘故:在 p 沟道晶体管中为了形成源极及漏极而注入的硼容易扩散,从而容易引起短沟道效应。通过在 p 沟道晶体管中将各侧壁 610 的宽度设定成比在 n 沟道晶体管中的各侧壁 610 要长,可以将高浓度的硼添加到源极及漏极,而可以使源极及漏极低电阻化。

[0185] 接着,也可以通过将半导体膜 603、604 成为硅化物来形成硅化物层,以便进一步使源极及漏极低电阻化。通过使金属接触于半导体膜,并且利用加热处理、GRTA 法、LRTA 法等使半导体膜中的硅和金属反应来形成硅化物。作为硅化物层,使用钴硅化物或镍硅化物。在半导体膜 603、604 的厚度很薄时,硅化物反应可以进行到该区域的半导体膜 603、604 的底部。作为用于形成硅化物的金属材料,可以使用钛(Ti)、镍(Ni)、钨(W)、钼(Mo)、钴(Co)、锆(Zr)、铪(Hf)、钽(Ta)、钒(V)、钕(Nd)、铬(Cr)、铂(Pt)、钯(Pd)等。或者,也可以借助于激光照射或灯等的光照射来形成硅化物。



[0186] 通过上述的一连串的工序,形成 n 沟道型晶体管 617 和 p 沟道型晶体管 618。

[0187] 接着,如图 12C 所示,覆盖晶体管 617、618 地形成绝缘膜 619。绝缘膜 619 不一定需要设置,但是通过形成绝缘膜 619,可以防止碱金属或碱土金属等杂质进入到晶体管 617、618 中。具体地,作为绝缘膜 619,优选使用氮化硅、氮氧化硅、氧氮化硅、氮化铝、氧化铝、氧化硅等。在本实施方式中,使用厚度为 600nm 左右的氧氮化硅膜作为绝缘膜 619。在此情况下,也可以在形成该氧氮化硅膜之后进行上述氢化工序。

[0188] 接着,覆盖晶体管 617、618 地在绝缘膜 619 上形成绝缘膜 620。作为绝缘膜 620 可以使用具有耐热性的有机材料诸如聚酰亚胺、丙烯酸、苯并环丁烯 (benzocyclobutene)、聚酰胺、环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料 (low-k 材料)、硅氧烷类树脂、氧化硅、氮化硅、氧氮化硅、氮氧化硅、PSG (磷硅酸盐玻璃)、BPSG (硼磷硅酸盐玻璃)、矾土等。硅氧烷类树脂除了氢之外还包括氟、烷基、或芳香烃中的至少一种作为取代基。注意,也可以通过层叠多个由这些材料而成的层形成的绝缘膜,来形成绝缘膜 620。也可以通过 CMP 法或液体喷射抛光等使绝缘膜 620 的表面平坦化。

[0189] 在岛状半导体膜 603 和岛状半导体膜 604 由不同时机转置的半导体膜形成的情况下,根据制造方法,有时如图 12C 所示,在岛状半导体膜 603 和岛状半导体膜 604 之间绝缘膜 602 互相剥离。然而,例如通过使用上述聚酰亚胺、硅氧烷类树脂等且利用涂布法来形成绝缘膜 620,可以防止由于形成在绝缘膜 602 之间的台阶而损坏绝缘膜 620 的表面上的平坦性。因此,可以防止由于在绝缘膜 602 和基底衬底 601 之间的台阶而发生表面凹凸,因此防止形成在绝缘膜 620 上的导电膜 621、导电膜 622 部分极端薄,或者在最坏时导电膜 621 或导电膜 622 发生断开。从而,通过利用涂布法形成绝缘膜 620,结果可以提高使用本发明而形成的半导体装置的成品率以及可靠性。

[0190] 注意,硅氧烷类树脂对应于以硅氧烷类材料为起始材料而形成的包括 Si-O-Si 键的树脂。硅氧烷类树脂除了氢之外还可以包括氟、烷基、或芳香烃中的至少一种作为取代基。

[0191] 绝缘膜 620 可以根据其材料而通过使用 CVD 法、溅射法、SOG 法、旋转涂敷、浸渍涂敷、喷涂、液滴排出法 (喷墨法、丝网印刷、或平版印刷等)、刮刀、辊式涂布、幕涂、刮刀涂布等来形成。

[0192] 接着,如图 13 所示,使岛状半导体膜 603、604 的一部分露出地在绝缘膜 619 及绝缘膜 620 中形成接触孔。然后,形成通过该接触孔分别与岛状半导体膜 603、604 接触的导电膜 621、622。虽然使用  $\text{CHF}_3$  和 He 的混合气体作为用于当形成接触孔时的蚀刻工序的气体,但该气体不局限于此混合气体。

[0193] 导电膜 621、622 可以通过 CVD 法或溅射法等来形成。具体地,作为导电膜 621、622,可以使用铝 (Al)、钨 (W)、钛 (Ti)、钽 (Ta)、钼 (Mo)、镍 (Ni)、铂 (Pt)、铜 (Cu)、金 (Au)、银 (Ag)、锰 (Mn)、钕 (Nd)、碳 (C)、硅 (Si) 等。或者,既可以使用以上述金属为主要成分的合金,又可以使用包含上述金属的化合物。导电膜 621、622 可以通过使用单层的使用了上述金属的膜来形成或者堆叠多个使用上述金属的膜而成的层来形成。

[0194] 作为以铝为主要成分的合金的实例,可以举出以铝为主要成分且包括镍的合金。另外,也可以举出以铝为主要成分且包括镍以及碳和硅中的一方或双方的合金作为实例。由于铝、铝硅的电阻值很低且其价格低廉,所以作为形成导电膜 621、622 的材料很合适。尤

其,与使用铝膜相比,使用铝硅 (Al-Si) 膜的情况下当对导电膜 621、622 进行构图时,可以更进一步防止抗蚀剂焙烧时产生的小丘。或者,也可以在铝膜中混入 0.5 重量%左右的 Cu 而替代硅 (Si)。

[0195] 导电膜 621、622 例如优选采用包括阻挡膜、铝硅 (Al-Si) 膜和阻挡膜的叠层结构;或包括阻挡膜、铝硅 (Al-Si) 膜、氮化钛膜和阻挡膜的叠层结构。注意,阻挡膜就是使用钛、钛的氮化物、钼、或钼的氮化物来形成的膜。当以中间隔着铝硅 (Al-Si) 膜的方式形成阻挡膜时,可以进一步防止铝或铝硅的小丘的产生。另外,当通过使用具有高还原性的元素的钛来形成阻挡膜时,即使在岛状半导体膜 603、604 上形成有薄的氧化膜,包括在阻挡膜中的钛也还原该氧化膜,而导电膜 621、622 和岛状半导体膜 603、604 可以良好地接触。或者,也可以使用层叠多个阻挡膜而成的层。在此情况下,例如,可以使导电膜 621、622 使用从最下层层叠 Ti、氮化钛、Al-Si、Ti、和氮化钛的五层结构。

[0196] 注意,导电膜 621 连接到 n 沟道型晶体管 617 的高浓度杂质区域 611。导电膜 622 连接到 p 沟道型晶体管 618 的高浓度杂质区域 614。

[0197] 图 13 示出了 n 沟道型晶体管 617 及 p 沟道型晶体管 618 的俯视图。注意,图 13 示出了省略导电膜 621 及 622、绝缘膜 619、绝缘膜 620 的图。

[0198] 另外,虽然在本实施方式中例示了 n 沟道型晶体管 617 和 p 沟道型晶体管 618 分别具有一个用作栅极的电极 607 的情况,但是本发明不局限于该结构。在本发明中制造的晶体管也可以具有多个用作栅极的电极并且该多个电极彼此电连接的多栅结构。

[0199] 另外,在本发明中制造的半导体装置具有的晶体管也可以具有栅极平面结构。

[0200] 本实施方式可以与上述实施方式适当地组合来实施。

[0201] 实施例 1

[0202] 在本实施例 1 中,将说明通过将半导体膜转置在一个基底衬底上多次,来形成一种半导体装置的半导体显示装置的过程。

[0203] 首先,如图 14A 所示,将多个接合衬底 1801 接合在基底衬底 1800 上。接着,如图 14B 所示,在从接合衬底 1801 将半导体膜 1802 转置在基底衬底 1800 上之后,将多个接合衬底 1803 接合在基底衬底 1800 上。注意,对接合衬底 1803 来说,通过部分地去掉其端部而形成凸部,并且接合在基底衬底 1800 上,以使凸部朝向基底衬底 1800 侧。然后,如图 14C 所示,从接合衬底 1803 将半导体膜 1804 转置在基底衬底 1800 上。

[0204] 通过形成使用转置在基底衬底 1800 上的半导体膜 1802 及半导体膜 1804 的半导体元件,可以形成如图 14D 所示的半导体显示装置的元件衬底。注意,元件衬底对应于在其上形成有控制像素驱动的半导体元件的衬底。用来显示灰度的显示元件既可以如液晶池那样形成在元件衬底和相对衬底之间,又可以如发光元件那样形成在元件衬底侧。元件衬底也包括在本发明的半导体装置的范畴内。

[0205] 在本发明中,可以将先转置的半导体膜 1802 和后转置的半导体膜 1804 之间的间隔小到几十  $\mu\text{m}$  左右,因此转置的半导体膜 1802 和转置的半导体膜 1804 可以用于一个半导体装置而不受这些半导体膜之间间隔的影响。

[0206] 图 15A 表示使用半导体膜 1802 和半导体膜 1804 而而不受这些半导体膜之间间隔影响而形成的液晶显示装置的像素的放大图作为一个例子。图 15A 是与像素 1805 相邻的外围像素的俯视图,而图 15B 对应于图 15A 所示的俯视图的沿着虚线 A-A' 的截面图。

[0207] 像素 1805 至少包括扫描线 1810、信号线 1811、用作开关元件的晶体管 1812、以及像素电极 1813。此外,区域 1806 是半导体膜 1802 被转置到其上的区域,并且区域 1807 是半导体膜 1804 被转置到其上的区域,且区域 1808 是对应于半导体膜 1802 和半导体膜 1804 之间间隔的区域。

[0208] 像素 1805 所包括的晶体管 1812 包括通过对转置在区域 1806 的半导体膜 1802 进行构图而形成的岛状半导体膜 1814。并且,像素 1805 与区域 1808 重叠。注意,在图 15 所示的液晶显示装置中,晶体管彼此之间的距离长于区域 1808 的宽度,所以可以重叠于区域 1808 地形成像素 1805。

[0209] 本实施例可以与上述实施方式适当地组合来实施。

[0210] 实施例 2

[0211] 在本实施例 2 中,将说明在本发明中制造的一种半导体装置的有源矩阵型的半导体显示装置的结构。

[0212] 对有源矩阵型的发光装置来说,在各像素中设置有对应于显示元件的发光元件。因为发光元件亲自发光,所以发光元件可见度高,并且不需要液晶显示装置所需要的背光灯,而最适合薄型化,同时对视角也没有限制。虽然在本实施例中,说明使用一种发光元件的有机发光元件(OLED:有机发光二极管)的发光装置,但是在本发明中制造的半导体显示装置也可以是使用其它发光元件的发光装置。

[0213] OLED 具有包括能够获得通过施加电场而发生的发光(电致发光)的材料的层(以下称作电致发光层)、阳极层、阴极层。电致发光包括:当从单态激发态返回到基底态时获得的发光(荧光);当从三重态激发态返回到基底态时获得的发光(磷光),在本发明中的发光装置既可以使用荧光和磷光中的一方,又可以使用荧光和磷光双方。

[0214] 图 16A 表示本实施例的发光装置的截面图。图 16A 所示的发光装置在元件衬底 1600 上具有:用于驱动电路的晶体管 1601、晶体管 1602;用于像素的驱动晶体管 1604、开关晶体管 1603。此外,图 16A 所示的发光装置,在元件衬底 1600 上在像素中具有发光元件 1605。

[0215] 发光元件 1605 包括像素电极 1606、电致发光层 1607、以及相对电极 1608。像素电极 1606 和相对电极 1608 中的一个为阳极,而另一个为阴极。

[0216] 作为阳极,可以使用包括氧化硅的氧化铟锡(ITSO)、氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)、或掺杂镓的氧化锌(GZO)等透光性氧化物导电材料。或者,作为阳极,除了上述透光性氧化物导电材料以外,例如还可以使用:包含氮化钛、氮化锆、Ti、W、Ni、Pt、Cr、Ag、Al 等中的一个或多个的单层膜;由氮化钛膜和以铝为主要成分的膜构成的叠层;或由氮化钛膜、以铝为主要成分的膜以及氮化钛膜构成的三层结构;等等。注意,当使用透光性氧化物导电材料以外的材料且从阳极侧取出光时,阳极形成的厚度薄到足以透过光(优选为 5nm 至 30nm 左右)。

[0217] 也可以使用包括导电高分子(也称为导电聚合物)的导电组成物作为阳极。对使用导电组成物来说,用作阳极的导电膜的薄层电阻优选为等于  $10000 \Omega / \square$  ( $\Omega / \text{square}$ ) 或其以下,并且在波长 550nm 的透光率优选为等于 70% 或其以上。注意,导电膜包括的导电高分子的电阻率优选为等于  $0.1 \Omega \cdot \text{cm}$  或其以下。

[0218] 作为导电高分子,可以使用所谓  $\pi$  电子共轭类导电高分子。例如,作为  $\pi$  电子共

轭类导电高分子,可以举出:聚苯胺及/或其衍生物;聚吡咯及/或其衍生物;聚噻吩及/或其衍生物;由这些两种或两种以上构成的共聚物;等等。

[0219] 作为共轭导电高分子的具体例子,可以举出:聚吡咯;聚(3-甲基吡咯);聚(3-丁基吡咯);聚(3-辛基吡咯);聚(3-癸基吡咯);聚(3,4-二甲基吡咯);聚(3,4-二丁基吡咯);聚(3-羟基吡咯);聚(3-甲基-4-羟基吡咯);聚(3-甲氧基吡咯);聚(3-乙氧基吡咯);聚(3-辛氧基吡咯);聚(3-羧基吡咯);聚(3-甲基-4-羧基吡咯);聚N-甲基吡咯;聚噻吩;聚(3-甲基噻吩);聚(3-丁基噻吩);聚(3-辛基噻吩);聚(3-癸基噻吩);聚(3-十二烷基噻吩);聚(3-甲氧基噻吩);聚(3-乙氧基噻吩);聚(3-辛氧基噻吩);聚(3-羧基噻吩);聚(3-甲基-4-羧基噻吩);聚(3,4-乙烯二氧噻吩);聚苯胺;聚(2-甲基苯胺);聚(2-辛基苯胺);聚(2-异丁基苯胺);聚(3-异丁基苯胺);聚(2-苯胺磺酸);聚(3-苯胺磺酸);等等。

[0220] 可以将上述导电高分子作为导电组成物单独使用于阳极。或者,上述任意导电高分子也可以通过添加有机树脂以调整导电组成物的膜厚的均匀性、或其膜密集度(film intensity)等的膜特性来使用。

[0221] 作为有机树脂,只要能够与导电高分子相容或混合分散到导电高分子中,就可以使用热固性树脂、热塑性树脂、或光固化树脂。例如,可以举出:聚对苯二甲酸乙二醇酯、聚对苯二甲酸丁二醇酯、或聚萘二甲酸乙二醇酯等聚酯类树脂;聚酰亚胺、或聚酰胺-酰亚胺等聚酰亚胺类树脂;聚酰胺6、聚酰胺66、聚酰胺12、或聚酰胺11等聚酰胺树脂;聚偏二氟乙烯、聚氟化乙烯、聚四氟乙烯、乙烯-四氟乙烯共聚物、或聚含氯三氟乙烯等氟树脂;聚乙烯醇、聚乙烯醚、聚乙烯醇缩丁醛、聚乙酸乙烯、或聚氯乙烯等乙烯树脂;环氧树脂;二甲苯树脂;芳族聚酰胺(aramid)树脂;聚氨酯类树脂;聚脲类树脂;蜜胺树脂;酚醛类树脂;聚醚;丙烯酸类树脂;以及由这些树脂构成的共聚物;等等。

[0222] 再者,在要调整导电组成物的导电率时,也可以通过对导电组成物掺杂受主或施主掺杂剂,使共轭导电高分子的共轭电子的氧化还原电位变化。

[0223] 作为受主掺杂剂,可以使用卤素化合物、刘易斯酸(Lewis acid)、质子酸(protonic acid)、有机氰化合物、有机金属化合物等。作为卤素化合物,可以举出氯、溴、碘、氯化碘、溴化碘、氟化碘等。作为刘易斯酸,可以举出五氟化磷、五氟化砷、五氟化锑、三氟化硼、三氯化硼、三溴化硼等。作为质子酸,可以举出:盐酸、硫酸、硝酸、磷酸、硼氟化氢酸、氟化氢酸、过氯酸等无机酸;以及有机羧酸、有机磺酸等有机酸。作为有机羧酸以及有机磺酸,可以使用所述羧酸化合物以及磺酸化合物。作为有机氰化合物,可以使用在共轭键中包括两个或两个以上的氰基的化合物。例如,可以举出四氰基乙烯、四氰基乙烯氧化物、四氰基苯、四氰基对醌二甲烷、四氰基氮杂萘(tetracyanoazanaphthalene)等。

[0224] 作为施主掺杂剂,可以举出碱金属、碱土金属、季胺化合物等。

[0225] 可以通过使导电组成物溶解于水或有机溶剂(醇类溶剂、酮类溶剂、酯类溶剂、烃类溶剂、芳香类溶剂等)并且利用湿法,来形成成为阳极的薄膜。

[0226] 对溶解导电组成物的溶剂没有特别的限制,使用溶解上述导电高分子及有机树脂等高分子量树脂化合物的溶剂。例如,使导电组成物溶解于水、甲醇、乙醇、丙烯酸酯、N-甲基吡咯烷酮、二甲基甲酰胺、二甲基乙酰胺、环己酮、丙酮、甲乙酮、甲异丁酮、甲苯等任意其中之一或者由这些构成的混合溶剂中。可以在如上述那样使导电组成物溶解于溶剂中

之后,利用涂布法、涂敷法、液滴排出法(也称为喷墨法)、或印刷法等湿法,来形成该导电组合物膜的膜。当要使溶媒干燥时,既可以进行热处理,又可以在减压下进行干燥。当有机树脂是热固性树脂时,还进行加热处理,而当有机树脂是光固化树脂时,进行光照射处理。

[0227] 作为阴极,可以使用功函数小的金属、合金、导电化合物、或者这些的混合物等。具体地说,也可以使用:Li、Cs 等碱金属;Mg、Ca、或 Sr 等碱土金属;以及包括任意这些的合金(Mg:Ag、Al:Li 等)。或者还可以使用 Yb、或 Er 等稀土元素金属。此外,通过接触于阴极地形成包括电子注入性高的材料的层,也可以使用利用铝、透光性氧化物导电材料等形成的普通导电膜。

[0228] 电致发光层 1607 既可以由一个层构成,又可以由多个层的叠层构成。并且,各层不但可以包括有机材料,而且可以包括无机材料。在电致发光层 1607 中的发光包括:当从单态激发态返回到基底态时的发光(荧光);当从三重态激发态返回到基底态时的发光(磷光)。在由多个层构成电致发光层 1607 的情况下,若像素电极 1606 是阴极,则在像素电极 1606 上依次层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。注意,在像素电极 1606 对应于阳极的情况下,通过依次层叠空穴注入层、空穴传输层、发光层、电子传输层、电子注入层来形成电致发光层 1607。

[0229] 即使使用高分子量有机化合物、中分子量有机化合物(没有升华性,并且分子链长度为  $10\ \mu\text{m}$  或以下的有机化合物)、低分子量有机化合物、或无机化合物中任意的化合物,也可以通过利用液滴排出法来形成电致发光层 1607。此外,也可以通过利用气相沉积法来形成中分子量有机化合物、低分子量有机化合物、以及无机化合物。

[0230] 注意,开关晶体管 1603、驱动晶体管 1604 各可以具有多栅结构诸如双栅结构、或三栅结构等,而不具有单栅结构。

[0231] 接着,图 16B 表示本实施例的液晶显示装置的截面图。图 16B 所示的液晶显示装置在元件衬底 1610 上具有:用于驱动电路的晶体管 1611、晶体管 1612;在像素中用作开关元件的晶体管 1613。此外,图 16B 所示的液晶显示装置在元件衬底 1610 和相对衬底 1614 之间具有液晶池 1615。

[0232] 液晶池 1615 包括形成在元件衬底 1610 上形成的像素电极 1616、形成在相对衬底 1614 上的相对电极 1617、设置在像素电极 1616 和相对电极 1617 之间的液晶 1618。例如可以将包括氧化硅的氧化铟锡(ITSO)、氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)、掺杂镓的氧化锌(GZO)等使用于像素电极 1616。

[0233] 本实施例可以与上述实施方式或实施例适当地组合来实施。

[0234] 实施例 3

[0235] 在本实施例 3 中,将说明在本发明中制造的半导体显示装置的整体结构。

[0236] 图 17 表示在本发明中制造的半导体显示装置的框图作为一个例子。

[0237] 图 17 所示的半导体显示装置包括:具有多个像素的像素部 900;根据每个线选择像素的扫描线驱动电路 910;控制视频信号输入到所选线的像素的信号线驱动电路 920。

[0238] 在图 17 中,信号线驱动电路 920 包括移位寄存器 921、第一锁存器 922、第二锁存器 923、DA(数字-模拟)转换电路 924。时钟信号 S-CLK、起始脉冲信号 S-SP 输入到移位寄存器 921。移位寄存器 921 根据这些时钟信号 S-CLK 以及起始脉冲信号 S-SP,产生依次脉冲移动的时序信号,而输出时序信号到第一锁存器 922。也可以根据扫描方向开关信号来

切换时序信号的脉冲出现的顺序。

[0239] 当时序信号输入到第一锁存器 922 时,根据该时序信号的脉冲,视频信号依次写入到第一锁存器 922 且被保持在其中。注意,虽然可以对第一锁存器 922 具有的多个存储电路依次写入视频信号,但是也可以进行所谓分组驱动,其中将第一锁存器 922 具有的多个存储电路划分为几个组,并且对每个组并行输入视频信号。注意,此时的组数称为分组数。例如,当锁存器划分为四组存储电路时,以四个分组的方式进行分组驱动。

[0240] 直到对第一锁存器 922 中的所有存储电路的视频信号的写入都结束的时间称为一个行周期(line period)。实际上,行周期包括将上述定义的行周期加上水平回扫时间间隔的周期。

[0241] 当一个行周期结束时,根据输入到第二锁存器 923 的锁存信号 S-LS 的脉冲,保持在第一锁存器 922 中的视频信号一次全部写入第二锁存器 923 中且被保持。再次根据来自移位寄存器 921 的时序信号,对将视频信号已经发送到第二锁存器 923 了的第一锁存器 922 依次进行下一个视频信号的写入。在第二轮的一个行周期中,写入且保持在第二锁存器 923 中的视频信号输入到 DA 转换电路 924。

[0242] 并且,DA 转换电路 924 将输入的数字视频信号转换为模拟视频信号,并且通过信号线将该模拟视频信号输入到像素部 900 中的各像素。

[0243] 注意,信号线驱动电路 920 可以使用能够输出依次脉冲移动的信号的其它电路,而替代移位寄存器 921。

[0244] 注意,虽然在图 17 中像素部 900 直接连接到 DA 转换电路 924 的下一级,但是本发明不局限于该结构。可以在像素部 900 的上一级设置对于从 DA 转换电路 924 输出的视频信号进行信号处理的电路。作为进行信号处理的电路的一个例子,例如可以举出能够对波形进行整形的缓冲器等。

[0245] 接着,将说明扫描线驱动电路 910 的工作。在本发明中制造的半导体显示装置中,在像素部 900 的各像素中设置有多个扫描线。扫描线驱动电路 910 通过产生选择信号,并且将该选择信号输入到多个扫描线的每一个,根据每个线而选择像素。当利用选择信号而选择像素时,其栅极连接到扫描线之一的晶体管接通,而进行对于像素的视频信号的输入。

[0246] 在本发明中,可以将转置的多个半导体膜之间的间隔变得得小,所以可以全部在同一个基底衬底上形成像素部 900、扫描线驱动电路 910、信号线驱动电路 920。

[0247] 本实施例可以与上述实施方式或实施例适当地组合来实施。

[0248] 实施例 4

[0249] 在本实施例中,参照图 18A 和图 18B 进行说明本发明中制造的半导体显示装置的外观。图 18A 是使用密封材料将形成在基底衬底上的晶体管及发光元件密封在基底衬底和密封用衬底之间的面板的俯视图。图 18B 对应于图 18A 的沿 A-A' 的截面图。

[0250] 围绕设置在基底衬底 4001 上的像素部 4002、信号线驱动电路 4003、扫描线驱动电路 4004 地设置有密封材料 4020。另外,在像素部 4002、信号线驱动电路 4003 及扫描线驱动电路 4004 上设置有密封用衬底 4006。因此,在基底衬底 4001 和密封用衬底 4006 之间使用密封材料 4020 与填充材料 4007 一起密封像素部 4002、信号线驱动电路 4003 及扫描线驱动电路 4004。

[0251] 设置在基底衬底 4001 上的像素部 4002、信号线驱动电路 4003 及扫描线驱动电路

4004 分别具有多个晶体管。在图 18B 中例示包括在信号线驱动电路 4003 中的晶体管 4008 和包括在像素部 4002 中的驱动晶体管 4009 及开关晶体管 4010。

[0252] 发光元件 4011 将连接到驱动晶体管 4009 的源区域或漏区域的布线 4017 的一部分用作其像素电极。此外,发光元件 4011 除了像素电极之外还包括相对电极 4012 和电致发光层 4013。注意,发光元件 4011 的结构不局限于本实施例所示的结构。根据从发光元件 4011 取出的光的方向及驱动晶体管 4009 的极性可以适当地改变发光元件 4011 的结构。

[0253] 虽然在图 18B 所示的截面图中不图示供应到信号线驱动电路 4003、扫描线驱动电路 4004 或像素部 4002 的各种信号及电压,但是通过引出布线 4014 及 4015 从连接端子 4016 供应各种信号及电压。

[0254] 在本实施例中,连接端子 4016 由与发光元件 4011 具有的相对电极 4012 相同的导电膜形成。引出布线 4014 由与布线 4017 相同的导电膜形成。引出布线 4015 由与驱动晶体管 4009、开关晶体管 4010、晶体管 4008 具有的栅电极相同的导电膜形成。

[0255] 连接端子 4016 通过各向异性导电膜 4019 电连接到 FPC 4018 具有的端子。

[0256] 作为密封用衬底 4006,可以使用玻璃、金属(一般是不锈钢)、陶瓷或塑料。注意,位于从发光元件 4011 取出光的方向的密封用衬底 4006 需要具有透光性。因此,作为密封用衬底 4006,优选使用如玻璃板、塑料板、聚酯膜、或亚克力膜的具有透光性的材料。

[0257] 此外,除了氮、氩等惰性气体之外,还可以使用紫外线固化树脂或热固化树脂作为填充材料 4007。在本实施例中,示出使用氮用于填充材料 4007 的例子。

[0258] 本实施例可以与上述实施方式或实施例适当地组合而实施。

[0259] [ 实施例 5 ]

[0260] 在本发明中,可以以低成本制造屏幕尺寸更大的半导体显示装置。因此,本发明中制造的半导体显示装置优选地使用于显示装置、膝上型个人电脑、具有记录媒体的图像再现装置(典型地说,能够再现记录媒体比如数字通用光盘(DVD) 等的内容并且具有能够显示其所再现图像的显示器的装置)。此外,作为可以使用在本发明中制造的半导体装置的设备,可以举出移动电话、便携式游戏机、电子书籍、影像拍摄装置、静态数码相机、护目镜型显示器(头盔显示器)、导航系统、音响再现装置(例如,汽车音响、组合音响等)。这些电子设备的具体例子示于图 19A 至 19C。

[0261] 图 19A 示出显示装置,包括框体 2001、显示部 2002、扬声器部 2003 等。在本发明中制造的半导体显示装置可以用于显示部 2002。注意,显示装置包括用于个人电脑、TV 播放接收、广告显示等的所有用于信息显示用显示装置。另外,在本发明中制造的半导体装置可以用于信号处理电路。

[0262] 图 19B 示出膝上型个人电脑,其包括主体 2201、框体 2202、显示部 2203、键盘 2204、鼠标 2205 等。在本发明中制造的半导体显示装置可以用于显示部 2203。另外,在本发明中制造的半导体装置可以用于信号处理电路。

[0263] 图 19C 示出具有记录媒体的便携式图像再现装置(具体地说,DVD 播放装置),其包括主体 2401、框体 2402、显示部 2403、记录媒体(DVD 等)读取部 2404、操作键 2405、扬声器部 2406 等。注意具有记录媒体的图像再现装置包括家用游戏机等。在本发明中制造的半导体显示装置可以用于显示部 2403。另外,在本发明中制造的半导体装置可以用于信号处理电路。

[0264] 如上所述,本发明的应用范围非常广泛,因此可以应用于所有领域的电子设备。

[0265] 本实施例可以与上述实施方式或实施例适当地组合而实施。

[0266] 本申请根据 2007 年 6 月 28 日在日本专利局提交的日本专利申请编号 2007-170087 而制作,其全部内容通过引用包括在本文中。

[0267] 主要元件符号说明

100	接合衬底	106b	半导体膜
100a	接合衬底	107	虚线
100b	接合衬底	108	半导体膜
101	绝缘膜	200	基底衬底
102	脆弱层	201	接合衬底
103	绝缘膜	202	凸部
104	基底衬底	203	虚线
105a	凸部	204	半导体膜
105b	凸部	205	接合衬底
106a	半导体膜	206	凸部
207	半导体膜	401	接合衬底
300	基底衬底	402	凸部
301	接合衬底	404	半导体膜
[0268] 302	凸部	405	接合衬底
303	虚线	406	凸部
304	半导体膜	407	半导体膜
305	接合衬底	408	接合衬底
306	凸部	409	凸部
307	半导体膜	410	半导体膜
400	基底衬底	500	接合衬底
500a	接合衬底	506a	半导体膜
500b	接合衬底	506b	半导体膜
501	绝缘膜	508	半导体膜
502	脆弱层	510	半导体膜
503	绝缘膜	511	半导体膜
504	基底衬底	512	半导体膜
505a	凸部	601	基底衬底



505b	凸部	602	绝缘膜
603	半导体膜	614	高浓度杂质区域
604	半导体膜	615	低浓度杂质区域
606	栅极绝缘膜	616	沟道形成区
607	电极	617	晶体管
608	杂质区域	618	晶体管
609	杂质区域	619	绝缘膜
610	侧壁	620	绝缘膜
611	高浓度杂质区域	621	导电膜
612	低浓度杂质区域	622	导电膜
613	沟道形成区	900	像素部
910	扫描线驱动电路	1604	驱动晶体管
920	信号线驱动电路	1605	发光元件
921	移位寄存器	1606	像素电极
922	锁存器	1607	电致发光层
923	锁存器	1608	相对电极
924	DA 转换电路	1610	元件衬底
1600	元件衬底	1611	晶体管
1601	晶体管	1612	晶体管
1602	晶体管	1613	晶体管
1603	开关晶体管	1614	相对衬底
1615	液晶池	1806	区域
1616	像素电极	1807	区域
1617	相对电极	1808	区域
1618	液晶	1810	扫描线
1800	基底衬底	1811	信号线
1801	接合衬底	1812	晶体管
1802	半导体膜	1813	像素电极
1803	接合衬底	1814	半导体膜

1804	半导体膜	2001	框体
1805	像素	2002	显示部
2003	扬声器部	2405	操作键
2201	主体	2406	扬声器部
2202	框体	4001	基底衬底
2203	显示部	4002	像素部
2204	键盘	4003	信号线驱动电路
2205	鼠标	4004	扫描线驱动电路
2401	主体	4006	密封用衬底
2402	框体	4007	填充材料
2403	显示部	4008	晶体管
2404	记录媒体读取部	4009	驱动晶体管
4010	开关晶体管	4016	连接端子
4011	发光元件	4017	布线
4012	相对电极	4018	FPC
4013	电致发光层	4019	各向异性导电膜
4014	布线	4020	密封材料
4015	布线		

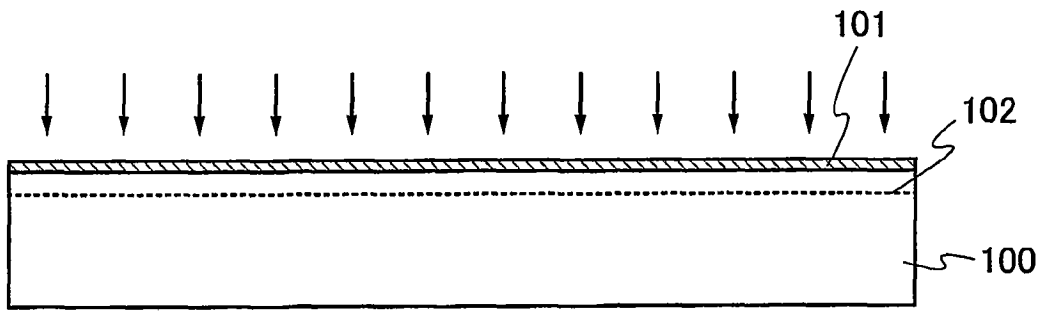


图 1A

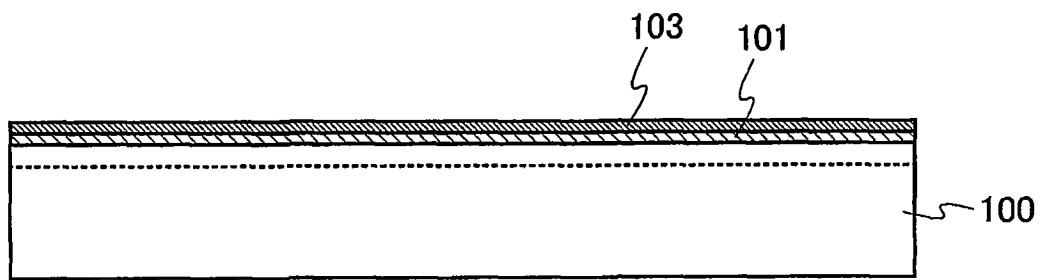


图 1B

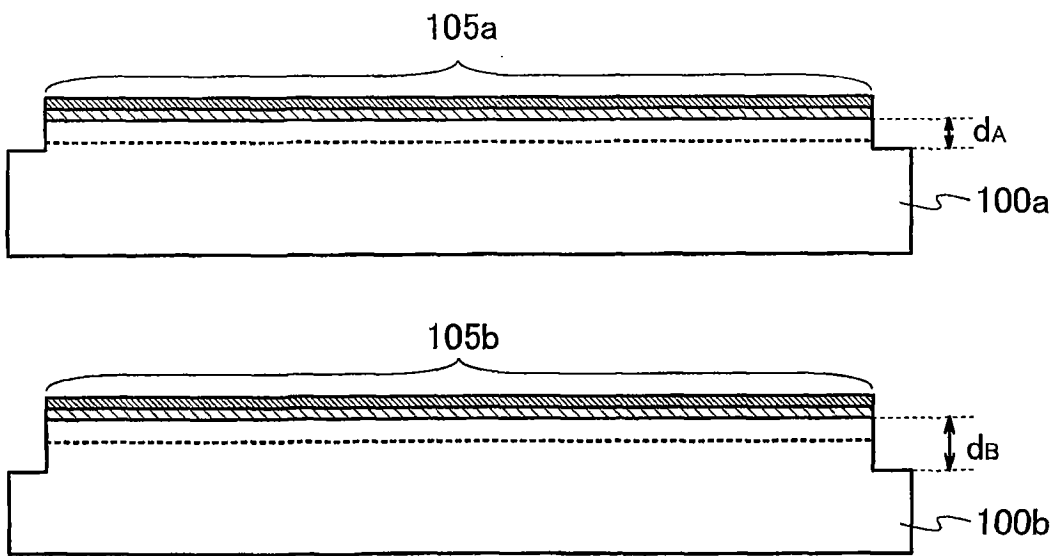


图 1C

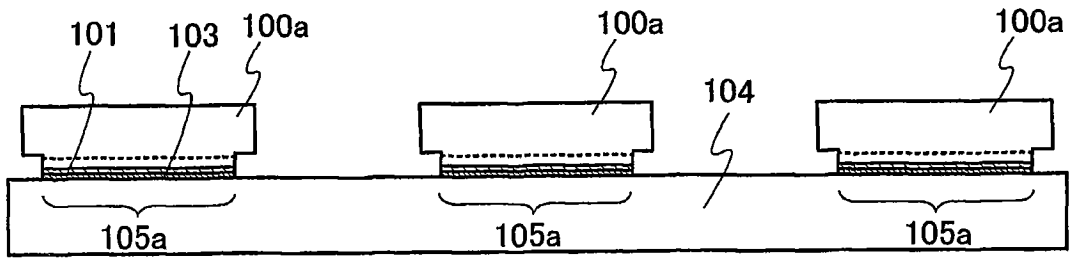


图 2A

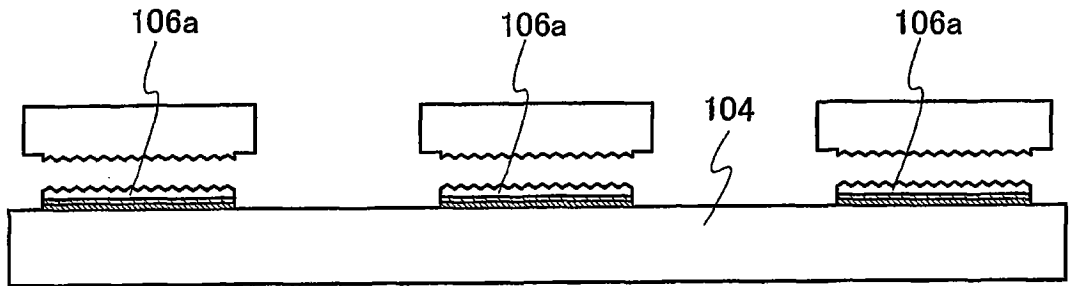


图 2B

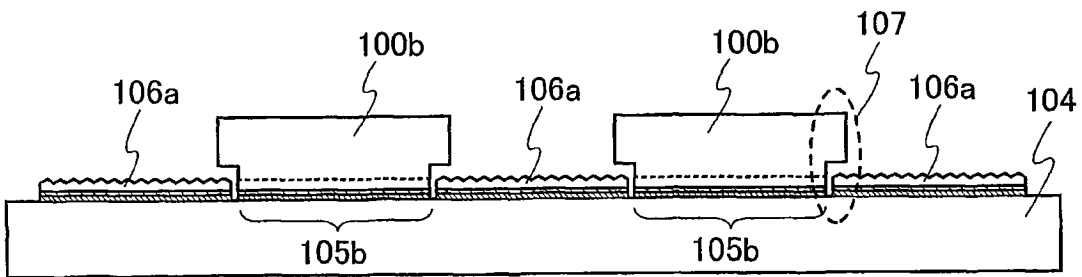


图 2C

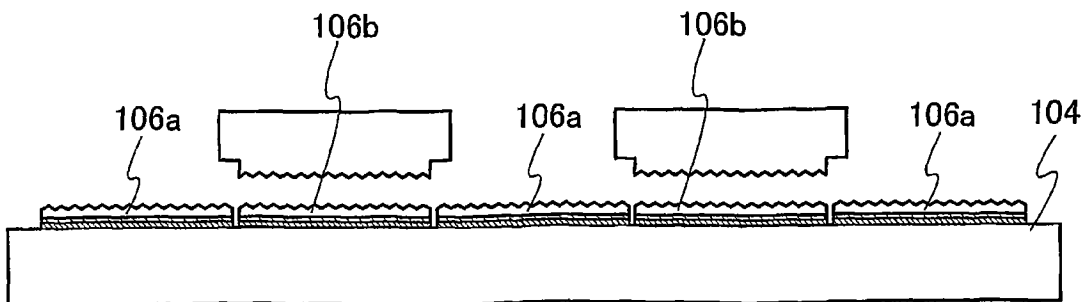


图 2D

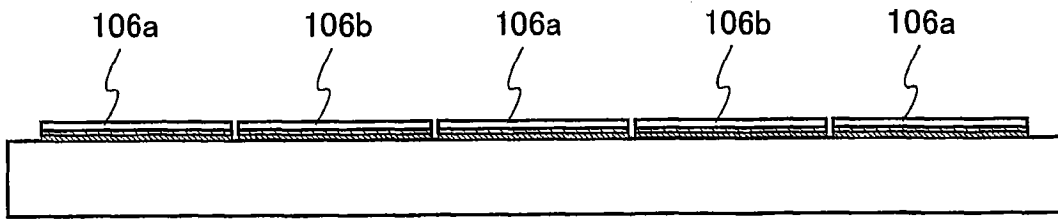


图 3A

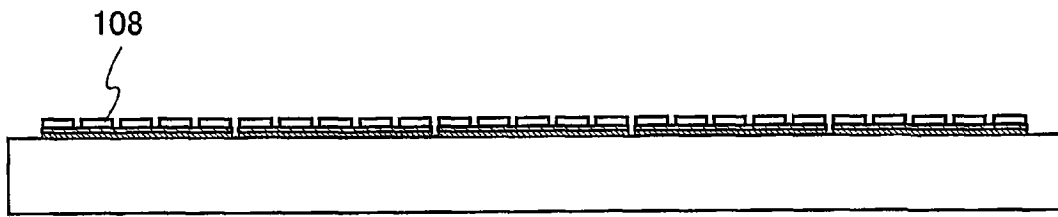


图 3B

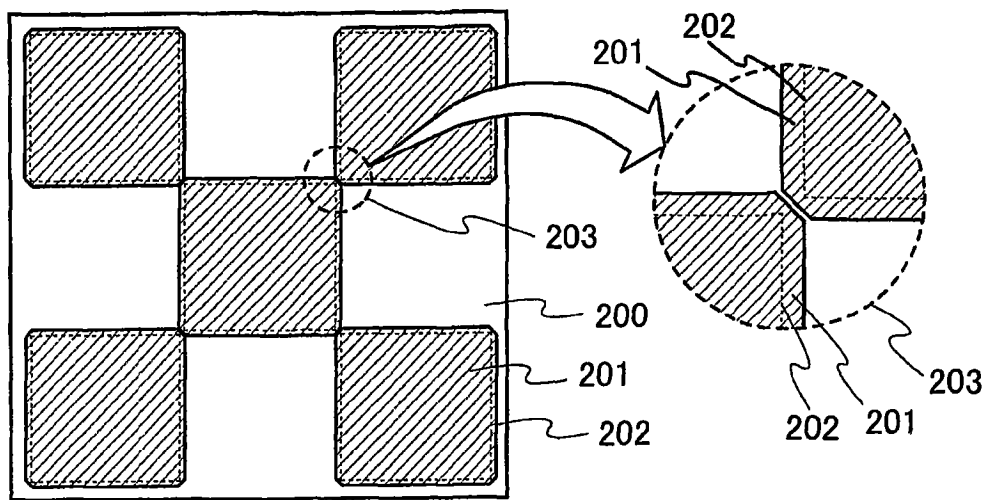


图 4A

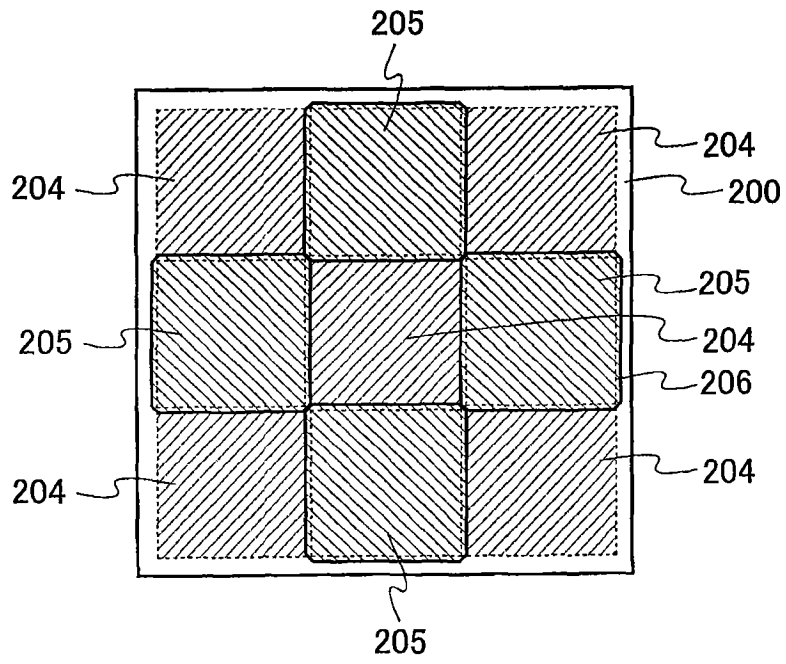


图 4B

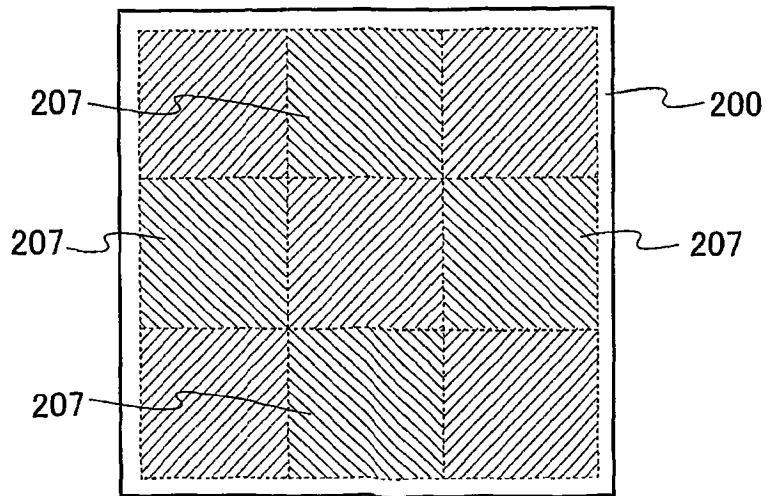


图 4C

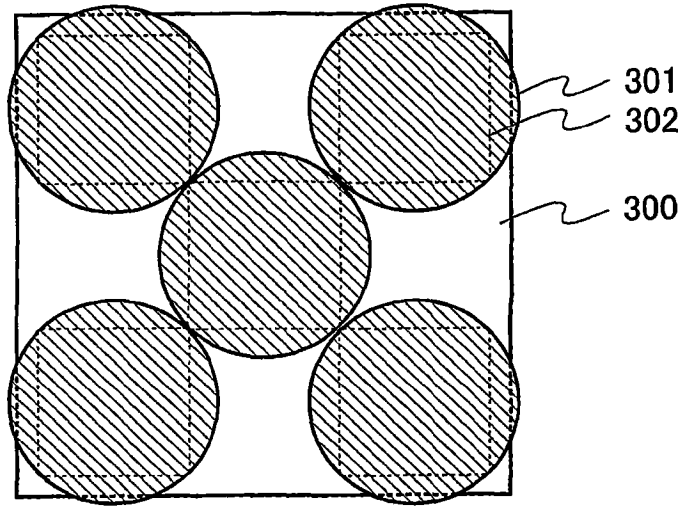


图 5A

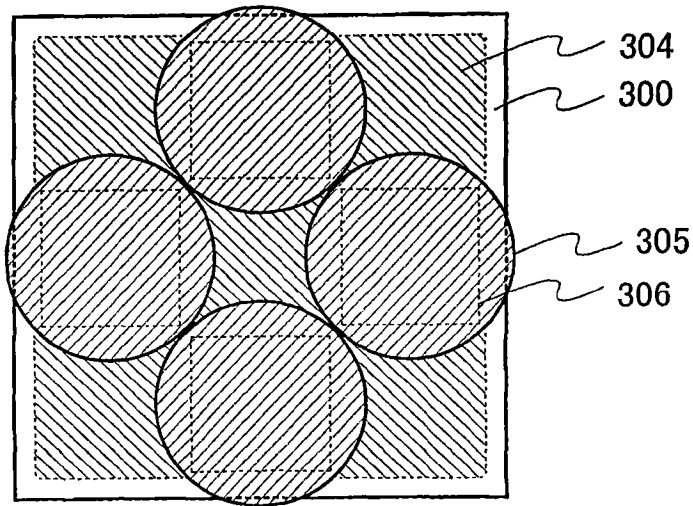


图 5B

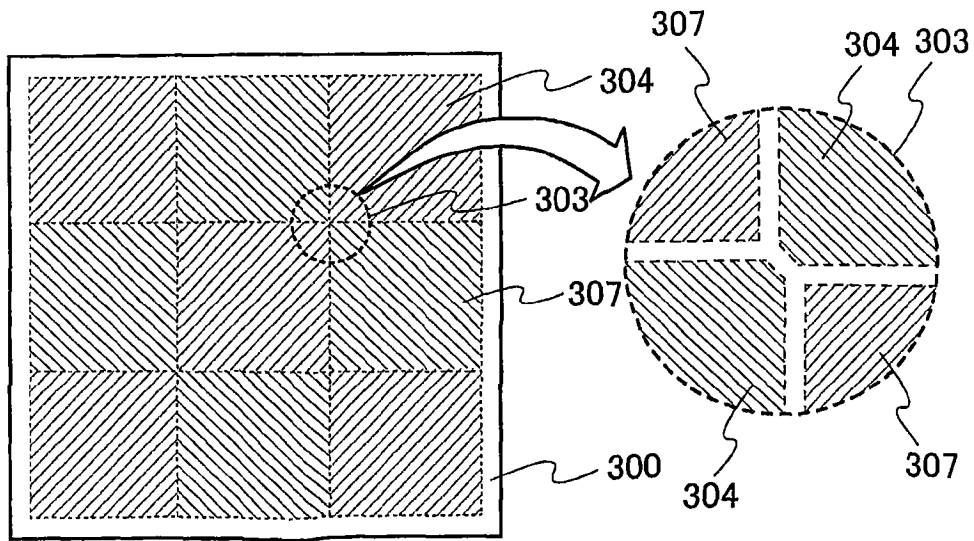


图 5C

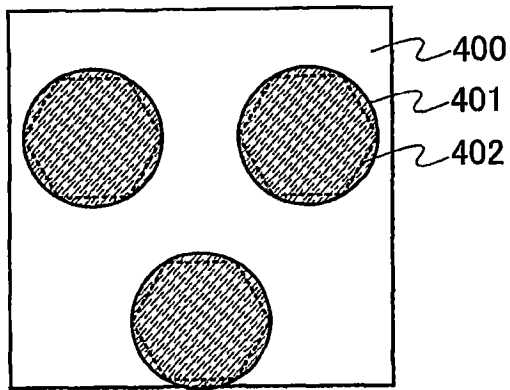


图 6A

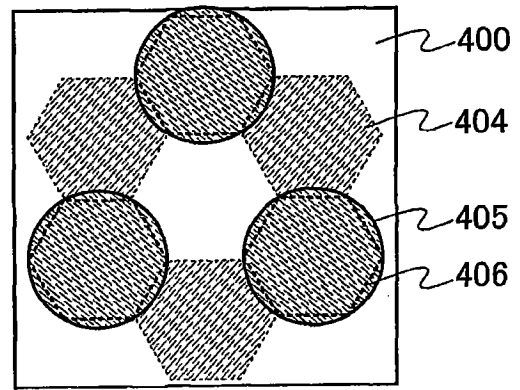


图 6B

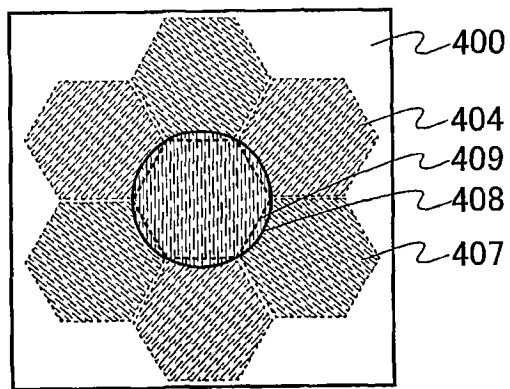


图 6C

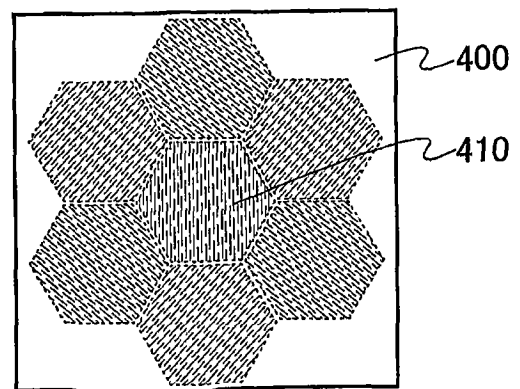


图 6D



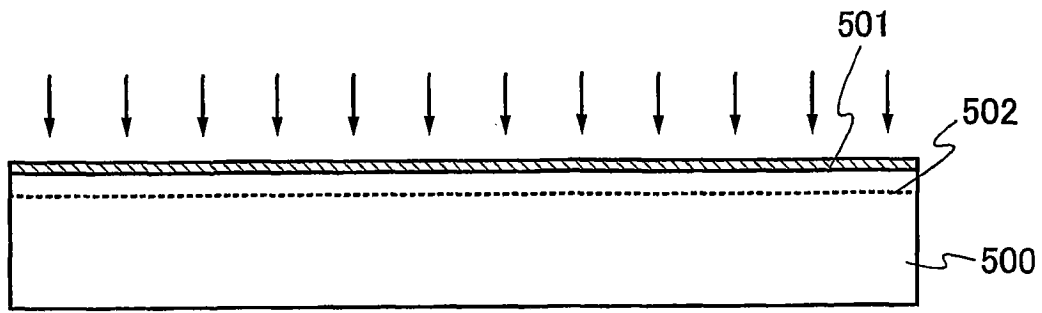


图 7A

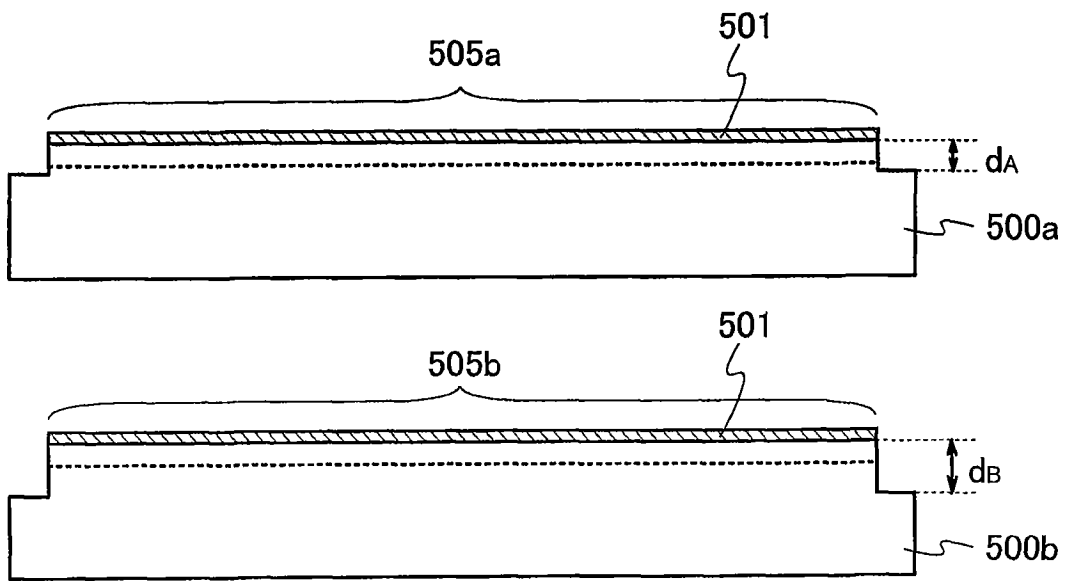


图 7B

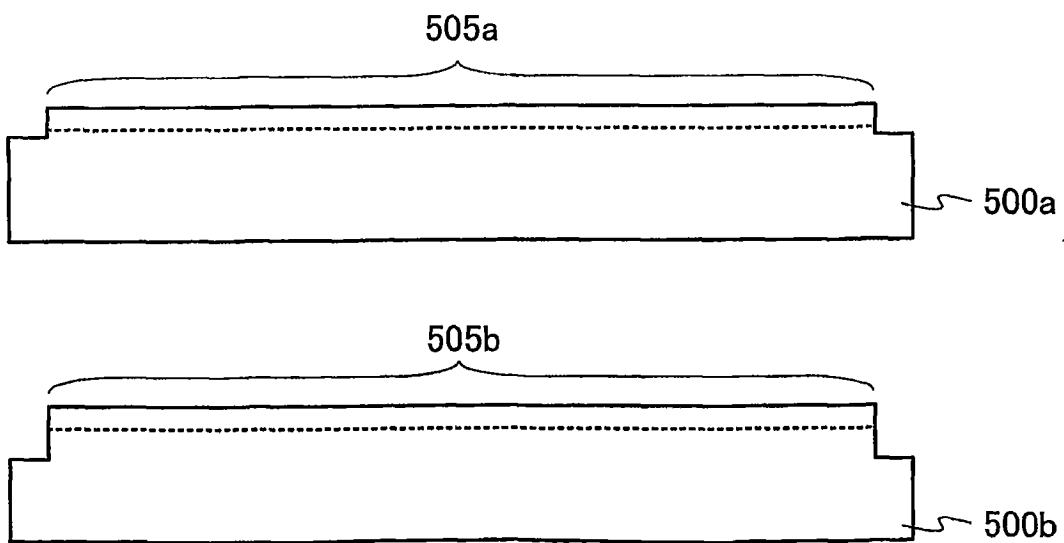


图 7C

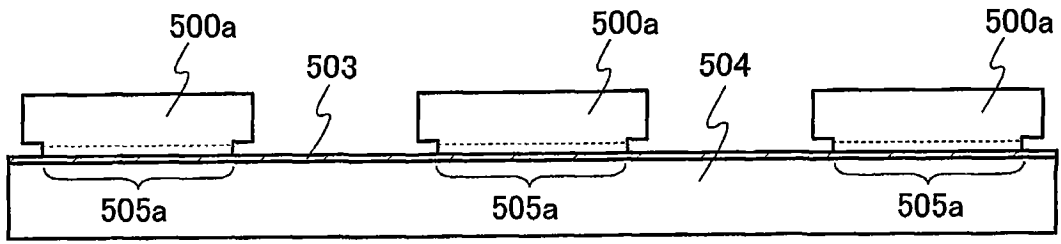


图 8A

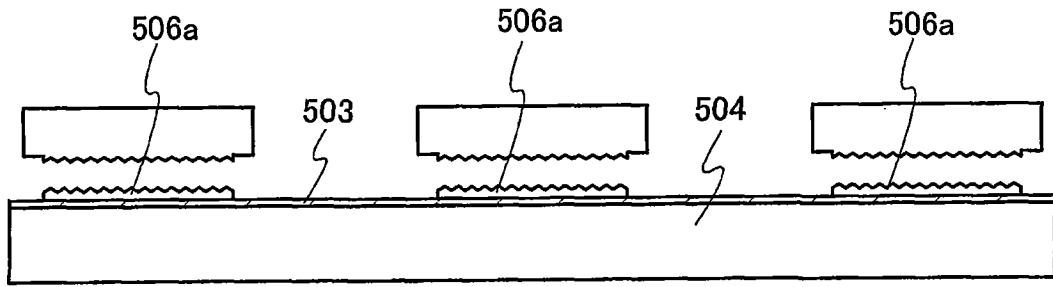


图 8B

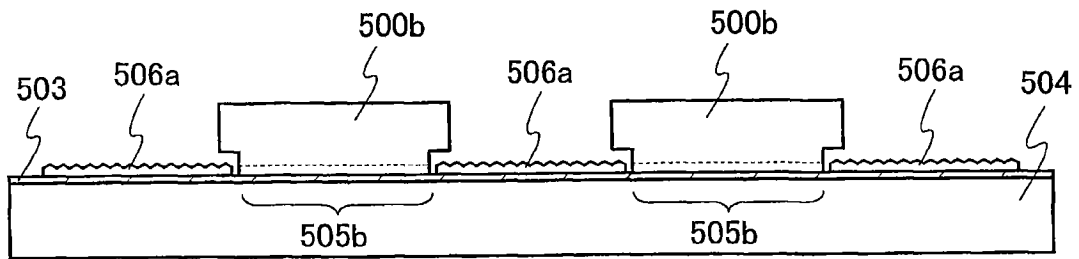


图 8C

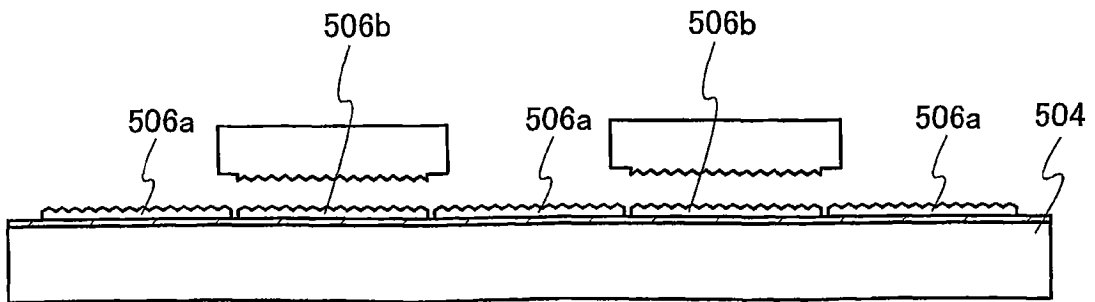


图 8D

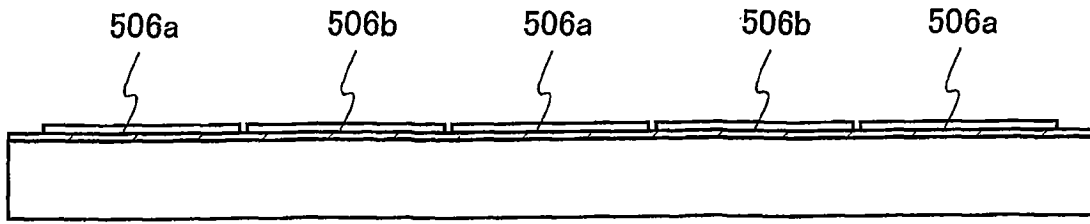


图 9A

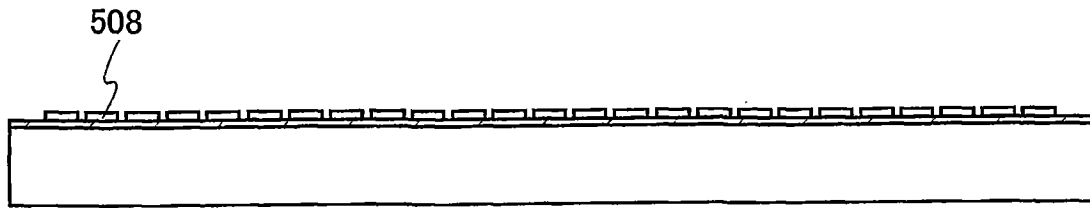


图 9B

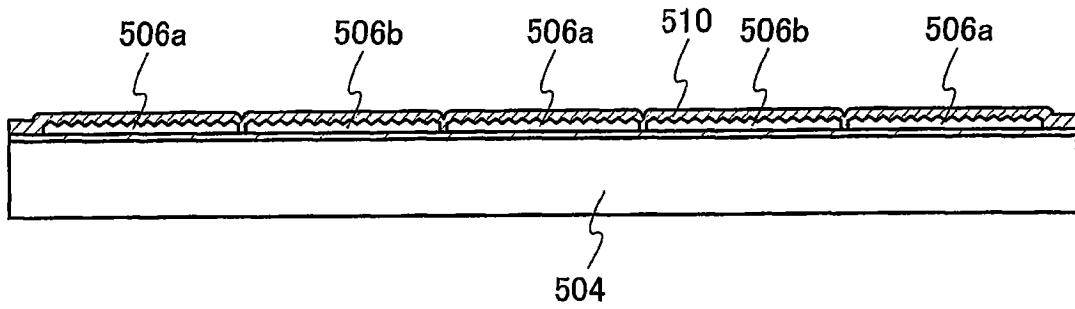


图 10A

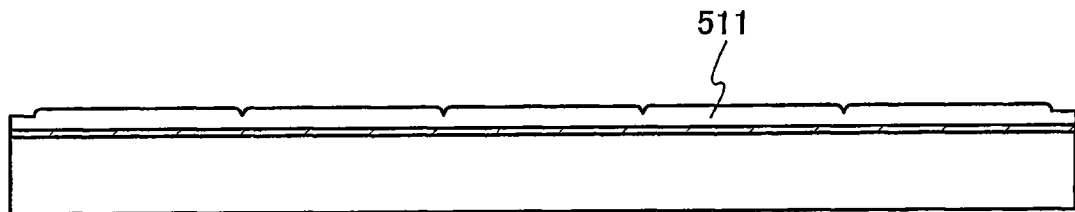


图 10B

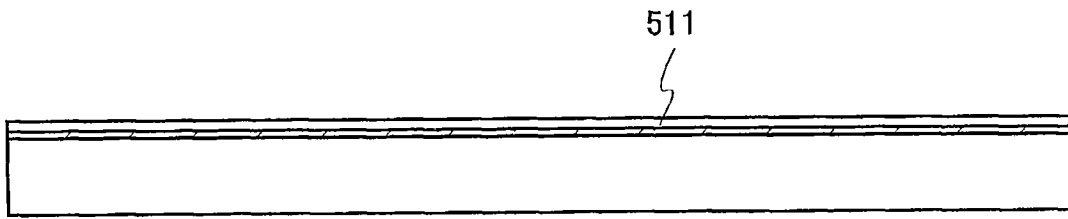


图 10C

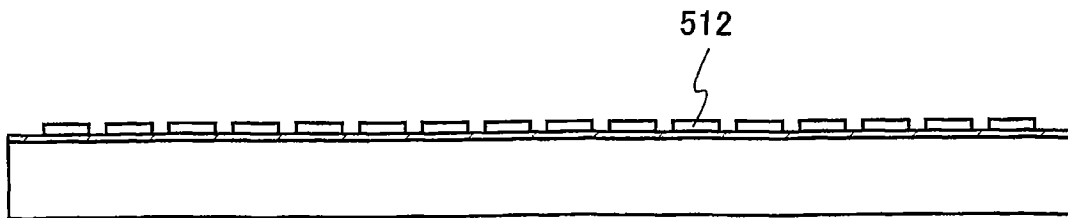


图 10D

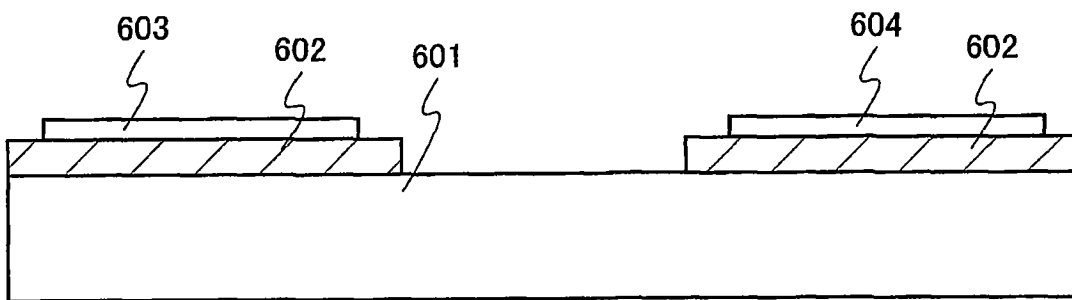


图 11A

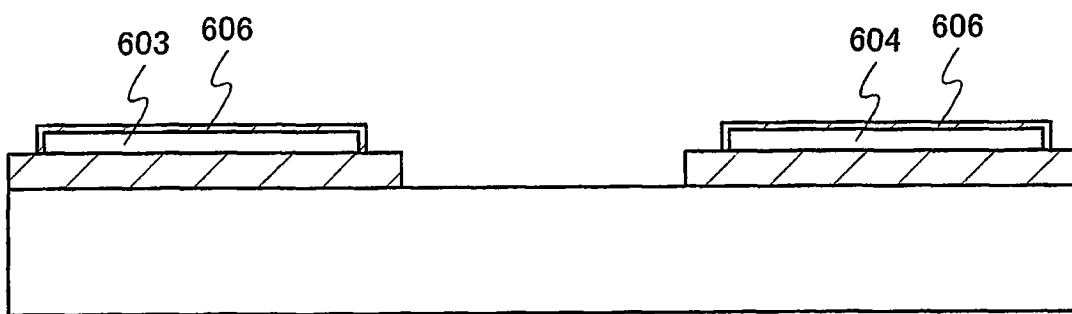


图 11B

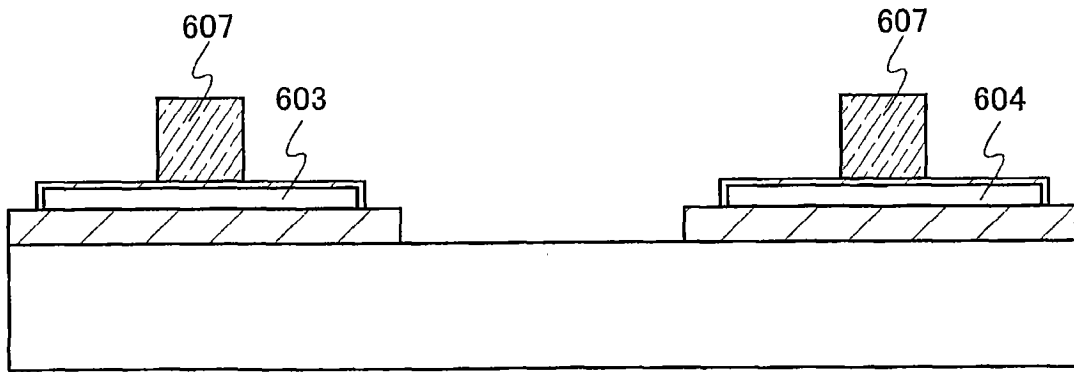


图 11C

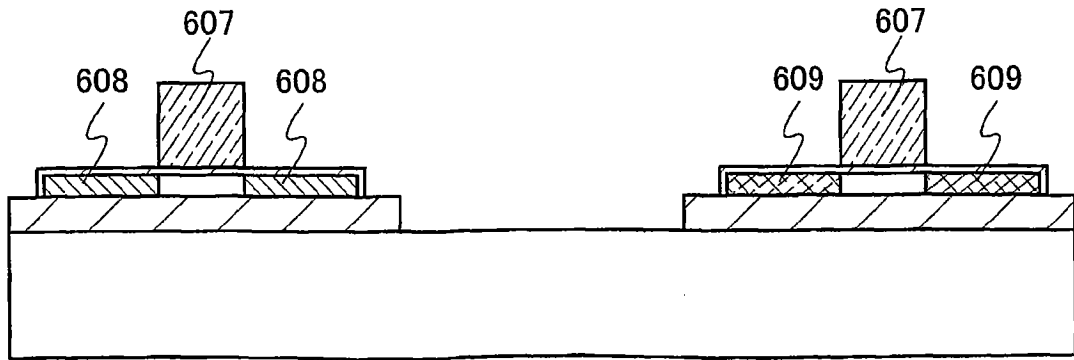


图 11D

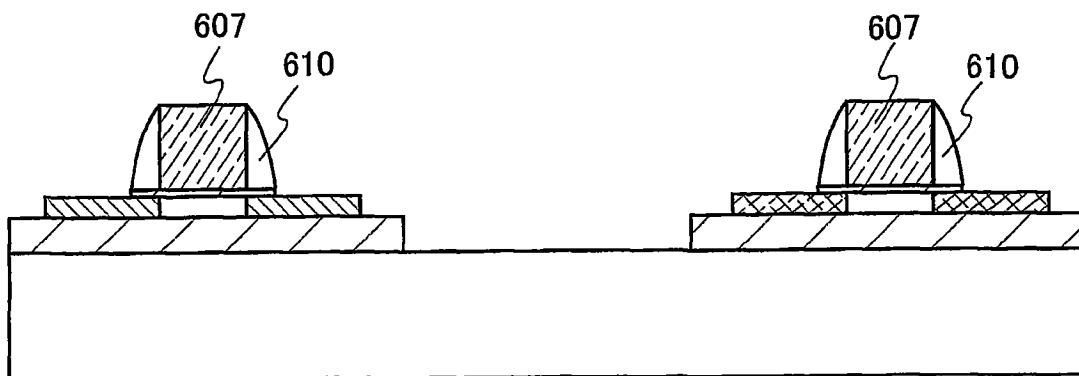


图 12A

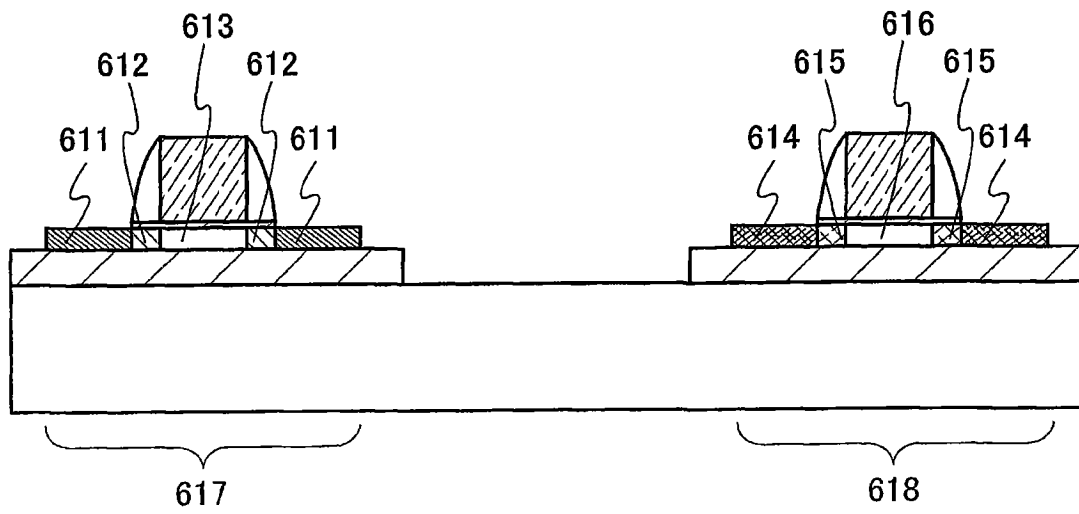


图 12B

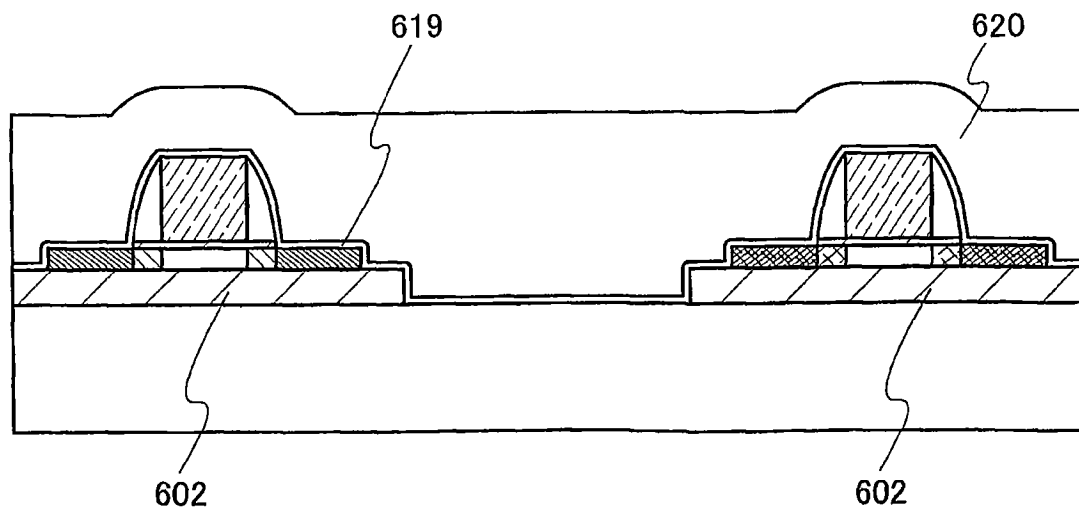


图 12C

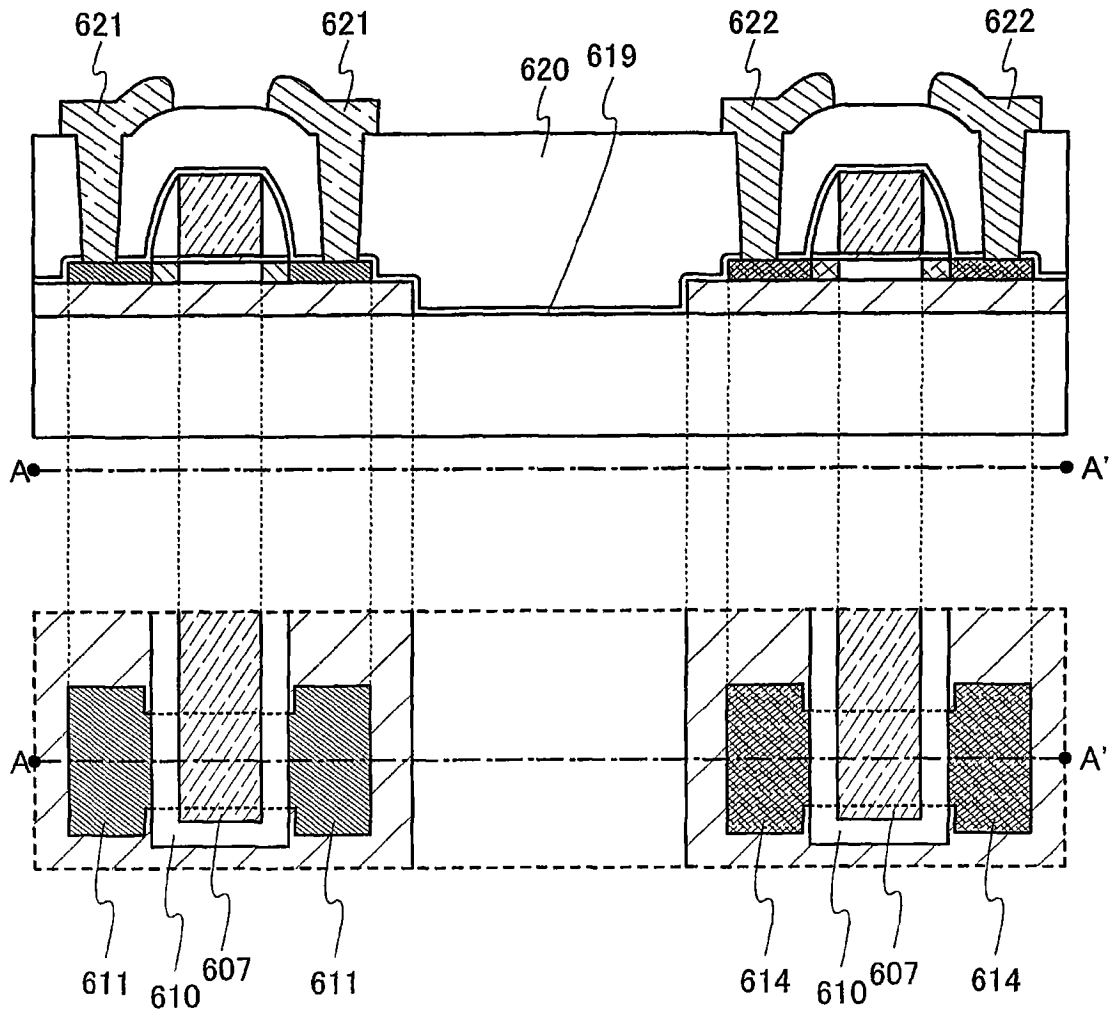


图 13

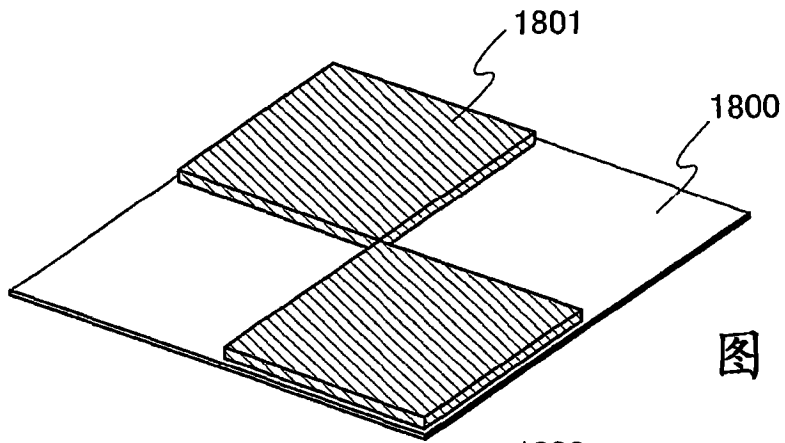


图 14A

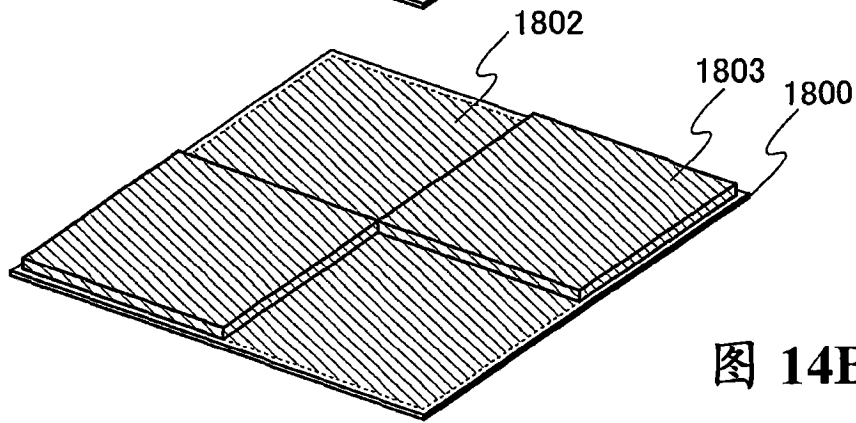


图 14B

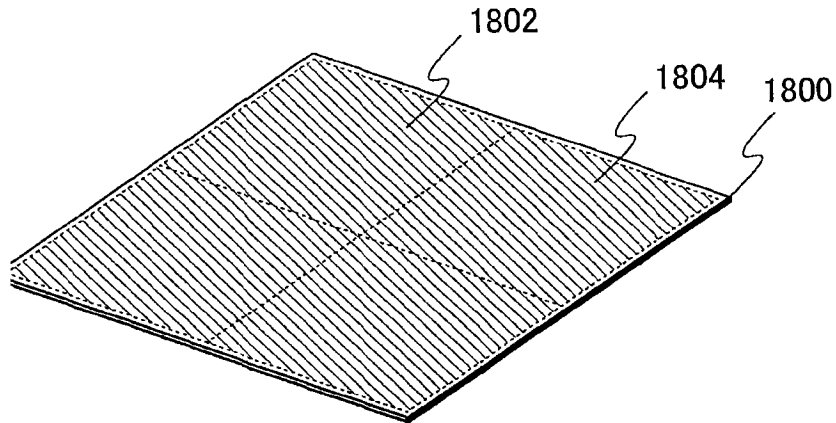


图 14C



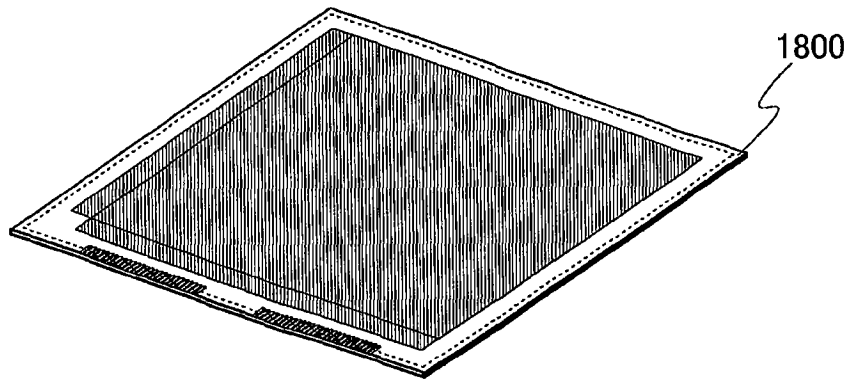


图 14D

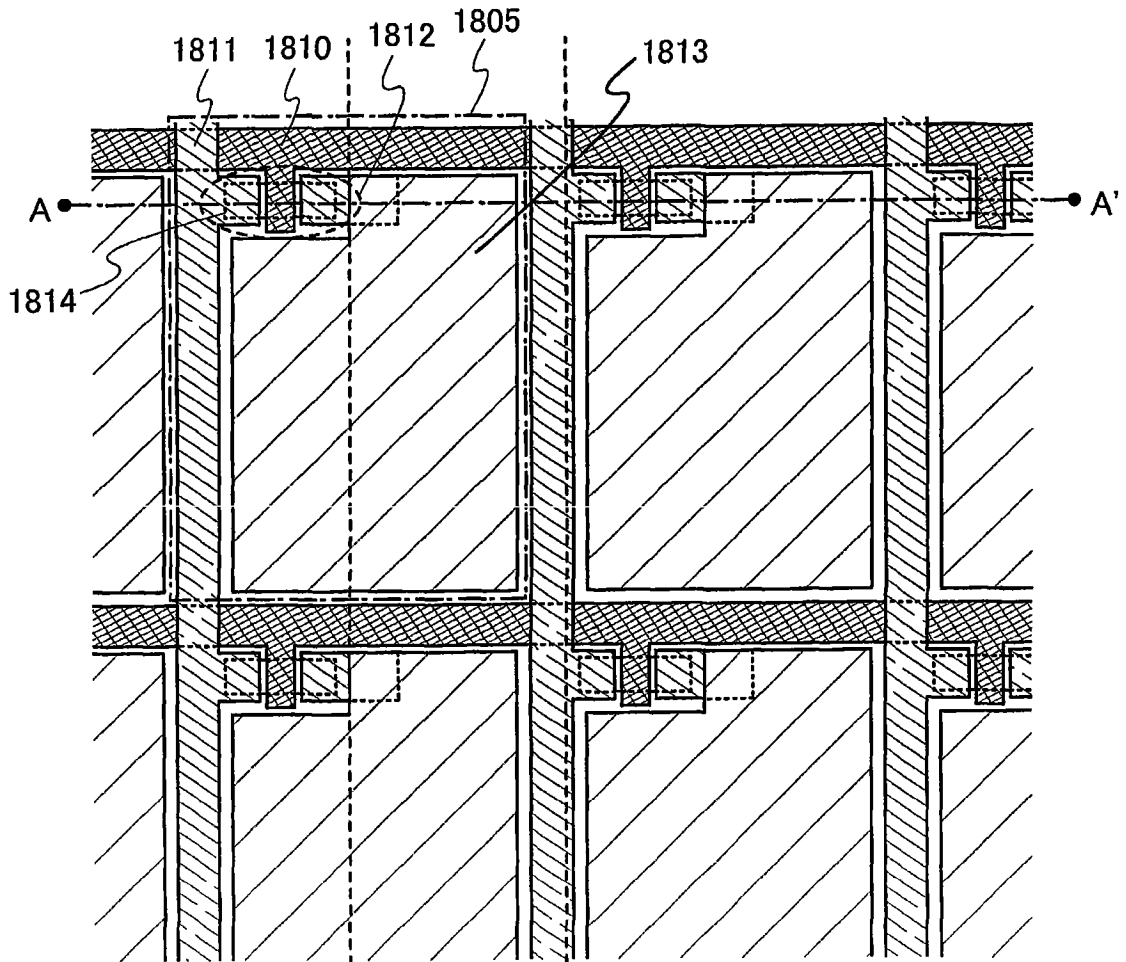


图 15A

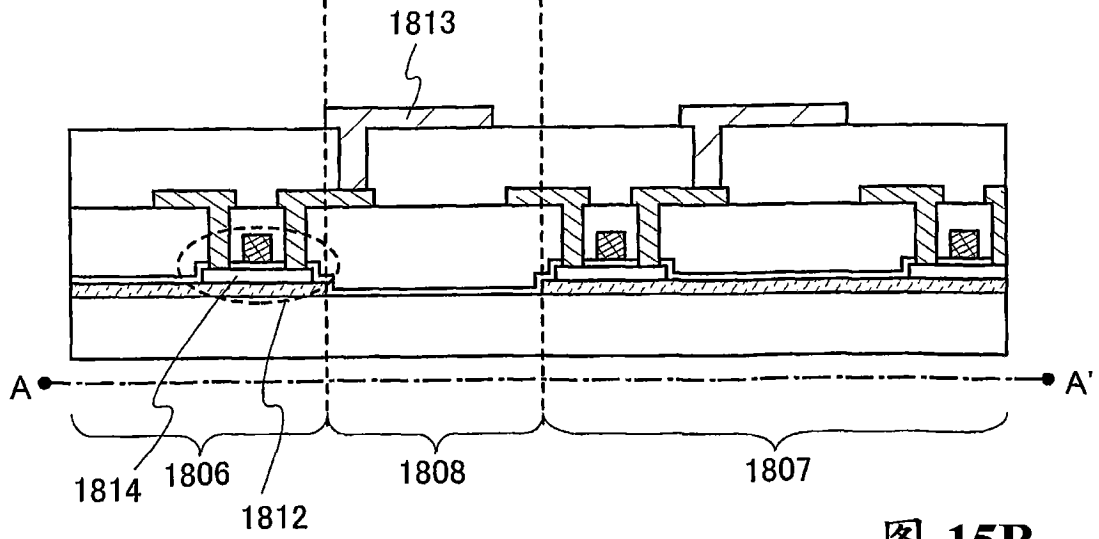


图 15B

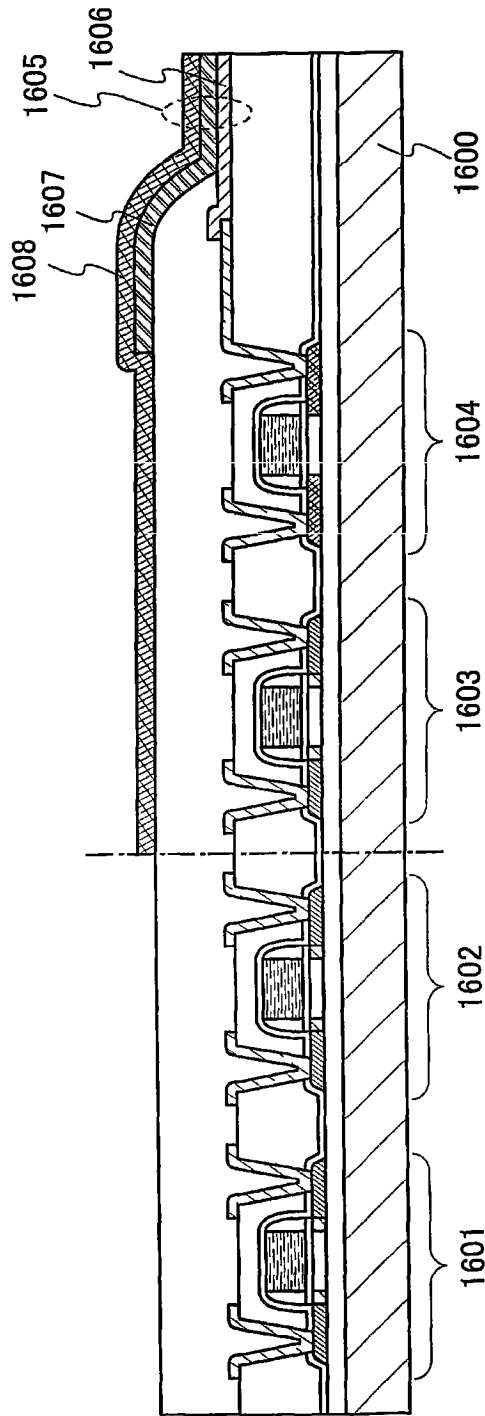


图 16A

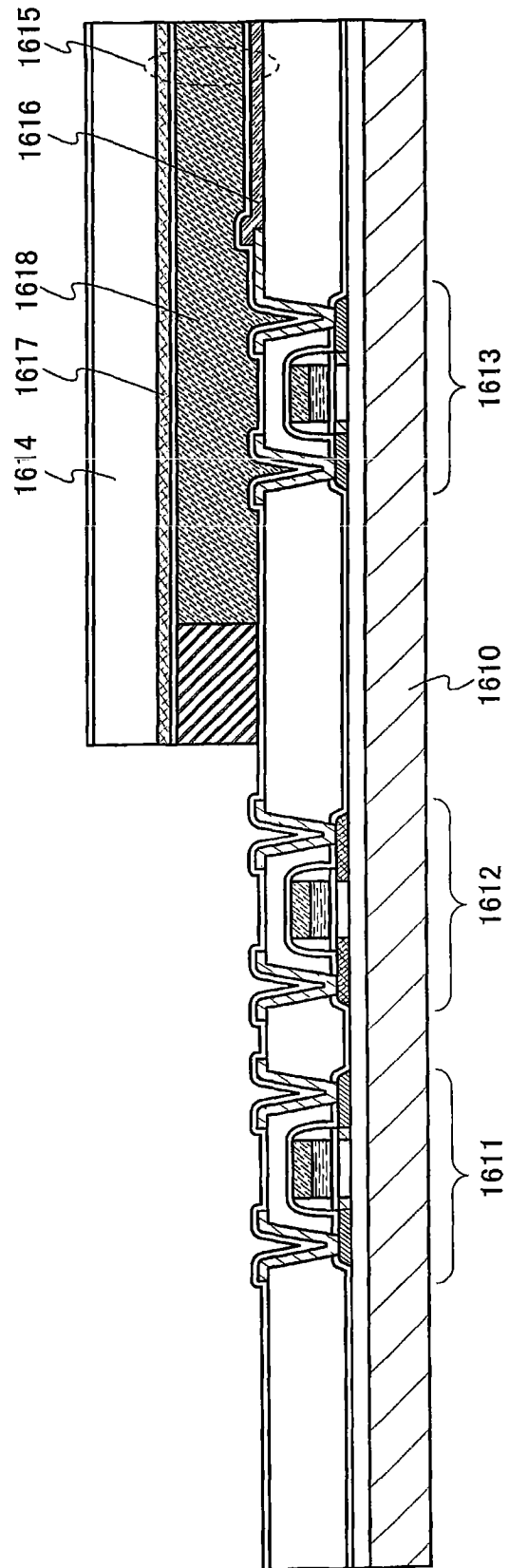


图 16B

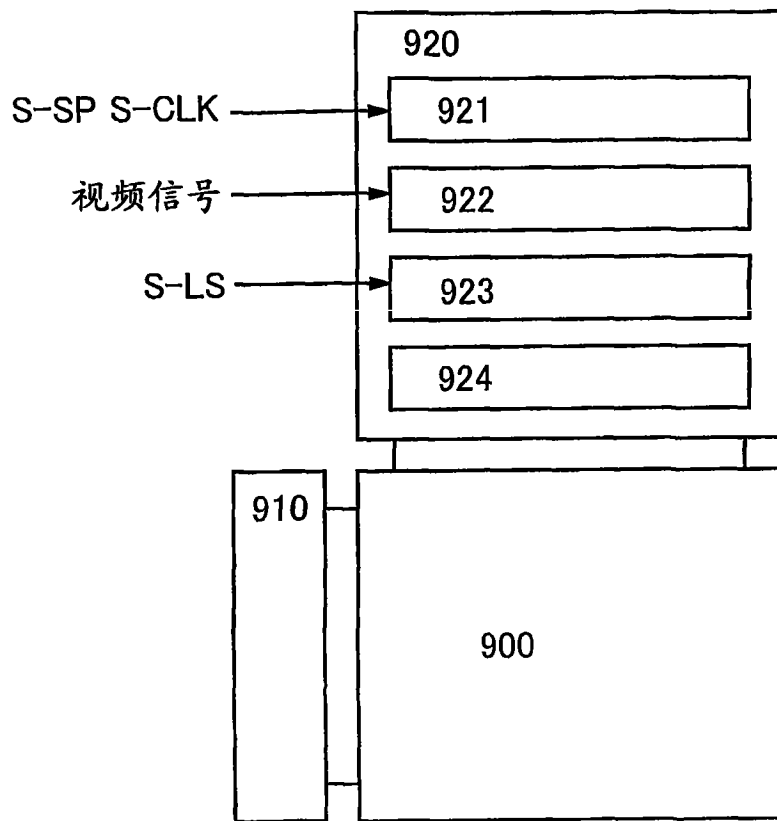


图 17

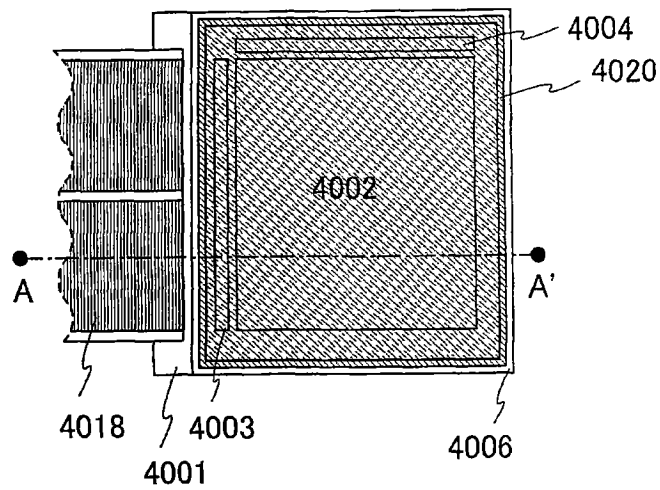


图 18A

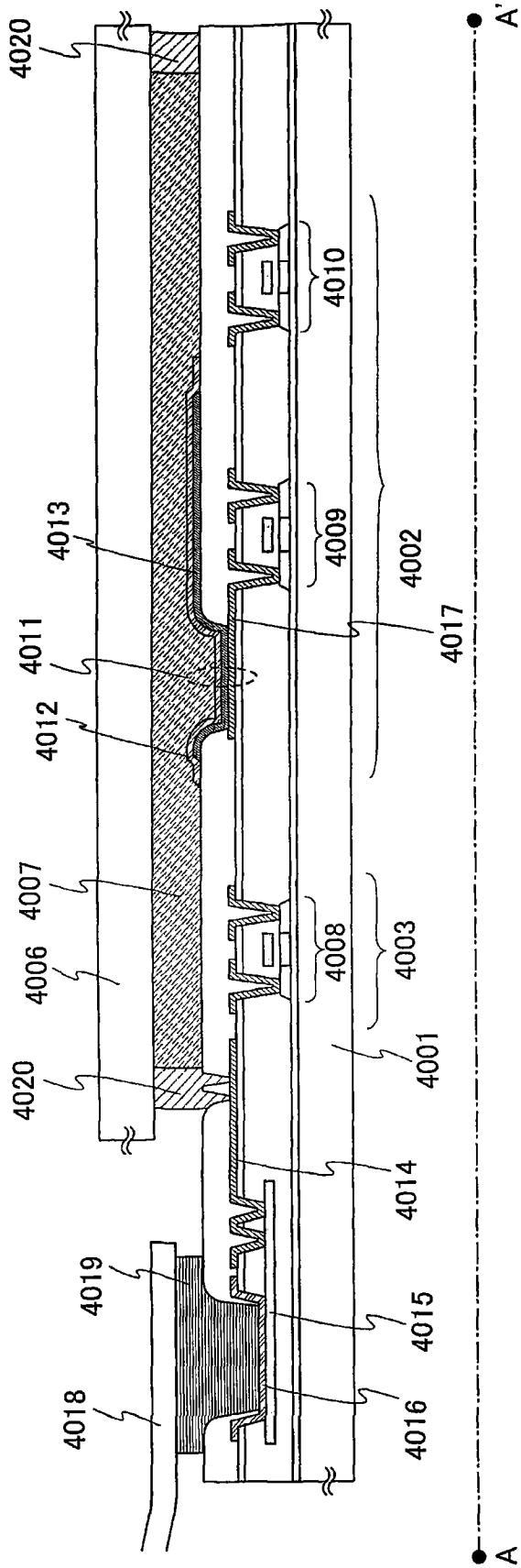


图 18B

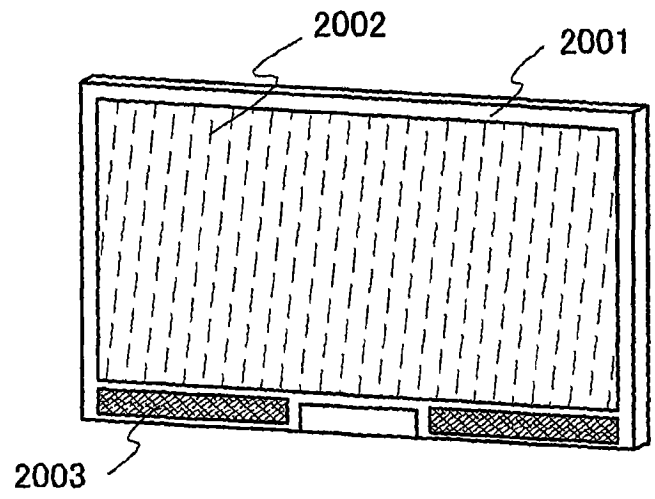


图 19A

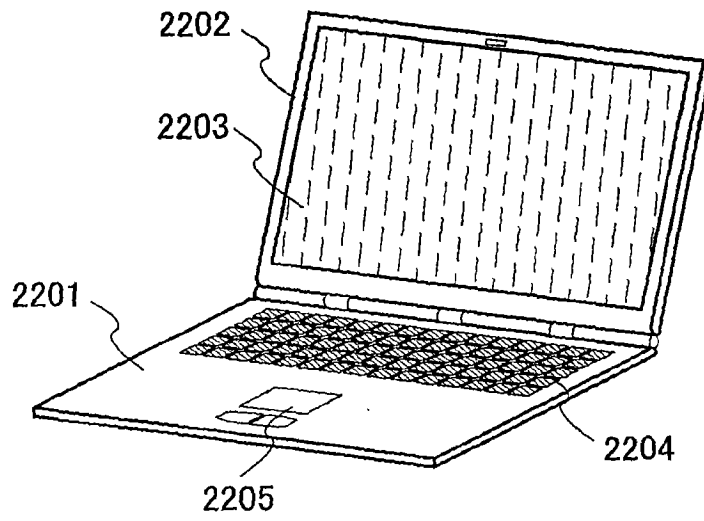


图 19B

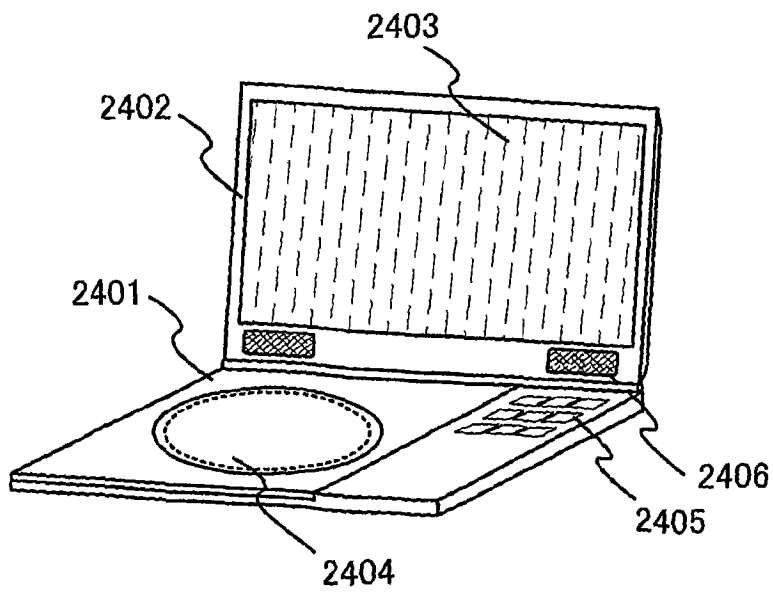


图 19C