(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
H01L 23/538

(45) 공고일자 2001년11월01일
(11) 등록번호 10 - 0298828
(24) 등록일자 2001년06월04일

(21) 출원번호 10 - 1999 - 0027983
(22) 출원일자 1999년07월12일

(65) 공개번호 특2001 - 0009564
(43) 공개일자 2001년02월05일

(73) 특허권자
삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자
권용환
경기도수원시팔달구영통동신나무실주공아파트508동402호
강사윤
서울특별시동작구사당4동309 - 30
김남석
경기도군포시금정동무궁화아파트124동1404호
장동현
서울특별시종로구명륜동1 - 1114

(74) 대리인
윤동열
이선희

심사관 : 유환철

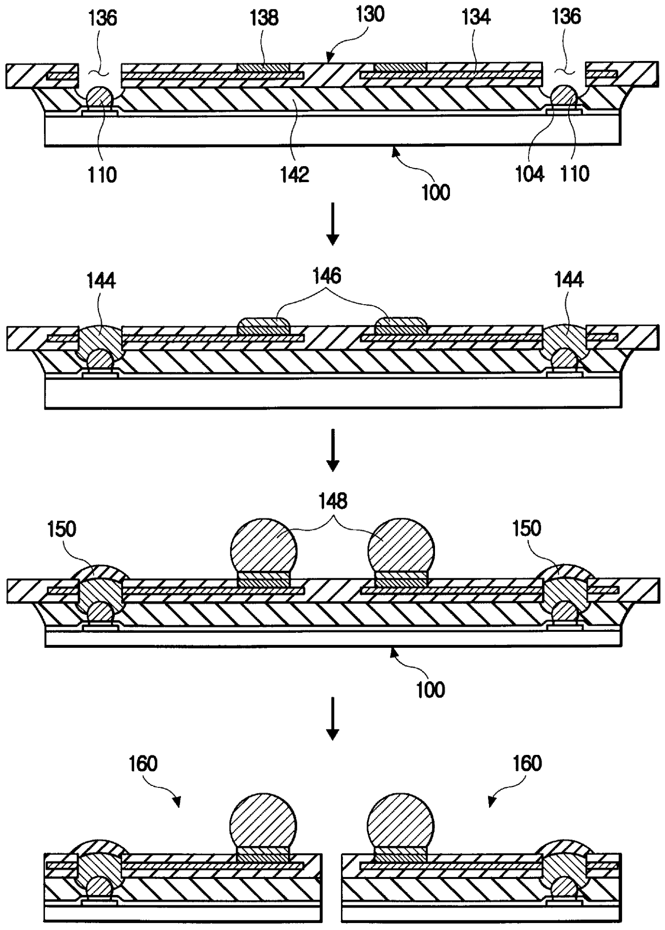
(54) 재배선 필름과 솔더 접합을 이용한 웨이퍼 레벨 칩 스케일 패키지 제조방법

요약

본 발명은 별도로 제조된 재배선 필름에 웨이퍼 또는 개별 칩들을 접착하고 솔더 접합에 의하여 칩 패드와 재배선 금속층간 전기적 연결을 구현하는 칩 스케일 패키지 제조방법에 관한 것이다. 종래의 웨이퍼 레벨 패키지의 제조방법은 웨이퍼 위에 직접 공정을 진행하기 때문에, 회로소자의 불량, 얇은 절연층으로 인한 높은 커패시턴스, 취약한 스트레스 흡수층으로 인한 솔더 접합 내구수명의 저하 등의 문제가 있다. 또한, 웨이퍼 전체에 대하여 일괄적인 제조공정을 진행하기 때문에, 불량 칩에 대해서도 정상 칩들과 동일한 공정을 진행할 수밖에 없어서 제조단가가 상승한다. 본 발명은 이와 같은 문제들을 해결하기 위한 것으로서, 절연 필름 내부에 형성된 재배선 금속층과 절연 필름 외부로 노출되는 외부접속 패드들 및 금속층 일부가 노출되는 관통구멍을 포함하는 재배선 필름을 별도로 제조하고, 재배선 필름 위에 중합체 물질을 인가하여 웨이퍼를 접착한다. 관통구멍 안의 중합체 물질을 제거하여 웨이퍼의 칩 패드들이 노출되도록 한 후 관통구멍에 솔더 접합부를 형성한다. 외부접속 패드에는 솔더 볼과 같은 외부접속 단자를 형성하며 웨이퍼를 절단하여 개별 패키지들로 분리한다. 솔더 접합부에 의해 칩 패드와 재배선 필름의 금속층이 전기적으로 연결되며, 칩 패드에는

금속 범프가 미리 형성되기도 한다. 재배선 필름에는 웨이퍼 대신 개별 칩들을 접합할 수도 있다. 본 발명에 따른 패키지 제조방법은 기존의 제조방법들이 안고 있는 문제들을 해결하는 동시에, 웨이퍼 레벨 칩 스케일 패키지가 가지고 있는 장점을 그대로 살릴 수 있다.

대표도



색인어

웨이퍼 레벨 칩 스케일 패키지, 웨이퍼, 재배선 필름, 솔더 접합, 금속 범프

명세서

도면의 간단한 설명

도 1은 웨이퍼를 개략적으로 나타내는 평면도이다.

도 2는 도 1의 'A' 부분을 확대하여 나타내는 평면도이다.

도 3은 웨이퍼 상태에서 제조가 완료된 칩 스케일 패키지를 나타내는 평면도이다.

도 4는 도 3에 도시된 패키지의 수직 구조를 보여주는 단면도이다.

도 5 내지 도 22는 본 발명의 제1 실시예에 따른 칩 스케일 패키지의 제조방법을 나타내는 단면도들로서, 도 5 내지 도 13은 웨이퍼의 처리 공정을 나타내며, 특히 도 8 내지 도 13은 웨이퍼에 금속 범프를 형성하는 방법의 여러가지 예를 보여준다. 그리고 도 14 내지 도 22는 재배선 필름과 솔더 접합을 이용한 패키지 제조 공정을 나타낸다.

도 23 내지 도 28은 본 발명의 제2 실시예에 따른 칩 스케일 패키지의 제조방법을 나타내는 단면도들이다.

< 도면의 주요 부분에 대한 부호의 설명

10, 100: 웨이퍼(wafer)

12, 102: 웨이퍼 기판(wafer substrate)

14: 분할영역(scribe line)

20, 180: 집적회로 칩(IC chip)

22, 104: 칩 패드(chip pad)

24, 106: 비활성막(passivation layer)

30, 160, 200: 칩 스케일 패키지(chip scale package)

32, 132: 절연층(dielectric layer)

34, 134: 금속층(metal layer)

38, 148: 솔더 볼(solder ball)

108: 금속 기저층(under barrier metal)

110, 110a, 110b, 110c: 금속 범프(metal bump)

114, 118: 용융 솔더(molten solder)

124: 금속 와이어(metal wire)

130: 재배선 필름(rerouting metallized film)

136: 관통구멍(through hole)

138: 외부접속 패드(terminal pad)

140: 고정판(fixing jig)

142, 150, 170: 중합체 물질(polymer)

144, 190: 솔더 접합부(soldering part)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로서, 보다 구체적으로는 재배선 필름과 솔더 접합을 이용하여 칩 스케일 패키지를 제조하는 방법에 관한 것이다.

오늘날 반도체 산업의 주요 추세 중의 하나는 가급적 반도체 소자를 소형화하는 것이다. 소형화의 요구는 특히 반도체 칩 패키지 산업에 있어서 두드러지는데, 패키지(package)란 미세회로가 설계된 집적회로 칩을 실제 전자기기에 실장하여 사용할 수 있도록 플라스틱 수지나 세라믹으로 봉한 형태를 말한다. 종래의 전형적인 패키지는 그 안에 내장되는 집적회로 칩에 비하여 훨씬 큰 크기를 갖는다. 따라서, 패키지의 크기를 칩 크기 수준으로 축소시키는 것이 패키지 기술자들의 관심사 중의 하나였다. 이와 같은 배경에 의하여 최근에 개발된 새로운 패키지 유형이 바로 칩 스케일 패키지(또는 칩 사이즈 패키지라고도 함)이다. 그 중에서 특히 '웨이퍼 레벨 칩 스케일 패키지(wafer level chip scale package)'는 개별 칩 단위로 패키지 조립을 진행하는 전형적인 패키지 제조방법과 달리, 웨이퍼 상태에서 일괄적으로 패키지들을 조립·제조한다는 점에 특징이 있다.

도 1에 웨이퍼(10)가 개략적으로 도시되어 있다. 잘 알려져 있다시피, 웨이퍼(10)에는 수십개 또는 수백개의 집적회로 칩(20)들이 형성되며, 각각의 칩(20)들은 분할영역(14)에 의하여 서로 구분된다. 도 2에 도시된 바와 같이, 하나의 집적회로 칩(20)에는 전기신호의 입출력 단자 역할을 하는 칩 패드(22)들이 형성되어 있고, 칩 패드(22)를 제외한 나머지 부분은 비활성막(24)으로 덮여 있다. 칩 패드(22)와 비활성막(24)의 수직 구조는 도 4에 나타나 있다. 칩(20)을 구성하는 복잡한 집적회로는 실리콘과 같은 웨이퍼 기판(12)에 형성되지만, 도 4에는 생략하여 도시하지 않았다.

이상이 일반적인 웨이퍼의 구조이다. 웨이퍼 레벨 칩 스케일 패키지는 바로 이 웨이퍼(10) 위에 직접 수행하는 패키지 제조 공정을 통하여 제조된다. 도 3은 웨이퍼 위에 제조된 칩 스케일 패키지(30)를 나타내고 있다. 분할영역(14)을 따라 웨이퍼를 절단하면 낱개로 분리된 패키지(30)들을 얻을 수 있다. 패키지에는 절연층(36)이 덮여 있는 한편, 솔더 볼(38)들이 규칙적으로 형성되어 있다. 솔더 볼(38)은 각각의 칩 패드(도 2의 22)와 전기적으로 연결된다. 솔더 볼(38)과 칩 패드(22)의 수직 연결구조가 도 4에 나타나 있다.

도 4의 수직 구조를 보면, 칩 패드(22)와 솔더 볼(38)은 금속층(34)을 통하여 연결되며, 금속층(34)의 상하부에는 각각 절연층(32, 36)이 형성되어 있다. 이와 같은 구조를 갖는 웨이퍼 레벨 패키지(30)의 제조방법을 간략하면, 먼저 웨이퍼 위에 절연층(32)을 도포한 후 칩 패드(22)를 노출시킨다. 이어서 금속층(34)을 도포하여 원하는 배선 패턴을 형성한다. 이 때 금속층(34)은 칩 패드(22)와 연결되어 있다. 그리고 다시 절연층(36)을 도포한 후 솔더 볼(38)을 형성하고자 하는 부분의 절연층(36)을 제거한다. 제거된 부분에는 금속층(34)이 노출되며 이 부분에 솔더 볼(38)을 형성하여 금속층(34)과 연결되도록 한다. 이상과 같은 공정을 거쳐 도 3에 도시된 것과 같은 웨이퍼 상태의 패키지(30)들이 제조되며, 마지막으로 절단 공정을 거쳐 개별 패키지들이 얻어진다.

그런데 이와 같은 방식의 제조방법은 웨이퍼 위에 직접 여러가지 공정들을 진행하기 때문에 일반적으로 다음과 같은 문제점들을 안고 있다. 첫번째는 웨이퍼에 직접 절연물질을 도포한 후 고온에서 장시간 경화하여 절연층을 형성하기 때문에 고온 공정의 영향으로 인하여 회로소자의 불량을 야기할 수 있다는 점이다. 이러한 점을 고려해야 하기 때문에 절연층의 두께도 제약을 받으며, 절연층의 두께가 얇기 때문에 비교적 높은 커패시턴스를 가지게 된다.

두번째 문제점은 패키지 최종 제품이 회로기판에 실장되어 실제로 사용될 때 솔더 접합의 내구수명이 저하되는 문제이다. 이는 솔더 볼을 사용하는 패키지가 가지는 일반적인 문제점 중의 하나이며, 특히 웨이퍼 레벨 칩 스케일 패키지의 경우 열적 스트레스를 흡수 · 완화해야 될 중간층이 취약하기 때문에 발생한다.

세번째 문제점은 웨이퍼 전체에 대하여 일괄적으로 제조공정을 진행하기 때문에 웨이퍼 상태에서 이미 불량으로 판정된 칩에 대해서도 다른 정상 칩들과 마찬가지로 패키지 조립공정을 진행하여야 한다는 점이다. 이 점은 패키지 제조단가 상승의 중요한 요인 중의 하나로 작용한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 기존의 웨이퍼 레벨 칩 스케일 패키지 제조방법이 안고 있는 여러가지 문제점들을 해결하는 동시에, 웨이퍼 레벨 칩 스케일 패키지가 가지고 있는 장점을 그대로 살릴 수 있는 새로운 칩 스케일 패키지의 제조방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 별도로 제조된 재배선 필름에 웨이퍼 또는 개별 칩들을 접착하고 재배선 필름의 관통구멍에 솔더를 인가하여 재배선 필름의 금속층과 웨이퍼 또는 개별 칩간의 전기적 연결을 솔더 접합에 의하여 구현하는 칩 스케일 패키지의 제조방법을 제공한다.

본 발명에 따른 칩 스케일 패키지의 제조방법은, (a) 웨이퍼 기판에 형성된 다수의 칩 패드들과, 칩 패드들을 제외한 웨이퍼 기판의 상부면을 덮고 있는 비활성막을 포함하며, 분할영역에 의하여 서로 구분되는 다수의 집적회로 칩들이 형성된 웨이퍼를 제공하는 단계와, (b) 절연 필름의 내부에 형성된 재배선 금속층과, 재배선 금속층과 연결되어 절연 필름의 제 1 면으로 노출된 다수의 외부접속 패드와, 절연 필름을 관통하는 다수의 관통구멍을 포함하며, 관통구멍에 재배선 금속층의 일부가 노출되는 재배선 필름을 제공하는 단계와, (c) 재배선 필름의 제 2 면에 중합체 물질을 인가하고, 웨이퍼의 칩 패드들이 각각 재배선 필름의 관통구멍과 일치하도록 웨이퍼를 재배선 필름에 물리적으로 접착하는 단계와, (d) 웨이퍼의 칩 패드들이 각각 재배선 필름의 관통구멍을 통하여 외부로 드러나도록 관통구멍에 채워진 중합체 물질을 제거하는 단계와, (e) 웨이퍼의 칩 패드들과 재배선 필름의 재배선 금속층이 전기적으로 연결되도록 재배선 필름의 관통구멍에 솔더 접합부를 형성하는 단계와, (f) 재배선 필름의 외부접속 패드에 각각 외부접속 단자를 형성하여 전기적으로 연결하는 단계와, (g) 웨이퍼의 분할영역을 따라 웨이퍼를 절단하여 개별 패키지로 분리하는 단계를 포함한다.

특히, 상기 (a) 단계는 칩 패드에 각각 금속 범프를 형성하는 단계를 더 포함하는 것이 바람직하며, 이 경우 상기 (d) 단계에서 재배선 필름의 관통구멍을 통하여 금속 범프가 외부로 드러나고, 상기 (e) 단계에서 금속 범프와 재배선 금속층이 전기적으로 연결된다. 웨이퍼를 용융 솔더 속에 집어 넣어 용융 솔더가 칩 패드에 달라붙도록 하거나, 용융 솔더가 담긴 분사기를 사용하여 칩 패드에 용융 솔더를 떨어뜨리거나, 칩 패드에 금속 와이어를 본딩한 후 금속 와이어를 절단하는 방법 등에 의하여 금속 범프가 형성된다.

상기 (e) 단계에서 솔더 접합부의 형성방법은 웨이퍼가 접착된 재배선 필름을 용융 솔더 속에 집어 넣어 용융 솔더가 재배선 필름의 관통구멍에 채워지도록 하는 방법과, 솔더 페이스트를 재배선 필름의 관통구멍에 밀어 넣고 리플로우하는 방법 등이 있다. 각각의 칩 패드에는 금속 기저층이 더 형성될 수 있으며, 상기 (c) 단계를 전후하여 고정판을 사용할 수도 있다. 또한, 웨이퍼의 뒷면을 연마하여 웨이퍼 두께를 얇게 할 수 있다.

본 발명에 따른 칩 스케일 패키지의 다른 제조방법은, (a) 웨이퍼 기판에 형성된 다수의 칩 패드들과, 칩 패드들을 제외한 웨이퍼 기판의 상부면을 덮고 있는 비활성막으로 이루어진 다수의 집적회로 칩들을 포함하는 웨이퍼를, 집적회로 칩

들을 구분하는 분할영역을 따라 절단하여 각각의 개별 칩으로 분리하는 단계와, (b) 절연 필름의 내부에 형성된 재배선 금속층과, 재배선 금속층과 연결되어 절연 필름의 제 1 면으로 노출된 다수의 외부접속 패드와, 절연 필름을 관통하는 다수의 관통구멍을 포함하며, 관통구멍에 재배선 금속층의 일부가 노출되는 재배선 필름을 제공하는 단계와, (c) 재배선 필름의 제 2 면에 중합체 물질을 인가하고, 개별 칩의 칩 패드들이 각각 재배선 필름의 관통구멍과 일치하도록 각각의 개별 칩을 재배선 필름에 물리적으로 접착하는 단계와, (d) 개별 칩의 칩 패드들이 각각 재배선 필름의 관통구멍을 통하여 외부로 드러나도록 관통구멍에 채워진 중합체 물질을 제거하는 단계와, (e) 개별 칩의 칩 패드들과 재배선 필름의 재배선 금속층이 전기적으로 연결되도록 재배선 필름의 관통구멍에 솔더 접합부를 형성하는 단계와, (f) 재배선 필름의 외부접속 패드에 각각 외부접속 단자를 형성하여 전기적으로 연결하는 단계와, (g) 각각의 개별 칩에 대응하여 재배선 필름을 절단하여 개별 패키지로 분리하는 단계를 포함한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 도면을 통틀어 동일한 도면부호는 동일한 구성요소를 나타낸다.

본 발명의 제1 실시예에 따른 칩 스케일 패키지의 제조방법이 도 5 내지 도 22에 도시되어 있다. 도 5 내지 도 13은 웨이퍼의 처리 공정을 나타내며, 도 14 내지 도 22는 재배선 필름과 솔더 접합을 이용한 패키지 제조 공정을 나타낸다. 특히, 도 8 내지 도 13은 웨이퍼에 금속 범프를 형성하는 방법의 여러가지 예를 보여주고 있다.

웨이퍼 제조 공정(wafer fabrication process)을 통하여 제조된 웨이퍼(100)의 기본적인 구조는 도 5와 같다. 도 5에 도시된 바와 같이, 칩 패드(104)는 실리콘과 같은 웨이퍼 기판(102)에 형성되고 칩 패드(104)를 제외한 웨이퍼 기판(102)의 상부면에는 비활성막(106)이 덮여 있다. 그러나 도 5에 도시된 웨이퍼(100)는 이해를 돕기 위해 그 일부만을 간략히 나타낸 것이며, 실제 웨이퍼에는 분할영역(도 1 또는 도 2의 14)에 의하여 구분되는 수십, 수백개의 집적회로 칩(도 1 또는 도 2의 20)들이 포함되어 있다.

웨이퍼(100)의 칩 패드(104)에는 금속 기저층(108, UBM; Under Barrier Metal)을 형성한다(도 6 참조). 칩 패드(104)는 알루미늄(Al) 재질이며 금속 기저층(108)은 니켈(Ni), 구리(Cu), 금(Au)으로 이루어진다. 금속 기저층(108)은 접착층, 확산 장벽층, 도금 기초층의 기능을 하며, 경우에 따라 티타늄(Ti), 크롬(Cr), 티탄텅스텐(TiW), 니켈바나듐(NiV) 등의 여러가지 금속들 및 니켈(Ni), 구리(Cu), 금(Au) 등의 금속들과 조합하여 사용되기도 한다. 금속 기저층(108)은 무전해 도금으로 형성할 수 있으며, 칩 패드(104) 부분에만 선택적 도금이 가능하도록 도금 전에 염화팔라듐($PdCl_2$) 용액 또는 아연산염(zincate) 처리를 하여 칩 패드(104) 표면에 팔라듐(Pd) 또는 아연(Zn)을 입힌다.

금속 기저층(108)이 입혀진 칩 패드(104)에는 금속 범프(110)가 형성된다(도 7 참조). 금속 범프를 형성하는 세가지 방법이 도 8 내지 도 13에 도시되어 있다. 첫번째 방법은 용융된 솔더 속에 웨이퍼를 집어 넣는 소위 '담금법(dipping)'이다. 도 8에 도시된 것처럼 용융 솔더(114, molten solder)는 소정의 용기(112)에 담겨져 있다. 여기에 웨이퍼(100)를 담갔다가 꺼내면, 소위 용융 솔더(114)의 '젖음성(wetting)'에 의하여 금속 기저층(108)이 입혀진 칩 패드(104) 부분에만 용융 솔더(114)가 달라붙어 금속 범프(110a)를 형성하게 된다(도 9 참조).

금속 범프를 형성하는 두번째 방법은 분사기를 사용하여 용융된 솔더를 떨어뜨리는 소위 '분사법(metal jet)'이다. 도 10에 도시된 바와 같이, 분사기(116)에 담겨 있던 용융 솔더(118)를 칩 패드(104) 쪽으로 떨어뜨려, 금속 기저층(108)이 입혀진 칩 패드(104) 부분에 금속 범프(110b)를 형성한다(도 11 참조).

금속 범프의 세번째 형성방법은 소위 '와이어 절단법(wire cut)'이다. 도 12에 도시된 바와 같이 와이어 본더(120, wire bonder)를 사용하여 칩 패드(104)에 금속 와이어(124)를 본딩한 후, 도 13과 같이 절단기(122)로 금속 와이어(124)를 절단하면 금속 범프(110c)가 얻어진다.

한편, 패키지 제조에 사용될 재배선 필름은 웨이퍼와 별도로 준비한다. 재배선 필름(130, rerouting metallized film)의 기본적인 구조가 도 14에 나와 있다. 도 14에 도시된 재배선 필름(130)은 이하에서 설명될 패키지 제조공정에 대한 이해를 돕기 위해 간략화한 것이다. 실제로 사용되는 재배선 필름(130)은 도 14에 나와 있는 구조가 반복된다. 이와 같이 간략화하여 도면에 도시한 것은 이후에 설명되어질 웨이퍼(도 16 이하의 100)의 경우도 마찬가지이다.

재배선 필름(130)은 본 발명의 기술분야에서 잘 알려져 있는 '테이프 자동 접합(tape automated bonding; TAB)'에서 사용되는 필름과 유사하다. 다만, 본 발명에 사용되는 재배선 필름(130)은 웨이퍼에 상당하는 크기를 가진다는 점이 다르다. 재배선 필름(130)은 폴리이미드(polyimide)와 같은 절연 필름(132)을 기본으로 하고, 절연 필름(132)의 내부에 구리(Cu)와 같은 금속층(124)이 재배선된다. 절연 필름(132)의 하부면(131a)에는 재배선 금속층(124)과 연결된 외부접속 패드(136)들이 노출된다. 관통구멍(136)은 절연 필름(132)을 관통하여 형성되며, 관통구멍(136) 안에 재배선 금속층(134)이 노출된다. 관통구멍(136)의 위치는 웨이퍼의 칩 패드(도 16의 104)와 일치한다.

재배선 필름(130)이 준비되면, 도 15에 도시된 바와 같이, 고정판(140)에 재배선 필름(130)을 고정한다. 그리고 재배선 필름(130)의 상부면(131b) 중앙부에 중합체 물질(142, polymer)을 인가한다. 중합체 물질(142)로는 에폭시 수지(epoxy resin)가 바람직하게 사용될 수 있으며, 잘 알려진 코팅(coating) 방법 또는 디스펜싱(dispensing) 방법을 사용한다.

이어서, 도 16에 도시된 바와 같이, 중합체 물질(142) 위로 웨이퍼(100)를 접착한다. 중합체 물질(142)은 웨이퍼(100)에 눌리면서 재배선 필름(130)과 웨이퍼(100) 사이에 골고루 퍼지게 되고 재배선 필름(130)의 관통구멍(136)에도 채워진다. 이후 중합체 물질(142)을 경화시키게 되면 재배선 필름(130)과 웨이퍼(100)의 물리적 접착이 완료된다. 이 때 칩 패드(104)에 형성된 금속 범프(110)는 재배선 필름(130)의 관통구멍(136) 안에 위치한다. 에폭시 수지를 사용할 경우 경화공정은 약 150℃에서 30분가량 진행된다. 이 접합 온도와 시간은 종래의 제조방법에 포함되는 절연층 경화 온도와 시간에 비해 훨씬 작다. 종래의 패키지 제조방법에 있어서 절연층의 경화 온도는 300℃ 내외이며 경화 시간은 한시간 정도이다.

웨이퍼(100)와 재배선 필름(130) 사이에 있는 중합체 물질(142)은 접착층과 절연층의 역할뿐만 아니라 열적 스트레스를 흡수·완화하는 완충층의 기능도 한다. 따라서, 종래의 제조방법이 안고 있던 여러가지 문제들 중에서 예를 들어 얇은 절연층으로 인한 높은 커패시턴스의 문제와 솔더 접합 내구수명의 저하 문제 등을 해소할 수 있다.

이와 같이 별도로 제조된 재배선 필름을 패키지 제조에 사용하는 것이 본 발명에 따른 웨이퍼 레벨 패키지 제조방법의 특징 중의 하나이다. 웨이퍼 크기에 준하는 재배선 필름을 별도로 제조하여 사용하기 때문에 종래의 제조방법이 안고 있던 여러가지 문제점들을 해소할 수 있다. 즉, 재배선 금속층과 절연층은 웨이퍼 위에 직접 형성되는 것이 아니기 때문에, 웨이퍼 회로소자들이 고온 공정의 영향을 받지 않을 뿐만 아니라, 절연층의 두께에 대한 제약을 덜 받고 커패시턴스를 낮출 수 있다.

웨이퍼 접착이 완료되면 재배선 필름(130)을 고정하고 있던 고정판(도 16의 140)을 제거한다(도 17 참조). 그리고 재배선 필름(130)의 관통구멍(136)에 채워진 중합체 물질(142)을 제거한다(도 18 참조). 관통구멍(136) 안의 중합체 물질을 제거함으로써 웨이퍼(100)에 형성된 금속 범프(110)들이 관통구멍(136)을 통하여 외부로 노출된다. 칩 패드(104)에 금속 범프(110)가 형성되지 않을 경우에는 금속 기저층(108)이 입혀진 칩 패드(104)가 노출될 때까지 중합체 물질(142)을 제거한다. 중합체 물질의 제거에는 공지의 습식 식각 방법을 사용한다.

중합체 물질이 제거된 관통구멍(136)에는, 도 19에 도시된 바와 같이, 솔더 접합부(144)를 형성한다. 관통구멍(136) 안에는 금속 범프(110)와 재배선 필름 (130)의 금속층(134)이 드러나 있기 때문에, 금속 범프(110)와 금속층(134)은 솔더(144)에 의하여 서로 접합되고 전기적으로 연결될 수 있다. 즉, 솔더 접합 (soldering)을 이룬다. 금속 범프가 없는 경우에는 칩 패드(104)와 금속층(134)이 솔더 접합된다.

관통구멍(136)에 솔더 접합부(144)를 형성하는 방법은 여러가지가 있을 수 있다. 예를 들면, 앞서 설명한 바 있는 '담금법'이 좋은 예이다. 도 19는 담금법에 의하여 형성된 솔더 접합부(144)를 보여주고 있다. 담금법은 웨이퍼(100)가 접착된 재배선 필름(130)을 도 8에 도시된 것과 같은 용융 솔더(114) 속에 집어 넣었다가 꺼내는 방법이다. 이 방법에 따라 용융 솔더는 금속 범프(110)와 금속층 (134)이 노출된 관통구멍(136) 내부를 채우고 솔더 접합부(144)를 형성한다. 한편, 용융 솔더는 재배선 필름(130)의 외부로 노출된 외부접속 패드(138)에도 묻는다(도 19의 146). 그러나 재배선 필름(130)의 다른 부분에는 묻지 않는다. 이는 용융 솔더의 젖음성 때문이다.

이와 같이 칩 패드(104)에 대응하는 재배선 필름(130)의 관통구멍(136)을 통하여 쉽게 솔더 접합을 구현할 수 있는 것이 본 발명의 또 다른 특징 중의 하나이다. 솔더 접합부(144)를 형성하는 또 한가지의 방법은 관통구멍(136)에 솔더 페이스트(solder paste)를 밀어 넣고 리플로우(reflow)하는 것이다. 이 방법은 뒤에 나오는 제2 실시예에서 설명할 것이다.

다음 단계로 넘어가기 전에 웨이퍼(100)의 두께를 얇게 하기 위하여 웨이퍼(100) 뒷면을 연마할 수도 있다(도 20 참조). 연마되어 제거된 부분이 도 20에 점선으로 표시되어 있다. 웨이퍼의 뒷면을 연마하는 공정(wafer back side grinding)은 이미 잘 알려진 기술이므로 설명을 생략한다.

다음 단계는 재배선 필름(130)의 외부접속 패드(138)에 외부접속 단자(148)를 형성하는 단계이다(도 21 참조). 외부접속 단자(148)로는 솔더 볼(solder ball)이 바람직하게 사용될 수 있으며, 다른 금속 범프들도 사용될 수 있다. 외부접속 패드(138)에 미리 입혀진 솔더층(146)이 외부접속 단자(148)의 형성을 도와주며, 니켈(Ni), 구리(Cu), 금(Au)과 같은 다른 금속 기저층이 솔더층(146)을 대신할 수도 있다. 한편, 솔더 접합부(144) 위에 액상 중합체를 떨어뜨려 보호층(150)을 형성할 수도 있다.

본 실시예에 의한 칩 스케일 패키지의 마지막 제조 단계는 웨이퍼의 분할영역(도 1 - 3의 14)을 따라 웨이퍼를 절단하는 단계이다. 웨이퍼 절단에 의하여 얻어진 개별 패키지(160)들이 도 22에 도시되어 있다. 패키지(160)의 칩 패드(104)는 금속 기저층(108)과 솔더 접합부(144)를 거쳐 재배선 필름(130)의 금속층(134)과 전기적으로 연결되며, 다시 외부접속 패드(138)와 솔더층(146)을 거쳐 최종적으로 외부접속 단자(148)에 전기적으로 연결된다.

이상 설명한 제1 실시예와 달리, 본 발명의 제2 실시예는 재배선 필름에 웨이퍼로부터 분리된 개별 칩들을 접착한다. 이렇게 함으로써 종래 제조방법의 문제점들 중 몇가지를 더 해결할 수 있다. 예를 들어, 웨이퍼 상태에서 불량으로 판정된 칩에 대해서 패키지 제조공정을 진행하지 않아도 된다. 특히, 개발 초기의 회로소자와 같이 불량율이 높은 소자의 경우, 이와 같은 제조방법을 채택하면 제조단가의 불필요한 상승을 막을 수 있는 이점이 있다.

이하, 본 발명의 두번째 실시예에 대하여 도 23 내지 도 28을 참조하여 설명하고자 한다.

도 23은 재배선 필름(130)에 중합체 물질(170)을 인가하는 단계를, 도 24는 웨이퍼에서 분리된 낱개의 칩(180)들을 재배선 필름(130)에 접착하는 단계를 도시하고 있다. 재배선 필름(130)은 앞서 설명한 제1 실시예의 경우와 동일한 것이다. 따라서, 재배선 금속층(134), 외부접속 패드(138), 관통구멍(136) 등을 구비하고 있다. 또한 개별 칩(180)은 제1 실시예에서 사용된 웨이퍼와 동일한 웨이퍼로부터 분리된 것이다. 따라서, 칩 패드(104)에 금속 기저층(108)과 금속 범프(110)가 더 형성될 수 있다.

본 실시예에 따르면, 재배선 필름(130)에 개별 칩(180)들이 접착된다. 제1 실시예와 같이 재배선 필름(130)의 한가운데에 중합체 물질을 인가한 후 개별 칩들을 접착할 수도 있으나, 도 23과 24에 도시된 바와 같이 각각의 칩(180)들이 접착될 자리에 따로 중합체 물질(170)을 인가하여 접착할 수도 있다. 이후 중합체 물질(170)을 경화하여 재배선 필름(130)과 칩(180)들간의 물리적 접착을 완료한다. 칩 패드(104)에 형성된 금속 범프(110)는 재배선 필름(130)의 관통구멍(136) 안에 위치한다.

칩 접착이 완료되면, 재배선 필름(130)의 관통구멍(136)에 채워진 중합체 물질(170)을 제거한다(도 25 참조). 따라서, 각각의 칩(180)에 형성된 금속 범프(110)들이 관통구멍(136)을 통하여 외부로 노출된다. 금속 범프(110)가 없는 경우, 금속 기저층(108)이 입혀진 칩 패드(104)가 노출된다.

중합체 물질이 제거된 관통구멍(136)에는 솔더 접합부(190)가 형성된다(도 26 참조). 솔더 접합부(190)는 관통구멍(136) 안에 솔더 페이스트(solder paste)를 밀어 넣고 리플로우(reflow)함으로써 형성된다. 솔더 페이스트는 잘 알려져 있다시피 솔더 가루(solder powder)들이 유기물 매개체 안에 분산되어 있는 것을 말하며, 리플로우에 의해 유기물 매개체를 제거함으로써 솔더 접합부(190)를 형성할 수 있다. 솔더 접합부(190)가 금속 범프(110)와 금속층(134) 또는 칩 패드(104)와 금속층(134)을 전기적으로 연결한다는 것은 앞서 언급한 바 있다.

이어서, 개별 칩(180)의 뒷면 가공 공정과 외부접속 단자(148)의 형성 공정을 진행하고(도 27 참조), 각각의 개별 칩(180)에 대응하여 재배선 필름(130)을 절단한다(도 28 참조). 따라서, 완성된 개별 패키지(200)들이 얻어지게 된다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 칩 스케일 패키지의 제조 방법은 기존의 제조방법이 안고 있는 여러가지 문제점들을 해결하는 동시에, 웨이퍼 레벨 칩 스케일 패키지가 가지고 있는 장점을 그대로 살릴 수 있다.

몇가지 예를 들어 보면, 우선 별도로 제조된 웨이퍼만한 크기의 재배선 필름을 사용하기 때문에 웨이퍼 위에서 직접 진행하는 공정수를 줄이면서 웨이퍼 레벨 패키지를 제조할 수 있게 된다. 따라서, 웨이퍼에 형성된 회로소자들에 미치는 영향이 그만큼 감소하며 신뢰성이 향상된다.

또한, 재배선 필름과 웨이퍼(또는 칩) 사이에 중합체 물질이 개재되기 때문에 그만큼 절연층이 확보되고 열적 스트레스를 흡수·완화할 수 있다. 따라서, 커패시턴스가 감소하며 솔더 접합의 내구수명이 늘어난다. 더욱이, 재배선 필름에 형성된 관통구멍에 솔더를 인가함으로써 칩 패드와 재배선 금속층간의 전기적 연결을 쉽게 구현할 수 있다는 장점도 있다.

아울러, 본 발명의 제조방법에 따르면 재배선 필름에 웨이퍼뿐만 아니라 웨이퍼로부터 분리된 개별 칩들을 접착할 수 있다. 따라서, 웨이퍼 상태에서 불량으로 판정된 칩은 패키지 제조공정에서 제외시킬 수 있으며, 불필요한 제조단가의 상승을 방지할 수 있다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 독자의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게는 자명한 것이다. 본 발명의 범위는 다음의 특허청구범위에 나타난다.

(57) 청구의 범위

청구항 1.

(a) 웨이퍼 기판에 형성된 다수의 칩 패드들과, 상기 칩 패드들을 제외한 상기 웨이퍼 기판의 상부면을 덮고 있는 비활성막을 포함하며, 분할영역에 의하여 서로 구분되는 다수의 집적회로 칩들이 형성된 웨이퍼를 제공하는 단계;

(b) 절연 필름의 내부에 형성된 재배선 금속층과, 상기 재배선 금속층과 연결되어 상기 절연 필름의 제 1 면으로 노출된 다수의 외부접속 패드와, 상기 절연 필름을 관통하는 다수의 관통구멍을 포함하며, 상기 관통구멍에 상기 재배선 금속층의 일부가 노출되는 재배선 필름을 제공하는 단계;

(c) 상기 재배선 필름의 제 2 면에 중합체 물질을 인가하고, 상기 웨이퍼의 칩 패드들이 각각 상기 재배선 필름의 관통구멍과 일치하도록 상기 웨이퍼를 상기 재배선 필름에 물리적으로 접착하는 단계;

(d) 상기 웨이퍼의 칩 패드들이 각각 상기 재배선 필름의 관통구멍을 통하여 외부로 드러나도록 상기 관통구멍에 채워진 상기 중합체 물질을 제거하는 단계;

(e) 상기 웨이퍼의 칩 패드들과 상기 재배선 필름의 재배선 금속층이 전기적으로 연결되도록 상기 재배선 필름의 관통구멍에 솔더 접합부를 형성하는 단계;

(f) 상기 재배선 필름의 외부접속 패드에 각각 외부접속 단자를 형성하여 전기적으로 연결하는 단계;

(g) 상기 웨이퍼의 분할영역을 따라 상기 웨이퍼를 절단하여 개별 패키지로 분리하는 단계를 포함하는 칩 스케일 패키지의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 (a) 단계는 상기 칩 패드에 각각 금속 범프를 형성하는 단계를 더 포함하며, 상기 (d) 단계에서 상기 재배선 필름의 관통구멍을 통하여 상기 금속 범프가 외부로 드러나고, 상기 (e) 단계에서 상기 금속 범프와 상기 재배선 금속층이 전기적으로 연결되는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 (e) 단계의 솔더 접합부 형성 단계는 상기 웨이퍼가 접착된 상기 재배선 필름을 용융 솔더 속에 집어 넣어 상기 용융 솔더가 상기 재배선 필름의 관통구멍에 채워지도록 하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 4.

제 1 항 또는 제 2 항에 있어서, 상기 (e) 단계의 솔더 접합부 형성 단계는 솔더 페이스트를 상기 재배선 필름의 관통구멍에 밀어 넣고 리플로우하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 5.

제 1 항 또는 제 2 항에 있어서, 상기 (a) 단계는 상기 각각의 칩 패드에 금속 기저층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 6.

제 2 항에 있어서, 상기 금속 범프의 형성 단계는 상기 웨이퍼를 용융 솔더 속에 집어 넣어 상기 용융 솔더가 상기 칩 패드에 달라붙도록 하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 7.

제 2 항에 있어서, 상기 금속 범프의 형성 단계는 용융 솔더가 담긴 분사기를 사용하여 상기 칩 패드에 상기 용융 솔더를 떨어뜨리는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 8.

제 2 항에 있어서, 상기 금속 범프의 형성 단계는 상기 칩 패드에 금속 와이어를 본딩한 후 상기 금속 와이어를 절단하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 9.

제 1 항 또는 제 2 항에 있어서, 상기 (c) 단계 전에 고정판으로 상기 재배선 필름을 고정하고, 상기 (c) 단계의 웨이퍼 접착이 완료된 후 상기 고정판을 제거하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 10.

제 1 항 또는 제 2 항에 있어서, 상기 웨이퍼의 뒷면을 연마하여 상기 웨이퍼의 두께를 얇게 하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 11.

(a) 웨이퍼 기판에 형성된 다수의 칩 패드들과, 상기 칩 패드들을 제외한 상기 웨이퍼 기판의 상부면을 덮고 있는 비활성막으로 이루어진 다수의 집적회로 칩들을 포함하는 웨이퍼를, 상기 집적회로 칩들을 구분하는 분할영역을 따라 절단하여 각각의 개별 칩으로 분리하는 단계;

(b) 절연 필름의 내부에 형성된 재배선 금속층과, 상기 재배선 금속층과 연결되어 상기 절연 필름의 제 1 면으로 노출된 다수의 외부접속 패드와, 상기 절연 필름을 관통하는 다수의 관통구멍을 포함하며, 상기 관통구멍에 상기 재배선 금속층의 일부가 노출되는 재배선 필름을 제공하는 단계;

(c) 상기 재배선 필름의 제 2 면에 중합체 물질을 인가하고, 상기 개별 칩의 칩 패드들이 각각 상기 재배선 필름의 관통구멍과 일치하도록 상기 각각의 개별 칩을 상기 재배선 필름에 물리적으로 접착하는 단계;

(d) 상기 개별 칩의 칩 패드들이 각각 상기 재배선 필름의 관통구멍을 통하여 외부로 드러나도록 상기 관통구멍에 채워진 상기 중합체 물질을 제거하는 단계;

(e) 상기 개별 칩의 칩 패드들과 상기 재배선 필름의 재배선 금속층이 전기적으로 연결되도록 상기 재배선 필름의 관통구멍에 솔더 접합부를 형성하는 단계;

(f) 상기 재배선 필름의 외부접속 패드에 각각 외부접속 단자를 형성하여 전기적으로 연결하는 단계;

(g) 상기 각각의 개별 칩에 대응하여 상기 재배선 필름을 절단하여 개별 패키지로 분리하는 단계를 포함하는 칩 스케일 패키지의 제조방법.

청구항 12.

제 11 항에 있어서, 상기 (a) 단계는 상기 칩 패드에 각각 금속 범프를 형성하는 단계를 더 포함하며, 상기 (d) 단계에서 상기 재배선 필름의 관통구멍을 통하여 상기 금속 범프가 외부로 드러나고, 상기 (e) 단계에서 상기 금속 범프와 상기 재배선 금속층이 전기적으로 연결되는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 13.

제 11 항 또는 제 12 항에 있어서, 상기 (e) 단계의 솔더 접합부 형성 단계는 상기 개별 칩들이 접착된 상기 재배선 필름을 용융 솔더 속에 집어 넣어 상기 용융 솔더가 상기 재배선 필름의 관통구멍에 채워지도록 하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 14.

제 11 항 또는 제 12 항에 있어서, 상기 (e) 단계의 솔더 접합부 형성 단계는 솔더 페이스트를 상기 재배선 필름의 관통구멍에 밀어 넣고 리플로우하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 15.

제 11 항 또는 제 12 항에 있어서, 상기 (a) 단계는 상기 각각의 칩 패드에 금속 기저층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 16.

제 12 항에 있어서, 상기 금속 범프의 형성 단계는 상기 개별 칩들을 용융 솔더 속에 집어 넣어 상기 용융 솔더가 상기 칩 패드에 달라붙도록 하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 17.

제 12 항에 있어서, 상기 금속 범프의 형성 단계는 용융 솔더가 담긴 분사기를 사용하여 상기 칩 패드에 상기 용융 솔더를 떨어뜨리는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 18.

제 12 항에 있어서, 상기 금속 범프의 형성 단계는 상기 칩 패드에 금속 와이어를 본딩한 후 상기 금속 와이어를 절단하는 방법에 의하여 이루어지는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 19.

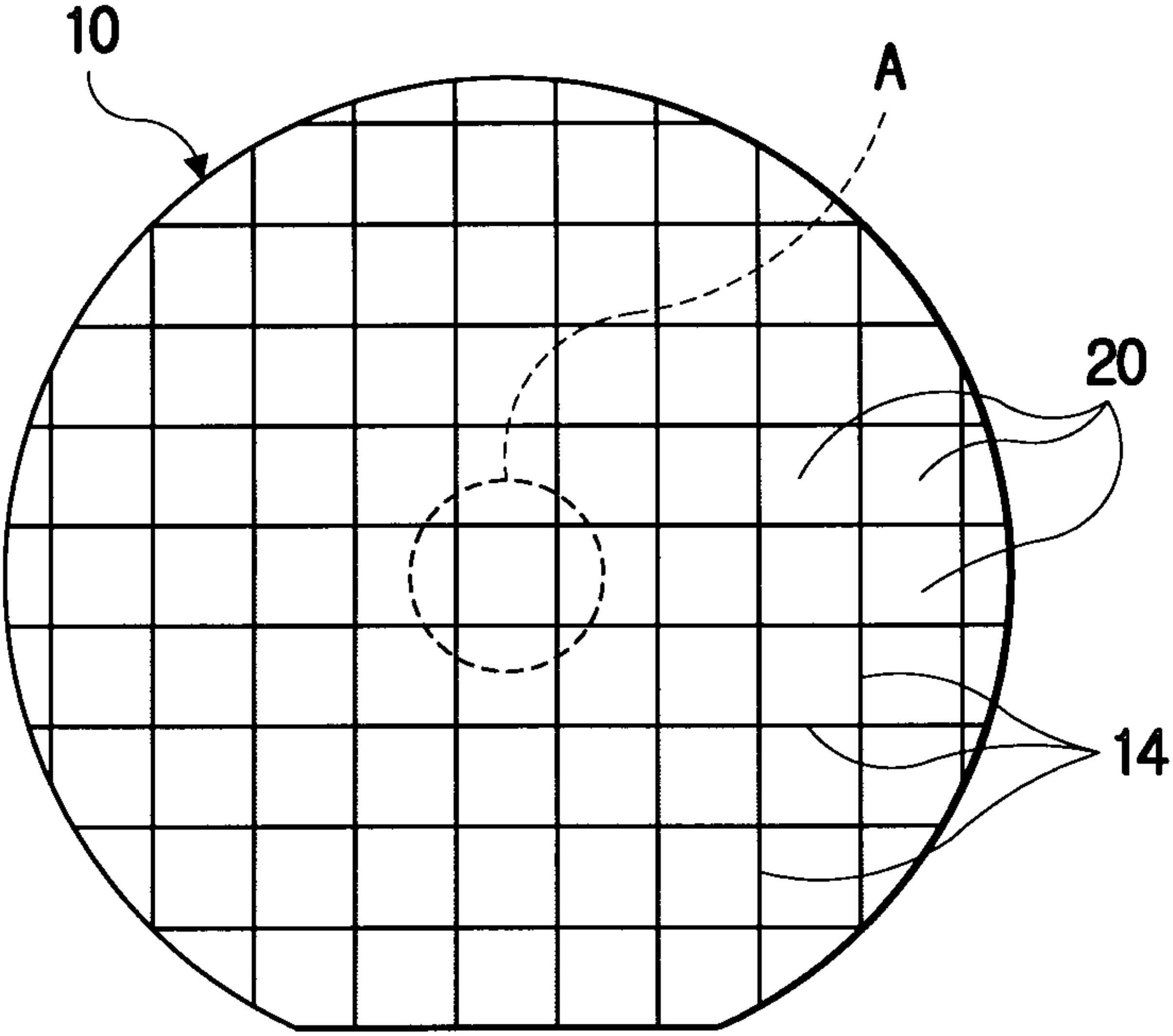
제 11 항 또는 제 12 항에 있어서, 상기 (c) 단계 전에 고정판으로 상기 재배선 필름을 고정하고, 상기 (c) 단계의 개별 칩 접착이 완료된 후 상기 고정판을 제거하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

청구항 20.

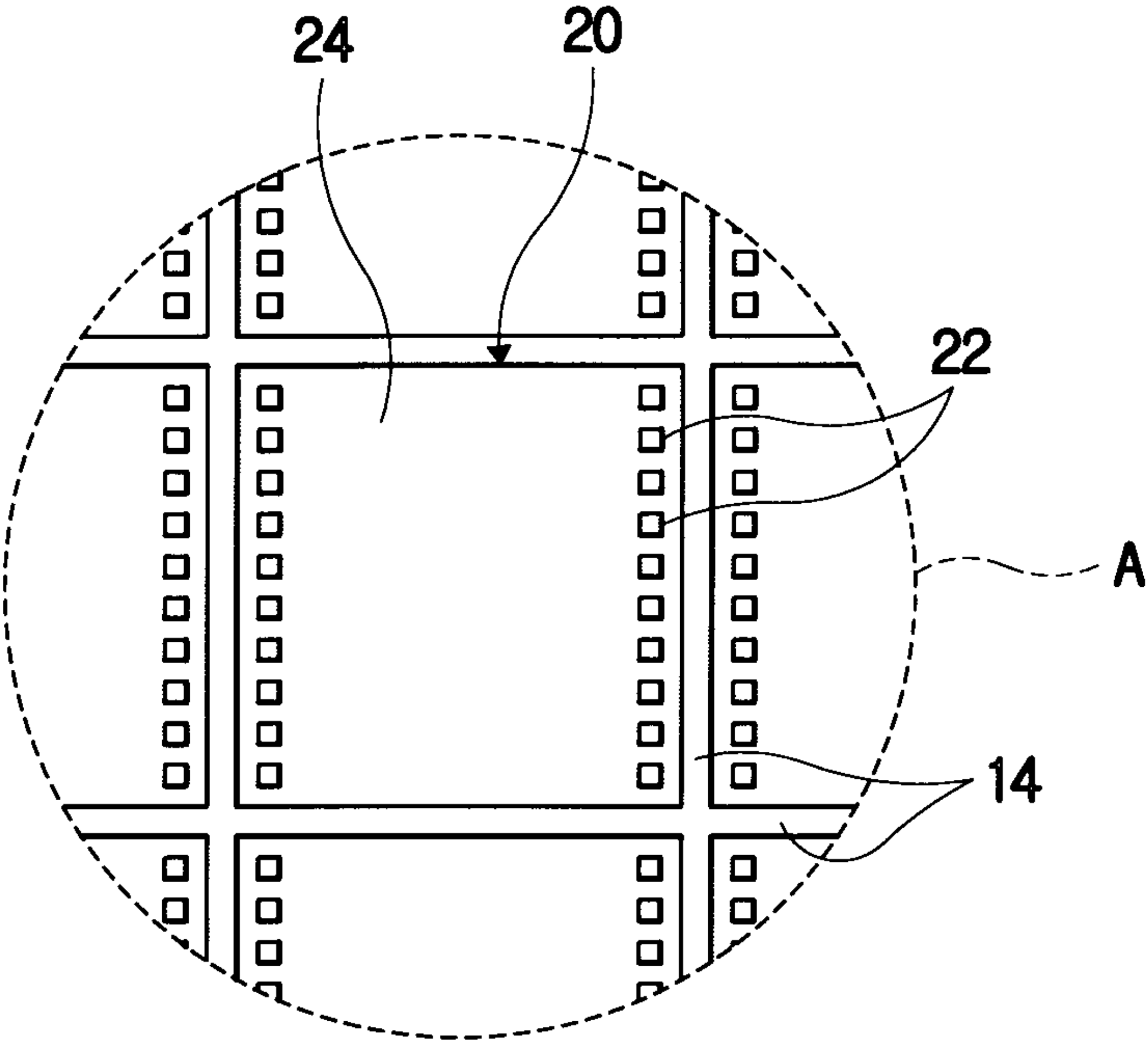
제 11 항 또는 제 12 항에 있어서, 상기 개별 칩의 뒷면을 연마하여 상기 칩의 두께를 얇게 하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조방법.

도면

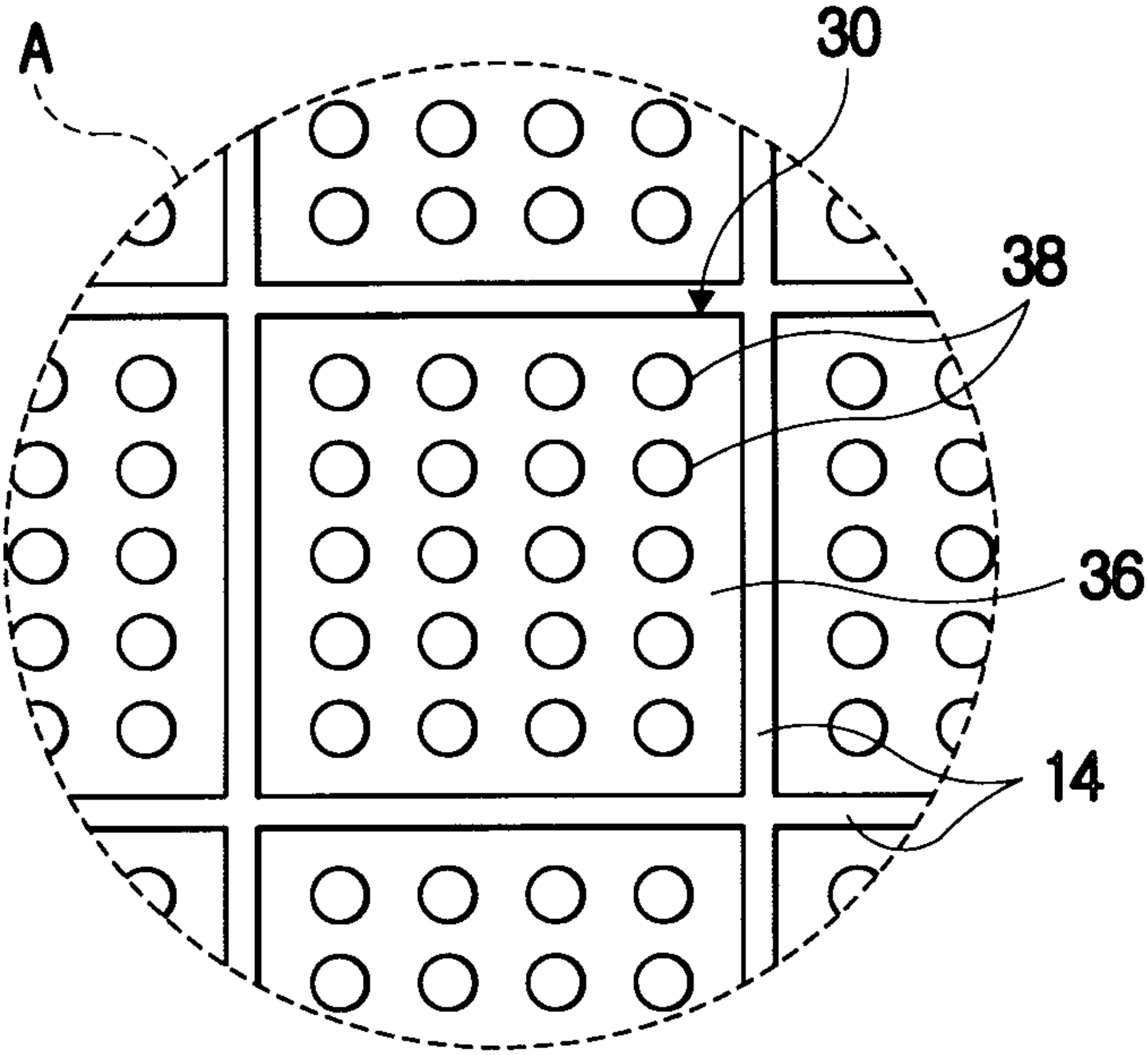
도면 1



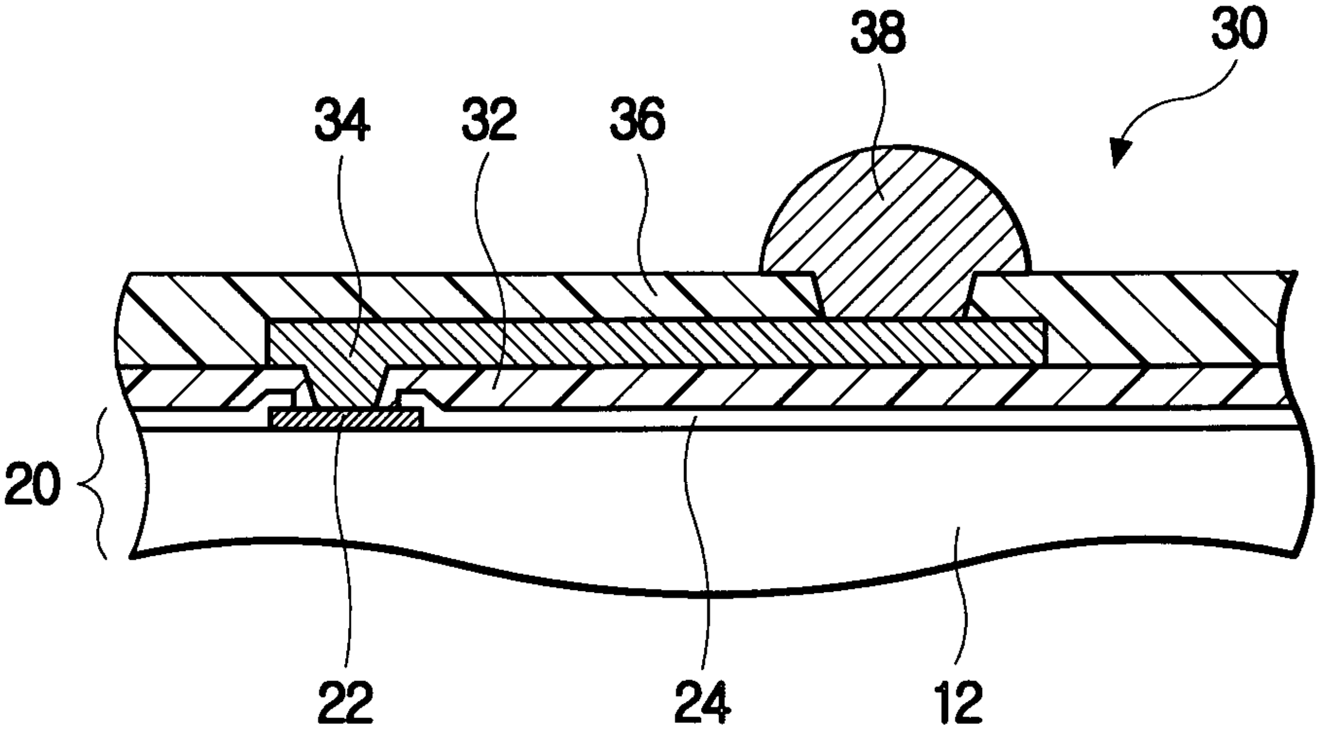
도면 2



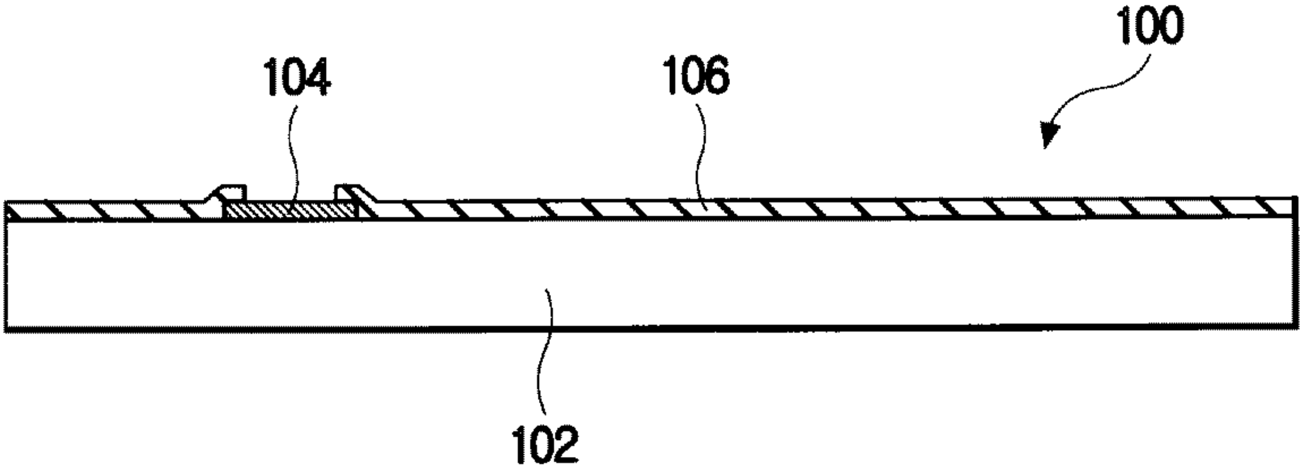
도면 3



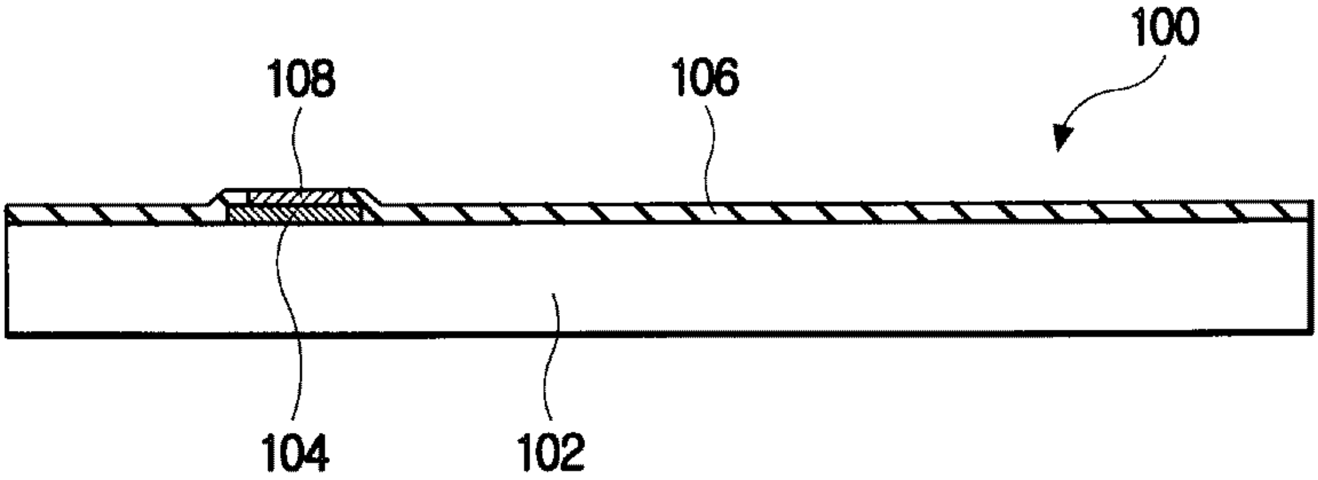
도면 4



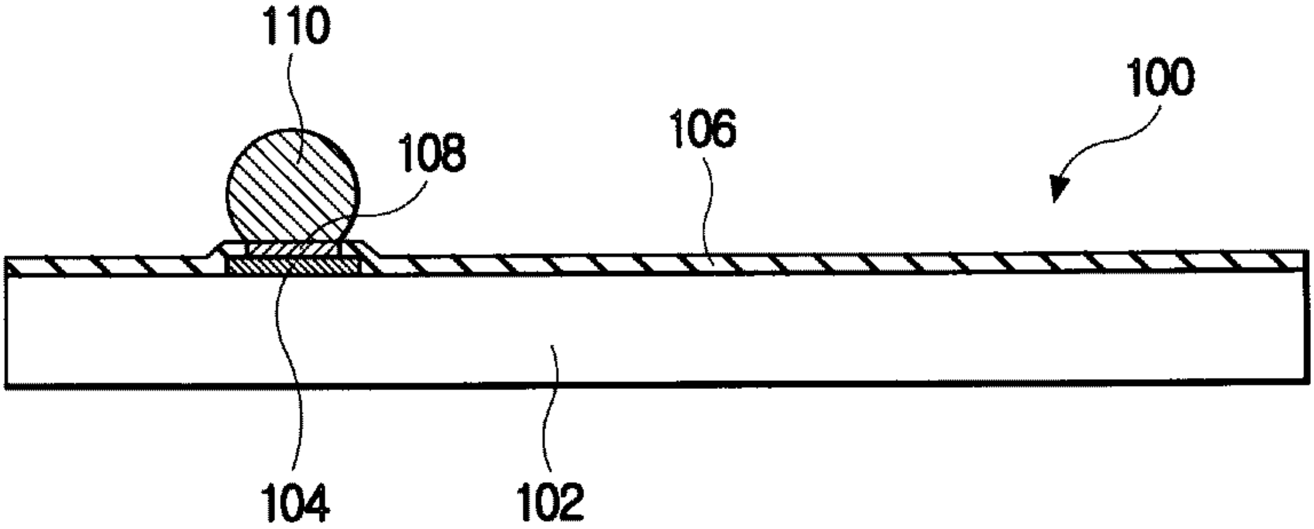
도면 5



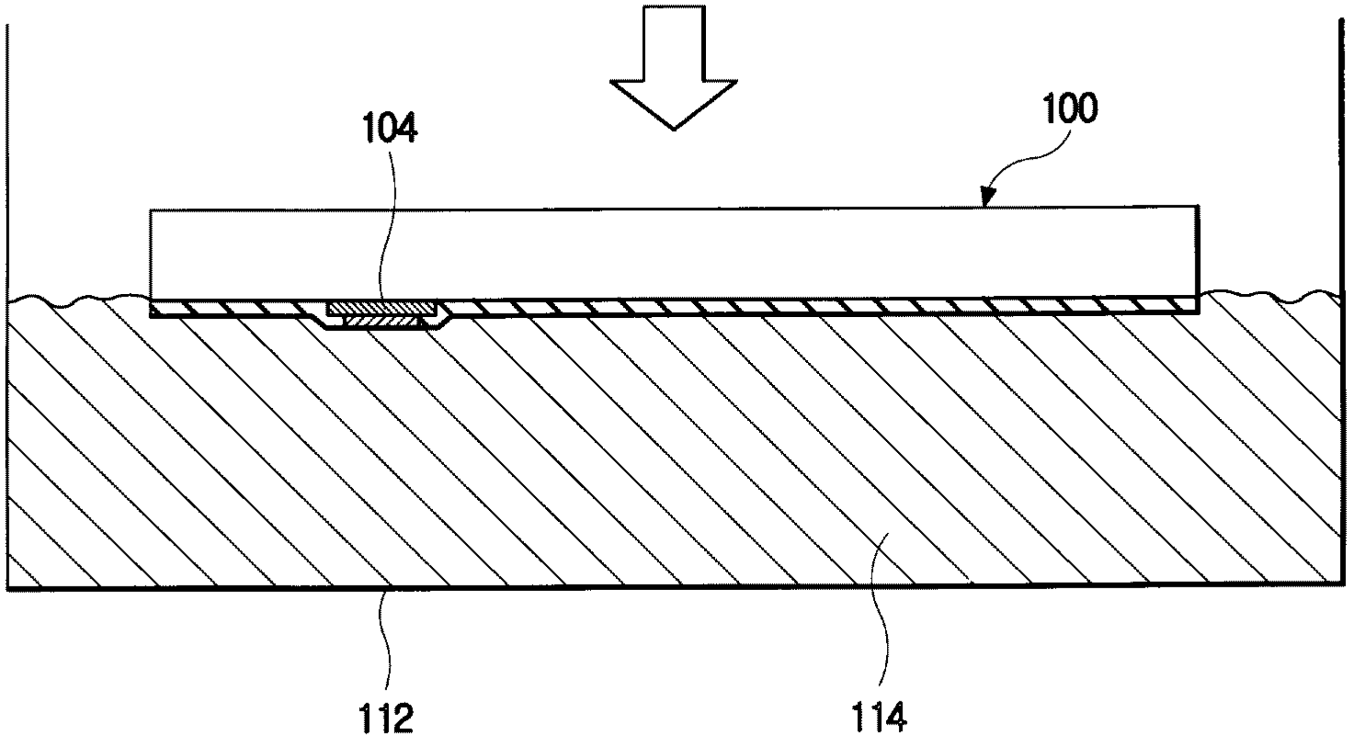
도면 6



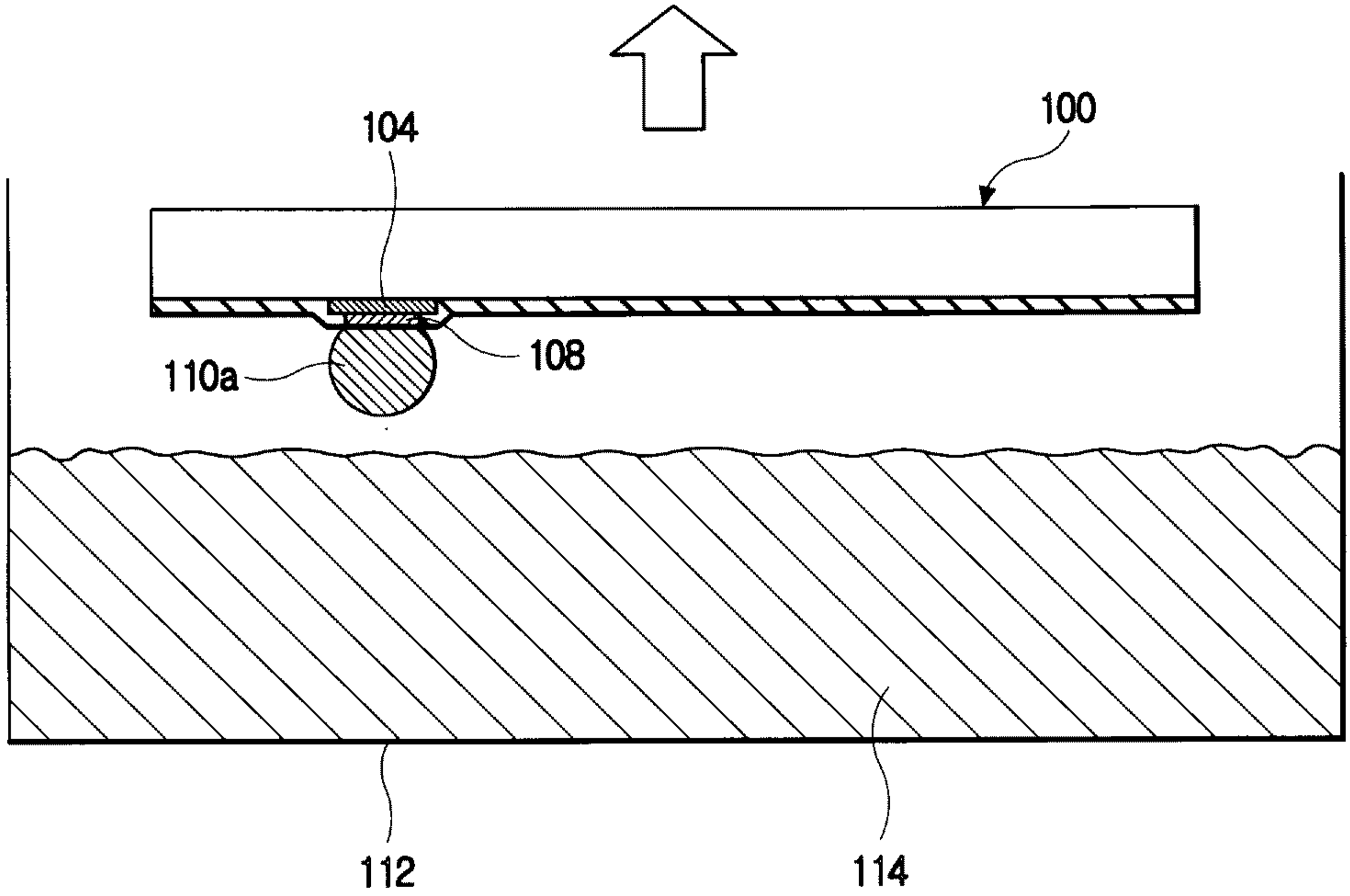
도면 7



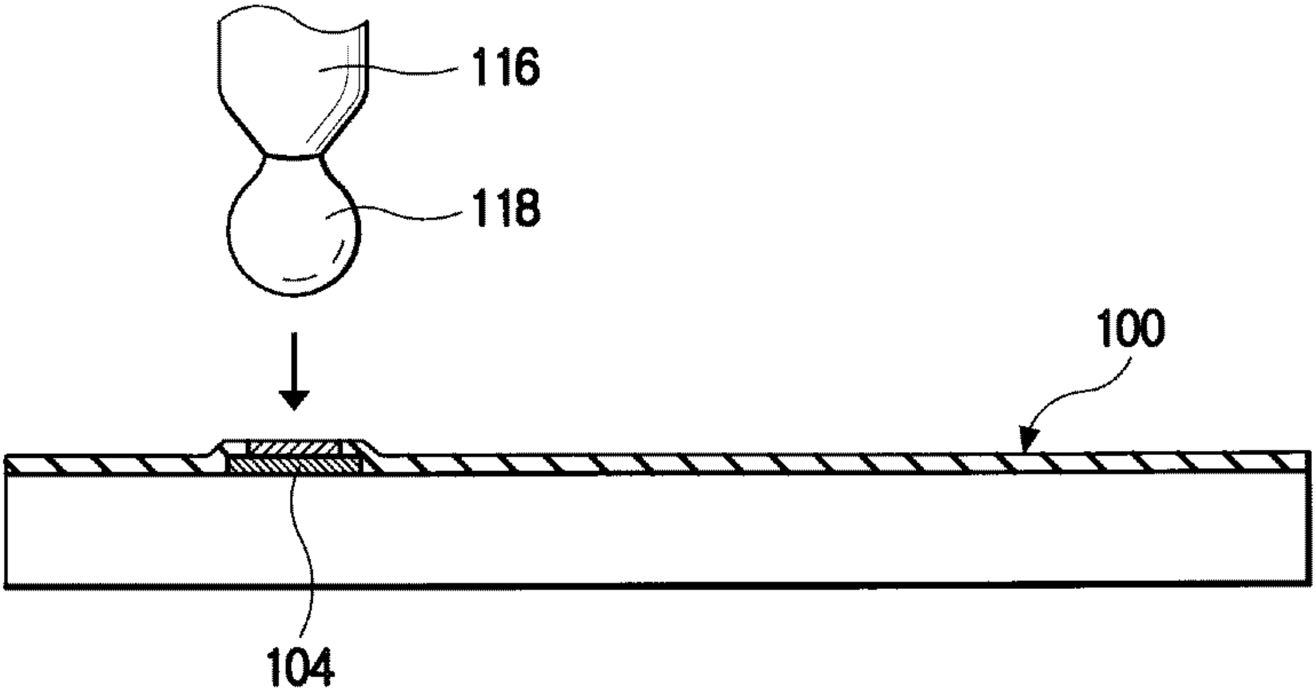
도면 8



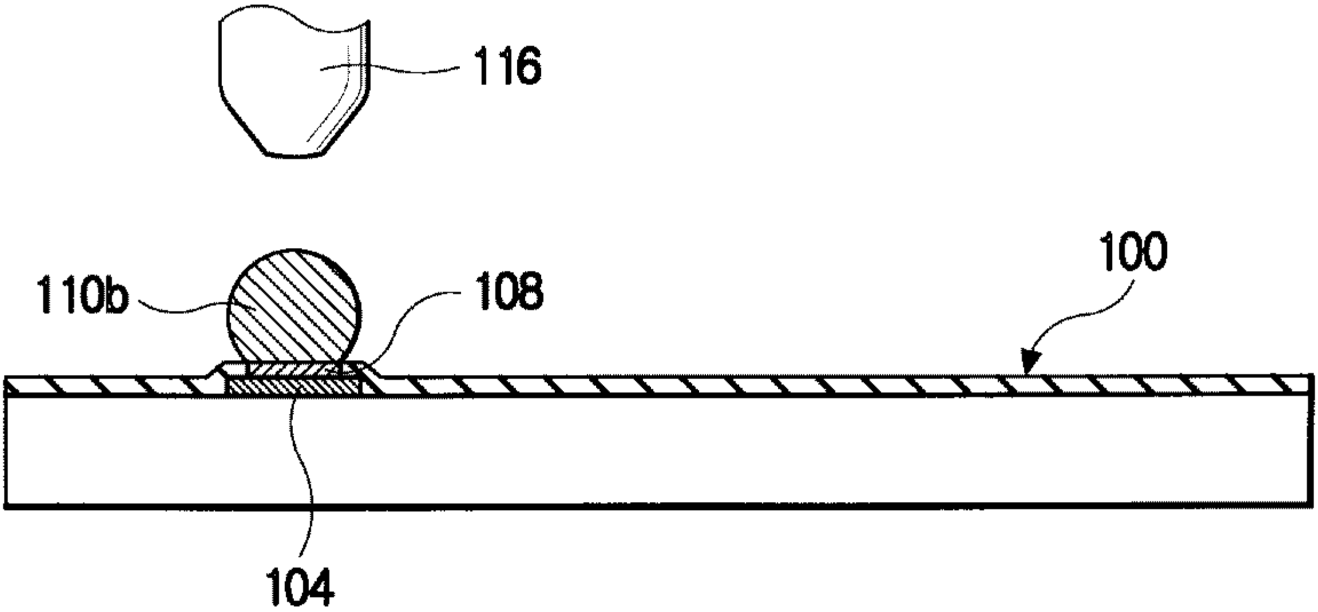
도면 9



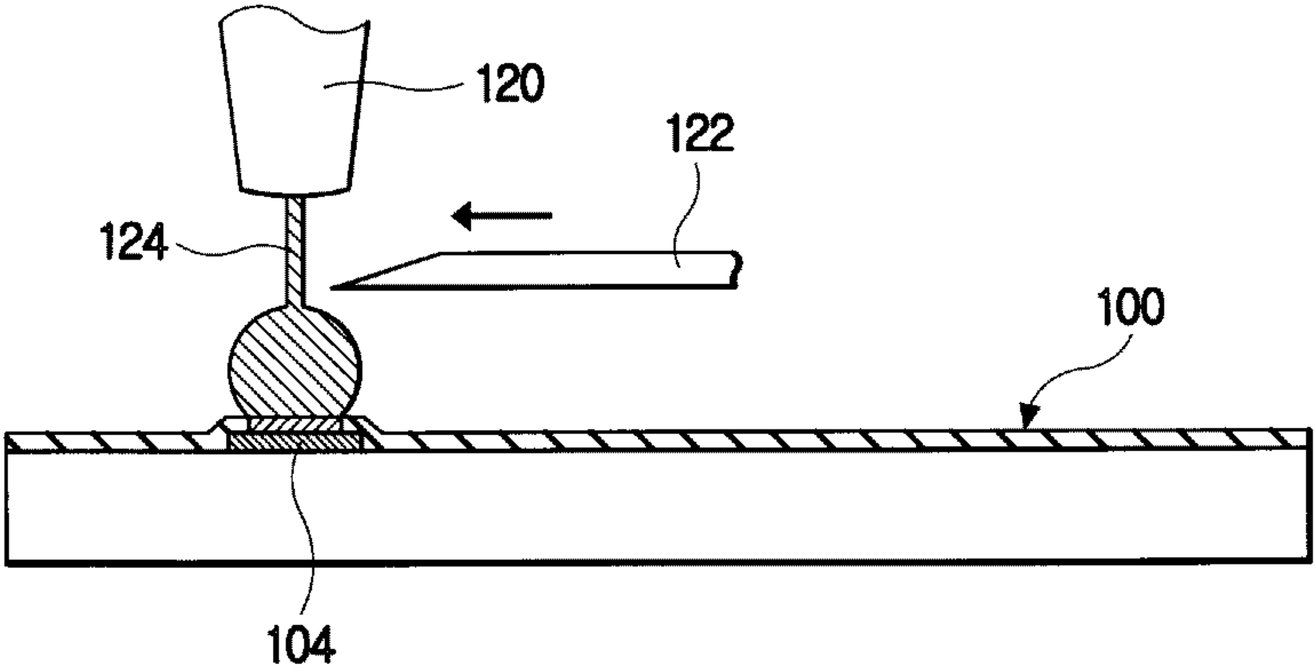
도면 10



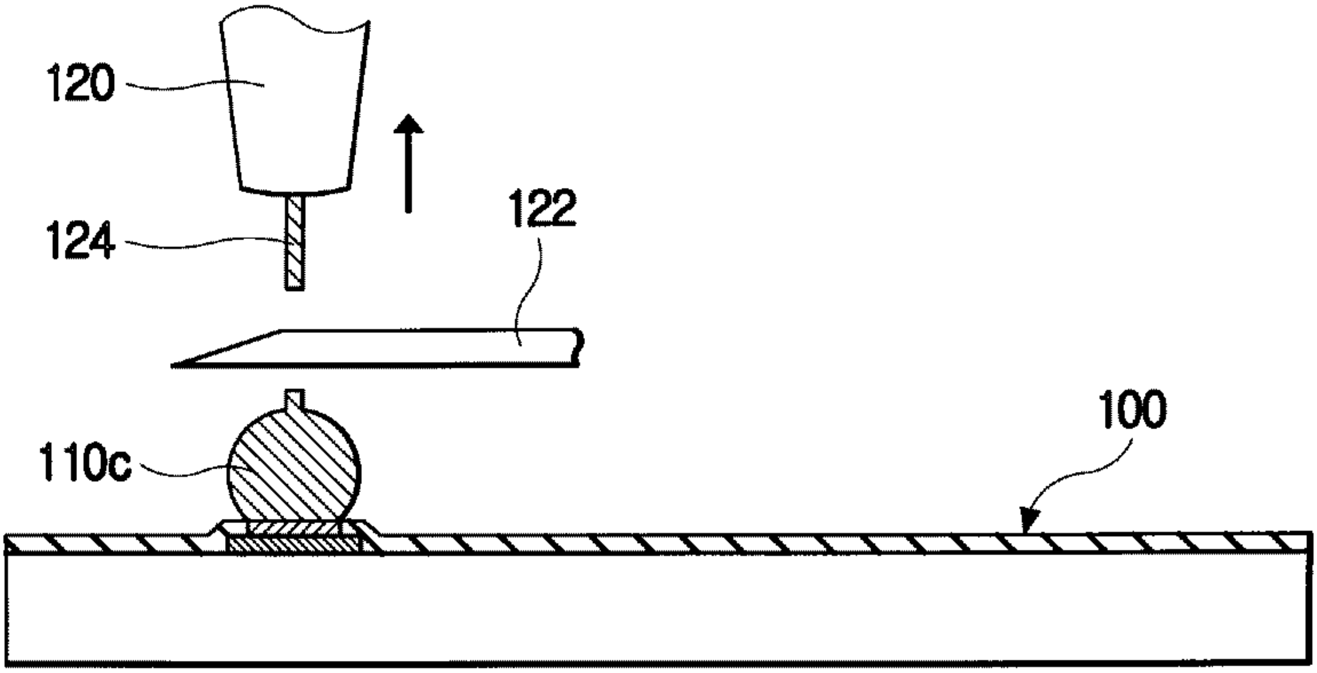
도면 11



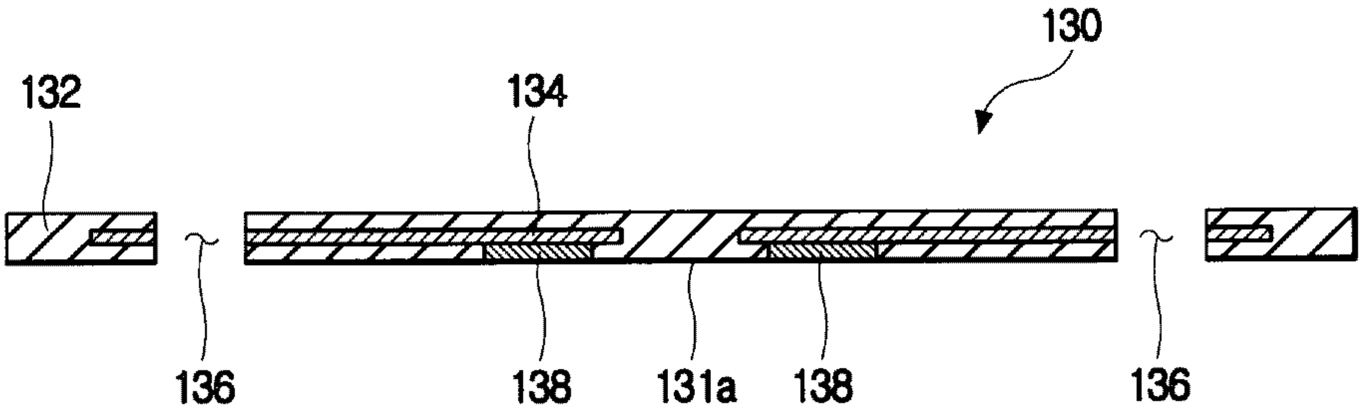
도면 12



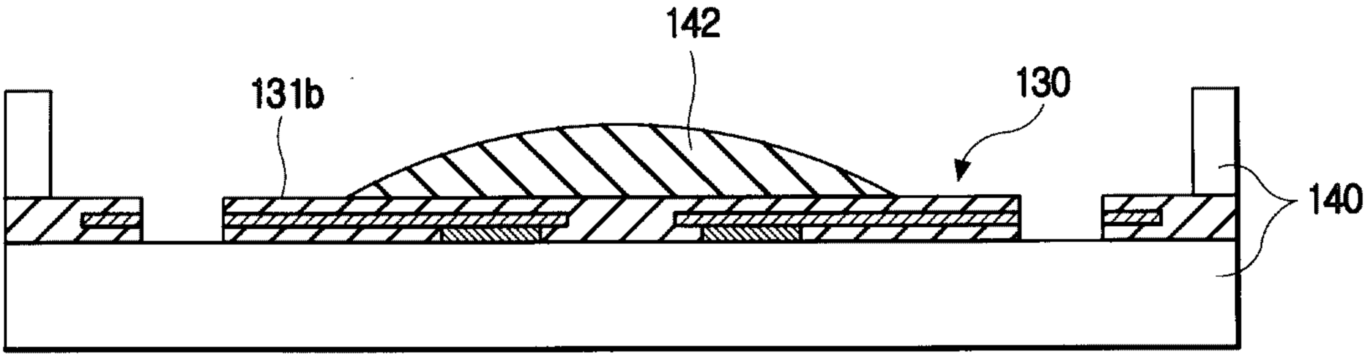
도면 13



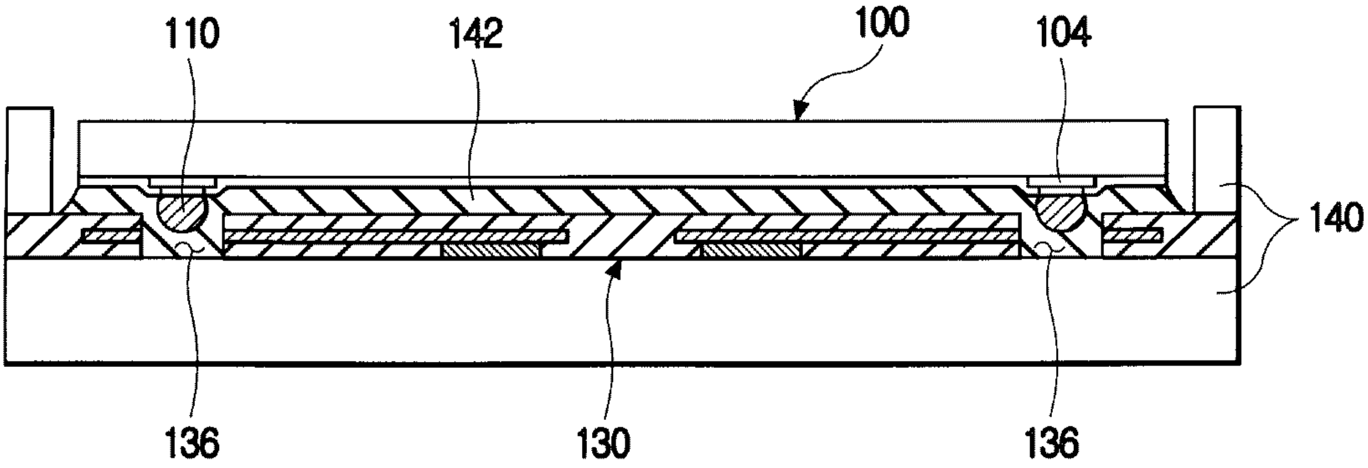
도면 14



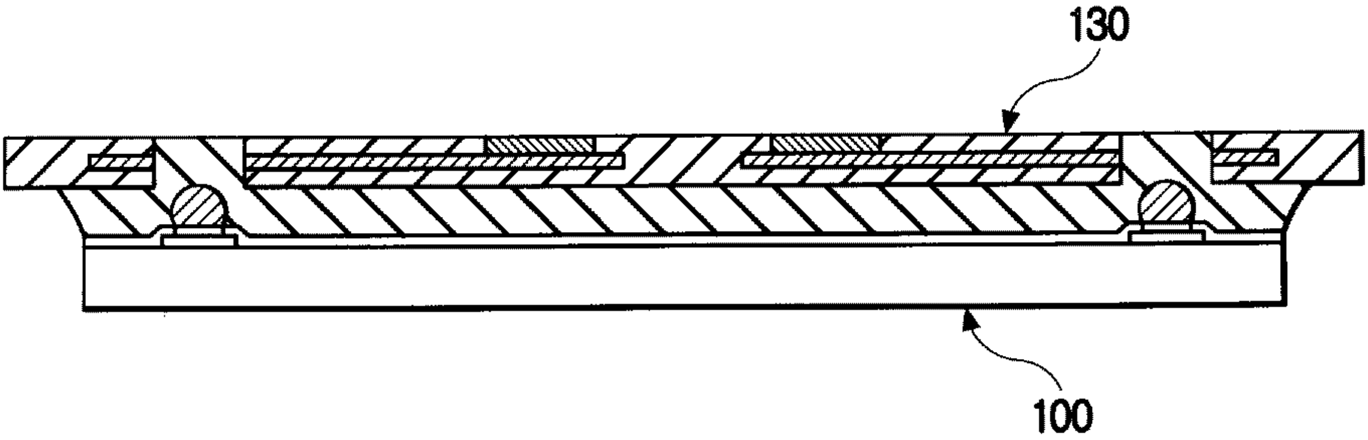
도면 15



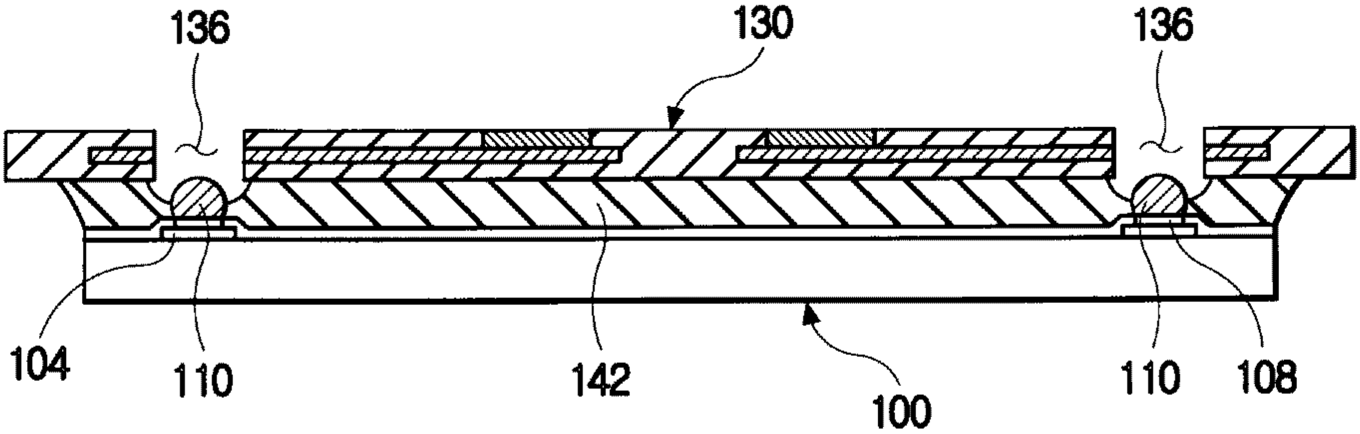
도면 16



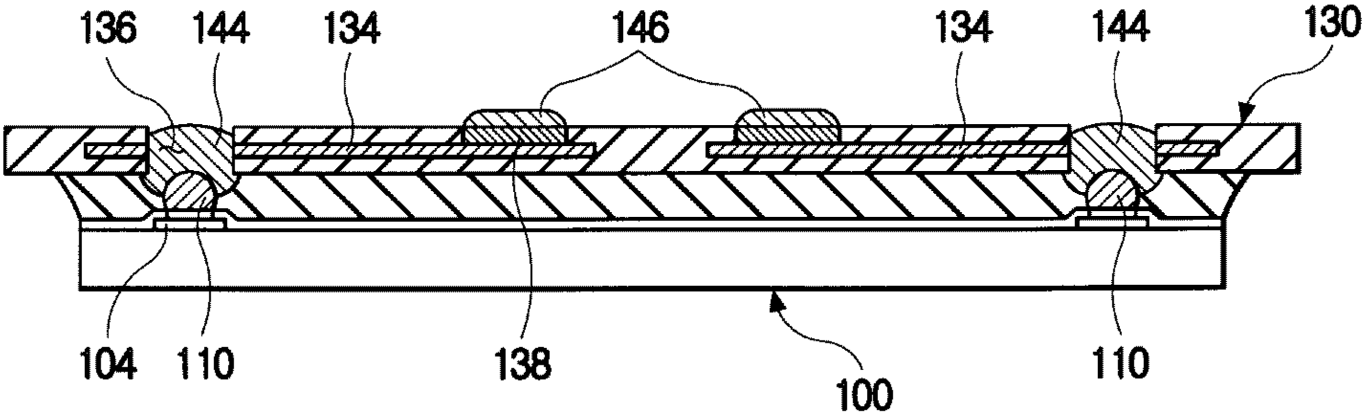
도면 17



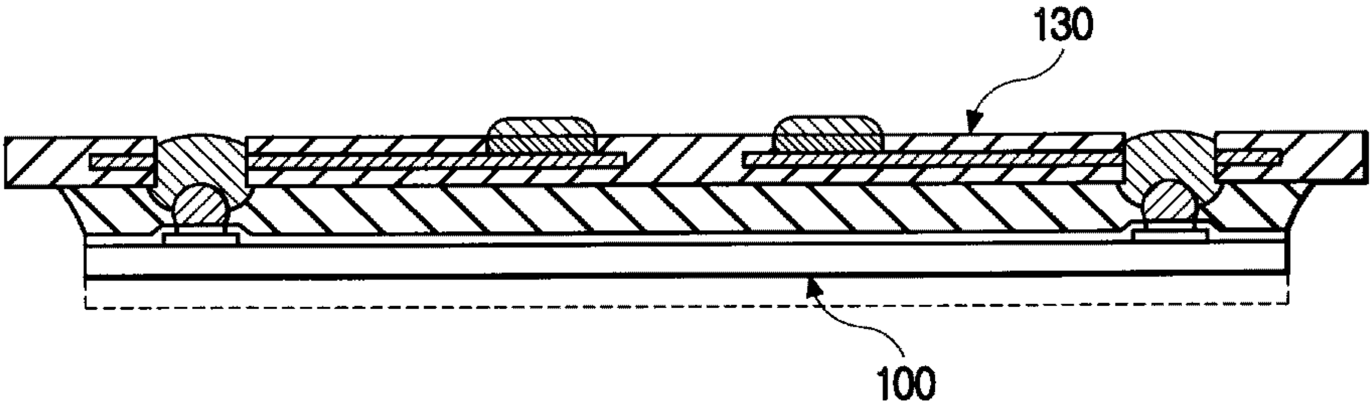
도면 18



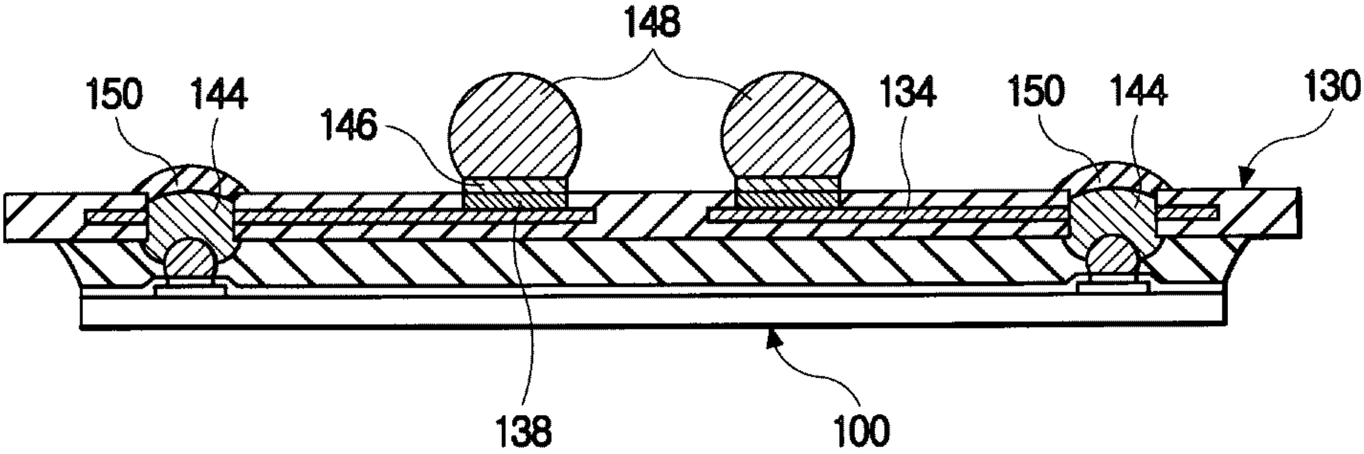
도면 19



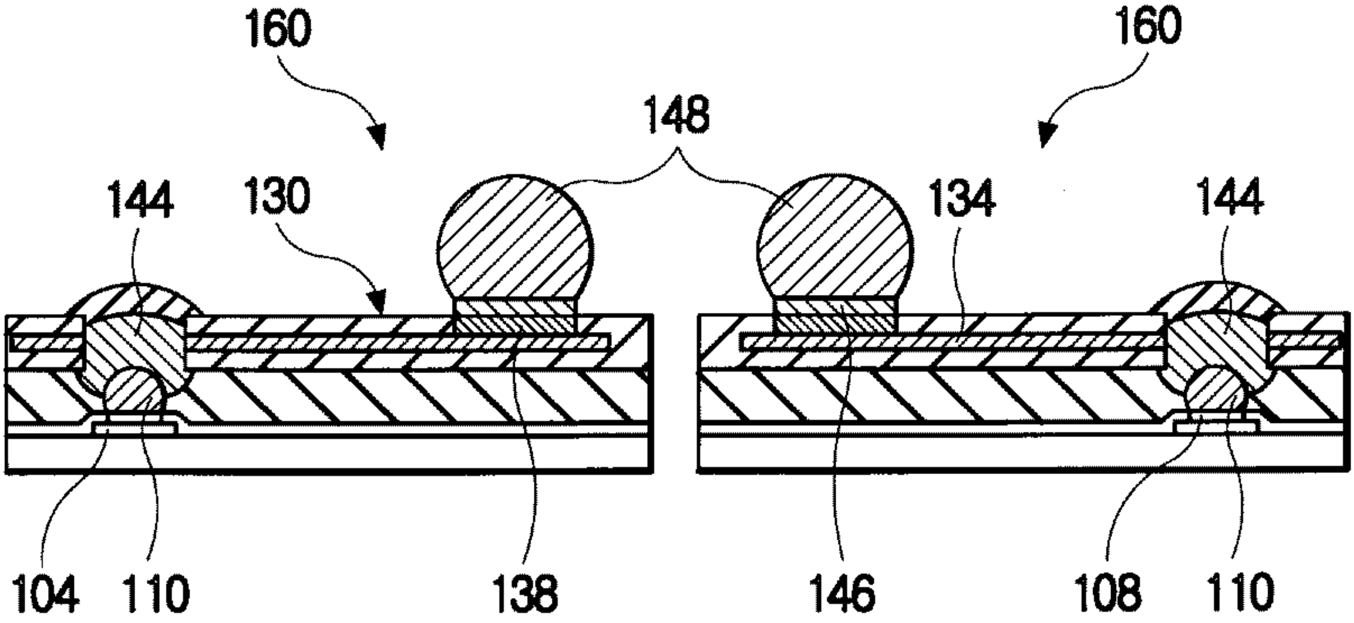
도면 20



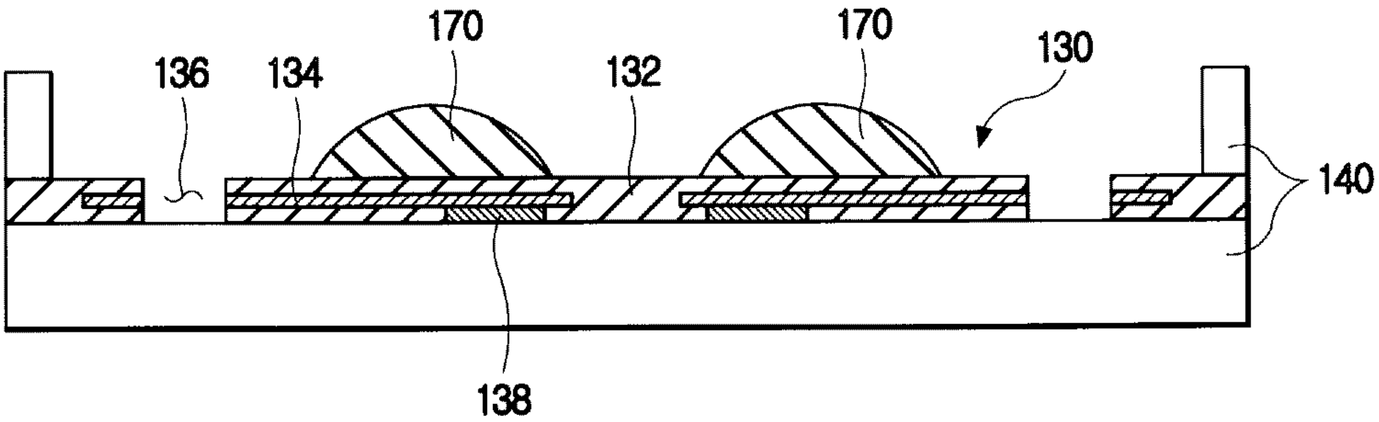
도면 21



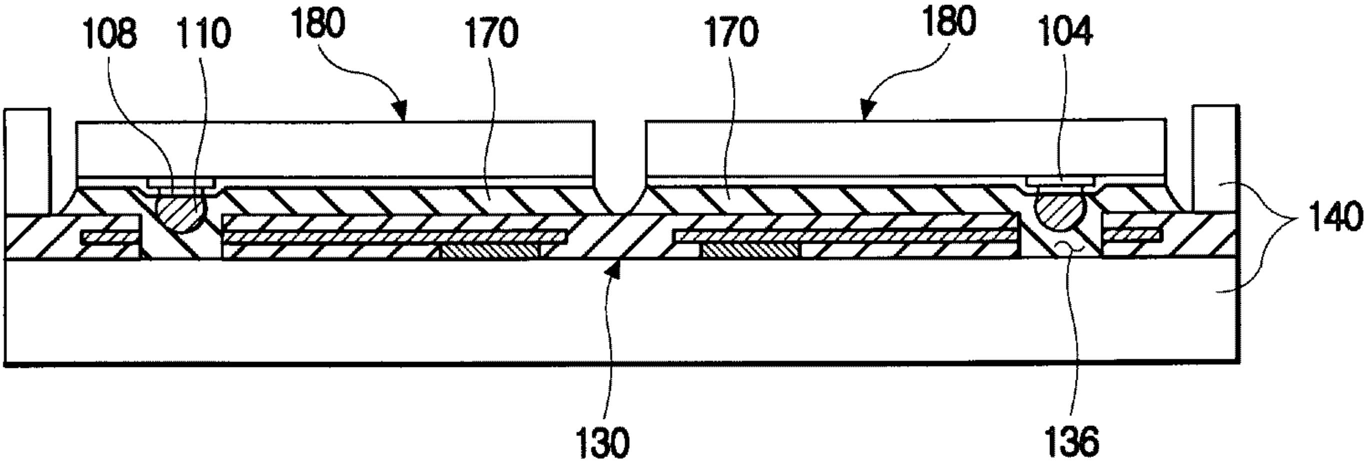
도면 22



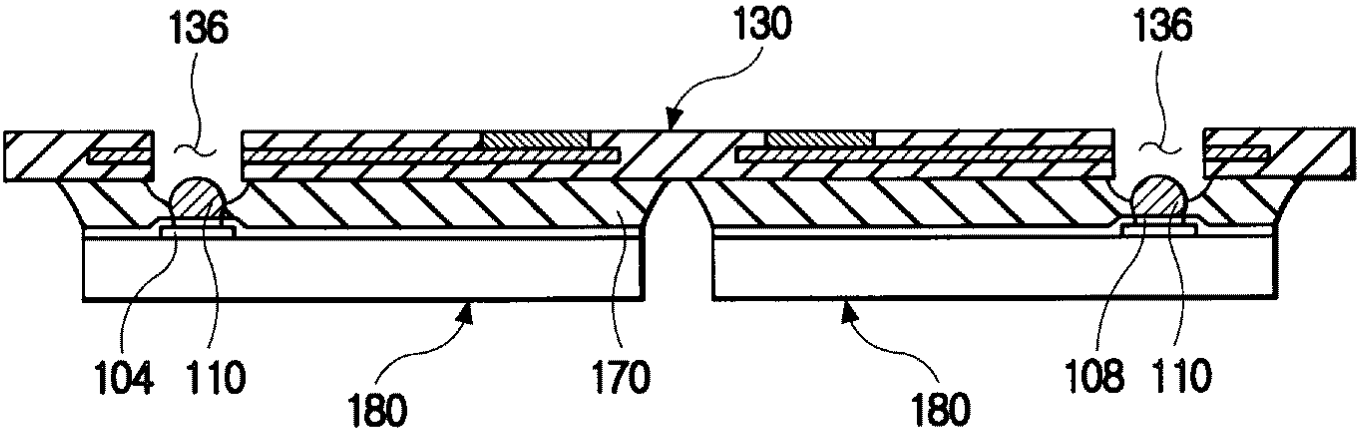
도면 23



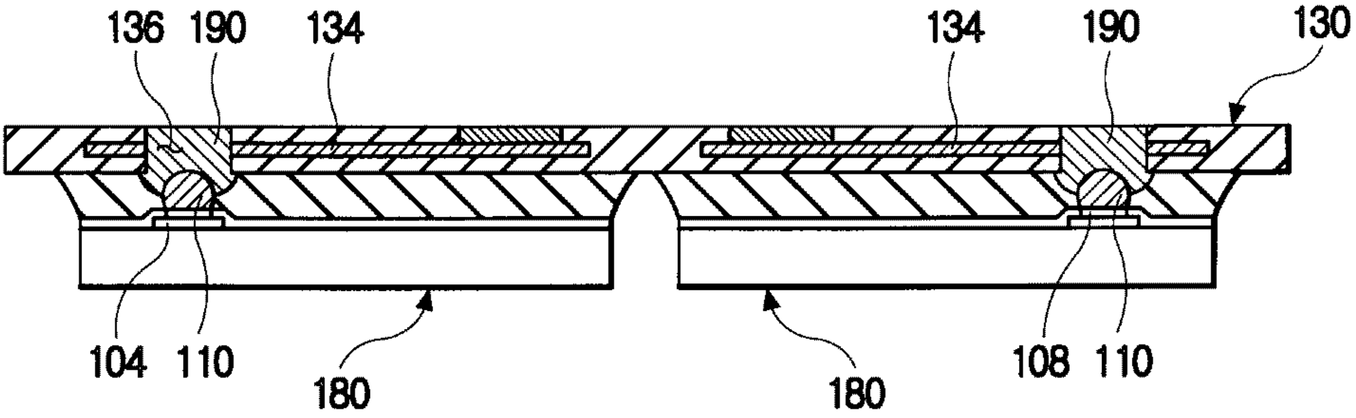
도면 24



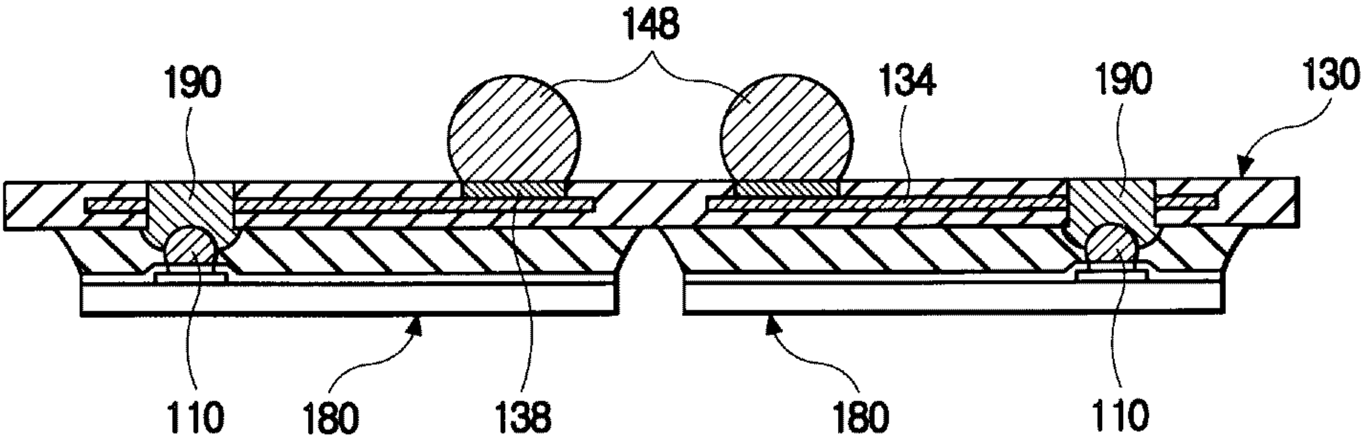
도면 25



도면 26



도면 27



도면 28