

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6130170号
(P6130170)

(45) 発行日 平成29年5月17日 (2017.5.17)

(24) 登録日 平成29年4月21日 (2017.4.21)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 9 A

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 6 C

H O 1 L 21/28 (2006.01)

H O 1 L 29/78 6 1 7 T

H O 1 L 29/417 (2006.01)

H O 1 L 29/78 6 1 7 V

H O 1 L 21/8242 (2006.01)

H O 1 L 29/78 6 1 8 B

請求項の数 8 (全 101 頁) 最終頁に続く

(21) 出願番号 特願2013-42905 (P2013-42905)
 (22) 出願日 平成25年3月5日 (2013.3.5)
 (65) 公開番号 特開2013-214732 (P2013-214732A)
 (43) 公開日 平成25年10月17日 (2013.10.17)
 審査請求日 平成28年2月16日 (2016.2.16)
 (31) 優先権主張番号 特願2012-51261 (P2012-51261)
 (32) 優先日 平成24年3月8日 (2012.3.8)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2012-51263 (P2012-51263)
 (32) 優先日 平成24年3月8日 (2012.3.8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 田中 哲弘
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高橋 絵里香
 栃木県栃木市都賀町升塚161-2 アド
 バンスト フィルム デバイス インク
 株式会社内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、前記ゲート電極上のゲート絶縁膜と、前記ゲート絶縁膜上にあり、前記ゲート電極と重畳する半導体膜と、前記半導体膜上の絶縁膜と、を有し、前記絶縁膜は、結晶性絶縁膜と、前記結晶性絶縁膜上の酸化アルミニウム膜とを有し、前記酸化アルミニウム膜は結晶性を有し、

前記結晶性絶縁膜は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含むことを特徴とする半導体装置。

【請求項2】

絶縁膜と、前記絶縁膜上のゲート電極と、前記ゲート電極上のゲート絶縁膜と、前記ゲート絶縁膜上にあり、前記ゲート電極と重畳する半導体膜と、を有し、前記絶縁膜は、結晶性絶縁膜と、前記結晶性絶縁膜上の酸化アルミニウム膜とを有し、前記酸化アルミニウム膜は結晶性を有し、

前記結晶性絶縁膜は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含むことを特徴とする半導体装置。

【請求項3】

絶縁膜と、
前記絶縁膜上の半導体膜と、
前記半導体膜上のゲート絶縁膜と、
前記ゲート絶縁膜上にあり、前記半導体膜と重畳するゲート電極と、を有し、
前記絶縁膜は、結晶性絶縁膜と、前記結晶性絶縁膜上の酸化アルミニウム膜とを有し、
前記酸化アルミニウム膜は結晶性を有し、
前記結晶性絶縁膜は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含むことを特徴とする半導体装置。

【請求項4】

半導体膜と、
前記半導体膜上のゲート絶縁膜と、
前記ゲート絶縁膜上にあり、前記半導体膜と重畳するゲート電極と、
前記ゲート電極上の絶縁膜と、を有し、
前記絶縁膜は、結晶性絶縁膜と、前記結晶性絶縁膜上の酸化アルミニウム膜とを有し、
前記酸化アルミニウム膜は結晶性を有し、
前記結晶性絶縁膜は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含むことを特徴とする半導体装置。

【請求項5】

半導体膜と、
前記半導体膜と重畳するゲート電極と、
前記半導体膜および前記ゲート電極の間に位置するゲート絶縁膜と、を有し、
前記ゲート絶縁膜は、結晶性絶縁膜と、前記結晶性絶縁膜上の酸化アルミニウム膜とを
有し、

前記酸化アルミニウム膜は結晶性を有し、
前記結晶性絶縁膜は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含むことを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、
前記酸化アルミニウム膜の密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下であることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一において、
前記半導体膜は、酸化物半導体膜であることを特徴とする半導体装置。

【請求項8】

請求項7において、
前記酸化物半導体膜は、Inを含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその作製方法に関する。

【0002】

また、本発明は、物、方法、製造方法、プロセス、マシン、マニファクチャー、または、組成物（コンポジション オブ マター）に関する。特に、本発明は、例えば、半導体装置、記憶装置、表示装置、液晶表示装置、発光装置、それらの駆動方法、またはそれらを生産する方法に関する。または、本発明は、例えば、当該記憶装置、当該表示装置、または当該発光装置を有する電子機器に関する。

【0003】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、電気光学装置、半導体回路および電子機器などは全て半導体装置である。

【背景技術】

【 0 0 0 4 】

絶縁表面を有する基板上に形成された半導体膜を用いて、トランジスタを構成する技術が注目されている。該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体膜としてシリコン膜が知られている。

【 0 0 0 5 】

トランジスタの半導体膜に用いられるシリコン膜は、用途によって非晶質と多結晶とが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積の成膜技術が確立されている非晶質シリコン膜を用いると好適である。一方、駆動回路を一体形成した高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコン膜を用いると好適である。多結晶シリコン膜は、非晶質シリコン膜に対し高温での熱処理、またはレーザービーム処理を行うことで形成する方法が知られる。

10

【 0 0 0 6 】

さらに、近年では酸化物半導体膜が注目されている。例えば、キャリア密度が $10^{18} / \text{cm}^3$ 未満であるインジウム、ガリウムおよび亜鉛を含む非晶質酸化物半導体膜を用いたトランジスタが開示されている（特許文献1参照。）。

【 0 0 0 7 】

酸化物半導体膜は、スパッタリング法を用いて成膜できるため、大型の表示装置を構成するトランジスタに適用することができる。また、酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路を一体形成した高機能の表示装置を実現できる。また、非晶質シリコン膜を用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

20

【 0 0 0 8 】

トランジスタの設けられる基板としてガラスを用いる場合、ガラスに起因する不純物の拡散により、トランジスタの電気特性の劣化が起こることがある。当該劣化を抑制するために、基板とトランジスタとの間にバリア性を有する膜が設けられる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特開 2 0 0 6 - 1 6 5 5 2 8 号 公 報

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

安定した電気特性を有し、信頼性の高い半導体装置を提供することを課題の一とする。また、安定した電気特性を有する半導体装置を提供することを課題の一とする。また、信頼性の高い半導体装置を提供することを課題の一とする。また、動作速度の速い半導体装置を提供することを課題の一とする。また、消費電力の小さい半導体装置を提供することを課題の一とする。また、歩留まり高く半導体装置を提供することを課題の一とする。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の一態様に係る半導体装置は、絶縁表面上に設けられたゲート電極と、ゲート電極上に設けられたゲート絶縁膜と、ゲート絶縁膜上にあり、ゲート電極と重畳して設けられた半導体膜と、半導体膜上に設けられた保護膜と、を有し、保護膜は、結晶性絶縁膜、および結晶性絶縁膜上の酸化アルミニウム膜を有する。

40

【 0 0 1 2 】

または、本発明の一態様に係る半導体装置は、下地膜と、下地膜上に設けられた半導体膜と、半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜上にあり、前記半導体膜と重畳して設けられたゲート電極と、を有し、下地膜は、結晶性絶縁膜、および結晶性絶縁膜上の酸化アルミニウム膜を有する。

【 0 0 1 3 】

50

または、本発明の一態様に係る半導体装置は、下地膜と、下地膜上に設けられた半導体膜と、半導体膜上の一部に設けられたゲート絶縁膜と、ゲート絶縁膜上にあり、前記半導体膜と重畳して設けられたゲート電極と、半導体膜および前記ゲート電極上に設けられた保護膜と、を有し、保護膜は、結晶性絶縁膜、および結晶性絶縁膜上の酸化アルミニウム膜を有する。

【0014】

または、本発明の一態様に係る半導体装置は、半導体膜と、半導体膜と重畳するゲート電極と、半導体膜およびゲート電極の間に設けられたゲート絶縁膜と、を有し、ゲート絶縁膜は、結晶性絶縁膜、および結晶性絶縁膜上の酸化アルミニウム膜を有する。

【0015】

また、結晶性絶縁膜は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含む。

【0016】

また、酸化アルミニウム膜は結晶性を有する。

【0017】

また、酸化アルミニウム膜の密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下である。

【0018】

結晶性絶縁膜上に酸化アルミニウム膜を設けることで、結晶性を有し、密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下である酸化アルミニウム膜を得ることができる。当該酸化アルミニウム膜は、不純物に対するバリア性が高い。そのため、不純物に起因したトランジスタの電気特性の変動を抑制することができる。

【0019】

また、密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下である酸化アルミニウム膜は、薬液やプラズマなどに対する耐性が高く、意図しないエッチングなどが起こりにくい。そのため、酸化アルミニウム膜の意図しないエッチングによる形状不良の発生を抑制できる。トランジスタを構成する各層の形状不良は、発生箇所において、エッチング残渣物が生じる、またさらなる形状不良の原因ともなる。従って、安定した電気特性のトランジスタを提供するためには、形状不良の発生を抑制することが重要となる。また、当該酸化アルミニウム膜は、不純物に対するバリア性が高い。また、欠陥が少ないため、当該酸化アルミニウム膜をゲート絶縁膜に用いることで、ゲート絶縁膜の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

【発明の効果】

【0020】

結晶性絶縁膜上に酸化アルミニウム膜を設けることで、結晶性を有し、密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下である酸化アルミニウム膜を得ることができる。そのため、安定した電気特性を有し、信頼性の高い半導体装置を提供することができる。また、安定した電気特性を有する半導体装置を提供することができる。また、信頼性の高い半導体装置を提供することができる。また、動作速度の速い半導体装置を提供することができる。また、消費電力の小さい半導体装置を提供することができる。また、歩留まり高く半導体装置を提供することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図2】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図3】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図4】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図5】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図6】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。

【図7】図1に示すトランジスタの作製方法の一例を示す断面図。

【図8】図1に示すトランジスタの作製方法の一例を示す断面図。

- 【図 9】図 2 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 10】図 2 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 11】図 3 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 12】図 3 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 13】図 4 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 14】図 4 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 15】図 5 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 16】図 5 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 17】図 6 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 18】図 6 に示すトランジスタの作製方法の一例を示す断面図。 10
- 【図 19】図 6 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 20】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【図 21】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【図 22】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【図 23】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【図 24】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【図 25】本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【図 26】図 20 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 27】図 20 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 28】図 21 に示すトランジスタの作製方法の一例を示す断面図。 20
- 【図 29】図 21 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 30】図 22 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 31】図 22 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 32】図 23 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 33】図 23 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 34】図 24 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 35】図 24 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 36】図 25 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 37】図 25 に示すトランジスタの作製方法の一例を示す断面図。
- 【図 38】本発明の一態様に係る半導体装置の回路図、断面図および電気特性を示す図。 30
- 【図 39】本発明の一態様に係る半導体装置の断面図。
- 【図 40】本発明の一態様に係る半導体装置の回路図、電気特性を示す図および断面図。
- 【図 41】本発明の一態様に係る半導体装置の断面図。
- 【図 42】本発明の一態様に係る CPU の構成を示すブロック図。
- 【図 43】本発明の一態様に係る EL 素子を用いた表示装置の画素の一部の断面図、発光層の断面図および回路図。
- 【図 44】本発明の一態様に係る EL 素子を用いた表示装置の画素の一部の断面図。
- 【図 45】本発明の一態様に係る液晶素子を用いた表示装置の画素の回路図および断面図。
- 。
- 【図 46】本発明の一態様に係る液晶素子を用いた表示装置の画素の断面図。 40
- 【図 47】本発明の一態様に係る電子機器を説明する図。
- 【図 48】各試料の走査透過電子顕微鏡による断面 T E 像。
- 【図 49】各試料の走査透過電子顕微鏡による断面 T E 像。
- 【発明を実施するための形態】
- 【0022】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じく

し、特に符号を付さない場合がある。

【 0 0 2 3 】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、または／および、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

【 0 0 2 4 】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【 0 0 2 5 】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、または／および、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【 0 0 2 6 】

なお、図において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 2 7 】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状または値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【 0 0 2 8 】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【 0 0 2 9 】

本明細書においては、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【 0 0 3 0 】

なお、専門用語は、特定の実施の形態、または実施例などを述べる目的で用いられる場合が多い。ただし、本発明の一態様は、専門用語によって、限定して解釈されるものではない。

【 0 0 3 1 】

なお、定義されていない文言（専門用語または学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【 0 0 3 2 】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【 0 0 3 3 】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いて発明を規定することができる。これらにより、例えば、従来技術が本発明の技術的範囲内に入らないことを規定することができる。

【 0 0 3 4 】

10

20

30

40

50

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造を有している第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造を有している容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

10

【0035】

別の具体例としては、ある値について、例えば、「ある電圧が、3 V以上10 V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明を規定することが可能である。なお、例えば、その電圧が、5 V以上8 V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9 Vであると発明を規定することも可能である。なお、例えば、その電圧が、3 V以上10 V以下であるが、9 Vである場合を除くと発明を規定することも可能である。

【0036】

20

別の具体例としては、ある値について、例えば、「ある電圧が、10 Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明を規定することが可能である。

【0037】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明を規定することが可能である。

【0038】

30

別の具体例としては、ある積層構造について、例えば、「AとBとの間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、Aとその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

【0039】

なお、本明細書等において記載されている発明は、さまざまな人が実施することが出来る。しかしながら、その実施は、複数の人にまたがって実施される場合がある。例えば、送受信システムの場合において、A社が送信機を製造および販売し、B社が受信機を製造および販売する場合がある。別の例としては、TFTおよび発光素子を有する発光装置の場合において、TFTが形成された半導体装置は、A社が製造および販売する。そして、B社がその半導体装置を購入して、その半導体装置に発光素子を成膜して、発光装置として完成させる、という場合がある。

40

【0040】

このような場合、A社またはB社のいずれに対しても、特許侵害を主張できるような発明の一態様を、構成することが出来る。従って、A社またはB社に対して、特許侵害を主張できるような発明の一態様は、明確であり、本明細書等に記載されていると判断する事が出来る。例えば、送受信システムの場合において、送信機のみで発明の一態様を構成することができ、受信機のみで発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することが出来る。別の例としては、TFTおよび発光素子を有する発光装置の場合において、TFTが形成された半導体装置

50

のみで発明の一態様を構成することができ、TFTおよび発光素子を有する発光装置のみで発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することが出来る。

【0041】

(実施の形態1)

本実施の形態では、本発明の一態様に係るトランジスタについて説明する。

【0042】

図1(A)は本発明の一態様に係るトランジスタの上面図である。図1(A)に示す一点鎖線A1 - A2に対応する断面図を図1(B)に示す。また、図1(A)に示す一点鎖線A3 - A4に対応する断面図を図1(C)に示す。なお、簡単のため、図1(A)においては、ゲート絶縁膜112などを省略して示す。

10

【0043】

図1(B)は、基板100上に設けられた結晶性絶縁膜132と、結晶性絶縁膜132上に設けられた酸化アルミニウム膜134と、酸化アルミニウム膜134上に設けられたゲート電極104と、ゲート電極104上に設けられたゲート絶縁膜112と、ゲート絶縁膜112上にあり、ゲート電極104と重畳して設けられた半導体膜106と、半導体膜106上に設けられたソース電極116aおよびドレイン電極116bと、半導体膜106、ソース電極116aおよびドレイン電極116b上に設けられた結晶性絶縁膜136と、結晶性絶縁膜136上に設けられた酸化アルミニウム膜138と、を有するトランジスタの断面図である。

20

【0044】

ここで、結晶性絶縁膜132および結晶性絶縁膜136は、Mg、Ti、V、Cr、Y、ZrおよびTaのいずれか一種以上を含む。具体的には、酸化マグネシウム、酸化チタン、酸化バナジウム、酸化クロム、酸化イットリウム、酸化ジルコニウムおよび酸化タンタルのいずれかを一種以上含むと好ましい。例えば、酸化ジルコニウムおよび酸化イットリウムを含む絶縁膜を用いることができる。

【0045】

結晶性絶縁膜132および結晶性絶縁膜136は、結晶性を有する絶縁膜である。具体的にはX線回折(XRD: X-Ray Diffraction)、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

30

【0046】

酸化アルミニウム膜134および酸化アルミニウム膜138は、結晶性を有する。具体的にはXRD、電子線回折または中性子回折によって結晶性が確認できる。

【0047】

酸化アルミニウム膜134は、結晶性絶縁膜132との界面近傍においても結晶性を有する。また、酸化アルミニウム膜138は、結晶性絶縁膜136との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は、結晶性を有する酸化アルミニウム膜と比べて低密度の酸化アルミニウム膜である。

40

【0048】

酸化アルミニウム膜134および酸化アルミニウム膜138は、高密度の酸化アルミニウム膜である。具体的には、X線反射率(XRR: X-Ray Reflectivity)またはラザフォード後方散乱分光法(RBS: Rutherford Backscattering Spectrometry)によって密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜134および酸化アルミニウム膜138は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【0049】

なお、酸化アルミニウム膜134は、結晶性絶縁膜132の近傍に低密度層を有さない。

50

また、酸化アルミニウム膜 138 は、結晶性絶縁膜 136 の近傍に低密度層を有さない。具体的には、XRR によって密度が 3.2 g/cm^3 未満の層を有さない。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

【0050】

半導体膜 106 は、シリコン膜、ゲルマニウム膜、シリコンゲルマニウム膜、ヒ化ガリウム膜、炭化シリコン膜または窒化ガリウム膜を用いればよい。なお、半導体膜 106 として、有機半導体膜を用いてもよい。また、半導体膜 106 として、酸化物半導体膜を用いてもよい。

10

【0051】

なお、酸化物半導体膜として、In-M-Zn 酸化物膜を用いればよい。ここで、金属元素 M は酸素との結合エネルギーが In および Zn よりも高い元素である。または、In-M-Zn 酸化物膜から酸素が脱離することを抑制する機能を有する元素である。金属元素 M の作用によって、酸化物半導体膜中の酸素欠損の生成が抑制される。なお、酸化物半導体膜の酸素欠損はキャリアを生成することがある。そのため、金属元素 M の作用によって、酸化物半導体膜中のキャリア密度が増大し、オフ電流が増大することを抑制できる。また、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

20

【0052】

金属元素 M は、具体的には Al、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、Ta または W とすればよく、好ましくは Al、Ti、Ga、Y、Zr、Ce または Hf とする。金属元素 M は、前述の元素から一種または二種以上選択すればよい。また、金属元素 M の代わりに Si または Ge を用いても構わない。

【0053】

また、酸化物半導体膜は、水素濃度を、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とする。これは、酸化物半導体膜に含まれる水素が、意図しないキャリアを生成することがあるためである。生成されたキャリアは、トランジスタのオフ電流を増大させ、かつトランジスタの電気特性を変動させる要因となる。従って、酸化物半導体膜の水素濃度を上述の範囲とすることで、トランジスタのオフ電流の増大を抑制し、かつトランジスタの電気特性の変動を抑制することができる。

30

【0054】

酸化物半導体膜は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC (C Axis Aligned Crystal)、多結晶、微結晶、非晶質を有する。非晶質は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。なお、CAAC を有する酸化物半導体を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) と呼ぶ。

40

【0055】

酸化物半導体膜は、例えば CAAC-OS を有してもよい。CAAC-OS は、例えば、c 軸配向し、a 軸または / および b 軸はマクロに揃っていない。

【0056】

酸化物半導体膜は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満のサイズの微結晶 (ナノ結晶ともいう。) を膜中に含む酸化物半導体を有している。

50

【0057】

酸化物半導体膜は、例えば非晶質を有してもよい。なお、非晶質を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0058】

なお、酸化物半導体膜が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

10

【0059】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0060】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

【0061】

CAAC-OS膜に含まれる結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

20

【0062】

CAAC-OS膜に含まれる結晶部は、例えば、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

30

【0063】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

40

【0064】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0065】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

50

【 0 0 6 6 】

酸化物半導体膜は、シリコン膜と比べて1～2 eV程度バンドギャップが大きい。そのため、酸化物半導体膜を用いたトランジスタは、衝突イオン化が起こりにくく、アバランシェブレークダウンが起こりにくい。即ち、当該トランジスタは、ホットキャリア劣化が起こりにくいといえる。

【 0 0 6 7 】

また、以上のように半導体膜106として酸化物半導体膜を用いた場合、酸化物半導体膜はキャリアの生成が少ないため、半導体膜106の厚さが厚い場合（例えば、15 nm以上100 nm未満）でも、ゲート電極104の電界によってチャネル領域を完全空乏化させることができる。従って、酸化物半導体膜を用いたトランジスタは、パンチスルー現象によるオフ電流の増大およびしきい値電圧の変動が起こらない。例えば、チャネル長が3 μm のとき、チャネル幅1 μm あたりのオフ電流を、室温において 10^{-21} A未満、または 10^{-24} A未満とすることができる。

【 0 0 6 8 】

キャリア生成源の一つである、酸化物半導体膜中の酸素欠損は、電子スピン共鳴（E S R : E l e c t r o n S p i n R e s o n a n c e）によって評価できる。即ち、酸素欠損の少ない酸化物半導体膜は、E S Rによって、酸素欠損に起因する信号を有さない酸化物半導体膜と言い換えることができる。具体的には、酸素欠損に起因するスピン密度が、 5×10^{16} spins / cm³未満の酸化物半導体膜である。なお、酸化物半導体膜が酸素欠損を有すると、E S Rにてg値が1.93近傍に対称性を有する信号が現れる。

【 0 0 6 9 】

ここで、基板100に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I (S i l i c o n O n I n s u l a t o r) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

【 0 0 7 0 】

また、基板100として、第5世代（1000 mm×1200 mmまたは1300 mm×1500 mm）、第6世代（1500 mm×1800 mm）、第7世代（1870 mm×2200 mm）、第8世代（2200 mm×2500 mm）、第9世代（2400 mm×2800 mm）、第10世代（2880 mm×3130 mm）などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板100の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板100として用いる場合、加熱処理による縮みの小さいものを用いることが好ましい。例えば、基板100として、400℃、好ましくは450℃、さらに好ましくは500℃の温度で1時間加熱処理を行った後の縮み量が10 ppm以下、好ましくは5 ppm以下、さらに好ましくは3 ppm以下である大型ガラス基板を用いればよい。

【 0 0 7 1 】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【 0 0 7 2 】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【 0 0 7 3 】

ソース電極116aおよびドレイン電極116bは、Al、Ti、Cr、Co、Ni、C

10

20

30

40

50

u、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。なお、ソース電極116aとドレイン電極116bの導電膜は同一であってもよいし、異なってもよい。

【0074】

保護絶縁膜118は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

【0075】

酸化窒化シリコンは、その組成において、窒素よりも酸素の含有量が多いものを示し、また、窒化酸化シリコンは、その組成において、酸素よりも窒素の含有量が多いものを示す。

10

【0076】

保護絶縁膜118は、過剰酸素を含む絶縁膜であると好ましい。

【0077】

保護絶縁膜118が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0078】

過剰酸素を含む絶縁膜とは、TDS(Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)分析にて放出される酸素が酸素原子に換算して $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上である絶縁膜をいう。

20

【0079】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0080】

TDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そしてこの積分値と標準試料との比較により、気体の全放出量を計算することができる。

【0081】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量(N_{O_2})は、数式(1)で求めることができる。ここで、TDS分析で得られる質量数32で検出されるガスの全てが酸素分子由来と仮定する。質量数32のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

30

【0082】

【数1】

$$N_{\text{O}_2} = \frac{N_{\text{H}_2}}{S_{\text{H}_2}} \times S_{\text{O}_2} \times \alpha \quad (1)$$

40

【0083】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{\text{H}_2} / S_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜をTDS分析したときのイオン強度の積分値である。αは、TDS分析におけるイオン強度に影響する係数である。数式(1)の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定した。

50

【 0 0 8 4 】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【 0 0 8 5 】

なお、 N_2 は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【 0 0 8 6 】

または、過剰酸素を含む絶縁膜は、過酸化ラジカルを含む絶縁膜であってもよい。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上の絶縁膜である。なお、過酸化ラジカルを含む絶縁膜は、ESRにて、g値が2.01近傍に非対称の信号を有する絶縁膜である。

10

【 0 0 8 7 】

または、過剰酸素を含む絶縁膜は、酸素が過剰な酸化シリコン(SiO_x ($x > 2$))であってもよい。酸素が過剰な酸化シリコン(SiO_x ($x > 2$))は、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数および酸素原子数は、RBSにより測定した値である。

【 0 0 8 8 】

ゲート絶縁膜112は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

20

【 0 0 8 9 】

ゲート絶縁膜112は、過剰酸素を含む絶縁膜であると好ましい。

【 0 0 9 0 】

ゲート絶縁膜112が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【 0 0 9 1 】

図1に示すトランジスタは、結晶性を有し、密度の高い酸化アルミニウム膜134および酸化アルミニウム膜138に囲まれた構造を有する。従って、トランジスタの外部からの不純物に対して高いバリア性を有する。また、当該酸化アルミニウム膜は、酸素不透過であるため、トランジスタ内部に含まれる過剰酸素の外方拡散を抑制できる。

30

【 0 0 9 2 】

従って、図1に示すトランジスタは、安定した電気特性を有する。

【 0 0 9 3 】

なお、図1では、結晶性絶縁膜132および酸化アルミニウム膜134、ならびに結晶性絶縁膜136および酸化アルミニウム膜138の全てを有する構造を示したが、これに限定されない。例えば、結晶性絶縁膜132および酸化アルミニウム膜134が設けられなくても構わない。または、結晶性絶縁膜136および酸化アルミニウム膜138が設けられなくても構わない。

40

【 0 0 9 4 】

次に、図1とは異なる構造のトランジスタについて、図2を用いて説明する。

【 0 0 9 5 】

図2(A)は本発明の一態様に係るトランジスタの上面図である。図2(A)に示す一点鎖線B1-B2に対応する断面図を図2(B)に示す。また、図2(A)に示す一点鎖線B3-B4に対応する断面図を図2(C)に示す。なお、簡単のため、図2(A)においては、ゲート絶縁膜212などを省略して示す。

【 0 0 9 6 】

図2(B)は、基板200上に設けられた結晶性絶縁膜232と、結晶性絶縁膜232上

50

に設けられた酸化アルミニウム膜 2 3 4 と、酸化アルミニウム膜 2 3 4 上に設けられたゲート電極 2 0 4 と、ゲート電極 2 0 4 上に設けられたゲート絶縁膜 2 1 2 と、ゲート絶縁膜 2 1 2 上に設けられたソース電極 2 1 6 a およびドレイン電極 2 1 6 b と、ゲート絶縁膜 2 1 2、ソース電極 2 1 6 a およびドレイン電極 2 1 6 b 上にあり、ゲート電極 2 0 4 と重畳して設けられた半導体膜 2 0 6 と、半導体膜 2 0 6、ソース電極 2 1 6 a およびドレイン電極 2 1 6 b 上に設けられた結晶性絶縁膜 2 3 6 と、結晶性絶縁膜 2 3 6 上に設けられた酸化アルミニウム膜 2 3 8 と、を有するトランジスタの断面図である。

【 0 0 9 7 】

ここで、結晶性絶縁膜 2 3 2 および結晶性絶縁膜 2 3 6 は、結晶性絶縁膜 1 3 2 および結晶性絶縁膜 1 3 6 として示した絶縁膜から選択して用いればよい。

10

【 0 0 9 8 】

結晶性絶縁膜 2 3 2 および結晶性絶縁膜 2 3 6 は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 0 9 9 】

酸化アルミニウム膜 2 3 4 および酸化アルミニウム膜 2 3 8 は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

【 0 1 0 0 】

酸化アルミニウム膜 2 3 4 は、結晶性絶縁膜 2 3 2 との界面近傍においても結晶性を有する。また、酸化アルミニウム膜 2 3 8 は、結晶性絶縁膜 2 3 6 との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。

20

【 0 1 0 1 】

酸化アルミニウム膜 2 3 4 および酸化アルミニウム膜 2 3 8 は、高密度の酸化アルミニウム膜である。具体的には、X R R または R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 2 3 4 および酸化アルミニウム膜 2 3 8 は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【 0 1 0 2 】

なお、酸化アルミニウム膜 2 3 4 は、結晶性絶縁膜 2 3 2 の近傍に低密度層を有さない。また、酸化アルミニウム膜 2 3 8 は、結晶性絶縁膜 2 3 6 の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

30

【 0 1 0 3 】

半導体膜 2 0 6 は、半導体膜 1 0 6 の記載を参照する。

【 0 1 0 4 】

基板 2 0 0 は、基板 1 0 0 の記載を参照する。

40

【 0 1 0 5 】

ゲート電極 2 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 1 0 6 】

ソース電極 2 1 6 a およびドレイン電極 2 1 6 b は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b の記載を参照する。

【 0 1 0 7 】

保護絶縁膜 2 1 8 は、保護絶縁膜 1 1 8 の記載を参照する。

【 0 1 0 8 】

保護絶縁膜 2 1 8 は、過剰酸素を含む絶縁膜であると好ましい。

【 0 1 0 9 】

50

保護絶縁膜 2 1 8 が過剰酸素を含む絶縁膜である場合、酸化半導体膜の酸素欠損を低減することができる。

【 0 1 1 0 】

ゲート絶縁膜 2 1 2 は、ゲート絶縁膜 1 1 2 の記載を参照する。

【 0 1 1 1 】

ゲート絶縁膜 2 1 2 は、過剰酸素を含む絶縁膜であると好ましい。

【 0 1 1 2 】

ゲート絶縁膜 2 1 2 が過剰酸素を含む絶縁膜である場合、酸化半導体膜の酸素欠損を低減することができる。

【 0 1 1 3 】

図 2 に示すトランジスタは、結晶性を有し、密度の高い酸化アルミニウム膜 2 3 4 および酸化アルミニウム膜 2 3 8 に囲まれた構造を有する。従って、トランジスタの外部からの不純物に対して高いバリア性を有する。また、当該酸化アルミニウム膜は、酸素不透過であるため、トランジスタ内部に含まれる過剰酸素の外方拡散を抑制できる。

【 0 1 1 4 】

従って、図 2 に示すトランジスタは、安定した電気特性を有する。

【 0 1 1 5 】

なお、図 2 では、結晶性絶縁膜 2 3 2 および酸化アルミニウム膜 2 3 4、ならびに結晶性絶縁膜 2 3 6 および酸化アルミニウム膜 2 3 8 の全てを有する構造を示したが、これに限定されない。例えば、結晶性絶縁膜 2 3 2 および酸化アルミニウム膜 2 3 4 が設けられなくても構わない。または、結晶性絶縁膜 2 3 6 および酸化アルミニウム膜 2 3 8 が設けられなくても構わない。

【 0 1 1 6 】

次に、図 1 および図 2 とは異なる構造のトランジスタについて、図 3 を用いて説明する。

【 0 1 1 7 】

図 3 (A) は本発明の一態様に係るトランジスタの上面図である。図 3 (A) に示す一点鎖線 C 1 - C 2 に対応する断面図を図 3 (B) に示す。また、図 3 (A) に示す一点鎖線 C 3 - C 4 に対応する断面図を図 3 (C) に示す。なお、簡単のため、図 3 (A) においては、ゲート絶縁膜 3 1 2などを省略して示す。

【 0 1 1 8 】

図 3 (B) は、基板 3 0 0 上に設けられた結晶性絶縁膜 3 3 2 と、結晶性絶縁膜 3 3 2 上に設けられた酸化アルミニウム膜 3 3 4 と、酸化アルミニウム膜 3 3 4 上に設けられた下地絶縁膜 3 0 2 と、下地絶縁膜 3 0 2 上に設けられた半導体膜 3 0 6 と、半導体膜 3 0 6 上に設けられたソース電極 3 1 6 a およびドレイン電極 3 1 6 b と、半導体膜 3 0 6、ソース電極 3 1 6 a およびドレイン電極 3 1 6 b 上に設けられたゲート絶縁膜 3 1 2 と、ゲート絶縁膜 3 1 2 上にあり、半導体膜 3 0 6 と重畳して設けられたゲート電極 3 0 4 と、ゲート電極 3 0 4 上に設けられた結晶性絶縁膜 3 3 6 と、結晶性絶縁膜 3 3 6 上に設けられた酸化アルミニウム膜 3 3 8 と、を有するトランジスタの断面図である。

【 0 1 1 9 】

ここで、結晶性絶縁膜 3 3 2 および結晶性絶縁膜 3 3 6 は、結晶性絶縁膜 1 3 2 および結晶性絶縁膜 1 3 6 として示した絶縁膜から選択して用いればよい。

【 0 1 2 0 】

結晶性絶縁膜 3 3 2 および結晶性絶縁膜 3 3 6 は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 1 2 1 】

酸化アルミニウム膜 3 3 4 および酸化アルミニウム膜 3 3 8 は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

【 0 1 2 2 】

酸化アルミニウム膜 3 3 4 は、結晶性絶縁膜 3 3 2 との界面近傍においても結晶性を有する。また、酸化アルミニウム膜 3 3 8 は、結晶性絶縁膜 3 3 6 との界面近傍においても結

10

20

30

40

50

晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。

【0123】

酸化アルミニウム膜334および酸化アルミニウム膜338は、高密度の酸化アルミニウム膜である。具体的には、XRRまたはRBSによって密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜334および酸化アルミニウム膜338は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【0124】

なお、酸化アルミニウム膜334は、結晶性絶縁膜332の近傍に低密度層を有さない。また、酸化アルミニウム膜338は、結晶性絶縁膜336の近傍に低密度層を有さない。具体的には、XRRによって密度が 3.2 g/cm^3 未満の層を有さない。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

10

【0125】

半導体膜306は、半導体膜106の記載を参照する。

【0126】

基板300は、基板100の記載を参照する。

20

【0127】

下地絶縁膜302は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

【0128】

下地絶縁膜302は、過剰酸素を含む絶縁膜であると好ましい。

【0129】

下地絶縁膜302が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

30

【0130】

ゲート絶縁膜312は、ゲート絶縁膜112の記載を参照する。

【0131】

ゲート絶縁膜312は、過剰酸素を含む絶縁膜であると好ましい。

【0132】

ゲート絶縁膜312が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0133】

ソース電極316aおよびドレイン電極316bは、ソース電極116aおよびドレイン電極116bの記載を参照する。

40

【0134】

ゲート電極304は、ゲート電極104の記載を参照する。

【0135】

図3に示すトランジスタは、結晶性を有し、密度の高い酸化アルミニウム膜334および酸化アルミニウム膜338に囲まれた構造を有する。従って、トランジスタの外部からの不純物に対して高いバリア性を有する。また、当該酸化アルミニウム膜は、酸素不透過であるため、トランジスタ内部に含まれる過剰酸素の外方拡散を抑制できる。

【0136】

従って、図3に示すトランジスタは、安定した電気特性を有する。

50

【0137】

なお、図3では、結晶性絶縁膜332および酸化アルミニウム膜334、ならびに結晶性絶縁膜336および酸化アルミニウム膜338の全てを有する構造を示したが、これに限定されない。例えば、結晶性絶縁膜332および酸化アルミニウム膜334が設けられなくても構わない。または、結晶性絶縁膜336および酸化アルミニウム膜338が設けられなくても構わない。

【0138】

次に、図1乃至図3とは異なる構造のトランジスタについて、図4を用いて説明する。

【0139】

図4(A)は本発明の一態様に係るトランジスタの上面図である。図4(A)に示す一点鎖線D1 - D2に対応する断面図を図4(B)に示す。また、図4(A)に示す一点鎖線D3 - D4に対応する断面図を図4(C)に示す。なお、簡単のため、図4(A)においては、ゲート絶縁膜412などを省略して示す。

10

【0140】

図4(B)は、基板400上に設けられた結晶性絶縁膜432と、結晶性絶縁膜432上に設けられた酸化アルミニウム膜434と、酸化アルミニウム膜434上に設けられた下地絶縁膜402と、下地絶縁膜402上に設けられたソース電極416aおよびドレイン電極416bと、下地絶縁膜402、ソース電極416aおよびドレイン電極416b上に設けられた半導体膜406と、半導体膜406上に設けられたゲート絶縁膜412と、ゲート絶縁膜412上にあり、半導体膜406と重畳して設けられたゲート電極404と、ゲート電極404上に設けられた結晶性絶縁膜436と、結晶性絶縁膜436上に設けられた酸化アルミニウム膜438と、を有するトランジスタの断面図である。なお、ゲート絶縁膜412は、結晶性絶縁膜412a、および結晶性絶縁膜412a上に設けられた酸化アルミニウム膜412bを有する。

20

【0141】

ここで、結晶性絶縁膜432および結晶性絶縁膜436は、結晶性絶縁膜132および結晶性絶縁膜136として示した絶縁膜から選択して用いればよい。

【0142】

結晶性絶縁膜432および結晶性絶縁膜436は、結晶性を有する絶縁膜である。具体的にはXRD、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

30

【0143】

酸化アルミニウム膜434および酸化アルミニウム膜438は、結晶性を有する。具体的にはXRD、電子線回折または中性子回折によって結晶性が確認できる。

【0144】

酸化アルミニウム膜434は、結晶性絶縁膜432との界面近傍においても結晶性を有する。また、酸化アルミニウム膜438は、結晶性絶縁膜436との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。

【0145】

酸化アルミニウム膜434および酸化アルミニウム膜438は、高密度の酸化アルミニウム膜である。具体的には、XRRまたはRBSによって密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜434および酸化アルミニウム膜438は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

40

【0146】

なお、酸化アルミニウム膜434は、結晶性絶縁膜432の近傍に低密度層を有さない。また、酸化アルミニウム膜438は、結晶性絶縁膜436の近傍に低密度層を有さない。具体的には、XRRによって密度が 3.2 g/cm^3 未満の層を有さない。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜は、薬液に対

50

する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

【0147】

半導体膜406は、半導体膜106の記載を参照する。

【0148】

基板400は、基板100の記載を参照する。

【0149】

下地絶縁膜402は、下地絶縁膜302の記載を参照する。

【0150】

下地絶縁膜402は、過剰酸素を含む絶縁膜であると好ましい。

【0151】

下地絶縁膜402が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0152】

ゲート絶縁膜412は、ゲート絶縁膜112の記載を参照する。

【0153】

ゲート絶縁膜412は、過剰酸素を含む絶縁膜であると好ましい。

【0154】

ゲート絶縁膜412が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0155】

ソース電極416aおよびドレイン電極416bは、ソース電極116aおよびドレイン電極116bの記載を参照する。

【0156】

ゲート電極404は、ゲート電極104の記載を参照する。

【0157】

図4に示すトランジスタは、結晶性を有し、密度の高い酸化アルミニウム膜434および酸化アルミニウム膜438に囲まれた構造を有する。従って、トランジスタの外部からの不純物に対して高いバリア性を有する。また、当該酸化アルミニウム膜は、酸素不透過であるため、トランジスタ内部に含まれる過剰酸素の外方拡散を抑制できる。

【0158】

従って、図4に示すトランジスタは、安定した電気特性を有する。

【0159】

なお、図4では、結晶性絶縁膜432および酸化アルミニウム膜434、ならびに結晶性絶縁膜436および酸化アルミニウム膜438の全てを有する構造を示したが、これに限定されない。例えば、結晶性絶縁膜432および酸化アルミニウム膜434が設けられなくても構わない。または、結晶性絶縁膜436および酸化アルミニウム膜438が設けられなくても構わない。

【0160】

次に、図1乃至図4とは異なる構造のトランジスタについて、図5を用いて説明する。

【0161】

図5(A)は本発明の一態様に係るトランジスタの上面図である。図5(A)に示す一点鎖線E1-E2に対応する断面図を図5(B)に示す。また、図5(A)に示す一点鎖線E3-E4に対応する断面図を図5(C)に示す。なお、簡単のため、図5(A)においては、ゲート絶縁膜512などを省略して示す。

【0162】

図5(B)は、基板500上に設けられた結晶性絶縁膜532と、結晶性絶縁膜532上に設けられた酸化アルミニウム膜534と、酸化アルミニウム膜534上に設けられた下地絶縁膜502と、下地絶縁膜502上に設けられた半導体膜506と、半導体膜506

10

20

30

40

50

上に設けられたゲート絶縁膜 5 1 2 と、ゲート絶縁膜 5 1 2 上にあり、半導体膜 5 0 6 と重畳して設けられたゲート電極 5 0 4 と、半導体膜 5 0 6 およびゲート電極 5 0 4 上に設けられた結晶性絶縁膜 5 3 6 と、結晶性絶縁膜 5 3 6 上に設けられた酸化アルミニウム膜 5 3 8 と、を有するトランジスタの断面図である。

【 0 1 6 3 】

図 5 (B) に示す断面図では、酸化アルミニウム膜 5 3 8 上に保護絶縁膜 5 1 8 が設けられる。なお、結晶性絶縁膜 5 3 6、酸化アルミニウム膜 5 3 8 および保護絶縁膜 5 1 8 は、半導体膜 5 0 6 に達する開口部を有し、当該開口部を介して、保護絶縁膜 5 1 8 上に設けられた配線 5 2 4 a および配線 5 2 4 b は半導体膜 5 0 6 と接する。

【 0 1 6 4 】

なお、図 5 (B) では、ゲート絶縁膜 5 1 2 がゲート電極 5 0 4 と重畳する領域のみに設けられているが、これに限定されない。例えば、ゲート絶縁膜 5 1 2 が半導体膜 5 0 6 を覆うように設けられていてもよい。また、ゲート電極 5 0 4 の側壁に接して側壁絶縁膜を有しても構わない。

【 0 1 6 5 】

また、側壁絶縁膜を設ける場合、半導体膜 5 0 6 の側壁絶縁膜と重畳する領域は、ゲート電極 5 0 4 と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜 5 0 6 のゲート電極 5 0 4 と重畳しない領域は、半導体膜 5 0 6 を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜 5 0 6 の側壁絶縁膜と重畳する領域が、ゲート電極 5 0 4 と重畳する領域よりも低抵抗であることにより、当該領域は L D D (L i g h t l y D o p e d D r a i n) 領域として機能する。トランジスタが、L D D 領域を有することによって、D I B L (D r a i n I n d u c e d B a r r i e r L o w e r i n g) およびホットキャリア劣化を抑制することができる。ただし、半導体膜 5 0 6 の側壁絶縁膜と重畳する領域をオフセット領域としても構わない。トランジスタが、オフセット領域を有することでも、D I B L およびホットキャリア劣化を抑制することができる。

【 0 1 6 6 】

ここで、結晶性絶縁膜 5 3 2 および結晶性絶縁膜 5 3 6 は、結晶性絶縁膜 1 3 2 および結晶性絶縁膜 1 3 6 として示した絶縁膜から選択して用いればよい。

【 0 1 6 7 】

結晶性絶縁膜 5 3 2 および結晶性絶縁膜 5 3 6 は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 1 6 8 】

酸化アルミニウム膜 5 3 4 および酸化アルミニウム膜 5 3 8 は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

【 0 1 6 9 】

酸化アルミニウム膜 5 3 4 は、結晶性絶縁膜 5 3 2 との界面近傍においても結晶性を有する。また、酸化アルミニウム膜 5 3 8 は、結晶性絶縁膜 5 3 6 との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。

【 0 1 7 0 】

酸化アルミニウム膜 5 3 4 および酸化アルミニウム膜 5 3 8 は、高密度の酸化アルミニウム膜である。具体的には、X R R または R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 5 3 4 および酸化アルミニウム膜 5 3 8 は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【 0 1 7 1 】

なお、酸化アルミニウム膜 5 3 4 は、結晶性絶縁膜 5 3 2 の近傍に低密度層を有さない。また、酸化アルミニウム膜 5 3 8 は、結晶性絶縁膜 5 3 6 の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。対して、下地

10

20

30

40

50

として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

【0172】

半導体膜506は、半導体膜106の記載を参照する。

【0173】

半導体膜506のゲート電極504と重畳しない領域は、ゲート電極504と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜506のゲート電極504と重畳しない領域は、半導体膜506を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜506のゲート電極504と重畳しない領域がゲート電極504と重畳する領域よりも低抵抗であることにより、トランジスタのソース領域およびドレイン領域として機能することができる。

10

【0174】

基板500は、基板100の記載を参照する。

【0175】

下地絶縁膜502は、下地絶縁膜302の記載を参照する。

【0176】

下地絶縁膜502は、過剰酸素を含む絶縁膜であると好ましい。

20

【0177】

下地絶縁膜502が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0178】

ゲート絶縁膜512は、ゲート絶縁膜112の記載を参照する。

【0179】

ゲート絶縁膜512は、過剰酸素を含む絶縁膜であると好ましい。

【0180】

ゲート絶縁膜512が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

30

【0181】

ゲート電極504は、ゲート電極104の記載を参照する。

【0182】

保護絶縁膜518は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

【0183】

配線524aおよび配線524bは、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。なお、配線524aおよび配線524bは同一であってもよいし、異なってもよい。

40

【0184】

図5に示すトランジスタは、ゲート電極504と他の配線および電極との重畳する領域が小さいため、寄生容量が発生しにくく、トランジスタのスイッチング特性を高めることができる。また、トランジスタのチャネル長がゲート電極504の幅で決定されるため、チャネル長の小さい、微細なトランジスタを作製しやすい構造である。

【0185】

また、図5に示すトランジスタは、結晶性を有し、密度の高い酸化アルミニウム膜534および酸化アルミニウム膜538に囲まれた構造を有する。従って、トランジスタの外部

50

からの不純物に対して高いバリア性を有する。また、当該酸化アルミニウム膜は、酸素不透過であるため、トランジスタ内部に含まれる過剰酸素の外方拡散を抑制できる。

【0186】

従って、図5に示すトランジスタは、安定した電気特性を有する。

【0187】

なお、図5では、結晶性絶縁膜532および酸化アルミニウム膜534、ならびに結晶性絶縁膜536および酸化アルミニウム膜538の全てを有する構造を示したが、これに限定されない。例えば、結晶性絶縁膜532および酸化アルミニウム膜534が設けられなくても構わない。または、結晶性絶縁膜536および酸化アルミニウム膜538が設けられなくても構わない。

10

【0188】

次に、図1乃至図5とは異なる構造のトランジスタについて、図6を用いて説明する。

【0189】

図6(A)は本発明の一態様に係るトランジスタの上面図である。図6(A)に示す一点鎖線F1-F2に対応する断面図を図6(B)に示す。また、図6(A)に示す一点鎖線F3-F4に対応する断面図を図6(C)に示す。なお、簡単のため、図6(A)においては、ゲート絶縁膜612などを省略して示す。

【0190】

図6(B)は、基板600上に設けられた結晶性絶縁膜632と、結晶性絶縁膜632上に設けられた酸化アルミニウム膜634と、酸化アルミニウム膜634上に設けられた下地絶縁膜602と、下地絶縁膜602上に設けられた半導体膜606と、半導体膜606上に設けられたゲート絶縁膜612と、ゲート絶縁膜612上に設けられたゲート電極604と、ゲート電極604の側面と接して設けられた側壁絶縁膜610と、半導体膜606および側壁絶縁膜610上に設けられたソース電極616aおよびドレイン電極616bと、半導体膜606、ソース電極616aおよびドレイン電極616b上に設けられた結晶性絶縁膜636と、結晶性絶縁膜636上に設けられた酸化アルミニウム膜638と、酸化アルミニウム膜638上に設けられた絶縁膜640と、を有するトランジスタの断面図である。

20

【0191】

図6(B)に示す断面図では、ゲート電極604、側壁絶縁膜610、ソース電極616aおよびドレイン電極616b、結晶性絶縁膜636、酸化アルミニウム膜638、絶縁膜640上に保護絶縁膜618が設けられる。なお、結晶性絶縁膜636、酸化アルミニウム膜638、絶縁膜640および保護絶縁膜618は、ソース電極616aおよびドレイン電極616bに達する開口部をそれぞれ有し、当該開口部を介して、保護絶縁膜618上に設けられた配線624aおよび配線624bは、ソース電極616aおよびドレイン電極616bとそれぞれ接する。

30

【0192】

なお、図6(B)では、側壁絶縁膜610の一部が、ゲート絶縁膜612の側面に設けられているが、これに限定されない。例えば、ゲート絶縁膜612上に側壁絶縁膜610が設けられていてもよい。

40

【0193】

なお、図6(B)では、ゲート電極604、側壁絶縁膜610、ソース電極616a、ドレイン電極616b、結晶性絶縁膜636、酸化アルミニウム膜638および絶縁膜640の形成する表面の高さが揃っている。

【0194】

ここで、結晶性絶縁膜632および結晶性絶縁膜636は、結晶性絶縁膜132および結晶性絶縁膜136として示した絶縁膜から選択して用いればよい。

【0195】

結晶性絶縁膜632および結晶性絶縁膜636は、結晶性を有する絶縁膜である。具体的にはXRD、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

50

【 0 1 9 6 】

酸化アルミニウム膜 6 3 4 および酸化アルミニウム膜 6 3 8 は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

【 0 1 9 7 】

酸化アルミニウム膜 6 3 4 は、結晶性絶縁膜 6 3 2 との界面近傍においても結晶性を有する。また、酸化アルミニウム膜 6 3 8 は、結晶性絶縁膜 6 3 6 との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。

【 0 1 9 8 】

酸化アルミニウム膜 6 3 4 および酸化アルミニウム膜 6 3 8 は、高密度の酸化アルミニウム膜である。具体的には、X R R または R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 6 3 4 および酸化アルミニウム膜 6 3 8 は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

10

【 0 1 9 9 】

なお、酸化アルミニウム膜 6 3 4 は、結晶性絶縁膜 6 3 2 の近傍に低密度層を有さない。また、酸化アルミニウム膜 6 3 8 は、結晶性絶縁膜 6 3 6 の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

20

【 0 2 0 0 】

半導体膜 6 0 6 は、半導体膜 1 0 6 の記載を参照する。

【 0 2 0 1 】

半導体膜 6 0 6 のゲート電極 6 0 4 と重畳しない領域は、ゲート電極 6 0 4 と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜 6 0 6 のゲート電極 6 0 4 と重畳しない領域は、半導体膜 6 0 6 を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜 6 0 6 のゲート電極 6 0 4 と重畳しない領域がゲート電極 6 0 4 と重畳する領域よりも低抵抗であることにより、トランジスタのソース領域およびドレイン領域として機能することができる。ただし、図 6 (B) に示すトランジスタはソース電極 6 1 6 a およびドレイン電極 6 1 6 b を有するため、ソース領域およびドレイン領域を特に設けなくても構わない。

30

【 0 2 0 2 】

また、半導体膜 6 0 6 の側壁絶縁膜 6 1 0 と重畳する領域は、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b と重畳する領域よりも高抵抗、かつゲート電極 6 0 4 と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜 6 0 6 のゲート電極 6 0 4 と重畳しない領域は、半導体膜 6 0 6 を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜 6 0 6 の側壁絶縁膜 6 1 0 と重畳する領域が、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b よりも高抵抗、かつゲート電極 6 0 4 と重畳する領域よりも低抵抗であることにより、当該領域は L D D 領域として機能する。トランジスタが、L D D 領域を有することによって、D I B L およびホットキャリア劣化を抑制することができる。ただし、半導体膜 6 0 6 の側壁絶縁膜 6 1 0 と重畳する領域をオフセット領域としても構わない。トランジスタが、オフセット領域を有することでも、D I B L およびホットキャリア劣化を抑制することができる。

40

【 0 2 0 3 】

基板 6 0 0 は、基板 1 0 0 の記載を参照する。

【 0 2 0 4 】

下地絶縁膜 6 0 2 は、下地絶縁膜 3 0 2 の記載を参照する。

50

【 0 2 0 5 】

下地絶縁膜 6 0 2 は、過剰酸素を含む絶縁膜であると好ましい。

【 0 2 0 6 】

下地絶縁膜 6 0 2 が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【 0 2 0 7 】

ゲート絶縁膜 6 1 2 は、ゲート絶縁膜 1 1 2 の記載を参照する。

【 0 2 0 8 】

ゲート絶縁膜 6 1 2 は、過剰酸素を含む絶縁膜であると好ましい。

【 0 2 0 9 】

ゲート絶縁膜 6 1 2 が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【 0 2 1 0 】

ゲート電極 6 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 2 1 1 】

側壁絶縁膜 6 1 0 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

【 0 2 1 2 】

なお、側壁絶縁膜 6 1 0 として、結晶性絶縁膜、および結晶性絶縁膜上の酸化アルミニウム膜を用いると好ましい。このようにすることで、側壁絶縁膜 6 1 0 の形状不良が起こりにくくできる。

【 0 2 1 3 】

ソース電極 6 1 6 a およびドレイン電極 6 1 6 b は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta および W を一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。なお、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b は同一であってもよいし、異なってもよい。

【 0 2 1 4 】

保護絶縁膜 6 1 8 は、保護絶縁膜 5 1 8 の記載を参照する。

【 0 2 1 5 】

配線 6 2 4 a および配線 6 2 4 b は、配線 5 2 4 a および配線 5 2 4 b の記載を参照する。

【 0 2 1 6 】

図 6 に示すトランジスタは、ゲート電極 6 0 4 と他の配線および電極との重畳する領域が小さいため、寄生容量が発生しにくく、トランジスタのスイッチング特性を高めることができる。また、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b が設けられることにより、図 5 に示したトランジスタよりも寄生抵抗が小さくでき、オン電流を増大させることができる。また、トランジスタのチャネル長がゲート電極 6 0 4 の幅で決定されるため、チャネル長の小さい、微細なトランジスタを作製しやすい構造である。

【 0 2 1 7 】

また、図 6 に示すトランジスタは、結晶性を有し、密度の高い酸化アルミニウム膜 6 3 4 および酸化アルミニウム膜 6 3 8 に囲まれた構造を有する。従って、トランジスタの外部からの不純物に対して高いバリア性を有する。また、当該酸化アルミニウム膜は、酸素不透過であるため、トランジスタ内部に含まれる過剰酸素の外方拡散を抑制できる。

【 0 2 1 8 】

従って、図 6 に示すトランジスタは、安定した電気特性を有する。

【 0 2 1 9 】

なお、図 6 では、結晶性絶縁膜 6 3 2 および酸化アルミニウム膜 6 3 4、ならびに結晶性絶縁膜 6 3 6 および酸化アルミニウム膜 6 3 8 の全てを有する構造を示したが、これに限

10

20

30

40

50

定されない。例えば、結晶性絶縁膜 6 3 2 および酸化アルミニウム膜 6 3 4 が設けられなくても構わない。または、結晶性絶縁膜 6 3 6 および酸化アルミニウム膜 6 3 8 が設けられなくても構わない。

【0220】

本実施の形態より、ゲート絶縁膜が不純物に対して高いバリア性を有し、かつ含まれる欠陥が少ないため、安定した電気特性を有し、信頼性が高いトランジスタを提供することができる。

【0221】

本実施の形態は、基本原理の一例について述べたものである。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と、自由に組み合わせることや、適用することや、置き換えて実施することができる。

10

【0222】

(実施の形態 2)

本実施の形態では、実施の形態 1 で示したトランジスタの作製方法について説明する。

【0223】

まずは、図 1 に示すトランジスタの作製方法について、図 7 および図 8 を用いて説明する。なお、簡単のため、図 7 および図 8 には、図 1 (B) に対応する断面図のみ示す。

【0224】

まず、基板 100 を準備する。基板 100 は、基板 100 として示した基板から選択して用いればよい。

20

【0225】

次に、結晶性絶縁膜 132 を成膜する(図 7 (A) 参照。)。結晶性絶縁膜 132 は、結晶性絶縁膜 132 として示した絶縁膜から選択し、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜 132 を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

30

【0226】

CVD法として、マイクロ波CVD法を適用すると、成膜面へのプラズマダメージを小さくすることができる。また、高密度プラズマを用いるため、比較的低温(325 程度)でも緻密で欠陥の少ない膜を成膜することができる。なお、マイクロ波CVD法は、高密度プラズマCVD法とも呼ばれる。

【0227】

なお、結晶性絶縁膜 132 を成膜した後、第 1 の加熱処理を行ってもよい。第 1 の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下で行えばよい。第 1 の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上、1% 以上もしくは 10% 以上含む雰囲気、または減圧状態で行う。または、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1% 以上または 10% 以上含む雰囲気で行ってもよい。第 1 の加熱処理によって、結晶性絶縁膜 132 の結晶性を高め、かつ水素や水などの不純物を除去することができる。

40

【0228】

次に、酸化アルミニウム膜 134 を成膜する(図 7 (B) 参照。)。酸化アルミニウム膜 134 は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0229】

結晶性絶縁膜 132 上に酸化アルミニウム膜 134 を成膜することで、高密度で結晶性を

50

有する酸化アルミニウム膜 1 3 4 を成膜することができる。高密度で結晶性を有する酸化アルミニウム膜 1 3 4 は、水素、水、酸素および金属元素が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【 0 2 3 0 】

なお、スパッタリング法を用いると、結晶性絶縁膜 1 3 2 上に高密度で結晶性を有する酸化アルミニウム膜 1 3 4 が成膜されやすいため、好ましい。また、酸化アルミニウム膜 1 3 4 を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【 0 2 3 1 】

次に、ゲート電極 1 0 4 となる導電膜を成膜する。ゲート電極 1 0 4 となる導電膜は、ゲート電極 1 0 4 として示した導電膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

10

【 0 2 3 2 】

次に、ゲート電極 1 0 4 となる導電膜を加工し、ゲート電極 1 0 4 を形成する（図 7（C）参照。）。

【 0 2 3 3 】

次に、ゲート絶縁膜 1 1 2 を成膜する（図 7（D）参照。）。ゲート絶縁膜 1 1 2 は、ゲート絶縁膜 1 1 2 として示した絶縁膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 2 3 4 】

20

次に、半導体膜 1 0 6 となる半導体膜を成膜する。半導体膜 1 0 6 となる半導体膜は、半導体膜 1 0 6 として示した半導体膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。半導体膜 1 0 6 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

【 0 2 3 5 】

なお、酸化物半導体膜の成膜後に第 2 の加熱処理を行ってもよい。第 2 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 2 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

30

【 0 2 3 6 】

次に、半導体膜 1 0 6 となる半導体膜を加工し、島状に加工された半導体膜 1 0 6 を形成する（図 8（A）参照。）。

【 0 2 3 7 】

なお、半導体膜 1 0 6 が酸化物半導体膜であるとき、半導体膜 1 0 6 の形成後に第 3 の加熱処理を行ってもよい。第 3 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 3 の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。なお、酸化物半導体膜が C A A C - O S 膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面から水素や水などの不純物が除去されやすい。

40

【 0 2 3 8 】

次に、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b となる導電膜を成膜する。ソース電極 1 1 6 a およびドレイン電極 1 1 6 b となる導電膜は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b として示した導電膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 2 3 9 】

次に、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b となる導電膜を加工し、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b を形成する（図 8（B）参照。）。

50

【0240】

次に、保護絶縁膜118を成膜する。保護絶縁膜118は、保護絶縁膜118として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0241】

保護絶縁膜118は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度30以上450以下（好ましくは70以上200以下）、基板とターゲットの間の距離（T-S間距離）を20mm以上400mm以下（好ましくは40mm以上200mm以下）、圧力を0.1Pa以上4Pa以下（好ましくは0.2Pa以上1.2Pa以下）、高周波電源を0.5kW以上12kW以下（好ましくは1kW以上5kW以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下（好ましくは50%以上100%以下）として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、保護絶縁膜118を過剰酸素を含む絶縁膜とすることができる。

10

【0242】

次に、結晶性絶縁膜136を成膜する。結晶性絶縁膜136は、結晶性絶縁膜136として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

20

【0243】

次に、第4の加熱処理を行ってもよい。第4の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第4の加熱処理によって、結晶性絶縁膜136の結晶性を高め、かつ水素や水などの不純物を除去することができる。また、半導体膜106が酸化物半導体膜であり、かつ保護絶縁膜118が過剰酸素を含む絶縁膜であるとき、半導体膜106の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。

【0244】

次に、酸化アルミニウム膜138を成膜する（図8（C）参照。）。酸化アルミニウム膜138は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

30

【0245】

次に、第5の加熱処理を行ってもよい。第5の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第5の加熱処理によって、半導体膜106が酸化物半導体膜であり、かつ保護絶縁膜118が過剰酸素を含む絶縁膜であるとき、半導体膜106の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。なお、第4の加熱処理に代えて、第5の加熱処理を行っても構わない。このとき、酸化アルミニウム膜138を有することにより、過剰酸素の外方拡散が抑制され、効果的に酸素欠損を低減することができる。

【0246】

以上のようにして図1に示したトランジスタを作製することができる。

【0247】

半導体膜106が酸化物半導体膜であるとき、第1乃至第5の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、酸化アルミニウム膜134および酸化アルミニウム膜138がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第1乃至第5の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第1乃至第5の加熱処理を全て行うことに限定されない。

40

【0248】

次に、図2に示したトランジスタの作製方法について、図9および図10を用いて説明する。なお、簡単のため、図9および図10には、図2（B）に対応する断面図のみ示す。

【0249】

50

まず、基板 200 を準備する。基板 200 は、基板 200 として示した基板から選択して用いられよい。

【0250】

次に、結晶性絶縁膜 232 を成膜する（図 9（A）参照。）。結晶性絶縁膜 232 は、結晶性絶縁膜 232 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜 232 を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0251】

なお、結晶性絶縁膜 232 を成膜した後、第 6 の加熱処理を行ってもよい。第 6 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 6 の加熱処理によって、結晶性絶縁膜 232 の結晶性を高め、かつ水素や水などの不純物を除去することができる。

【0252】

次に、酸化アルミニウム膜 234 を成膜する（図 9（B）参照。）。酸化アルミニウム膜 234 は、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0253】

結晶性絶縁膜 232 上に酸化アルミニウム膜 234 を成膜することで、高密度で結晶性を有する酸化アルミニウム膜 234 を成膜することができる。高密度で結晶性を有する酸化アルミニウム膜 234 は、水素、水、酸素および金属元素が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0254】

なお、スパッタリング法を用いると、結晶性絶縁膜 232 上に高密度で結晶性を有する酸化アルミニウム膜 234 が成膜されやすいため、好ましい。また、酸化アルミニウム膜 234 を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0255】

次に、ゲート電極 204 となる導電膜を成膜する。ゲート電極 204 となる導電膜は、ゲート電極 204 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0256】

次に、ゲート電極 204 となる導電膜を加工し、ゲート電極 204 を形成する（図 9（C）参照。）。

【0257】

次に、ゲート絶縁膜 212 を成膜する（図 9（D）参照。）。ゲート絶縁膜 212 は、ゲート絶縁膜 212 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0258】

次に、ソース電極 216a およびドレイン電極 216b となる導電膜を成膜する。ソース電極 216a およびドレイン電極 216b となる導電膜は、ソース電極 216a およびドレイン電極 216b として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0259】

次に、ソース電極 216a およびドレイン電極 216b となる導電膜を加工し、ソース電極 216a およびドレイン電極 216b を形成する（図 10（A）参照。）。

【0260】

次に、半導体膜 206 となる半導体膜を成膜する。半導体膜 206 となる半導体膜は、半導体膜 206 として示した半導体膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。半導体膜 206 となる半導体膜は、

10

20

30

40

50

酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を100以上450以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

【0261】

なお、酸化物半導体膜の成膜後に第7の加熱処理を行ってもよい。第7の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第7の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0262】

次に、半導体膜206となる半導体膜を加工し、島状に加工された半導体膜206を形成する(図10(B)参照。)。

【0263】

なお、半導体膜206が酸化物半導体膜であるとき、半導体膜206の形成後に第8の加熱処理を行ってもよい。第8の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第8の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、ゲート絶縁膜212と半導体膜206との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面から水素や水などの不純物が除去されやすい。

【0264】

次に、保護絶縁膜218を成膜する。保護絶縁膜218は、保護絶縁膜218として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0265】

保護絶縁膜218は、例えば、石英(好ましくは合成石英)をターゲットに用い、基板加熱温度30以上450以下(好ましくは70以上200以下)、基板とターゲットの間の距離(T-S間距離)を20mm以上400mm以下(好ましくは40mm以上200mm以下)、圧力を0.1Pa以上4Pa以下(好ましくは0.2Pa以上1.2Pa以下)、高周波電源を0.5kW以上12kW以下(好ましくは1kW以上5kW以下)、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下(好ましくは50%以上100%以下)として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英(好ましくは合成石英)ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、保護絶縁膜218を過剰酸素を含む絶縁膜とすることができる。

【0266】

次に、結晶性絶縁膜236を成膜する。結晶性絶縁膜236は、結晶性絶縁膜236として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0267】

次に、第9の加熱処理を行ってもよい。第9の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第9の加熱処理によって、結晶性絶縁膜236の結晶性を高め、かつ水素や水などの不純物を除去することができる。また、半導体膜206が酸化物半導体膜であり、かつ保護絶縁膜218が過剰酸素を含む絶縁膜であるとき、半導体膜206の欠陥(酸化物半導体膜の酸素欠損)を低減することができる。

【0268】

次に、酸化アルミニウム膜238を成膜する(図10(C)参照。)。酸化アルミニウム膜238は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて

10

20

30

40

50

成膜すればよい。

【0269】

次に、第10の加熱処理を行ってもよい。第10の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第10の加熱処理によって、半導体膜206が酸化物半導体膜であり、かつ保護絶縁膜218が過剰酸素を含む絶縁膜であるとき、半導体膜206の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。なお、第9の加熱処理に代えて、第10の加熱処理を行っても構わない。このとき、酸化アルミニウム膜238を有することにより、過剰酸素の外方拡散が抑制され、効果的に酸素欠損を低減することができる。

【0270】

以上のようにして図2に示したトランジスタを作製することができる。

【0271】

半導体膜206が酸化物半導体膜であるとき、第6乃至第10の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、酸化アルミニウム膜234および酸化アルミニウム膜238がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第6乃至第10の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第6乃至第10の加熱処理を全て行うことに限定されない。

【0272】

次に、図3に示したトランジスタの作製方法について、図11および図12を用いて説明する。なお、簡単のため、図11および図12には、図3(B)に対応する断面図のみ示す。

【0273】

まず、基板300を準備する。基板300は、基板300として示した基板から選択して用いればよい。

【0274】

次に、結晶性絶縁膜332を成膜する（図11(A)参照。）。結晶性絶縁膜332は、結晶性絶縁膜332として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜332を100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0275】

なお、結晶性絶縁膜332を成膜した後、第11の加熱処理を行ってもよい。第11の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第11の加熱処理によって、結晶性絶縁膜332の結晶性を高め、かつ水素や水などの不純物を除去することができる。

【0276】

次に、酸化アルミニウム膜334を成膜する（図11(B)参照。）。酸化アルミニウム膜334は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0277】

結晶性絶縁膜332上に酸化アルミニウム膜334を成膜することで、高密度で結晶性を有する酸化アルミニウム膜334を成膜することができる。高密度で結晶性を有する酸化アルミニウム膜334は、水素、水、酸素および金属元素が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0278】

なお、スパッタリング法を用いると、結晶性絶縁膜332上に高密度で結晶性を有する酸化アルミニウム膜334が成膜されやすいため、好ましい。また、酸化アルミニウム膜334を100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する

10

20

30

40

50

絶縁膜が成膜されやすいため、好ましい。

【0279】

次に、下地絶縁膜302を成膜する(図11(C)参照。)。下地絶縁膜302は、下地絶縁膜302として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0280】

下地絶縁膜302は、例えば、石英(好ましくは合成石英)をターゲットに用い、基板加熱温度30以上450以下(好ましくは70以上200以下)、基板とターゲットの間の距離(T-S間距離)を20mm以上400mm以下(好ましくは40mm以上200mm以下)、圧力を0.1Pa以上4Pa以下(好ましくは0.2Pa以上1.2Pa以下)、高周波電源を0.5kW以上12kW以下(好ましくは1kW以上5kW以下)、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下(好ましくは50%以上100%以下)として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英(好ましくは合成石英)ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜302を過剰酸素を含む絶縁膜とすることができる。

【0281】

次に、半導体膜306となる半導体膜を成膜する。半導体膜306となる半導体膜は、半導体膜306として示した半導体膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。半導体膜306となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を100以上450以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

【0282】

なお、酸化物半導体膜の成膜後に第12の加熱処理を行ってもよい。第12の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第12の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0283】

次に、半導体膜306となる半導体膜を加工し、島状に加工された半導体膜306を形成する(図11(D)参照。)。

【0284】

なお、半導体膜306が酸化物半導体膜であるとき、半導体膜306の形成後に第13の加熱処理を行ってもよい。第13の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第13の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜302と半導体膜306との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面から水素や水などの不純物が除去されやすい。

【0285】

次に、ソース電極316aおよびドレイン電極316bとなる導電膜を成膜する。ソース電極316aおよびドレイン電極316bとなる導電膜は、ソース電極316aおよびドレイン電極316bとして示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0286】

次に、ソース電極316aおよびドレイン電極316bとなる導電膜を加工し、ソース電極316aおよびドレイン電極316bを形成する(図12(A)参照。)。

【 0 2 8 7 】

次に、ゲート絶縁膜 3 1 2 を成膜する（図 1 2（B）参照。）。ゲート絶縁膜 3 1 2 は、ゲート絶縁膜 3 1 2 として示した絶縁膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 2 8 8 】

次に、ゲート電極 3 0 4 となる導電膜を成膜する。ゲート電極 3 0 4 となる導電膜は、ゲート電極 3 0 4 として示した導電膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 2 8 9 】

次に、ゲート電極 3 0 4 となる導電膜を加工し、ゲート電極 3 0 4 を形成する（図 1 2（C）参照。）。 10

【 0 2 9 0 】

次に、結晶性絶縁膜 3 3 6 を成膜する。結晶性絶縁膜 3 3 6 は、結晶性絶縁膜 3 3 6 として示した絶縁膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 2 9 1 】

次に、第 1 4 の加熱処理を行ってもよい。第 1 4 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 1 4 の加熱処理によって、結晶性絶縁膜 3 3 6 の結晶性を高め、かつ水素や水などの不純物を除去することができる。また、半導体膜 3 0 6 が酸化物半導体膜であり、かつ下地絶縁膜 3 0 2 が過剰酸素を含む絶縁膜であるとき、半導体膜 3 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。 20

【 0 2 9 2 】

次に、酸化アルミニウム膜 3 3 8 を成膜する（図 1 2（D）参照。）。酸化アルミニウム膜 3 3 8 は、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 2 9 3 】

次に、第 1 5 の加熱処理を行ってもよい。第 1 5 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 1 5 の加熱処理によって、半導体膜 3 0 6 が酸化物半導体膜であり、かつ下地絶縁膜 3 0 2 が過剰酸素を含む絶縁膜であるとき、半導体膜 3 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。なお、第 1 4 の加熱処理に代えて、第 1 5 の加熱処理を行っても構わない。このとき、酸化アルミニウム膜 3 3 8 を有することにより、過剰酸素の外方拡散が抑制され、効果的に酸素欠損を低減することができる。 30

【 0 2 9 4 】

以上のようにして図 3 に示したトランジスタを作製することができる。

【 0 2 9 5 】

半導体膜 3 0 6 が酸化物半導体膜であるとき、第 1 1 乃至第 1 5 の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、酸化アルミニウム膜 3 3 4 および酸化アルミニウム膜 3 3 8 がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第 1 1 乃至第 1 5 の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし第 1 1 乃至第 1 5 の加熱処理を全て行うことに限定されない。 40

【 0 2 9 6 】

次に、図 4 に示したトランジスタの作製方法について、図 1 3 および図 1 4 を用いて説明する。なお、簡単のため、図 1 3 および図 1 4 には、図 4（B）に対応する断面図のみ示す。

【 0 2 9 7 】

まず、基板 4 0 0 を準備する。基板 4 0 0 は、基板 4 0 0 として示した基板から選択して用いられればよい。

【 0 2 9 8 】

次に、結晶性絶縁膜 4 3 2 を成膜する（図 1 3（A）参照。）。結晶性絶縁膜 4 3 2 は、結晶性絶縁膜 4 3 2 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜 4 3 2 を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0299】

なお、結晶性絶縁膜 4 3 2 を成膜した後、第 1 6 の加熱処理を行ってもよい。第 1 6 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 1 6 の加熱処理によって、結晶性絶縁膜 4 3 2 の結晶性を高め、かつ水素や水などの不純物を除去することができる。

10

【0300】

次に、酸化アルミニウム膜 4 3 4 を成膜する（図 1 3（B）参照。）。酸化アルミニウム膜 4 3 4 は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0301】

結晶性絶縁膜 4 3 2 上に酸化アルミニウム膜 4 3 4 を成膜することで、高密度で結晶性を有する酸化アルミニウム膜 4 3 4 を成膜することができる。高密度で結晶性を有する酸化アルミニウム膜 4 3 4 は、水素、水、酸素および金属元素が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

20

【0302】

なお、スパッタリング法を用いると、結晶性絶縁膜 4 3 2 上に高密度で結晶性を有する酸化アルミニウム膜 4 3 4 が成膜されやすいため、好ましい。また、酸化アルミニウム膜 4 3 4 を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0303】

次に、下地絶縁膜 4 0 2 を成膜する（図 1 3（C）参照。）。下地絶縁膜 4 0 2 は、下地絶縁膜 4 0 2 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0304】

下地絶縁膜 4 0 2 は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度 3 0 以上 4 5 0 以下（好ましくは 7 0 以上 2 0 0 以下）、基板とターゲットの間の距離（T-S間距離）を 2 0 mm以上 4 0 0 mm以下（好ましくは 4 0 mm以上 2 0 0 mm以下）、圧力を 0 . 1 Pa以上 4 Pa以下（好ましくは 0 . 2 Pa以上 1 . 2 Pa以下）、高周波電源を 0 . 5 kW以上 1 2 kW以下（好ましくは 1 kW以上 5 kW以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を 2 0 %超過 1 0 0 %以下（好ましくは 5 0 %以上 1 0 0 %以下）として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜 4 0 2 を過剰酸素を含む絶縁膜とすることができる。

30

40

【0305】

次に、ソース電極 4 1 6 a およびドレイン電極 4 1 6 b となる導電膜を成膜する。ソース電極 4 1 6 a およびドレイン電極 4 1 6 b となる導電膜は、ソース電極 4 1 6 a およびドレイン電極 4 1 6 b として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0306】

次に、ソース電極 4 1 6 a およびドレイン電極 4 1 6 b となる導電膜を加工し、ソース電極 4 1 6 a およびドレイン電極 4 1 6 b を形成する（図 1 3（D）参照。）。

【0307】

50

次に、半導体膜 406 となる半導体膜を成膜する。半導体膜 406 となる半導体膜は、半導体膜 406 として示した半導体膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。半導体膜 406 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

【0308】

なお、酸化物半導体膜の成膜後に第 17 の加熱処理を行ってもよい。第 17 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 17 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

10

【0309】

次に、半導体膜 406 となる半導体膜を加工し、島状に加工された半導体膜 406 を形成する(図 14 (A) 参照。)。

【0310】

なお、半導体膜 406 が酸化物半導体膜であるとき、半導体膜 406 の形成後に第 18 の加熱処理を行ってもよい。第 18 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 18 の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜 402 と半導体膜 406 との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜が CAAC-OS 膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面から水素や水などの不純物が除去されやすい。

20

【0311】

次に、ゲート絶縁膜 412 を成膜する(図 14 (B) 参照。)。ゲート絶縁膜 412 は、ゲート絶縁膜 412 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0312】

次に、ゲート電極 404 となる導電膜を成膜する。ゲート電極 404 となる導電膜は、ゲート電極 404 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

30

【0313】

次に、ゲート電極 404 となる導電膜を加工し、ゲート電極 404 を形成する(図 14 (C) 参照。)。

【0314】

次に、結晶性絶縁膜 436 を成膜する。結晶性絶縁膜 436 は、結晶性絶縁膜 436 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0315】

次に、第 19 の加熱処理を行ってもよい。第 19 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 19 の加熱処理によって、結晶性絶縁膜 436 の結晶性を高め、かつ水素や水などの不純物を除去することができる。また、半導体膜 406 が酸化物半導体膜であり、かつ下地絶縁膜 402 が過剰酸素を含む絶縁膜であるとき、半導体膜 406 の欠陥(酸化物半導体膜の酸素欠損)を低減することができる。

40

【0316】

次に、酸化アルミニウム膜 438 を成膜する(図 14 (D) 参照。)。酸化アルミニウム膜 438 は、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0317】

50

次に、第 20 の加熱処理を行ってもよい。第 20 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 20 の加熱処理によって、半導体膜 406 が酸化物半導体膜であり、かつ下地絶縁膜 402 が過剰酸素を含む絶縁膜であるとき、半導体膜 406 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。なお、第 19 の加熱処理に代えて、第 20 の加熱処理を行っても構わない。このとき、酸化アルミニウム膜 438 を有することにより、過剰酸素の外方拡散が抑制され、効果的に酸素欠損を低減することができる。

【0318】

以上のようにして図 4 に示したトランジスタを作製することができる。

【0319】

半導体膜 406 が酸化物半導体膜であるとき、第 16 乃至第 20 の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、酸化アルミニウム膜 434 および酸化アルミニウム膜 438 がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第 16 乃至第 20 の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第 16 乃至第 20 の加熱処理を全て行うことに限定されない。

【0320】

次に、図 5 に示したトランジスタの作製方法について、図 15 および図 16 を用いて説明する。なお、簡単のため、図 15 および図 16 には、図 5 (B) に対応する断面図のみ示す。

【0321】

まず、基板 500 を準備する。基板 500 は、基板 500 として示した基板から選択して用いればよい。

【0322】

次に、結晶性絶縁膜 532 を成膜する（図 15 (A) 参照。）。結晶性絶縁膜 532 は、結晶性絶縁膜 532 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜 532 を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0323】

なお、結晶性絶縁膜 532 を成膜した後、第 21 の加熱処理を行ってもよい。第 21 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 21 の加熱処理によって、結晶性絶縁膜 532 の結晶性を高め、かつ水素や水などの不純物を除去することができる。

【0324】

次に、酸化アルミニウム膜 534 を成膜する（図 15 (B) 参照。）。酸化アルミニウム膜 534 は、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0325】

結晶性絶縁膜 532 上に酸化アルミニウム膜 534 を成膜することで、高密度で結晶性を有する酸化アルミニウム膜 534 を成膜することができる。高密度で結晶性を有する酸化アルミニウム膜 534 は、水素、水、酸素および金属元素が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0326】

なお、スパッタリング法を用いると、結晶性絶縁膜 532 上に高密度で結晶性を有する酸化アルミニウム膜 534 が成膜されやすいため、好ましい。また、酸化アルミニウム膜 534 を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0327】

次に、下地絶縁膜 502 を成膜する（図 15（C）参照。）。下地絶縁膜 502 は、下地絶縁膜 502 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0328】

下地絶縁膜 502 は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度 30 以上 450 以下（好ましくは 70 以上 200 以下）、基板とターゲットの間の距離（T-S 間距離）を 20 mm 以上 400 mm 以下（好ましくは 40 mm 以上 200 mm 以下）、圧力を 0.1 Pa 以上 4 Pa 以下（好ましくは 0.2 Pa 以上 1.2 Pa 以下）、高周波電源を 0.5 kW 以上 12 kW 以下（好ましくは 1 kW 以上 5 kW 以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を 20% 超過 100% 以下（好ましくは 50% 以上 100% 以下）として、RF スパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜 502 を過剰酸素を含む絶縁膜とすることができる。

10

【0329】

次に、半導体膜 506 となる半導体膜を成膜する。半導体膜 506 となる半導体膜は、半導体膜 506 として示した半導体膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。半導体膜 506 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

20

【0330】

なお、酸化物半導体膜の成膜後に第 22 の加熱処理を行ってもよい。第 22 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 22 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0331】

次に、半導体膜 506 となる半導体膜を加工し、島状に加工された半導体膜 506 を形成する（図 16（A）参照。）。

30

【0332】

なお、半導体膜 506 が酸化物半導体膜であるとき、半導体膜 506 の形成後に第 23 の加熱処理を行ってもよい。第 23 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 23 の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜 502 と半導体膜 506 との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜が CAC-OS 膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面から水素や水などの不純物が除去されやすい。

40

【0333】

次に、ゲート絶縁膜 512 となる絶縁膜 513 を成膜する（図 16（A）参照。）。絶縁膜 513 は、ゲート絶縁膜 512 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0334】

次に、ゲート電極 504 となる導電膜を成膜する。ゲート電極 504 となる導電膜は、ゲート電極 504 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0335】

次に、ゲート電極 504 となる導電膜を加工し、ゲート電極 504 を形成する。

50

【0336】

次に、ゲート電極504の加工で用いたレジストマスクまたはゲート電極504をマスクとして、絶縁膜513を加工し、ゲート絶縁膜512を形成する(図16(B)参照。)

【0337】

次に、ゲート電極504をマスクとし、半導体膜506に不純物を添加してもよい。不純物としては、半導体膜506が低抵抗化する不純物から選択して添加すればよい。なお、半導体膜506が酸化物半導体膜である場合、不純物として、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、不純物を添加するためには、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いればよい。このとき、加速電圧を5kV以上100kV以下とする。また、不純物の添加量は 1×10^{14} ions/cm²以上 1×10^{16} ions/cm²以下とする。

10

【0338】

次に、第24の加熱処理を行ってもよい。第24の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第24の加熱処理によって、半導体膜506の不純物の添加された領域を低抵抗領域とすることができる。また、半導体膜506が酸化物半導体膜であり、かつ下地絶縁膜502が過剰酸素を含む絶縁膜であるとき、半導体膜506の欠陥(酸化物半導体膜の酸素欠損)を低減することもできる。

20

【0339】

次に、結晶性絶縁膜536を成膜する。結晶性絶縁膜536は、結晶性絶縁膜536として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0340】

次に、第25の加熱処理を行ってもよい。第25の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第25の加熱処理によって、結晶性絶縁膜536の結晶性を高め、かつ水素や水などの不純物を除去することができる。また、半導体膜506が酸化物半導体膜であり、かつ下地絶縁膜502が過剰酸素を含む絶縁膜であるとき、半導体膜506の欠陥(酸化物半導体膜の酸素欠損)を低減することができる。

30

【0341】

次に、酸化アルミニウム膜538を成膜する(図16(C)参照。)。酸化アルミニウム膜538は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0342】

次に、第26の加熱処理を行ってもよい。第26の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第26の加熱処理によって、半導体膜506が酸化物半導体膜であり、かつ下地絶縁膜502が過剰酸素を含む絶縁膜であるとき、半導体膜506の欠陥(酸化物半導体膜の酸素欠損)を低減することができる。なお、第25の加熱処理に代えて、第26の加熱処理を行っても構わない。このとき、酸化アルミニウム膜538を有することにより、過剰酸素の外方拡散が抑制され、効果的に酸素欠損を低減することができる。

40

【0343】

次に、保護絶縁膜518を成膜する。保護絶縁膜518は、保護絶縁膜518として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0344】

次に、結晶性絶縁膜536、酸化アルミニウム膜538および保護絶縁膜518を加工し、半導体膜506を露出する開口部を形成する。

【0345】

50

次に、配線 5 2 4 a および配線 5 2 4 b となる導電膜を成膜する。配線 5 2 4 a および配線 5 2 4 b となる導電膜は、配線 5 2 4 a および配線 5 2 4 b として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0346】

次に、配線 5 2 4 a および配線 5 2 4 b となる導電膜を加工し、配線 5 2 4 a および配線 5 2 4 b を形成する（図 1 6 (D) 参照。）。

【0347】

以上のようにして図 5 に示したトランジスタを作製することができる。

【0348】

半導体膜 5 0 6 が酸化物半導体膜であるとき、第 2 1 乃至第 2 6 の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、酸化アルミニウム膜 5 3 4 および酸化アルミニウム膜 5 3 8 がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第 2 1 乃至第 2 6 の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第 2 1 乃至第 2 6 の加熱処理を全て行うことに限定されない。

【0349】

次に、図 6 に示したトランジスタの作製方法について、図 1 7 乃至図 1 9 を用いて説明する。なお、簡単のため、図 1 7 乃至図 1 9 には、図 6 (B) に対応する断面図のみ示す。

【0350】

まず、基板 6 0 0 を準備する。基板 6 0 0 は、基板 6 0 0 として示した基板から選択して用いればよい。

【0351】

次に、結晶性絶縁膜 6 3 2 を成膜する（図 1 7 (A) 参照。）。結晶性絶縁膜 6 3 2 は、結晶性絶縁膜 6 3 2 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜 6 3 2 を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0352】

なお、結晶性絶縁膜 6 3 2 を成膜した後、第 2 7 の加熱処理を行ってもよい。第 2 7 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 2 7 の加熱処理によって、結晶性絶縁膜 6 3 2 の結晶性を高め、かつ水素や水などの不純物を除去することができる。

【0353】

次に、酸化アルミニウム膜 6 3 4 を成膜する（図 1 7 (B) 参照。）。酸化アルミニウム膜 6 3 4 は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0354】

結晶性絶縁膜 6 3 2 上に酸化アルミニウム膜 6 3 4 を成膜することで、高密度で結晶性を有する酸化アルミニウム膜 6 3 4 を成膜することができる。高密度で結晶性を有する酸化アルミニウム膜 6 3 4 は、水素、水、酸素および金属元素が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0355】

なお、スパッタリング法を用いると、結晶性絶縁膜 6 3 2 上に高密度で結晶性を有する酸化アルミニウム膜 6 3 4 が成膜されやすいため、好ましい。また、酸化アルミニウム膜 6 3 4 を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0356】

次に、下地絶縁膜 6 0 2 を成膜する（図 1 7 (C) 参照。）。下地絶縁膜 6 0 2 は、下地

10

20

30

40

50

絶縁膜 602 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0357】

下地絶縁膜 602 は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度 30 以上 450 以下（好ましくは 70 以上 200 以下）、基板とターゲットの間の距離（T-S 間距離）を 20 mm 以上 400 mm 以下（好ましくは 40 mm 以上 200 mm 以下）、圧力を 0.1 Pa 以上 4 Pa 以下（好ましくは 0.2 Pa 以上 1.2 Pa 以下）、高周波電源を 0.5 kW 以上 12 kW 以下（好ましくは 1 kW 以上 5 kW 以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を 20 % 超過 100 % 以下（好ましくは 50 % 以上 100 % 以下）として、RF スパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜 602 を過剰酸素を含む絶縁膜とすることができる。

10

【0358】

次に、半導体膜 606 となる半導体膜を成膜する。半導体膜 606 となる半導体膜は、半導体膜 606 として示した半導体膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。半導体膜 606 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

20

【0359】

なお、酸化物半導体膜の成膜後に第 28 の加熱処理を行ってもよい。第 28 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 28 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0360】

次に、半導体膜 606 となる半導体膜を加工し、島状に加工された半導体膜 606 を形成する（図 17（D）参照。）。

30

【0361】

なお、半導体膜 606 が酸化物半導体膜であるとき、半導体膜 606 の形成後に第 29 の加熱処理を行ってもよい。第 29 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 29 の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜 602 と半導体膜 606 との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜が CAAc-Os 膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面から水素や水などの不純物が除去されやすい。

40

【0362】

次に、ゲート絶縁膜 612 となる絶縁膜を成膜する。ゲート絶縁膜 612 となる絶縁膜は、ゲート絶縁膜 612 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0363】

次に、ゲート電極 604 となる導電膜を成膜する。ゲート電極 604 となる導電膜は、ゲート電極 604 として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【0364】

次に、ゲート電極 604 となる導電膜を加工し、ゲート電極 604 となる導電膜 605 を形成する。

50

【0365】

次に、導電膜605の加工で用いたレジストマスクまたは導電膜605をマスクとして、ゲート絶縁膜612となる絶縁膜を加工し、ゲート絶縁膜612を形成する(図18(A)参照。)

【0366】

次に、導電膜605をマスクとし、半導体膜606に不純物を添加してもよい(第1の不純物添加ともいう。)。不純物としては、半導体膜606が低抵抗化する不純物から選択して添加すればよい。なお、半導体膜606が酸化物半導体膜である場合、不純物として、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、不純物を添加するためには、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いればよい。このとき、加速電圧を5kV以上100kV以下とする。また、不純物の添加量は $1 \times 10^{14} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とする。

10

【0367】

次に、側壁絶縁膜611となる絶縁膜を成膜する。側壁絶縁膜611となる絶縁膜は、側壁絶縁膜610として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。次に、側壁絶縁膜611となる絶縁膜に対し異方性の高いエッチング処理を行うことにより、ゲート絶縁膜612および導電膜605の側面に接する側壁絶縁膜611を形成することができる(図18(B)参照。)

20

【0368】

次に、導電膜605および側壁絶縁膜611をマスクとし、半導体膜606に不純物を添加してもよい(第2の不純物添加ともいう。)。第2の不純物添加は、第1の不純物添加の条件を参照すればよい。第1の不純物添加および第2の不純物添加を行うことで、半導体膜606に二種類の低抵抗領域を設けることができる。そのため、ドレイン電極端での電界集中が緩和されやすく、ホットキャリア劣化の抑制効果が高い。また、ソース電極端においてドレイン電極端からの電界の影響が小さくなり、DIBLを抑制することができる。なお、第1の不純物添加および第2の不純物添加は、いずれか一方のみを行うこととしてもよい。

30

【0369】

次に、第30の加熱処理を行ってもよい。第30の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第30の加熱処理によって、半導体膜606の不純物の添加された領域を低抵抗領域とすることができる。また、半導体膜606が酸化物半導体膜であり、かつ下地絶縁膜602が過剰酸素を含む絶縁膜であるとき、半導体膜606の欠陥(酸化物半導体膜の酸素欠損)を低減することもできる。

【0370】

次に、ソース電極616aおよびドレイン電極616bとなる導電膜を成膜する。ソース電極616aおよびドレイン電極616bとなる導電膜は、ソース電極616aおよびドレイン電極616bとして示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

40

【0371】

次に、ソース電極616aおよびドレイン電極616bとなる導電膜を加工し、導電膜616を形成する(図18(C)参照。)

【0372】

次に、結晶性絶縁膜637を成膜する(図18(D)参照。)。結晶性絶縁膜637は、結晶性絶縁膜637として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0373】

次に、第31の加熱処理を行ってもよい。第31の加熱処理は第1の加熱処理と同様の条

50

件から選択して行えばよい。第 3 1 の加熱処理によって、結晶性絶縁膜 6 3 7 の結晶性を高め、かつ水素や水などの不純物を除去することができる。また、半導体膜 6 0 6 が酸化物半導体膜であり、かつ下地絶縁膜 6 0 2 が過剰酸素を含む絶縁膜であるとき、半導体膜 6 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。

【 0 3 7 4 】

次に、酸化アルミニウム膜 6 3 9 を成膜する（図 1 9（A）参照。）。酸化アルミニウム膜 6 3 9 は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 3 7 5 】

次に、第 3 2 の加熱処理を行ってもよい。第 3 2 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 3 2 の加熱処理によって、半導体膜 6 0 6 が酸化物半導体膜であり、かつ下地絶縁膜 6 0 2 が過剰酸素を含む絶縁膜であるとき、半導体膜 6 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。なお、第 3 1 の加熱処理に代えて、第 3 2 の加熱処理を行っても構わない。このとき、酸化アルミニウム膜 6 3 9 を有することにより、過剰酸素の外方拡散が抑制され、効果的に酸素欠損を低減することができる。

10

【 0 3 7 6 】

次に、絶縁膜 6 4 0 となる絶縁膜 6 4 1 を成膜する（図 1 9（B）参照。）。絶縁膜 6 4 1 は、絶縁膜 6 4 0 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

20

【 0 3 7 7 】

次に、絶縁膜 6 4 1、酸化アルミニウム膜 6 3 9、結晶性絶縁膜 6 3 7、導電膜 6 1 6、側壁絶縁膜 6 1 1 および導電膜 6 0 5 に対し、各層の表面の高さが揃うよう加工する。当該加工は、ドライエッチング処理、または化学機械研磨（CMP：Chemical Mechanical Polishing）処理によって行えばよい。当該加工によって、導電膜 6 0 5 がゲート電極 6 0 4 となり、側壁絶縁膜 6 1 1 が側壁絶縁膜 6 1 0 となり、導電膜 6 1 6 がソース電極 6 1 6 a およびドレイン電極 6 1 6 b となり、結晶性絶縁膜 6 3 7 が結晶性絶縁膜 6 3 6 となり、酸化アルミニウム膜 6 3 9 が酸化アルミニウム膜 6 3 8 となり、絶縁膜 6 4 1 が絶縁膜 6 4 0 となる（図 1 9（C）参照。）。

【 0 3 7 8 】

30

このようにして、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b を形成することで、ゲート電極 6 0 4 とソース電極 6 1 6 a およびドレイン電極 6 1 6 b との距離を側壁絶縁膜 6 1 0 の厚さと同様にすることができる。従って、ゲート電極 6 0 4 とソース電極 6 1 6 a およびドレイン電極 6 1 6 b との距離の長さを最小加工寸法よりも小さくできるため、図 6 に示すトランジスタの構成は微細なトランジスタを作製する際に好適な構造である。

【 0 3 7 9 】

このような構造としたときに、酸化アルミニウム膜 6 3 8 の耐薬品性が高いため、形状不良の発生が抑制できる。従って、酸化アルミニウム膜 6 3 8 の形状不良箇所において、エッチング残渣物が生じることや、さらなる形状不良の原因ともなることが抑制できる。従って、安定した電気特性のトランジスタとすることができる。

40

【 0 3 8 0 】

次に、保護絶縁膜 6 1 8 を成膜する。保護絶縁膜 6 1 8 は、保護絶縁膜 6 1 8 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 3 8 1 】

次に、結晶性絶縁膜 6 3 6、酸化アルミニウム膜 6 3 8、絶縁膜 6 4 0 および保護絶縁膜 6 1 8 を加工し、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b を露出する開口部を形成する。

【 0 3 8 2 】

次に、配線 6 2 4 a および配線 6 2 4 b となる導電膜を成膜する。配線 6 2 4 a および配

50

線 6 2 4 b となる導電膜は、配線 6 2 4 a および配線 6 2 4 b として示した導電膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 3 8 3 】

次に、配線 6 2 4 a および配線 6 2 4 b となる導電膜を加工し、配線 6 2 4 a および配線 6 2 4 b を形成する（図 1 8 (C) 参照。）。

【 0 3 8 4 】

以上のようにして図 6 に示したトランジスタを作製することができる。

【 0 3 8 5 】

半導体膜 6 0 6 が酸化物半導体膜であるとき、第 2 7 乃至第 3 2 の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、酸化アルミニウム膜 6 3 4 および酸化アルミニウム膜 6 3 8 がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第 2 7 乃至第 3 2 の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第 2 7 乃至第 3 2 の加熱処理を全て行うことに限定されない。

10

【 0 3 8 6 】

本実施の形態より、不純物に対して高いバリア性を有する酸化アルミニウム膜を形成するため、安定した電気特性を有し、信頼性が高いトランジスタを提供することができる。

【 0 3 8 7 】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。

20

【 0 3 8 8 】

（実施の形態 3）

本実施の形態では、本発明の一態様に係るトランジスタについて説明する。

【 0 3 8 9 】

図 2 0 (A) は本発明の一態様に係るトランジスタの上面図である。図 2 0 (A) に示す一点鎖線 G 1 - G 2 に対応する断面図を図 2 0 (B) に示す。また、図 2 0 (A) に示す一点鎖線 G 3 - G 4 に対応する断面図を図 2 0 (C) に示す。なお、簡単のため、図 2 0 (A) においては、ゲート絶縁膜 2 1 1 2 などを省略して示す。

30

【 0 3 9 0 】

図 2 0 (B) は、基板 2 1 0 0 上に設けられたゲート電極 2 1 0 4 と、ゲート電極 2 1 0 4 上に設けられたゲート絶縁膜 2 1 1 2 と、ゲート絶縁膜 2 1 1 2 上にあり、ゲート電極 2 1 0 4 と重畳して設けられた半導体膜 2 1 0 6 と、半導体膜 2 1 0 6 上に設けられたソース電極 2 1 1 6 a およびドレイン電極 2 1 1 6 b と、半導体膜 2 1 0 6、ソース電極 2 1 1 6 a およびドレイン電極 2 1 1 6 b 上に設けられた保護絶縁膜 2 1 1 8 と、を有するトランジスタの断面図である。なお、ゲート絶縁膜 2 1 1 2 は、結晶性絶縁膜 2 1 1 2 a、および結晶性絶縁膜 2 1 1 2 a 上に設けられた酸化アルミニウム膜 2 1 1 2 b を有する。

40

【 0 3 9 1 】

ここで、結晶性絶縁膜 2 1 1 2 a は、M g、T i、V、C r、Y、Z r および T a のいずれか一種以上を含む。具体的には、酸化マグネシウム、酸化チタン、酸化バナジウム、酸化クロム、酸化イットリウム、酸化ジルコニウムおよび酸化タンタルのいずれかを一種以上含むと好ましい。例えば、酸化ジルコニウムおよび酸化イットリウムを含む絶縁膜を用いることができる。

【 0 3 9 2 】

結晶性絶縁膜 2 1 1 2 a は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 3 9 3 】

50

酸化アルミニウム膜 2 1 1 2 b は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

【 0 3 9 4 】

酸化アルミニウム膜 2 1 1 2 b は、結晶性絶縁膜 2 1 1 2 a との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は欠陥が多いため、ゲート絶縁膜として用いると、トランジスタの電気特性の劣化が生じる場合がある。酸化アルミニウム膜 2 1 1 2 b は、欠陥が少ないため、ゲート絶縁膜 2 1 1 2 の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

【 0 3 9 5 】

酸化アルミニウム膜 2 1 1 2 b は、高密度の酸化アルミニウム膜である。具体的には、X R R またはラザフォード R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 2 1 1 2 b は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【 0 3 9 6 】

なお、酸化アルミニウム膜 2 1 1 2 b は、結晶性絶縁膜 2 1 1 2 a の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。従って、酸化アルミニウム膜 2 1 1 2 b は欠陥が少ないため、良好なゲート絶縁膜 2 1 1 2 を構成する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜はリーク電流が大きいため、ゲート絶縁膜として用いると、トランジスタのオフ電流を増大させる場合がある。また、低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

【 0 3 9 7 】

また、酸化アルミニウム膜 2 1 1 2 b は、比誘電率が 7 以上 10 以下となる。従って、要求される等価酸化膜厚に対し 2 倍程度の物理膜厚とすることができる。そのため、ゲートリーク電流を低減することができる場合がある。

【 0 3 9 8 】

半導体膜 2 1 0 6 は、シリコン膜、ゲルマニウム膜、シリコンゲルマニウム膜、ヒ化ガリウム膜、炭化シリコン膜または窒化ガリウム膜を用いればよい。なお、半導体膜 2 1 0 6 として、有機半導体膜を用いてもよい。また、半導体膜 2 1 0 6 として、酸化物半導体膜を用いてもよい。

【 0 3 9 9 】

なお、半導体膜 2 1 0 6 に用いる酸化物半導体膜としては、先の実施の形態の記載を参照する。

【 0 4 0 0 】

基板 2 1 0 0 は、基板 1 0 0 の記載を参照する。

【 0 4 0 1 】

ゲート電極 2 1 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 4 0 2 】

ソース電極 2 1 1 6 a およびドレイン電極 2 1 1 6 b は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b の記載を参照する。

【 0 4 0 3 】

保護絶縁膜 2 1 1 8 は、保護絶縁膜 1 1 8 の記載を参照する。

【 0 4 0 4 】

次に、図 2 0 とは異なる構造のトランジスタについて、図 2 1 を用いて説明する。

【 0 4 0 5 】

図 2 1 (A) は本発明の一態様に係るトランジスタの上面図である。図 2 1 (A) に示す

10

20

30

40

50

一点鎖線 H 1 - H 2 に対応する断面図を図 2 1 (B) に示す。また、図 2 1 (A) に示す一点鎖線 H 3 - H 4 に対応する断面図を図 2 1 (C) に示す。なお、簡単のため、図 2 1 (A) においては、ゲート絶縁膜 2 2 1 2 などを省略して示す。

【 0 4 0 6 】

図 2 1 (B) は、基板 2 2 0 0 上に設けられたゲート電極 2 2 0 4 と、ゲート電極 2 2 0 4 上に設けられたゲート絶縁膜 2 2 1 2 と、ゲート絶縁膜 2 2 1 2 上に設けられたソース電極 2 2 1 6 a およびドレイン電極 2 2 1 6 b と、ゲート絶縁膜 2 2 1 2、ソース電極 2 2 1 6 a およびドレイン電極 2 2 1 6 b 上にあり、ゲート電極 2 2 0 4 と重畳して設けられた半導体膜 2 2 0 6 と、半導体膜 2 2 0 6、ソース電極 2 2 1 6 a およびドレイン電極 2 2 1 6 b 上に設けられた保護絶縁膜 2 2 1 8 と、を有するトランジスタの断面図である。なお、ゲート絶縁膜 2 2 1 2 は、結晶性絶縁膜 2 2 1 2 a、および結晶性絶縁膜 2 2 1 2 a 上に設けられた酸化アルミニウム膜 2 2 1 2 b を有する。

10

【 0 4 0 7 】

ここで、結晶性絶縁膜 2 2 1 2 a は、結晶性絶縁膜 2 1 1 2 a の記載を参照する。

【 0 4 0 8 】

結晶性絶縁膜 2 2 1 2 a は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 4 0 9 】

酸化アルミニウム膜 2 2 1 2 b は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

20

【 0 4 1 0 】

酸化アルミニウム膜 2 2 1 2 b は、結晶性絶縁膜 2 2 1 2 a との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は欠陥が多いため、ゲート絶縁膜として用いると、トランジスタの電気特性の劣化が生じる場合がある。酸化アルミニウム膜 2 2 1 2 b は、欠陥が少ないため、ゲート絶縁膜 2 2 1 2 の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

【 0 4 1 1 】

酸化アルミニウム膜 2 2 1 2 b は、高密度の酸化アルミニウム膜である。具体的には、X R R または R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 2 2 1 2 b は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

30

【 0 4 1 2 】

なお、酸化アルミニウム膜 2 2 1 2 b は、結晶性絶縁膜 2 2 1 2 a の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。従って、酸化アルミニウム膜 2 2 1 2 b は欠陥が少ないため、良好なゲート絶縁膜 2 2 1 2 を構成する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜はリーク電流が大きいため、ゲート絶縁膜として用いると、トランジスタのオフ電流を増大させる場合がある。また、低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

40

【 0 4 1 3 】

また、酸化アルミニウム膜 2 2 1 2 b は、比誘電率が 7 以上 10 以下となる。従って、要求される等価酸化膜厚に対し 2 倍程度の物理膜厚とすることができる。そのため、ゲートリーク電流を低減することができる場合がある。

【 0 4 1 4 】

半導体膜 2 2 0 6 は、半導体膜 1 0 6 の記載を参照する。

【 0 4 1 5 】

50

基板 2 2 0 0 は、基板 1 0 0 の記載を参照する。

【 0 4 1 6 】

ゲート電極 2 2 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 4 1 7 】

ソース電極 2 2 1 6 a およびドレイン電極 2 2 1 6 b は、ソース電極 1 1 6 a およびドレイン電極 1 1 6 b の記載を参照する。

【 0 4 1 8 】

保護絶縁膜 2 2 1 8 は、保護絶縁膜 1 1 8 の記載を参照する。

【 0 4 1 9 】

保護絶縁膜 2 2 1 8 は、過剰酸素を含む絶縁膜であると好ましい。

10

【 0 4 2 0 】

保護絶縁膜 2 2 1 8 が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【 0 4 2 1 】

次に、図 2 0 および図 2 1 とは異なる構造のトランジスタについて、図 2 2 を用いて説明する。

【 0 4 2 2 】

図 2 2 (A) は本発明の一態様に係るトランジスタの上面図である。図 2 2 (A) に示す一点鎖線 I 1 - I 2 に対応する断面図を図 2 2 (B) に示す。また、図 2 2 (A) に示す一点鎖線 I 3 - I 4 に対応する断面図を図 2 2 (C) に示す。なお、簡単のため、図 2 2 (A) においては、ゲート絶縁膜 2 3 1 2 などを省略して示す。

20

【 0 4 2 3 】

図 2 2 (B) は、基板 2 3 0 0 上に設けられた下地絶縁膜 2 3 0 2 と、下地絶縁膜 2 3 0 2 上に設けられた半導体膜 2 3 0 6 と、半導体膜 2 3 0 6 上に設けられたソース電極 2 3 1 6 a およびドレイン電極 2 3 1 6 b と、半導体膜 2 3 0 6、ソース電極 2 3 1 6 a およびドレイン電極 2 3 1 6 b 上に設けられたゲート絶縁膜 2 3 1 2 と、ゲート絶縁膜 2 3 1 2 上にあり、半導体膜 2 3 0 6 と重畳して設けられたゲート電極 2 3 0 4 と、を有するトランジスタの断面図である。なお、ゲート絶縁膜 2 3 1 2 は、結晶性絶縁膜 2 3 1 2 a、および結晶性絶縁膜 2 3 1 2 a 上に設けられた酸化アルミニウム膜 2 3 1 2 b を有する。

【 0 4 2 4 】

ここで、結晶性絶縁膜 2 3 1 2 a は、結晶性絶縁膜 2 1 1 2 a の記載を参照する。

30

【 0 4 2 5 】

結晶性絶縁膜 2 3 1 2 a は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 4 2 6 】

酸化アルミニウム膜 2 3 1 2 b は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

【 0 4 2 7 】

酸化アルミニウム膜 2 3 1 2 b は、結晶性絶縁膜 2 3 1 2 a との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は欠陥が多いため、ゲート絶縁膜として用いると、トランジスタの電気特性の劣化が生じる場合がある。酸化アルミニウム膜 2 3 1 2 b は、欠陥が少ないため、ゲート絶縁膜 2 3 1 2 の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

40

【 0 4 2 8 】

酸化アルミニウム膜 2 3 1 2 b は、高密度の酸化アルミニウム膜である。具体的には、X R R または R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 2 3 1 2 b は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【 0 4 2 9 】

50

なお、酸化アルミニウム膜 2 3 1 2 b は、結晶性絶縁膜 2 3 1 2 a の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g/cm^3 未満の層を有さない。従って、酸化アルミニウム膜 2 3 1 2 b は欠陥が少ないため、良好なゲート絶縁膜 2 3 1 2 を構成する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜はリーク電流が大きいため、ゲート絶縁膜として用いると、トランジスタのオフ電流を増大させる場合がある。また、低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

10

【0430】

また、酸化アルミニウム膜 2 3 1 2 b は、比誘電率が 7 以上 10 以下となる。従って、要求される等価酸化膜厚に対し 2 倍程度の物理膜厚とすることができる。そのため、ゲートリーク電流を低減することができる場合がある。

【0431】

半導体膜 2 3 0 6 は、半導体膜 1 0 6 の記載を参照する。

【0432】

基板 2 3 0 0 は、基板 1 0 0 の記載を参照する。

【0433】

下地絶縁膜 2 3 0 2 は、下地絶縁膜 3 0 2 の記載を参照する。

20

【0434】

ソース電極 2 3 1 6 a およびドレイン電極 2 3 1 6 b は、ソース電極 2 1 1 6 a およびドレイン電極 2 1 1 6 b の記載を参照する。

【0435】

ゲート電極 2 3 0 4 は、ゲート電極 2 1 0 4 の記載を参照する。

【0436】

次に、図 2 0 乃至図 2 2 とは異なる構造のトランジスタについて、図 2 3 を用いて説明する。

【0437】

図 2 3 (A) は本発明の一態様に係るトランジスタの上面図である。図 2 3 (A) に示す一点鎖線 J 1 - J 2 に対応する断面図を図 2 3 (B) に示す。また、図 2 3 (A) に示す一点鎖線 J 3 - J 4 に対応する断面図を図 2 3 (C) に示す。なお、簡単のため、図 2 3 (A) においては、ゲート絶縁膜 2 4 1 2 などを省略して示す。

30

【0438】

図 2 3 (B) は、基板 2 4 0 0 上に設けられた下地絶縁膜 2 4 0 2 と、下地絶縁膜 2 4 0 2 上に設けられたソース電極 2 4 1 6 a およびドレイン電極 2 4 1 6 b と、下地絶縁膜 2 4 0 2、ソース電極 2 4 1 6 a およびドレイン電極 2 4 1 6 b 上に設けられた半導体膜 2 4 0 6 と、半導体膜 2 4 0 6 上に設けられたゲート絶縁膜 2 4 1 2 と、ゲート絶縁膜 2 4 1 2 上にあり、半導体膜 2 4 0 6 と重畳して設けられたゲート電極 2 4 0 4 と、を有するトランジスタの断面図である。なお、ゲート絶縁膜 2 4 1 2 は、結晶性絶縁膜 2 4 1 2 a、および結晶性絶縁膜 2 4 1 2 a 上に設けられた酸化アルミニウム膜 2 4 1 2 b を有する。

40

【0439】

ここで、結晶性絶縁膜 2 4 1 2 a は、結晶性絶縁膜 2 1 1 2 a の記載を参照する。

【0440】

結晶性絶縁膜 2 4 1 2 a は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【0441】

酸化アルミニウム膜 2 4 1 2 b は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

50

【0442】

酸化アルミニウム膜2412bは、結晶性絶縁膜2412aとの界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は欠陥が多いため、ゲート絶縁膜として用いると、トランジスタの電気特性の劣化が生じる場合がある。酸化アルミニウム膜2412bは、欠陥が少ないため、ゲート絶縁膜2412の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

【0443】

酸化アルミニウム膜2412bは、高密度の酸化アルミニウム膜である。具体的には、XRRまたはRBSによって密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜2412bは、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

10

【0444】

なお、酸化アルミニウム膜2412bは、結晶性絶縁膜2412aの近傍に低密度層を有さない。具体的には、XRRによって密度が 3.2 g/cm^3 未満の層を有さない。従って、酸化アルミニウム膜2412bは欠陥が少ないため、良好なゲート絶縁膜2412を構成する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜はリーク電流が大きいため、ゲート絶縁膜として用いると、トランジスタのオフ電流を増大させる場合がある。また、低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

20

【0445】

また、酸化アルミニウム膜2412bは、比誘電率が7以上10以下となる。従って、要求される等価酸化膜厚に対し2倍程度の物理膜厚とすることができる。そのため、ゲートリーク電流を低減することができる場合がある。

【0446】

半導体膜2406は、半導体膜106の記載を参照する。

【0447】

基板2400は、基板100の記載を参照する。

30

【0448】

下地絶縁膜2402は、下地絶縁膜302の記載を参照する。

【0449】

下地絶縁膜2402は、過剰酸素を含む絶縁膜であると好ましい。

【0450】

下地絶縁膜2402が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0451】

ソース電極2416aおよびドレイン電極2416bは、ソース電極116aおよびドレイン電極116bの記載を参照する。

40

【0452】

ゲート電極2404は、ゲート電極104の記載を参照する。

【0453】

次に、図20乃至図23とは異なる構造のトランジスタについて、図24を用いて説明する。

【0454】

図24(A)は本発明の一態様に係るトランジスタの上面図である。図24(A)に示す一点鎖線K1-K2に対応する断面図を図24(B)に示す。また、図24(A)に示す一点鎖線K3-K4に対応する断面図を図24(C)に示す。なお、簡単のため、図24

50

(A)においては、ゲート絶縁膜2512などを省略して示す。

【0455】

図24(B)は、基板2500上に設けられた下地絶縁膜2502と、下地絶縁膜2502上に設けられた半導体膜2506と、半導体膜2506上に設けられたゲート絶縁膜2512と、ゲート絶縁膜2512上にあり、半導体膜2506と重畳して設けられたゲート電極2504と、を有するトランジスタの断面図である。なお、ゲート絶縁膜2512は、結晶性絶縁膜2512a、および結晶性絶縁膜2512a上に設けられた酸化アルミニウム膜2512bを有する。

【0456】

図24(B)に示す断面図では、ゲート絶縁膜2512およびゲート電極2504上に保護絶縁膜2518が設けられる。なお、ゲート絶縁膜2512および保護絶縁膜2518は、半導体膜2506に達する開口部を有し、当該開口部を介して、保護絶縁膜2518上に設けられた配線2524aおよび配線2524bは半導体膜2506と接する。

【0457】

なお、図24(B)では、ゲート絶縁膜2512が半導体膜2506を覆うように設けられているが、これに限定されない。例えば、ゲート絶縁膜2512がゲート電極2504と重畳する領域のみに設けられていてもよい。また、ゲート電極2504の側壁に接して側壁絶縁膜を有しても構わない。

【0458】

また、側壁絶縁膜を設ける場合、半導体膜2506の側壁絶縁膜と重畳する領域は、ゲート電極2504と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜2506のゲート電極2504と重畳しない領域は、半導体膜2506を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜2506の側壁絶縁膜と重畳する領域が、ゲート電極2504と重畳する領域よりも低抵抗であることにより、当該領域はLDD領域として機能する。トランジスタが、LDD領域を有することによって、DIBLおよびホットキャリア劣化を抑制することができる。ただし、半導体膜2506の側壁絶縁膜と重畳する領域をオフセット領域としても構わない。トランジスタが、オフセット領域を有することでも、DIBLおよびホットキャリア劣化を抑制することができる。

【0459】

ここで、結晶性絶縁膜2512aは、結晶性絶縁膜2112aの記載を参照する。

【0460】

結晶性絶縁膜2512aは、結晶性を有する絶縁膜である。具体的にはXRD、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【0461】

酸化アルミニウム膜2512bは、結晶性を有する。具体的にはXRD、電子線回折または中性子回折によって結晶性が確認できる。

【0462】

酸化アルミニウム膜2512bは、結晶性絶縁膜2512aとの界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は欠陥が多いため、ゲート絶縁膜として用いると、トランジスタの電気特性の劣化が生じる場合がある。酸化アルミニウム膜2512bは、欠陥が少ないため、ゲート絶縁膜2512の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

【0463】

酸化アルミニウム膜2512bは、高密度の酸化アルミニウム膜である。具体的には、XRRまたはRBSによって密度が 3.2 g/cm^3 以上 4.1 g/cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜2512bは、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

【0464】

なお、酸化アルミニウム膜 2 5 1 2 b は、結晶性絶縁膜 2 5 1 2 a の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。従って、酸化アルミニウム膜 2 5 1 2 b は欠陥が少ないため、良好なゲート絶縁膜 2 5 1 2 を構成する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜はリーク電流が大きいため、ゲート絶縁膜として用いると、トランジスタのオフ電流を増大させる場合がある。また、低密度の酸化アルミニウム膜は、薬液に対する耐性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

10

【 0 4 6 5 】

また、酸化アルミニウム膜 2 5 1 2 b は、比誘電率が 7 以上 1 0 以下となる。従って、要求される等価酸化膜厚に対し 2 倍程度の物理膜厚とすることができる。そのため、ゲートリーク電流を低減することができる場合がある。

【 0 4 6 6 】

半導体膜 2 5 0 6 は、半導体膜 1 0 6 の記載を参照する。

【 0 4 6 7 】

半導体膜 2 5 0 6 のゲート電極 2 5 0 4 と重畳しない領域は、ゲート電極 2 5 0 4 と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜 2 5 0 6 のゲート電極 2 5 0 4 と重畳しない領域は、半導体膜 2 5 0 6 を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜 2 5 0 6 のゲート電極 2 5 0 4 と重畳しない領域がゲート電極 2 5 0 4 と重畳する領域よりも低抵抗であることにより、トランジスタのソース領域およびドレイン領域として機能することができる。

20

【 0 4 6 8 】

基板 2 5 0 0 は、基板 1 0 0 の記載を参照する。

【 0 4 6 9 】

下地絶縁膜 2 5 0 2 は、下地絶縁膜 3 0 2 の記載を参照する。

【 0 4 7 0 】

下地絶縁膜 2 5 0 2 は、過剰酸素を含む絶縁膜であると好ましい。

30

【 0 4 7 1 】

下地絶縁膜 2 5 0 2 が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【 0 4 7 2 】

ゲート電極 2 5 0 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 4 7 3 】

保護絶縁膜 2 5 1 8 は、保護絶縁膜 5 1 8 の記載を参照する。

【 0 4 7 4 】

配線 2 5 2 4 a および配線 2 5 2 4 b は、配線 5 2 4 a および配線 5 2 4 b の記載を参照する。

40

【 0 4 7 5 】

図 2 4 に示すトランジスタは、ゲート電極 2 5 0 4 と他の配線および電極との重畳する領域が小さいため、寄生容量が発生しにくく、トランジスタのスイッチング特性を高めることができる。また、トランジスタのチャネル長がゲート電極 2 5 0 4 の幅で決定されるため、チャネル長の小さい、微細なトランジスタを作製しやすい構造である。

【 0 4 7 6 】

次に、図 2 0 乃至図 2 4 とは異なる構造のトランジスタについて、図 2 5 を用いて説明する。

【 0 4 7 7 】

図 2 5 (A) は本発明の一態様に係るトランジスタの上面図である。図 2 5 (A) に示す

50

一点鎖線 L 1 - L 2 に対応する断面図を図 2 5 (B) に示す。また、図 2 5 (A) に示す一点鎖線 L 3 - L 4 に対応する断面図を図 2 5 (C) に示す。なお、簡単のため、図 2 5 (A) においては、ゲート絶縁膜 2 6 1 2 などを省略して示す。

【 0 4 7 8 】

図 2 5 (B) は、基板 2 6 0 0 上に設けられた下地絶縁膜 2 6 0 2 と、下地絶縁膜 2 6 0 2 上に設けられた半導体膜 2 6 0 6 と、半導体膜 2 6 0 6 上に設けられたゲート絶縁膜 2 6 1 2 と、ゲート絶縁膜 2 6 1 2 上に設けられたゲート電極 2 6 0 4 と、ゲート電極 2 6 0 4 の側面と接して設けられた側壁絶縁膜 2 6 1 0 と、半導体膜 2 6 0 6 および側壁絶縁膜 2 6 1 0 上に設けられたソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b と、を有するトランジスタの断面図である。なお、ゲート絶縁膜 2 6 1 2 は、結晶性絶縁膜 2 6 1 2 a、および結晶性絶縁膜 2 6 1 2 a 上に設けられた酸化アルミニウム膜 2 6 1 2 b を有する。

10

【 0 4 7 9 】

図 2 5 (B) に示す断面図では、ゲート電極 2 6 0 4、ソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b 上に保護絶縁膜 2 6 1 8 が設けられる。なお、保護絶縁膜 2 6 1 8 は、ソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b に達する開口部をそれぞれ有し、当該開口部を介して、保護絶縁膜 2 6 1 8 上に設けられた配線 2 6 2 4 a および配線 2 6 2 4 b は、ソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b とそれぞれ接する。

【 0 4 8 0 】

なお、図 2 5 (B) では、側壁絶縁膜 2 6 1 0 の一部が、ゲート絶縁膜 2 6 1 2 の側面に設けられているが、これに限定されない。例えば、ゲート絶縁膜 2 6 1 2 上に側壁絶縁膜 2 6 1 0 が設けられていてもよい。

20

【 0 4 8 1 】

ここで、結晶性絶縁膜 2 6 1 2 a は、結晶性絶縁膜 2 1 1 2 a の記載を参照する。

【 0 4 8 2 】

結晶性絶縁膜 2 6 1 2 a は、結晶性を有する絶縁膜である。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる絶縁膜である。

【 0 4 8 3 】

酸化アルミニウム膜 2 6 1 2 b は、結晶性を有する。具体的には X R D、電子線回折または中性子回折によって結晶性が確認できる。

30

【 0 4 8 4 】

酸化アルミニウム膜 2 6 1 2 b は、結晶性絶縁膜 2 6 1 2 a との界面近傍においても結晶性を有する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に非晶質酸化アルミニウム膜が形成される。非晶質酸化アルミニウム膜は欠陥が多いため、ゲート絶縁膜として用いると、トランジスタの電気特性の劣化が生じる場合がある。酸化アルミニウム膜 2 6 1 2 b は、欠陥が少ないため、ゲート絶縁膜 2 6 1 2 の欠陥に起因したトランジスタの電気特性の劣化を抑制することができる。

【 0 4 8 5 】

酸化アルミニウム膜 2 6 1 2 b は、高密度の酸化アルミニウム膜である。具体的には、X R R または R B S によって密度が 3.2 g / cm^3 以上 4.1 g / cm^3 以下の酸化アルミニウム膜である。酸化アルミニウム膜 2 6 1 2 b は、不純物に対するバリア性が高いため、不純物に起因したトランジスタの電気特性の劣化を抑制できる。

40

【 0 4 8 6 】

なお、酸化アルミニウム膜 2 6 1 2 b は、結晶性絶縁膜 2 6 1 2 a の近傍に低密度層を有さない。具体的には、X R R によって密度が 3.2 g / cm^3 未満の層を有さない。従って、酸化アルミニウム膜 2 6 1 2 b は欠陥が少ないため、良好なゲート絶縁膜 2 6 1 2 を構成する。対して、下地として、金属膜または非晶質絶縁膜上に酸化アルミニウム膜を形成した場合、下地の近傍に低密度の酸化アルミニウム膜が形成される。低密度の酸化アルミニウム膜はリーク電流が大きいため、ゲート絶縁膜として用いると、トランジスタのオフ電流を増大させる場合がある。また、低密度の酸化アルミニウム膜は、薬液に対する耐

50

性が低く、トランジスタの作製時における薬液処理において、意図せずエッチングされてしまうことがある。その結果、形状不良が生じ、トランジスタの動作に不具合が現れることがある。

【0487】

また、酸化アルミニウム膜2612bは、比誘電率が7以上10以下となる。従って、要求される等価酸化膜厚に対し2倍程度の物理膜厚とすることができる。そのため、ゲートリーク電流を低減することができる場合がある。

【0488】

半導体膜2606は、半導体膜106の記載を参照する。

【0489】

半導体膜2606のゲート電極2604と重畳しない領域は、ゲート電極2604と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜2606のゲート電極2604と重畳しない領域は、半導体膜2606を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜2606のゲート電極2604と重畳しない領域がゲート電極2604と重畳する領域よりも低抵抗であることにより、トランジスタのソース領域およびドレイン領域として機能することができる。ただし、図25(B)に示すトランジスタはソース電極2616aおよびドレイン電極2616bを有するため、ソース領域およびドレイン領域を特に設けなくても構わない。

【0490】

また、半導体膜2606の側壁絶縁膜2610と重畳する領域は、ソース電極2616aおよびドレイン電極2616bと重畳する領域よりも高抵抗、かつゲート電極2604と重畳する領域よりも低抵抗であると好ましい。例えば、半導体膜2606のゲート電極2604と重畳しない領域は、半導体膜2606を低抵抗化する不純物を有する領域であってもよい。また、欠陥によって低抵抗化された領域であってもよい。半導体膜2606の側壁絶縁膜2610と重畳する領域が、ソース電極2616aおよびドレイン電極2616bよりも高抵抗、かつゲート電極2604と重畳する領域よりも低抵抗であることにより、当該領域はLDD領域として機能する。トランジスタが、LDD領域を有することによって、DIBLおよびホットキャリア劣化を抑制することができる。ただし、半導体膜2606の側壁絶縁膜2610と重畳する領域をオフセット領域としても構わない。トランジスタが、オフセット領域を有することでも、DIBLおよびホットキャリア劣化を抑制することができる。

【0491】

基板2600は、基板100の記載を参照する。

【0492】

下地絶縁膜2602は、下地絶縁膜302の記載を参照する。

【0493】

下地絶縁膜2602は、過剰酸素を含む絶縁膜であると好ましい。

【0494】

下地絶縁膜2602が過剰酸素を含む絶縁膜である場合、酸化物半導体膜の酸素欠損を低減することができる。

【0495】

ゲート電極2604は、ゲート電極104の記載を参照する。

【0496】

側壁絶縁膜2610は、側壁絶縁膜610の記載を参照する。

【0497】

なお、側壁絶縁膜2610として、結晶性絶縁膜、および結晶性絶縁膜上の酸化アルミニウム膜を用いると好ましい。このようにすることで、側壁絶縁膜2610の形状不良が起こりにくくできる。

【0498】

10

20

30

40

50

ソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b は、ソース電極 6 1 6 a およびドレイン電極 6 1 6 b の記載を参照する。

【 0 4 9 9 】

保護絶縁膜 2 6 1 8 は、保護絶縁膜 5 1 8 の記載を参照する。

【 0 5 0 0 】

配線 2 6 2 4 a および配線 2 6 2 4 b は、配線 5 2 4 a および配線 5 2 4 b の記載を参照する。

【 0 5 0 1 】

図 2 5 に示すトランジスタは、ゲート電極 2 6 0 4 と他の配線および電極との重畳する領域が小さいため、寄生容量が発生しにくく、トランジスタのスイッチング特性を高めることができる。また、ソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b が設けられることにより、図 2 4 に示したトランジスタよりも寄生抵抗が小さくでき、オン電流を増大させることができる。また、トランジスタのチャネル長がゲート電極 2 6 0 4 の幅で決定されるため、チャネル長の小さい、微細なトランジスタを作製しやすい構造である。

【 0 5 0 2 】

本実施の形態より、ゲート絶縁膜が不純物に対して高いバリア性を有し、かつ含まれる欠陥が少ないため、安定した電気特性を有し、信頼性が高いトランジスタを提供することができる。

【 0 5 0 3 】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。

【 0 5 0 4 】

(実施の形態 4)

本実施の形態では、実施の形態 3 で示したトランジスタの作製方法について説明する。

【 0 5 0 5 】

まずは、図 2 0 に示すトランジスタの作製方法について、図 2 6 および図 2 7 を用いて説明する。なお、簡単のため、図 2 6 および図 2 7 には、図 2 0 (B) に対応する断面図のみ示す。

【 0 5 0 6 】

まず、基板 2 1 0 0 を準備する。基板 2 1 0 0 は、基板 2 1 0 0 として示した基板から選択して用いればよい。

【 0 5 0 7 】

次に、ゲート電極 2 1 0 4 となる導電膜を成膜する。ゲート電極 2 1 0 4 となる導電膜は、ゲート電極 2 1 0 4 として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 5 0 8 】

CVD法として、マイクロ波CVD法を適用すると、成膜面へのプラズマダメージを小さくすることができる。また、高密度プラズマを用いるため、比較的低温(3 2 5 程度)でも緻密で欠陥の少ない膜を成膜することができる。なお、マイクロ波CVD法は、高密度プラズマCVD法とも呼ばれる。

【 0 5 0 9 】

次に、ゲート電極 2 1 0 4 となる導電膜を加工し、ゲート電極 2 1 0 4 を形成する(図 2 6 (A) 参照。)。

【 0 5 1 0 】

次に、結晶性絶縁膜 2 1 1 2 a を成膜する(図 2 6 (B) 参照。)。結晶性絶縁膜 2 1 1 2 a は、結晶性絶縁膜 2 1 1 2 a として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。ま

10

20

30

40

50

た、結晶性絶縁膜 2 1 1 2 a を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【 0 5 1 1 】

なお、結晶性絶縁膜 2 1 1 2 a を成膜した後、第 1 の加熱処理を行ってもよい。第 1 の加熱処理は、2 5 0 以上 6 5 0 以下、好ましくは 3 0 0 以上 5 0 0 以下で行えばよい。第 1 の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを 1 0 p p m 以上、1 % 以上もしくは 1 0 % 以上含む雰囲気、または減圧状態で行う。または、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 1 0 p p m 以上、1 % 以上または 1 0 % 以上含む雰囲気で加熱処理を行ってもよい。第 1 の加熱処理によって、結晶性絶縁膜 2 1 1 2 a の結晶性を高め、かつ水素や水などの不純物を除去することができる。

10

【 0 5 1 2 】

次に、酸化アルミニウム膜 2 1 1 2 b を成膜する（図 2 6 (C) 参照。）。酸化アルミニウム膜 2 1 1 2 b は、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 5 1 3 】

結晶性絶縁膜 2 1 1 2 a 上に酸化アルミニウム膜 2 1 1 2 b を成膜することで、高密度で結晶性の高い酸化アルミニウム膜 2 1 1 2 b を成膜することができる。高密度で結晶性の高い酸化アルミニウム膜 2 1 1 2 b は、水素、水、酸素および金属元素（特に C u ）が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

20

【 0 5 1 4 】

なお、スパッタリング法を用いると、結晶性絶縁膜 2 1 1 2 a 上に高密度で結晶性を有する酸化アルミニウム膜 2 1 1 2 b が成膜されやすいため、好ましい。また、酸化アルミニウム膜 2 1 1 2 b を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【 0 5 1 5 】

このようにして、結晶性絶縁膜 2 1 1 2 a 、および結晶性絶縁膜 2 1 1 2 a 上に設けられた酸化アルミニウム膜 2 1 1 2 b を有するゲート絶縁膜 2 1 1 2 を形成することができる。なお、ゲート絶縁膜 2 1 1 2 は、結晶性絶縁膜 2 1 1 2 a および酸化アルミニウム膜 2 1 1 2 b のみからなる構成に限定されない。例えば、結晶性絶縁膜 2 1 1 2 a 下や酸化アルミニウム膜 2 1 1 2 b 上に別途絶縁膜を有しても構わない。例えば、酸化アルミニウム膜 2 1 1 2 b 上に酸化シリコン膜を設けることで、ゲート絶縁膜 2 1 1 2 と半導体膜 2 1 0 6 との界面状態を良好にすることができる。

30

【 0 5 1 6 】

次に、半導体膜 2 1 0 6 となる半導体膜を成膜する。半導体膜 2 1 0 6 となる半導体膜は、半導体膜 2 1 0 6 として示した半導体膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。半導体膜 2 1 0 6 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

40

【 0 5 1 7 】

なお、酸化物半導体膜の成膜後に第 2 の加熱処理を行ってもよい。第 2 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 2 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【 0 5 1 8 】

次に、半導体膜 2 1 0 6 となる半導体膜を加工し、島状に加工された半導体膜 2 1 0 6 を形成する（図 2 7 (A) 参照。）。

50

【0519】

なお、半導体膜2106が酸化物半導体膜であるとき、半導体膜2106の形成後に第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第3の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、酸化アルミニウム膜2112bと半導体膜2106との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面や界面から水素や水などの不純物が除去されやすい。

【0520】

10

次に、ソース電極2116aおよびドレイン電極2116bとなる導電膜を成膜する。ソース電極2116aおよびドレイン電極2116bとなる導電膜は、ソース電極2116aおよびドレイン電極2116bとして示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0521】

次に、ソース電極2116aおよびドレイン電極2116bとなる導電膜を加工し、ソース電極2116aおよびドレイン電極2116bを形成する(図27(B)参照。)。

【0522】

次に、保護絶縁膜2118を成膜する(図27(C)参照。)。保護絶縁膜2118は、保護絶縁膜2118として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

20

【0523】

保護絶縁膜2118は、例えば、石英(好ましくは合成石英)をターゲットに用い、基板加熱温度30 以上450 以下(好ましくは70 以上200 以下)、基板とターゲットの間の距離(T-S間距離)を20mm以上400mm以下(好ましくは40mm以上200mm以下)、圧力を0.1Pa以上4Pa以下(好ましくは0.2Pa以上1.2Pa以下)、高周波電源を0.5kW以上12kW以下(好ましくは1kW以上5kW以下)、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下(好ましくは50%以上100%以下)として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英(好ましくは合成石英)ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、保護絶縁膜2118を過剰酸素を含む絶縁膜とすることができる。

30

【0524】

次に、第4の加熱処理を行ってもよい。第4の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第4の加熱処理によって、半導体膜2106が酸化物半導体膜であり、かつ保護絶縁膜2118が過剰酸素を含む絶縁膜であるとき、半導体膜2106の欠陥(酸化物半導体膜の酸素欠損)を低減することができる。

【0525】

以上のようにして図20に示したトランジスタを作製することができる。

40

【0526】

半導体膜2106が酸化物半導体膜であるとき、第1乃至第4の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、ゲート絶縁膜2112がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第1乃至第4の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第1乃至第4の加熱処理を全て行うことに限定されない。

【0527】

次に、図21に示したトランジスタの作製方法について、図28および図29を用いて説明する。なお、簡単のため、図28および図29には、図21(B)に対応する断面図の

50

み示す。

【0528】

まず、基板2200を準備する。基板2200は、基板2200として示した基板から選択して用いられよう。

【0529】

次に、ゲート電極2204となる導電膜を成膜する。ゲート電極2204となる導電膜は、ゲート電極2204として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜されよう。

【0530】

次に、ゲート電極2204となる導電膜を加工し、ゲート電極2204を形成する(図28(A)参照。)

10

【0531】

次に、結晶性絶縁膜2212aを成膜する(図28(B)参照。)。結晶性絶縁膜2212aは、結晶性絶縁膜2212aとして示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜されよう。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜2212aを100℃以上450℃以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0532】

なお、結晶性絶縁膜2212aを成膜した後、第5の加熱処理を行ってもよい。第5の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第5の加熱処理によって、結晶性絶縁膜2212aの結晶性を高め、かつ水素や水などの不純物を除去することができる。

20

【0533】

次に、酸化アルミニウム膜2212bを成膜する(図28(C)参照。)。酸化アルミニウム膜2212bは、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜されよう。

【0534】

結晶性絶縁膜2212a上に酸化アルミニウム膜2212bを成膜することで、高密度で結晶性の高い酸化アルミニウム膜2212bを成膜することができる。高密度で結晶性の高い酸化アルミニウム膜2212bは、水素、水、酸素および金属元素(特にCu)が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

30

【0535】

なお、スパッタリング法を用いると、結晶性絶縁膜2212a上に高密度で結晶性を有する酸化アルミニウム膜2212bが成膜されやすいため、好ましい。また、酸化アルミニウム膜2212bを100℃以上450℃以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0536】

このようにして、結晶性絶縁膜2212a、および結晶性絶縁膜2212a上に設けられた酸化アルミニウム膜2212bを有するゲート絶縁膜2212を形成することができる。なお、ゲート絶縁膜2212は、結晶性絶縁膜2212aおよび酸化アルミニウム膜2212bのみからなる構成に限定されない。例えば、結晶性絶縁膜2212a下や酸化アルミニウム膜2212b上に別途絶縁膜を有しても構わない。例えば、酸化アルミニウム膜2212b上に酸化シリコン膜を設けることで、ゲート絶縁膜2212と半導体膜2206との界面状態を良好にすることができる。

40

【0537】

次に、ソース電極2216aおよびドレイン電極2216bとなる導電膜を成膜する。ソース電極2216aおよびドレイン電極2216bとなる導電膜は、ソース電極2216aおよびドレイン電極2216bとして示した導電膜から選択し、スパッタリング法、C

50

V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

【 0 5 3 8 】

次に、ソース電極 2 2 1 6 a およびドレイン電極 2 2 1 6 b となる導電膜を加工し、ソース電極 2 2 1 6 a およびドレイン電極 2 2 1 6 b を形成する（図 2 9（A）参照。）。

【 0 5 3 9 】

次に、半導体膜 2 2 0 6 となる半導体膜を成膜する。半導体膜 2 2 0 6 となる半導体膜は、半導体膜 2 2 0 6 として示した半導体膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。半導体膜 2 2 0 6 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

10

【 0 5 4 0 】

なお、酸化物半導体膜の成膜後に第 6 の加熱処理を行ってもよい。第 6 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 6 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【 0 5 4 1 】

次に、半導体膜 2 2 0 6 となる半導体膜を加工し、島状に加工された半導体膜 2 2 0 6 を形成する（図 2 9（B）参照。）。

20

【 0 5 4 2 】

なお、半導体膜 2 2 0 6 が酸化物半導体膜であるとき、半導体膜 2 2 0 6 の形成後に第 7 の加熱処理を行ってもよい。第 7 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 7 の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、酸化アルミニウム膜 2 2 1 2 b と半導体膜 2 2 0 6 との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜が C A A C - O S 膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面や界面から水素や水などの不純物が除去されやすい。

【 0 5 4 3 】

次に、保護絶縁膜 2 2 1 8 を成膜する（図 2 9（C）参照。）。保護絶縁膜 2 2 1 8 は、保護絶縁膜 2 2 1 8 として示した絶縁膜から選択し、スパッタリング法、C V D 法、M B E 法、A L D 法または P L D 法を用いて成膜すればよい。

30

【 0 5 4 4 】

保護絶縁膜 2 2 1 8 は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度 3 0 以上 4 5 0 以下（好ましくは 7 0 以上 2 0 0 以下）、基板とターゲットの間の距離（T - S 間距離）を 2 0 mm 以上 4 0 0 mm 以下（好ましくは 4 0 mm 以上 2 0 0 mm 以下）、圧力を 0 . 1 Pa 以上 4 Pa 以下（好ましくは 0 . 2 Pa 以上 1 . 2 Pa 以下）、高周波電源を 0 . 5 kW 以上 1 2 kW 以下（好ましくは 1 kW 以上 5 kW 以下）、成膜ガス中の O₂ / (O₂ + A r) 割合を 2 0 % 超過 1 0 0 % 以下（好ましくは 5 0 % 以上 1 0 0 % 以下）として、R F スパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、保護絶縁膜 2 2 1 8 を過剰酸素を含む絶縁膜とすることができる。

40

【 0 5 4 5 】

次に、第 8 の加熱処理を行ってもよい。第 8 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 8 の加熱処理によって、半導体膜 2 2 0 6 が酸化物半導体膜であり、かつ保護絶縁膜 2 2 1 8 が過剰酸素を含む絶縁膜であるとき、半導体膜 2 2 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。

50

【0546】

以上のようにして図21に示したトランジスタを作製することができる。

【0547】

半導体膜2206が酸化物半導体膜であるとき、第5乃至第8の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、ゲート絶縁膜2212がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第5乃至第8の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第5乃至第8の加熱処理を全て行うことに限定されない。

【0548】

次に、図22に示したトランジスタの作製方法について、図30および図31を用いて説明する。なお、簡単のため、図30および図31には、図22(B)に対応する断面図のみ示す。

【0549】

まず、基板2300を準備する。基板2300は、基板2300として示した基板から選択して用いればよい。

【0550】

次に、下地絶縁膜2302を成膜する。下地絶縁膜2302は、下地絶縁膜2302として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0551】

下地絶縁膜2302は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度30 以上450 以下（好ましくは70 以上200 以下）、基板とターゲットの間の距離（T-S間距離）を20mm以上400mm以下（好ましくは40mm以上200mm以下）、圧力を0.1Pa以上4Pa以下（好ましくは0.2Pa以上1.2Pa以下）、高周波電源を0.5kW以上12kW以下（好ましくは1kW以上5kW以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下（好ましくは50%以上100%以下）として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜2302を過剰酸素を含む絶縁膜とすることができる。

【0552】

次に、半導体膜2306となる半導体膜を成膜する。半導体膜2306となる半導体膜は、半導体膜2306として示した半導体膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。半導体膜2306となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

【0553】

なお、酸化物半導体膜の成膜後に第9の加熱処理を行ってもよい。第9の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第9の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0554】

次に、半導体膜2306となる半導体膜を加工し、島状に加工された半導体膜2306を形成する（図30(A)参照。）。

【0555】

なお、半導体膜2306が酸化物半導体膜であるとき、半導体膜2306の形成後に第1

10

20

30

40

50

0の加熱処理を行ってもよい。第10の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第10の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜2302と半導体膜2306との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面や界面から水素や水などの不純物が除去されやすい。

【0556】

次に、ソース電極2316aおよびドレイン電極2316bとなる導電膜を成膜する。ソース電極2316aおよびドレイン電極2316bとなる導電膜は、ソース電極2316aおよびドレイン電極2316bとして示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

10

【0557】

次に、ソース電極2316aおよびドレイン電極2316bとなる導電膜を加工し、ソース電極2316aおよびドレイン電極2316bを形成する(図30(B)参照。)。

【0558】

次に、結晶性絶縁膜2312aを成膜する(図30(C)参照。)。結晶性絶縁膜2312aは、結晶性絶縁膜2312aとして示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜2312aを100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

20

【0559】

なお、結晶性絶縁膜2312aを成膜した後、第11の加熱処理を行ってもよい。第11の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第11の加熱処理によって、結晶性絶縁膜2312aの結晶性を高め、かつ水素や水などの不純物を除去することができる。

【0560】

次に、酸化アルミニウム膜2312bを成膜する(図31(A)参照。)。酸化アルミニウム膜2312bは、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

30

【0561】

結晶性絶縁膜2312a上に酸化アルミニウム膜2312bを成膜することで、高密度で結晶性の高い酸化アルミニウム膜2312bを成膜することができる。高密度で結晶性の高い酸化アルミニウム膜2312bは、水素、水、酸素および金属元素(特にCu)が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0562】

なお、スパッタリング法を用いると、結晶性絶縁膜2312a上に高密度で結晶性を有する酸化アルミニウム膜2312bが成膜されやすいため、好ましい。また、酸化アルミニウム膜2312bを100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

40

【0563】

このようにして、結晶性絶縁膜2312a、および結晶性絶縁膜2312a上に設けられた酸化アルミニウム膜2312bを有するゲート絶縁膜2312を形成することができる。なお、ゲート絶縁膜2312は、結晶性絶縁膜2312aおよび酸化アルミニウム膜2312bのみからなる構成に限定されない。例えば、結晶性絶縁膜2312a下や酸化アルミニウム膜2312b上に別途絶縁膜を有しても構わない。例えば、結晶性絶縁膜2312a下に酸化シリコン膜を設けることで、ゲート絶縁膜2312と半導体膜2306との界面状態を良好にすることができる。

50

【0564】

次に、ゲート電極2304となる導電膜を成膜する。ゲート電極2304となる導電膜は、ゲート電極2304として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0565】

次に、ゲート電極2304となる導電膜を加工し、ゲート電極2304を形成する（図31（B）参照。）。

【0566】

次に、第12の加熱処理を行ってもよい。第12の加熱処理は第1の加熱処理と同様の条件から選択して行えばよい。第12の加熱処理によって、半導体膜2306が酸化物半導体膜であり、かつ下地絶縁膜2302が過剰酸素を含む絶縁膜であるとき、半導体膜2306の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。

10

【0567】

以上のようにして図22に示したトランジスタを作製することができる。

【0568】

半導体膜2306が酸化物半導体膜であるとき、第9乃至第12の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、ゲート絶縁膜2312がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第9乃至第12の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第9乃至第12の加熱処理を全て行うことに限定されない。

20

【0569】

次に、図23に示したトランジスタの作製方法について、図32および図33を用いて説明する。なお、簡単のため、図32および図33には、図23（B）に対応する断面図のみ示す。

【0570】

まず、基板2400を準備する。基板2400は、基板2400として示した基板から選択して用いればよい。

【0571】

次に、下地絶縁膜2402を成膜する。下地絶縁膜2402は、下地絶縁膜2402として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

30

【0572】

下地絶縁膜2402は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度30 以上450 以下（好ましくは70 以上200 以下）、基板とターゲットの間の距離（T-S間距離）を20mm以上400mm以下（好ましくは40mm以上200mm以下）、圧力を0.1Pa以上4Pa以下（好ましくは0.2Pa以上1.2Pa以下）、高周波電源を0.5kW以上12kW以下（好ましくは1kW以上5kW以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下（好ましくは50%以上100%以下）として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜2402を過剰酸素を含む絶縁膜とすることができる。

40

【0573】

次に、ソース電極2416aおよびドレイン電極2416bとなる導電膜を成膜する。ソース電極2416aおよびドレイン電極2416bとなる導電膜は、ソース電極2416aおよびドレイン電極2416bとして示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0574】

50

次に、ソース電極 2 4 1 6 a およびドレイン電極 2 4 1 6 b となる導電膜を加工し、ソース電極 2 4 1 6 a およびドレイン電極 2 4 1 6 b を形成する（図 3 2（A）参照。）。

【0575】

次に、半導体膜 2 4 0 6 となる半導体膜を成膜する。半導体膜 2 4 0 6 となる半導体膜は、半導体膜 2 4 0 6 として示した半導体膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。半導体膜 2 4 0 6 となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

10

【0576】

なお、酸化物半導体膜の成膜後に第 1 3 の加熱処理を行ってもよい。第 1 3 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 1 3 の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0577】

次に、半導体膜 2 4 0 6 となる半導体膜を加工し、島状に加工された半導体膜 2 4 0 6 を形成する（図 3 2（B）参照。）。

【0578】

なお、半導体膜 2 4 0 6 が酸化物半導体膜であるとき、半導体膜 2 4 0 6 の形成後に第 1 4 の加熱処理を行ってもよい。第 1 4 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 1 4 の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜 2 4 0 2 と半導体膜 2 4 0 6 との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面や界面から水素や水などの不純物が除去されやすい。

20

【0579】

次に、結晶性絶縁膜 2 4 1 2 a を成膜する（図 3 2（C）参照。）。結晶性絶縁膜 2 4 1 2 a は、結晶性絶縁膜 2 4 1 2 a として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜 2 4 1 2 a を 100 以上 450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

30

【0580】

なお、結晶性絶縁膜 2 4 1 2 a を成膜した後、第 1 5 の加熱処理を行ってもよい。第 1 5 の加熱処理は、第 1 の加熱処理で示した条件を用いて行えばよい。第 1 5 の加熱処理によって、結晶性絶縁膜 2 4 1 2 a の結晶性を高め、かつ水素や水などの不純物を除去することができる。

【0581】

次に、酸化アルミニウム膜 2 4 1 2 b を成膜する（図 3 3（A）参照。）。酸化アルミニウム膜 2 4 1 2 b は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

40

【0582】

結晶性絶縁膜 2 4 1 2 a 上に酸化アルミニウム膜 2 4 1 2 b を成膜することで、高密度で結晶性の高い酸化アルミニウム膜 2 4 1 2 b を成膜することができる。高密度で結晶性の高い酸化アルミニウム膜 2 4 1 2 b は、水素、水、酸素および金属元素（特にCu）が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0583】

50

なお、スパッタリング法を用いると、結晶性絶縁膜 2 4 1 2 a 上に高密度で結晶性を有する酸化アルミニウム膜 2 4 1 2 b が成膜されやすいため、好ましい。また、酸化アルミニウム膜 2 4 1 2 b を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【 0 5 8 4 】

このようにして、結晶性絶縁膜 2 4 1 2 a、および結晶性絶縁膜 2 4 1 2 a 上に設けられた酸化アルミニウム膜 2 4 1 2 b を有するゲート絶縁膜 2 4 1 2 を形成することができる。なお、ゲート絶縁膜 2 4 1 2 は、結晶性絶縁膜 2 4 1 2 a および酸化アルミニウム膜 2 4 1 2 b のみからなる構成に限定されない。例えば、結晶性絶縁膜 2 4 1 2 a 下や酸化アルミニウム膜 2 4 1 2 b 上に別途絶縁膜を有しても構わない。例えば、結晶性絶縁膜 2 4 1 2 a 下に酸化シリコン膜を設けることで、ゲート絶縁膜 2 4 1 2 と半導体膜 2 4 0 6 との界面状態を良好にすることができる。

10

【 0 5 8 5 】

次に、ゲート電極 2 4 0 4 となる導電膜を成膜する。ゲート電極 2 4 0 4 となる導電膜は、ゲート電極 2 4 0 4 として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 5 8 6 】

次に、ゲート電極 2 4 0 4 となる導電膜を加工し、ゲート電極 2 4 0 4 を形成する（図 3 3 (B) 参照。）。

【 0 5 8 7 】

20

次に、第 1 6 の加熱処理を行ってもよい。第 1 6 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 1 6 の加熱処理によって、半導体膜 2 4 0 6 が酸化物半導体膜であり、かつ下地絶縁膜 2 4 0 2 が過剰酸素を含む絶縁膜であるとき、半導体膜 2 4 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することができる。

【 0 5 8 8 】

以上のようにして図 2 3 に示したトランジスタを作製することができる。

【 0 5 8 9 】

半導体膜 2 4 0 6 が酸化物半導体膜であるとき、第 1 3 乃至第 1 6 の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、ゲート絶縁膜 2 4 1 2 がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第 1 3 乃至第 1 6 の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第 1 3 乃至第 1 6 の加熱処理を全て行うことに限定されない。

30

【 0 5 9 0 】

次に、図 2 4 に示したトランジスタの作製方法について、図 3 4 および図 3 5 を用いて説明する。なお、簡単のため、図 3 4 および図 3 5 には、図 2 4 (B) に対応する断面図のみ示す。

【 0 5 9 1 】

まず、基板 2 5 0 0 を準備する。基板 2 5 0 0 は、基板 2 5 0 0 として示した基板から選択して用いればよい。

40

【 0 5 9 2 】

次に、下地絶縁膜 2 5 0 2 を成膜する。下地絶縁膜 2 5 0 2 は、下地絶縁膜 2 5 0 2 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 5 9 3 】

下地絶縁膜 2 5 0 2 は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度 3 0 以上 4 5 0 以下（好ましくは 7 0 以上 2 0 0 以下）、基板とターゲットの間の距離（T-S間距離）を 2 0 mm 以上 4 0 0 mm 以下（好ましくは 4 0 mm 以上 2 0 0 mm 以下）、圧力を 0 . 1 Pa 以上 4 Pa 以下（好ましくは 0 . 2 Pa 以上 1 . 2 Pa 以下）、高周波電源を 0 . 5 kW 以上 1 2 kW 以下（好ましくは 1 kW 以上 5 kW

50

以下)、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下(好ましくは50%以上100%以下)として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英(好ましくは合成石英)ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜2502を過剰酸素を含む絶縁膜とすることができる。

【0594】

次に、半導体膜2506となる半導体膜を成膜する。半導体膜2506となる半導体膜は、半導体膜2506として示した半導体膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。半導体膜2506となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を100以上450以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

10

【0595】

なお、酸化物半導体膜の成膜後に第17の加熱処理を行ってもよい。第17の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第17の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0596】

次に、半導体膜2506となる半導体膜を加工し、島状に加工された半導体膜2506を形成する(図34(A)参照。)。

20

【0597】

なお、半導体膜2506が酸化物半導体膜であるとき、半導体膜2506の形成後に第18の加熱処理を行ってもよい。第18の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第18の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜2502と半導体膜2506との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面や界面から水素や水などの不純物が除去されやすい。

30

【0598】

次に、結晶性絶縁膜2512aを成膜する(図34(B)参照。)。結晶性絶縁膜2512aは、結晶性絶縁膜2512aとして示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜2512aを100以上450以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0599】

なお、結晶性絶縁膜2512aを成膜した後、第19の加熱処理を行ってもよい。第19の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第19の加熱処理によって、結晶性絶縁膜2512aの結晶性を高め、かつ水素や水などの不純物を除去することができる。

40

【0600】

次に、酸化アルミニウム膜2512bを成膜する(図34(C)参照。)。酸化アルミニウム膜2512bは、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0601】

結晶性絶縁膜2512a上に酸化アルミニウム膜2512bを成膜することで、高密度で結晶性の高い酸化アルミニウム膜2512bを成膜することができる。高密度で結晶性の

50

高い酸化アルミニウム膜 2 5 1 2 b は、水素、水、酸素および金属元素（特に Cu）が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

【0602】

なお、スパッタリング法を用いると、結晶性絶縁膜 2 5 1 2 a 上に高密度で結晶性を有する酸化アルミニウム膜 2 5 1 2 b が成膜されやすいため、好ましい。また、酸化アルミニウム膜 2 5 1 2 b を 1 0 0 以上 4 5 0 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0603】

このようにして、結晶性絶縁膜 2 5 1 2 a、および結晶性絶縁膜 2 5 1 2 a 上に設けられた酸化アルミニウム膜 2 5 1 2 b を有するゲート絶縁膜 2 5 1 2 を形成することができる。なお、ゲート絶縁膜 2 5 1 2 は、結晶性絶縁膜 2 5 1 2 a および酸化アルミニウム膜 2 5 1 2 b のみからなる構成に限定されない。例えば、結晶性絶縁膜 2 5 1 2 a 下や酸化アルミニウム膜 2 5 1 2 b 上に別途絶縁膜を有しても構わない。例えば、結晶性絶縁膜 2 5 1 2 a 下に酸化シリコン膜を設けることで、ゲート絶縁膜 2 5 1 2 と半導体膜 2 5 0 6 との界面状態を良好にすることができる。

10

【0604】

次に、ゲート電極 2 5 0 4 となる導電膜を成膜する。ゲート電極 2 5 0 4 となる導電膜は、ゲート電極 2 5 0 4 として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

20

【0605】

次に、ゲート電極 2 5 0 4 となる導電膜を加工し、ゲート電極 2 5 0 4 を形成する（図 3 5（A）参照。）。

【0606】

次に、ゲート電極 2 5 0 4 をマスクとし、半導体膜 2 5 0 6 に不純物を添加してもよい。不純物としては、半導体膜 2 5 0 6 が低抵抗化する不純物から選択して添加すればよい。なお、半導体膜 2 5 0 6 が酸化物半導体膜である場合、不純物として、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、不純物を添加するためには、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いればよい。このとき、加速電圧を 5 kV 以上 1 0 0 kV 以下とする。また、不純物の添加量は $1 \times 10^{14} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とする。

30

【0607】

次に、第 2 0 の加熱処理を行ってもよい。第 2 0 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 2 0 の加熱処理によって、半導体膜 2 5 0 6 の不純物の添加された領域を低抵抗領域とすることができる。また、半導体膜 2 5 0 6 が酸化物半導体膜であり、かつ下地絶縁膜 2 5 0 2 が過剰酸素を含む絶縁膜であるとき、半導体膜 2 5 0 6 の欠陥（酸化物半導体膜の酸素欠損）を低減することもできる。

【0608】

40

次に、保護絶縁膜 2 5 1 8 を成膜する。保護絶縁膜 2 5 1 8 は、保護絶縁膜 2 5 1 8 として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0609】

次に、保護絶縁膜 2 5 1 8 を加工し、半導体膜 2 5 0 6 を露出する開口部を形成する。

【0610】

次に、配線 2 5 2 4 a および配線 2 5 2 4 b となる導電膜を成膜する。配線 2 5 2 4 a および配線 2 5 2 4 b となる導電膜は、配線 2 5 2 4 a および配線 2 5 2 4 b として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

50

【0611】

次に、配線2524aおよび配線2524bとなる導電膜を加工し、配線2524aおよび配線2524bを形成する（図35（B）参照。）。

【0612】

以上のようにして図24に示したトランジスタを作製することができる。

【0613】

半導体膜2506が酸化物半導体膜であるとき、第17乃至第20の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、ゲート絶縁膜2512がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第17乃至第20の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第17乃至第20の加熱処理を全て行うことに限定されない。

10

【0614】

次に、図25に示したトランジスタの作製方法について、図36および図37を用いて説明する。なお、簡単のため、図36および図37には、図25（B）に対応する断面図のみ示す。

【0615】

まず、基板2600を準備する。基板2600は、基板2600として示した基板から選択して用いればよい。

【0616】

次に、下地絶縁膜2602を成膜する。下地絶縁膜2602は、下地絶縁膜2602として示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

20

【0617】

下地絶縁膜2602は、例えば、石英（好ましくは合成石英）をターゲットに用い、基板加熱温度30 以上450 以下（好ましくは70 以上200 以下）、基板とターゲットの間の距離（T-S間距離）を20mm以上400mm以下（好ましくは40mm以上200mm以下）、圧力を0.1Pa以上4Pa以下（好ましくは0.2Pa以上1.2Pa以下）、高周波電源を0.5kW以上12kW以下（好ましくは1kW以上5kW以下）、成膜ガス中の $O_2 / (O_2 + Ar)$ 割合を20%超過100%以下（好ましくは50%以上100%以下）として、RFスパッタリング法により酸化シリコン膜を成膜すると好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素ガスまたは、酸素及びアルゴンの混合ガスを用いて行う。このような方法を用いることで、下地絶縁膜2602を過剰酸素を含む絶縁膜とすることができる。

30

【0618】

次に、半導体膜2606となる半導体膜を成膜する。半導体膜2606となる半導体膜は、半導体膜2606として示した半導体膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。半導体膜2606となる半導体膜は、酸化物半導体膜を用い、スパッタリング法で成膜すると好ましい。なお、スパッタリング法を用いると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。また、酸化物半導体膜を100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する酸化物半導体膜が成膜されやすいため、好ましい。

40

【0619】

なお、酸化物半導体膜の成膜後に第21の加熱処理を行ってもよい。第21の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第21の加熱処理によって、酸化物半導体膜の結晶性を高め、さらに酸化物半導体膜から水素や水などの不純物を除去することができる。

【0620】

次に、半導体膜2606となる半導体膜を加工し、島状に加工された半導体膜2606を

50

形成する（図36（A）参照。）。

【0621】

なお、半導体膜2606が酸化物半導体膜であるとき、半導体膜2606の形成後に第22の加熱処理を行ってもよい。第22の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第22の加熱処理は、酸化物半導体膜の側面が露出した状態で行うため、酸化物半導体膜の側面から水素や水などの不純物が除去されやすく、効果的に不純物を除去することができる。また、下地絶縁膜2602と半導体膜2606との界面に存在する水素や水などの不純物も除去できる。なお、酸化物半導体膜がCAAC-OS膜であるとき、結晶の層に沿って不純物が拡散しやすいため、さらに側面や界面から水素や水などの不純物が除去されやすい。

10

【0622】

次に、結晶性絶縁膜2613aを成膜する。結晶性絶縁膜2613aは、結晶性絶縁膜2612aとして示した絶縁膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。なお、スパッタリング法を用いると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。また、結晶性絶縁膜2613aを100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0623】

なお、結晶性絶縁膜2613aを成膜した後、第23の加熱処理を行ってもよい。第23の加熱処理は、第1の加熱処理で示した条件を用いて行えばよい。第23の加熱処理によって、結晶性絶縁膜2613aの結晶性を高め、かつ水素や水などの不純物を除去することができる。

20

【0624】

次に、酸化アルミニウム膜2613bを成膜する（図36（B）参照。）。酸化アルミニウム膜2613bは、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0625】

結晶性絶縁膜2613a上に酸化アルミニウム膜2613bを成膜することで、高密度で結晶性の高い酸化アルミニウム膜2613bを成膜することができる。高密度で結晶性の高い酸化アルミニウム膜2613bは、水素、水、酸素および金属元素（特にCu）が透過しにくい。従って、トランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。

30

【0626】

なお、スパッタリング法を用いると、結晶性絶縁膜2613a上に高密度で結晶性を有する酸化アルミニウム膜2613bが成膜されやすいため、好ましい。また、酸化アルミニウム膜2613bを100 以上450 以下に基板加熱しつつ成膜すると、高密度で結晶性を有する絶縁膜が成膜されやすいため、好ましい。

【0627】

次に、ゲート電極2604となる導電膜を成膜する。ゲート電極2604となる導電膜は、ゲート電極2604として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

40

【0628】

次に、ゲート電極2604となる導電膜を加工し、ゲート電極2604を形成する。

【0629】

次に、ゲート電極2604の加工時に用いたレジストマスク、またはゲート電極2604などをマスクとして用いて、結晶性絶縁膜2613aおよび酸化アルミニウム膜2613bを加工し、結晶性絶縁膜2612aおよび酸化アルミニウム膜2612bを形成する（図36（C）参照。）。

【0630】

このようにして、結晶性絶縁膜2612a、および結晶性絶縁膜2612a上に設けられ

50

た酸化アルミニウム膜 2612b を有するゲート絶縁膜 2612 を形成することができる。なお、ゲート絶縁膜 2612 は、結晶性絶縁膜 2612a および酸化アルミニウム膜 2612b のみからなる構成に限定されない。例えば、結晶性絶縁膜 2612a 下や酸化アルミニウム膜 2612b 上に別途絶縁膜を有しても構わない。例えば、結晶性絶縁膜 2612a 下に酸化シリコン膜を設けることで、ゲート絶縁膜 2612 と半導体膜 2606 との界面状態を良好にすることができる。

【0631】

次に、ゲート電極 2604 をマスクとし、半導体膜 2606 に不純物を添加してもよい（第 1 の不純物添加ともいう。）。不純物としては、半導体膜 2606 が低抵抗化する不純物から選択して添加すればよい。なお、半導体膜 2606 が酸化物半導体膜である場合、不純物として、ヘリウム、ホウ素、窒素、フッ素、ネオン、アルミニウム、リン、アルゴン、ヒ素、クリプトン、インジウム、スズ、アンチモンおよびキセノンから選ばれた一種以上を添加すればよい。なお、不純物を添加するためには、イオン注入法、イオンドーピング法で行えばよい。好ましくはイオン注入法を用いればよい。このとき、加速電圧を 5 kV 以上 100 kV 以下とする。また、不純物の添加量は $1 \times 10^{14} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とする。

10

【0632】

次に、側壁絶縁膜 2610 となる絶縁膜を成膜する。側壁絶縁膜 2610 となる絶縁膜は、側壁絶縁膜 2610 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。次に、側壁絶縁膜 2610 となる絶縁膜に対し異方性の高いエッチング処理を行うことにより、ゲート絶縁膜 2612 およびゲート電極 2604 の側面に接する側壁絶縁膜 2610 を形成することができる（図 37（A）参照。）。20

【0633】

次に、ゲート電極 2604 および側壁絶縁膜 2610 をマスクとし、半導体膜 2606 に不純物を添加してもよい（第 2 の不純物添加ともいう。）。第 2 の不純物添加は、第 1 の不純物添加の条件を参照すればよい。第 1 の不純物添加および第 2 の不純物添加を行うことで、半導体膜 2606 に二種類の低抵抗領域を設けることができる。そのため、ドレイン電極端での電界集中が緩和されやすく、ホットキャリア劣化の抑制効果が高い。また、ソース電極端においてドレイン電極端からの電界の影響が小さくなり、DIBL を抑制することができる。なお、第 1 の不純物添加および第 2 の不純物添加は、いずれか一方のみを行うこととしてもよい。30

【0634】

次に、第 24 の加熱処理を行ってもよい。第 24 の加熱処理は第 1 の加熱処理と同様の条件から選択して行えばよい。第 24 の加熱処理によって、半導体膜 2606 の不純物の添加された領域を低抵抗領域とすることができる。また、半導体膜 2606 が酸化物半導体膜であり、かつ下地絶縁膜 2602 が過剰酸素を含む絶縁膜であるとき、半導体膜 2606 の欠陥（酸化物半導体膜の酸素欠損）を低減することもできる。

【0635】

次に、ソース電極 2616a およびドレイン電極 2616b となる導電膜を成膜する。ソース電極 2616a およびドレイン電極 2616b となる導電膜は、ソース電極 2616a およびドレイン電極 2616b として示した導電膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。40

【0636】

次に、ソース電極 2616a およびドレイン電極 2616b となる導電膜を加工し、ソース電極 2616a およびドレイン電極 2616b を形成する（図 37（B）参照。）。50

【0637】

次に、保護絶縁膜 2618 を成膜する。保護絶縁膜 2618 は、保護絶縁膜 2618 として示した絶縁膜から選択し、スパッタリング法、CVD 法、MBE 法、ALD 法または PLD 法を用いて成膜すればよい。

【 0 6 3 8 】

次に、保護絶縁膜 2 6 1 8 を加工し、ソース電極 2 6 1 6 a およびドレイン電極 2 6 1 6 b を露出する開口部を形成する。

【 0 6 3 9 】

次に、配線 2 6 2 4 a および配線 2 6 2 4 b となる導電膜を成膜する。配線 2 6 2 4 a および配線 2 6 2 4 b となる導電膜は、配線 2 6 2 4 a および配線 2 6 2 4 b として示した導電膜から選択し、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【 0 6 4 0 】

次に、配線 2 6 2 4 a および配線 2 6 2 4 b となる導電膜を加工し、配線 2 6 2 4 a および配線 2 6 2 4 b を形成する（図 3 7 (C) 参照。）。 10

【 0 6 4 1 】

以上のようにして図 2 5 に示したトランジスタを作製することができる。

【 0 6 4 2 】

半導体膜 2 6 0 6 が酸化物半導体膜であるとき、第 2 1 乃至第 2 4 の加熱処理を行うことで、安定した電気特性を有し、信頼性の高いトランジスタを提供することができる。また、ゲート絶縁膜 2 6 1 2 がトランジスタの電気特性を劣化させる不純物に対するバリア膜としての機能を有する。従って、第 2 1 乃至第 2 4 の加熱処理によって、当該不純物の拡散が生じた場合でも、電気特性の劣化を引き起こさないことができる。ただし、第 2 1 乃至第 2 4 の加熱処理を全て行うことに限定されない。 20

【 0 6 4 3 】

本実施の形態より、ゲート絶縁膜が不純物に対して高いバリア性を有し、かつ含まれる欠陥が少ないため、安定した電気特性を有し、信頼性が高いトランジスタを提供することができる。

【 0 6 4 4 】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。 30

【 0 6 4 5 】

（実施の形態 5 ）

本実施の形態では、先の実施の形態に示したトランジスタにおいて、半導体膜として酸化物半導体膜を用いたトランジスタを適用した半導体装置について説明する。

【 0 6 4 6 】

先の実施の形態に示したトランジスタにおいて、半導体膜として酸化物半導体膜を用いると、オフ電流を極めて小さくすることができる。即ち、当該トランジスタを介した電荷のリークが起こりにくい電気特性を有する。

【 0 6 4 7 】

以下では、このような電気特性を有するトランジスタを適用した、既知の記憶素子を有する半導体装置と比べ、機能的に優れた記憶素子を有する半導体装置について説明する。 40

【 0 6 4 8 】

まず、半導体装置について、図 3 8 を用いて具体的に示す。なお、図 3 8 (A) は半導体装置のメモリセルアレイを示す回路図である。図 3 8 (B) はメモリセルの回路図である。また、図 3 8 (C) は、図 3 8 (B) に示すメモリセルに相当する断面構造の一例である。また、図 3 8 (D) は図 3 8 (B) に示すメモリセルの電気特性を示す図である。

【 0 6 4 9 】

図 3 8 (A) に示すメモリセルアレイは、メモリセル 5 5 6 と、ビット線 5 5 3 と、ワード線 5 5 4 と、容量線 5 5 5 と、センスアンプ 5 5 8 と、をそれぞれ複数有する。

【 0 6 5 0 】

なお、ビット線 5 5 3 およびワード線 5 5 4 がグリッド状に設けられ、各メモリセル 5 5 50

6 はビット線 5 5 3 およびワード線 5 5 4 の交点に付き一つずつ配置される。ビット線 5 5 3 はセンスアンプ 5 5 8 と接続される。センスアンプ 5 5 8 は、ビット線 5 5 3 の電位をデータとして読み出す機能を有する。

【 0 6 5 1 】

図 3 8 (B) より、メモリセル 5 5 6 は、トランジスタ 5 5 1 と、キャパシタ 5 5 2 と、を有する。また、トランジスタ 5 5 1 のゲートはワード線 5 5 4 と電氣的に接続される。トランジスタ 5 5 1 のソースはビット線 5 5 3 と電氣的に接続される。トランジスタ 5 5 1 のドレインはキャパシタ 5 5 2 の一端と電氣的に接続される。キャパシタ 5 5 2 の他端は容量線 5 5 5 に電氣的に接続される。

【 0 6 5 2 】

図 3 8 (C) は、メモリセルの断面構造の一例である。図 3 8 (C) は、トランジスタ 5 5 1 と、トランジスタ 5 5 1 に接続される配線 5 2 4 a および配線 5 2 4 b と、トランジスタ 5 5 1、配線 5 2 4 a および配線 5 2 4 b 上に設けられた絶縁膜 5 2 0 と、絶縁膜 5 2 0 上に設けられたキャパシタ 5 5 2 と、を有する半導体装置の断面図である。

【 0 6 5 3 】

なお、図 3 8 (C) では、トランジスタ 5 5 1 に図 5 で示したトランジスタを適用している。そのため、トランジスタ 5 5 1 の各構成のうち、以下で特に説明しないものについては、先の実施の形態での説明を参照する。以下は、トランジスタ 5 5 1 の半導体膜 5 0 6 として、酸化物半導体膜を用いた場合について説明する。

【 0 6 5 4 】

なお、図 3 9 では、トランジスタ 5 5 1 に図 2 4 で示したトランジスタを適用している。そのため、トランジスタ 5 5 1 の各構成のうち、以下で特に説明しないものについては、先の実施の形態での説明を参照する。以下は、トランジスタ 5 5 1 の半導体膜 2 5 0 6 として、酸化物半導体膜を用いた場合について説明する。ただし、トランジスタ 5 5 1 に適用できるトランジスタは、図 5 で示したトランジスタおよび図 2 4 で示したトランジスタのみに限定されるものではない。

【 0 6 5 5 】

絶縁膜 5 2 0 は、保護絶縁膜 5 1 8 と同様の方法および同様の絶縁膜を用いて設ければよい。または、絶縁膜 5 2 0 として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

【 0 6 5 6 】

キャパシタ 5 5 2 は、配線 5 2 4 b と接する電極 5 2 6 と、電極 5 2 6 と重畳する電極 5 2 8 と、電極 5 2 6 および電極 5 2 8 に挟まれた絶縁膜 5 2 2 と、を有する。

【 0 6 5 7 】

電極 5 2 6 は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta および W を一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【 0 6 5 8 】

電極 5 2 8 は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta および W を一種以上含む、単体、窒化物、酸化物または合金を、単層で、または積層で用いればよい。

【 0 6 5 9 】

絶縁膜 5 2 2 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

【 0 6 6 0 】

なお、図 3 8 (C) では、トランジスタ 5 5 1 とキャパシタ 5 5 2 とが、異なる層に設けられた例を示すが、これに限定されない。例えば、トランジスタ 5 5 1 およびキャパシタ 5 5 2 を同一層に設けても構わない。このような構造とすることで、メモリセルの上に同

10

20

30

40

50

様の構成のメモリセルを重畳させることができる。メモリセルを何層も重畳させることで、メモリセル１つ分の面積に複数のメモリセルを集積化することができる。よって、半導体装置の集積度を高めることができる。

【０６６１】

ここで、図３８（Ｃ）における配線５２４aは図３８（Ｂ）におけるビット線５５３と電氣的に接続される。また、図３８（Ｃ）におけるゲート電極５０４は図３８（Ｂ）におけるワード線５５４と電氣的に接続される。また、図３８（Ｃ）における電極５２８は図３８（Ｂ）における容量線５５５と電氣的に接続される。

【０６６２】

図３８（Ｄ）に示すように、キャパシタ５５２に保持された電圧は、トランジスタ５５１のリークによって時間が経つと徐々に低減していく。当初 V_0 から V_1 まで充電された電圧は、時間が経過するとdata1を読み出す限界点である V_A まで低減する。この期間を保持期間 $T_{\text{—}1}$ とする。即ち、２値メモリセルの場合、保持期間 $T_{\text{—}1}$ の間にリフレッシュをする必要がある。

【０６６３】

例えば、トランジスタ５５１のオフ電流が十分小さくない場合、キャパシタ５５２に保持された電圧の時間変化が大きいため、保持期間 $T_{\text{—}1}$ が短くなる。従って、頻繁にリフレッシュをする必要がある。リフレッシュの頻度が高まると、半導体装置の消費電力が高まってしまう。

【０６６４】

本実施の形態では、トランジスタ５５１のオフ電流が極めて小さいため、保持期間 $T_{\text{—}1}$ を極めて長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} Aから 1×10^{-25} Aであるトランジスタ５５１でメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【０６６５】

以上のように、本発明の一態様によって、集積度が高く、消費電力の小さい半導体装置を得ることができる。

【０６６６】

次に、図３８とは異なる半導体装置について、図４０を用いて説明する。なお、図４０（Ａ）は半導体装置を構成するメモリセルおよび配線を含む回路図である。また、図４０（Ｂ）は図４０（Ａ）に示すメモリセルの電気特性を示す図である。また、図４０（Ｃ）は、図４０（Ａ）に示すメモリセルに相当する断面図の一例である。

【０６６７】

図４０（Ａ）より、メモリセルは、トランジスタ６７１と、トランジスタ６７２と、キャパシタ６７３とを有する。ここで、トランジスタ６７１のゲートはワード線６７６と電氣的に接続される。トランジスタ６７１のソースはソース線６７４と電氣的に接続される。トランジスタ６７１のドレインはトランジスタ６７２のゲートおよびキャパシタ６７３の一端と電氣的に接続され、この部分をノード６７９とする。トランジスタ６７２のソースはソース線６７５と電氣的に接続される。トランジスタ６７２のドレインはドレイン線６７７と電氣的に接続される。キャパシタ６７３の他端は容量線６７８と電氣的に接続される。

【０６６８】

なお、図４０に示す半導体装置は、ノード６７９の電位に応じて、トランジスタ６７２の見かけ上のしきい値電圧が変動することを利用したものである。例えば、図４０（Ｂ）は容量線６７８の電圧 V_{CL} と、トランジスタ６７２を流れるドレイン電流 $I_{D_{\text{—}2}}$ との関係を説明する図である。

【０６６９】

なお、トランジスタ６７１を介してノード６７９の電位を調整することができる。例えば、ソース線６７４の電位を電源電位 V_{DD} とする。このとき、ワード線６７６の電位をト

10

20

30

40

50

ランジスタ 671 のしきい値電圧 V_{th} に電源電位 V_{DD} を加えた電位以上とすることで、ノード 679 の電位を HIGH にすることができる。また、ワード線 676 の電位をランジスタ 671 のしきい値電圧 V_{th} 以下とすることで、ノード 679 の電位を LOW にすることができる。

【0670】

そのため、ランジスタ 672 は、LOW で示した $V_{CL} - I_d$ 2 カーブと、HIGH で示した $V_{CL} - I_d$ 2 カーブのいずれかの電気特性となる。即ち、LOW では、 $V_{CL} = 0V$ にて I_d 2 が小さいため、データ 0 となる。また、HIGH では、 $V_{CL} = 0V$ にて I_d 2 が大きいいため、データ 1 となる。このようにして、データを記憶することができる。

10

【0671】

図 40 (C) は、メモリセルの断面構造の一例である。図 40 (C) は、ランジスタ 672 と、ランジスタ 672 上に設けられた絶縁膜 668 と、絶縁膜 668 上に設けられたランジスタ 671 と、ランジスタ 671 に接続される配線 624a および配線 624b と、ランジスタ 671、配線 624a および配線 624b 上に設けられた絶縁膜 620 と、絶縁膜 620 上に設けられたキャパシタ 673 と、を有する半導体装置の断面図である。

【0672】

絶縁膜 620 は、保護絶縁膜 118 の記載を参照する。または、絶縁膜 620 として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構

20

【0673】

なお、図 40 (C) では、ランジスタ 671 に図 6 で示したランジスタを適用している。そのため、ランジスタ 671 の各構成のうち、以下で特に説明しないものについては、先の実施の形態の説明を参照する。以下は、ランジスタ 671 の半導体膜 606 として、酸化物半導体膜を用いた場合について説明する。

【0674】

なお、図 41 では、ランジスタ 671 に図 25 で示したランジスタを適用している。そのため、ランジスタ 671 の各構成のうち、以下で特に説明しないものについては、先の実施の形態の説明を参照する。以下は、ランジスタ 671 の半導体膜 2606 と

30

【0675】

なお、本実施の形態では、ランジスタ 672 として、結晶性シリコンを用いたランジスタを適用した場合について説明する。ただし、ランジスタ 672 に、先の実施の形態で示したランジスタを適用しても構わない。

【0676】

結晶性シリコンを用いたランジスタは、酸化物半導体膜を用いたランジスタと比べて、オン特性を高めやすい利点を有する。従って、高いオン特性の求められるランジスタ

40

【0677】

ここで、ランジスタ 672 は、基板 650 上に設けられた下地絶縁膜 652 と、下地絶縁膜 652 上に設けられた、結晶シリコン膜 656 と、結晶シリコン膜 656 上に設けられたゲート絶縁膜 662 と、ゲート絶縁膜 662 上にあり、結晶シリコン膜 656 と重畳して設けられたゲート電極 654 と、ゲート電極 654 の側壁に接して設けられた側壁絶縁膜 660 と、を有する。

【0678】

基板 650 は、基板 100 の記載を参照する。

【0679】

50

下地絶縁膜 6 5 2 は、下地絶縁膜 3 0 2 の記載を参照する。

【 0 6 8 0 】

結晶シリコン膜 6 5 6 は、単結晶シリコン膜、多結晶シリコン膜などのシリコン膜を用いればよい。

【 0 6 8 1 】

なお、本実施の形態ではトランジスタ 6 7 2 に結晶シリコン膜を用いているが、基板 6 5 0 がシリコンウェハなどの半導体基板の場合、半導体基板内にチャネル領域、ソース領域およびドレイン領域が設けられたものをトランジスタ 6 7 2 としても構わない。

【 0 6 8 2 】

ゲート絶縁膜 6 6 2 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

10

【 0 6 8 3 】

ゲート電極 6 5 4 は、ゲート電極 1 0 4 の記載を参照する。

【 0 6 8 4 】

側壁絶縁膜 6 6 0 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルから一種以上を含む絶縁膜を、単層で、または積層で用いればよい。

20

【 0 6 8 5 】

絶縁膜 6 6 8 は、保護絶縁膜 1 1 8 の記載を参照する。または、絶縁膜 6 6 8 として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

【 0 6 8 6 】

絶縁膜 6 6 8 および下地絶縁膜 6 0 2 は、トランジスタ 6 7 2 のゲート電極 6 5 4 に達する開口部を有する。トランジスタ 6 7 1 のドレイン電極 6 1 6 b は、当該開口部を介してトランジスタ 6 7 2 のゲート電極 6 5 4 と接する。

【 0 6 8 7 】

キャパシタ 6 7 3 は、配線 6 2 4 b 接する電極 6 2 6 と、電極 6 2 6 と重畳する電極 6 2 8 と、電極 6 2 6 および電極 6 2 8 に挟まれた絶縁膜 6 2 2 と、を有する。

30

【 0 6 8 8 】

電極 6 2 6 は、電極 5 2 6 の記載を参照する。

【 0 6 8 9 】

電極 6 2 8 は、電極 5 2 8 の記載を参照する。

【 0 6 9 0 】

ここで、図 4 0 (C) における配線 6 2 4 a は図 4 0 (A) におけるソース線 6 7 4 と電氣的に接続される。また、図 4 0 (C) におけるゲート電極 6 0 4 は図 4 0 (A) におけるワード線 6 7 6 と電氣的に接続される。また、図 4 0 (C) における電極 6 2 8 は図 4 0 (A) における容量線 6 7 8 と電氣的に接続される。

40

【 0 6 9 1 】

なお、図 4 0 (C) では、トランジスタ 6 7 1 とキャパシタ 6 7 3 とが、異なる層に設けられた例を示すが、これに限定されない。例えば、トランジスタ 6 7 1 およびキャパシタ 6 7 3 を同一層に設けても構わない。このような構造とすることで、メモリセルの上に同様の構成のメモリセルを重ねさせることができる。メモリセルを何層も重ねさせることで、メモリセル 1 つ分の面積に複数のメモリセルを集積化することができる。よって、半導体装置の集積度を高めることができる。

【 0 6 9 2 】

ここで、トランジスタ 6 7 1 として、先の実施の形態で示した酸化物半導体膜を用いたトランジスタを適用すると、当該トランジスタは極めてオフ電流が小さいため、ノード 6 7

50

9に保持された電荷がトランジスタ671を介してリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、フラッシュメモリと比較して、書き込み時に高い電圧が不要であるため、消費電力を小さく、動作速度を速くすることができる。

【0693】

以上のように、本発明の一態様によって、集積度が高く、消費電力の小さい半導体装置を得ることができる。

【0694】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。

【0695】

(実施の形態6)

先の実施の形態に示したトランジスタまたは半導体装置を少なくとも一部に用いてCPU (Central Processing Unit) を構成することができる。

【0696】

図42(A)は、CPUの具体的な構成を示すブロック図である。図42(A)に示すCPUは、基板1190上に、演算論理装置(ALU: Arithmetic logic unit) 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F) 1198、書き換え可能なROM 1199、およびROMインターフェース(ROM I/F) 1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM 1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図42(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0697】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0698】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU 1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

【0699】

また、タイミングコントローラ1195は、ALU 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0700】

図42(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196には、先の実施の形態に示した半導体装置を用いることができる。

【 0 7 0 1 】

図 4 2 (A) に示す C P U において、レジスタコントローラ 1 1 9 7 は、A L U 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作を行う。即ち、レジスタ 1 1 9 6 が有する記憶素子において、フリップフロップによるデータの保持を行うか、キャパシタによるデータの保持を行う。フリップフロップによってデータが保持されている場合、レジスタ 1 1 9 6 内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ 1 1 9 6 内の記憶素子への電源電圧の供給を停止することができる。

【 0 7 0 2 】

電源停止に関しては、図 4 2 (B) または図 4 2 (C) に示すように、記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 4 2 (B) および図 4 2 (C) の回路の説明を行う。

【 0 7 0 3 】

図 4 2 (B) および図 4 2 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に先の実施の形態で示したトランジスタを用いた構成の一例を示す。

【 0 7 0 4 】

図 4 2 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、記憶素子 1 1 4 2 を複数有する記憶素子群 1 1 4 3 とを有している。具体的に、それぞれの記憶素子 1 1 4 2 には、先の実施の形態で示した半導体装置を用いることができる。記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が供給されている。さらに、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

【 0 7 0 5 】

図 4 2 (B) では、スイッチング素子 1 1 4 1 として、先の実施の形態で示したトランジスタを用いている。当該トランジスタの半導体膜として酸化物半導体膜を用いることで、オフ電流の極めて小さいトランジスタとすることができる。当該トランジスタは、そのゲートに与えられる信号 S i g A によりスイッチングが制御される。

【 0 7 0 6 】

なお、図 4 2 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【 0 7 0 7 】

また、図 4 2 (C) には、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V S S が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 への、ローレベルの電源電位 V S S の供給を制御することができる。

【 0 7 0 8 】

記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設け、一時的に C P U の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、C P U の動作を停止することができ、それにより消費電力を低減することができる。

【 0 7 0 9 】

ここでは、C P U を例に挙げて説明したが、D S P (D i g i t a l S i g n a l P

10

20

30

40

50

rocessor)、カスタムLSI、FPGA(Field Programmable Gate Array)などのLSIにも応用可能である。

【0710】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。

【0711】

(実施の形態7)

本実施の形態では、先の実施の形態で示したトランジスタを適用した表示装置について説明する。

10

【0712】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう。)、発光素子(発光表示素子ともいう。)などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機ELなどを含む。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も表示素子として適用することができる。本実施の形態では、表示装置の一例としてEL素子を用いた表示装置および液晶素子を用いた表示装置について説明する。

20

【0713】

なお、本実施の形態における表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

【0714】

また、本実施の形態における表示装置は画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュールまたは表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0715】

図43(A)は、EL素子を用いた表示装置の回路図の一例である。

30

【0716】

図43(A)に示す表示装置は、スイッチ素子743と、トランジスタ741と、キャパシタ742と、発光素子719と、を有する。

【0717】

トランジスタ741のゲートはスイッチ素子743の一端およびキャパシタ742の一端と電氣的に接続される。トランジスタ741のソースは発光素子719の一端と電氣的に接続される。トランジスタ741のドレインはキャパシタ742の他端と電氣的に接続され、電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電氣的に接続される。発光素子719の他端は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

40

【0718】

なお、トランジスタ741は、先の実施の形態で示したトランジスタを用いる。当該トランジスタは、安定した電気特性を有し、信頼性が高い。そのため、表示品位の安定した表示装置とすることができる。

【0719】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高い表示装置とすることができる。また、スイッチ素子743として、先の実施の形態で示したトランジスタを用いてもよい。スイッチ素子743として先の実施の形態で示したトランジスタを用いることで、トランジスタ741と同一工程によってスイッチ素子743を作製することができ、表示装置の生産性

50

を高めることができる。

【0720】

図43(B)に、トランジスタ741、キャパシタ742および発光素子719を含めた画素の断面の一部を示す。

【0721】

なお、図43(B)は、トランジスタ741とキャパシタ742とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ742をトランジスタ741のゲート電極、ゲート絶縁膜およびソース電極(ドレイン電極)と同一層かつ同一導電膜を用いて作製することができる。このように、トランジスタ741とキャパシタ742とを同一平面に設けることにより、表示装置の作製工程を短縮化し、生産性を高めることができる。

10

【0722】

図43(B)では、トランジスタ741として、図1に示したトランジスタを適用した例を示す。そのため、トランジスタ741の各構成のうち、以下で特に説明しないものについては、先の実施の形態の説明を参照する。

【0723】

また、図44では、トランジスタ741として、図20に示したトランジスタを適用した例を示す。そのため、トランジスタ741の各構成のうち、以下で特に説明しないものについては、先の実施の形態の説明を参照する。ただし、トランジスタ741に適用できるトランジスタは、図1で示したトランジスタおよび図20で示したトランジスタのみに限定されるものではない。

20

【0724】

トランジスタ741およびキャパシタ742上には、絶縁膜720が設けられる。

【0725】

ここで、絶縁膜720および保護絶縁膜118には、トランジスタ741のソース電極116aに達する開口部が設けられる。

【0726】

絶縁膜720上には、電極781が設けられる。電極781は、保護絶縁膜118、結晶性絶縁膜136、酸化アルミニウム膜138および絶縁膜720、に設けられた開口部を介してトランジスタ741のソース電極116aと接する。

30

【0727】

電極781上には、電極781に達する開口部を有する隔壁784が設けられる。

【0728】

隔壁784上には、隔壁784に設けられた開口部で電極781と接する発光層782が設けられる。

【0729】

発光層782上には、電極783が設けられる。

【0730】

電極781、発光層782および電極783の重畳する領域が、発光素子719となる。

【0731】

なお、絶縁膜720は、保護絶縁膜118の記載を参照する。または、絶縁膜720として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

40

【0732】

発光層782は、一層に限定されず、複数種の発光材料などを積層して設けてもよい。例えば、図43(C)に示すような構造とすればよい。図43(C)は、中間層785a、発光層786a、中間層785b、発光層786b、中間層785c、発光層786cおよび中間層785dの順番で積層した構造である。このとき、発光層786a、発光層786bおよび発光層786cに適切な発光色の材料を用いると演色性の高い、または発光効率の高い、発光素子719を形成することができる。

50

【0733】

発光材料を複数種積層して設けることで、白色光を得てもよい。図43(B)には示さないが、白色光を着色層を介して取り出す構造としても構わない。

【0734】

ここでは発光層を3層および中間層を4層設けた構造を示しているが、これに限定されるものではなく、適宜発光層の数および中間層の数を変更することができる。例えば、中間層785a、発光層786a、中間層785b、発光層786bおよび中間層785cのみで構成することもできる。また、中間層785a、発光層786a、中間層785b、発光層786b、発光層786cおよび中間層785dで構成し、中間層785cを省いた構造としても構わない。

10

【0735】

また、中間層は、正孔注入層、正孔輸送層、電子輸送層および電子注入層などを積層構造で用いることができる。なお、中間層は、これらの層を全て備えなくてもよい。これらの層は適宜選択して設ければよい。なお、同様の機能を有する層を重複して設けてもよい。また、中間層としてキャリア発生層のほか、電子リレー層などを適宜加えてもよい。

【0736】

電極781は、可視光透過性を有する導電膜を用いればよい。可視光透過性を有するとは、可視光領域(例えば400nm~800nmの波長範囲)における平均の透過率が70%以上、特に80%以上であることをいう。

【0737】

電極781としては、例えば、In-Zn-W酸化物膜、In-Sn酸化物膜、In-Zn酸化物膜、In酸化物膜、Zn酸化物膜およびSn酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜(好ましくは、5nm~30nm程度)を用いることもできる。例えば5nmの膜厚を有するAg膜、Mg膜またはAg-Mg合金膜を用いてもよい。

20

【0738】

または、電極781は、可視光を効率よく反射する膜が好ましい。電極781は、例えば、リチウム、アルミニウム、チタン、マグネシウム、ランタン、銀、シリコンまたはニッケルを含む膜を用いればよい。

30

【0739】

電極783は、電極781として示した膜から選択して用いることができる。ただし、電極781が可視光透過性を有する場合は、電極783が可視光を効率よく反射すると好ましい。また、電極781が可視光を効率よく反射する場合は、電極783が可視光透過性を有すると好ましい。

【0740】

なお、電極781および電極783を図43(B)に示す構造で設けているが、電極781と電極783を入れ替えても構わない。アノードとして機能する電極には、仕事関数の大きい導電膜を用いることが好ましく、カソードとして機能する電極には仕事関数の小さい導電膜を用いることが好ましい。ただし、アノードと接してキャリア発生層を設ける場合には、仕事関数を考慮せずに様々な導電膜を陽極に用いることができる。

40

【0741】

隔壁784は、保護絶縁膜118の記載を参照する。または、隔壁784として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂などの樹脂膜を用いても構わない。

【0742】

発光素子719と接続するトランジスタ741は、安定した電気特性を有し、信頼性が高い。そのため、表示品位の安定した表示装置を提供することができる。

【0743】

次に、液晶素子を用いた表示装置について説明する。

50

【0744】

図45(A)は、液晶素子を用いた表示装置の画素の構成例を示す回路図である。図45(A)に示す画素750は、トランジスタ751と、キャパシタ752と、一对の電極間に液晶の充填された素子(以下液晶素子ともいう)753とを有する。

【0745】

トランジスタ751では、ソースおよびドレインの一方が信号線755に電氣的に接続され、ゲートが走査線754に電氣的に接続されている。

【0746】

キャパシタ752では、一方の電極がトランジスタ751のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

10

【0747】

液晶素子753では、一方の電極がトランジスタ751のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述のキャパシタ752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極が電氣的に接続する配線に与えられる共通電位とが異なる電位であってもよい。

【0748】

図45(B)に、画素750の断面の一部を示す。

【0749】

図45(B)には、トランジスタ751とキャパシタ752とが、同一平面に設けられた例を示す。このような構造とすることで、キャパシタ752をトランジスタ751のゲート電極、ゲート絶縁膜およびソース電極(ドレイン電極)と同一層かつ同一導電膜を用いて作製することができる。このように、トランジスタ751とキャパシタ752とを同一平面に設けることにより、表示装置の作製工程を短縮化し、生産性を高めることができる。

20

【0750】

トランジスタ751としては、先の実施の形態で示したトランジスタを適用することができる。図45(B)においては、図1に示したトランジスタを適用した例を示す。そのため、トランジスタ751の各構成のうち、以下で特に説明しないものについては、先の実施の形態の説明を参照する。

30

【0751】

また、図46では、トランジスタ751として、図20に示したトランジスタを適用した例を示す。そのため、トランジスタ751の各構成のうち、以下で特に説明しないものについては、先の実施の形態の説明を参照する。ただし、トランジスタ751に適用できるトランジスタは、図1で示したトランジスタおよび図20で示したトランジスタのみに限定されるものではない。

【0752】

なお、トランジスタ751の半導体膜106として酸化物半導体膜を用いた場合、トランジスタ751は極めてオフ電流の小さいトランジスタとすることができる。従って、キャパシタ752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電圧が不要となり、消費電力の小さい表示装置とすることができる。

40

【0753】

トランジスタ751およびキャパシタ752上には、絶縁膜721が設けられる。

【0754】

ここで、保護絶縁膜118、結晶性絶縁膜136、酸化アルミニウム膜138および絶縁膜721には、トランジスタ751のドレイン電極116bに達する開口部が設けられる。

【0755】

50

絶縁膜 721 上には、電極 791 が設けられる。電極 791 は、絶縁膜 721、酸化アルミニウム膜 138、結晶性絶縁膜 136 および保護絶縁膜 118 に設けられた開口部を介してトランジスタ 751 のドレイン電極 116b と接する。

【0756】

電極 791 上には、配向膜として機能する絶縁膜 792 が設けられる。

【0757】

絶縁膜 792 上には、液晶層 793 が設けられる。

【0758】

液晶層 793 上には、配向膜として機能する絶縁膜 794 が設けられる。

【0759】

絶縁膜 794 上には、スペーサ 795 が設けられる。

【0760】

スペーサ 795 および絶縁膜 794 上には、電極 796 が設けられる。

【0761】

電極 796 上には、基板 797 が設けられる。

【0762】

なお、絶縁膜 721 は、保護絶縁膜 118 の記載を参照する。または、絶縁膜 721 として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂膜を用いても構わない。

【0763】

液晶層 793 は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いればよい。これらの液晶は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。

【0764】

なお、液晶層 793 として、ブルー相を示す液晶を用いてもよい。その場合、配向膜として機能する絶縁膜 792 および絶縁膜 794 を設けない構成とすればよい。

【0765】

電極 791 は、可視光透過性を有する導電膜を用いればよい。

【0766】

電極 791 としては、例えば、In-Zn-W 酸化物膜、In-Sn 酸化物膜、In-Zn 酸化物膜、In 酸化物膜、Zn 酸化物膜および Sn 酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、F などが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm～30nm 程度）を用いることもできる。

【0767】

または、電極 791 は、可視光を効率よく反射する膜が好ましい。電極 791 は、例えば、アルミニウム、チタン、クロム、銅、モリブデン、銀、タンタルまたはタングステンを含む膜を用いればよい。

【0768】

電極 796 は、電極 791 として示した膜から選択して用いることができる。ただし、電極 791 が可視光透過性を有する場合は、電極 796 が可視光を効率よく反射すると好ましい場合がある。また、電極 791 が可視光を効率よく反射する場合は、電極 796 が可視光透過性を有すると好ましい場合がある。

【0769】

なお、電極 791 および電極 796 を図 45 (B) に示す構造で設けているが、電極 791 と電極 796 を入れ替えても構わない。

【0770】

絶縁膜 792 および絶縁膜 794 は、有機化合物絶縁膜または無機化合物絶縁膜から選択して用いればよい。

10

20

30

40

50

【0771】

スペーサ795は、有機化合物絶縁膜または無機化合物絶縁膜から選択して用いればよい。

なお、スペーサ795の形状は、柱状、球状など様々にとることができる。

【0772】

電極791、絶縁膜792、液晶層793、絶縁膜794および電極796の重畳する領域が、液晶素子753となる。

【0773】

基板797は、ガラス、樹脂または金属などを用いればよい。基板797は可とう性を有してもよい。

【0774】

液晶素子753と接続するトランジスタ751は、安定した電気特性を有し、信頼性が高い。そのため、表示品位の安定した表示装置を提供することができる。また、トランジスタ751の半導体膜106として酸化物半導体膜を用いることで、消費電力の小さい表示装置を提供することができる。

【0775】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。

【0776】

(実施の形態8)

本実施の形態では、先の実施の形態で示した半導体装置を適用した電子機器の例について説明する。

【0777】

図47(A)は携帯型情報端末である。図47(A)に示す携帯型情報端末は、筐体9300と、ボタン9301と、マイクロフォン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本体内部にある演算装置、無線回路または記憶回路に本発明の一形態を適用することができる。または、本発明の一態様は表示部9303に適用することができる。

【0778】

図47(B)は、ディスプレイである。図47(B)に示すディスプレイは、筐体9310と、表示部9311と、を具備する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一態様は表示部9311に適用することができる。

【0779】

図47(C)は、デジタルスチルカメラである。図47(C)に示すデジタルスチルカメラは、筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一態様は表示部9323に適用することができる。

【0780】

図47(D)は2つ折り可能な携帯情報端末である。図47(D)に示す2つ折り可能な携帯情報端末は、筐体9630、表示部9631a、表示部9631b、留め具9633、操作スイッチ9638、を有する。本発明の一形態は、本体内部にある演算装置、無線回路または記憶回路に適用することができる。または、本発明の一態様は表示部9631aおよび表示部9631bに適用することができる。

【0781】

なお、表示部9631aまたは/および表示部9631bは、一部または全部をタッチパネルとすることができ、表示された操作キーに触れることでデータ入力などを行うことが

10

20

30

40

50

できる。

【0782】

本発明の一態様に係る半導体装置を用いることで、信頼性が高く、性能が高く、かつ消費電力が小さい電子機器を提供することができる。

【0783】

本実施の形態は、他の実施の形態の一部または全部について、変更、追加、修正、削除、応用、上位概念化、又は、下位概念化したものに相当する。したがって、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に組み合わせることや、適用することや、置き換えて実施することができる。

【0784】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数又は複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、 N 個（ N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、 N 個（ N は整数）の層を有して構成される断面図から、 M 個（ M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、 N 個（ N は整数）の要素を有して構成されるフローチャートから、 M 個（ M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。

【0785】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0786】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【実施例1】

【0787】

本実施例では、結晶性絶縁膜上に酸化アルミニウム膜を形成し、走査透過電子顕微鏡（STEM：Scanning Transmission Electron Microscope）像を観察し、XRRを行った。また、比較例として、非晶質絶縁膜上に酸化アルミニウム膜を形成し、同様の評価を行った。

【0788】

以下に、試料の作製方法について説明する。

【0789】

まず、ガラス基板上に酸化シリコン膜を成膜した。酸化シリコン膜は、スパッタリング法により、直径12インチ丸形合成石英ターゲット、アルゴンガス25 sccmおよび酸素

10

20

30

40

50

ガス 25 s c c m を用い、電力 5 k W (13 . 56 M H z)、圧力 0 . 4 P a、ターゲット - 基板間距離 60 m m および基板加熱温度 100 として、300 n m の厚さを成膜した。

【0790】

次に、結晶性絶縁膜を成膜した。ここで、試料 1 は、安定化材料として酸化イットリウムを添加した酸化ジルコニウム膜 (イットリア安定化ジルコニア膜または Y S Z 膜ともいう。) を成膜した。また、試料 2 は、酸化チタン膜を成膜した。なお、比較試料は、結晶性絶縁膜を成膜しなかった。

【0791】

ここで、Y S Z 膜は、スパッタリング法により、直径 6 インチ丸形 Y S Z ターゲット (Z r O₂ : Y₂ O₃ = 92 : 8 [m o l 数比])、アルゴンガス 20 s c c m および酸素ガス 20 s c c m を用い、電力 250 W (13 . 56 M H z)、圧力 0 . 4 P a、ターゲット - 基板間距離を 135 m m および基板加熱なしとして、100 n m の厚さを成膜した。

10

【0792】

酸化チタン膜は、スパッタリング法により、直径 6 インチ丸形酸化チタンターゲットおよびアルゴンガス 40 s c c m を用い、電力 400 W (13 . 56 M H z)、圧力 0 . 4 P a、ターゲット - 基板間距離を 150 m m および基板加熱なしとして、100 n m の厚さを成膜した。

【0793】

次に、各試料とも酸化アルミニウム膜を成膜した。酸化アルミニウム膜は、スパッタリング法により、直径 12 インチ丸形酸化アルミニウムターゲット、アルゴンガス 25 s c c m および酸素ガス 25 s c c m を用い、電力 2 . 5 k W (13 . 56 M H z)、圧力 0 . 4 P a、ターゲット - 基板間距離を 60 m m および基板加熱温度 250 として、100 n m の厚さを成膜した。

20

【0794】

以上のようにして作製した試料 1、試料 2 および比較試料の断面 S T E M 像を観察した。断面 S T E M 像の観察は、株式会社日立ハイテクノロジーズ製「日立超薄膜評価装置 H D - 2300」を用いた。なお、倍率は 20 万倍である。図 48 (A) は、試料 1 の位相コントラスト像 (透過電子像 (T r a n s m i t t e d E l e c t r o n : T E 像) とともいう。)、図 48 (B) は試料 2 の T E 像、図 48 (C) は比較試料の T E 像を、それぞれ示す。

30

【0795】

図 48 (A) より、試料 1 において、Y S Z 膜は結晶性を有し、かつ酸化アルミニウム膜も全体が結晶性を有することがわかった。また、図 48 (B) より、試料 2 において、酸化チタン膜は結晶性を有し、かつ酸化アルミニウム膜も全体が結晶性を有することがわかった。また、図 48 (C) より、比較試料において、酸化シリコン膜は非晶質であり、かつ酸化アルミニウム膜における酸化シリコン膜との界面近傍の領域は非晶質であることがわかった。

【0796】

次に、試料 1、試料 2 および比較試料の X R R を行った。X R R は、株式会社リガク製「X 線回折装置 A T X - G」を用いた。X R R の結果、試料 1 は表 1 のような層構造を有し、試料 2 は表 2 のような層構造を有し、比較試料は表 3 のような層構造を有することがわかった。なお、図 48 に示した T E 像より各層の結晶状態についても評価し、表中に記載する。

40

【0797】

【表 1】

試料1	厚さ [nm]	密度 [g/cm ³]	ラフネス [nm]	結晶状態
酸化アルミニウム	4.7	3.64	2.12	結晶
酸化アルミニウム	101.3	3.59	1.30	結晶
酸化アルミニウム	7.4	3.49	4.50	結晶
YSZ	80.7	5.99	1.99	結晶
酸化シリコン	300.0	1.97	1.52	非晶質
ガラス	—	2.51	4.31	非晶質

【0798】

10

【表 2】

試料2	厚さ [nm]	密度 [g/cm ³]	ラフネス [nm]	結晶状態
酸化アルミニウム	3.1	3.86	2.47	結晶
酸化アルミニウム	108.8	3.58	3.09	結晶
酸化アルミニウム	5.5	3.92	2.12	結晶
酸化チタン	98.5	3.80	4.80	結晶
酸化シリコン	300.0	2.16	2.11	非晶質
ガラス	—	2.51	4.21	非晶質

【0799】

20

【表 3】

比較試料	厚さ [nm]	密度 [g/cm ³]	ラフネス [nm]	結晶状態
酸化アルミニウム	3.6	3.76	1.91	結晶
酸化アルミニウム	102.8	3.61	2.17	結晶
酸化アルミニウム	13.2	2.70	4.82	非晶質
酸化シリコン	300.0	1.91	1.34	非晶質
ガラス	—	2.51	1.08	非晶質

【0800】

表 1 乃至表 3 より、各試料の酸化アルミニウム膜は、2つの界面層およびその間に挟まれた層を有することがわかった。2つの界面層のうち、下地膜（YSZ膜、酸化チタン膜または酸化シリコン膜）側の界面層（下側の層とも呼ぶ。）の密度および厚さに着目する。試料 1 および試料 2 では下側の層の密度と、それ以外の層の密度に大きな違いが見られなかったが、比較試料では下側の層の密度がそれ以外の層の密度と比べて小さいことがわかった。また、比較試料の下側の層で見られた低密度層の厚さは 13.2 nm であった。

30

【0801】

以上に示したように、各試料のTE像およびXRRより得られた層構造より、試料 1 および試料 2 において、酸化アルミニウム膜は、全体が結晶化しており、かつ下側の層がそれ以外の層と比べて同程度の密度であることがわかった。また、比較試料において、酸化アルミニウム膜は、酸化シリコン膜との界面近傍の領域が非晶質化しており、かつ下側の層がそれ以外の層と比べて低い密度であることがわかった。なお、比較試料における酸化アルミニウム膜の非晶質化した領域は密度の低い下側の層であると考えられる。

40

【0802】

本実施例より、結晶性絶縁膜上に設けられた酸化シリコン膜は、全体が結晶化しており、かつ高密度であることがわかる。

【実施例 2】

【0803】

本実施例では、形状不良の発生が抑制された酸化アルミニウム膜を有する試料（本実施例試料）について、TE像を観察した。また、比較例として、形状不良の発生した酸化アルミニウム膜を有する試料（比較例試料）について、TE像を観察した。

50

【0804】

以下に、試料の作製方法について説明する。

【0805】

まず、基板であるシリコンウェハ上に酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、CVD法により、 SiH_4 ガス27 sccmおよび N_2O ガス1000 sccmを用い、電力60W(13.56MHz)、圧力133.3Pa、基板加熱温度325として、400nmの厚さを成膜した。

【0806】

次に、酸化物半導体膜を成膜した。酸化物半導体膜は、スパッタリング法により、直径12インチ丸形In-Ga-Zn-O化合物(In:Ga:Zn=3:1:2[原子数比])ターゲット、アルゴンガス30 sccmおよび酸素ガス15 sccmを用い、電力500W(DC)、圧力0.4Pa、ターゲット-基板間距離60mmおよび基板加熱温度200として、20nmの厚さを成膜した。

10

【0807】

次に、酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、CVD法により、 SiH_4 ガス1 sccmおよび N_2O ガス800 sccmを用い、電力150W(60MHz)、圧力40Pa、基板加熱温度400として、20nmの厚さを成膜した。

【0808】

次に、窒化タンタル膜を成膜した。窒化タンタル膜は、スパッタリング法により、直径12インチ丸形タンタルターゲット、アルゴンガス40 sccmおよび窒素ガス10 sccmを用い、電力1kW(DC)、圧力0.6Pa、ターゲット-基板間距離60mmおよび基板加熱なしとして、30nmの厚さを成膜した。

20

【0809】

次に、タングステン膜を成膜した。タングステン膜は、スパッタリング法により、直径12インチ丸形タングステンターゲット、アルゴンガス110 sccmを用い、電力4kW(DC)、圧力2Pa、ターゲット-基板間距離60mmおよび基板加熱温度200として、200nmの厚さを成膜した。

【0810】

次に、厚さ200nmのタングステン膜および厚さ30nmの窒化タンタル膜を加工し、ゲート電極を形成した。

30

【0811】

次に、酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、CVD法により、 SiH_4 ガス1 sccmおよび N_2O ガス800 sccmを用い、電力150W(60MHz)、圧力40Pa、基板加熱温度400として、90nmの厚さを成膜した。

【0812】

次に、異方性の高いエッチング処理を行うことにより、側壁絶縁膜を形成した。なお、異方性の高いエッチング処理として、ドライエッチング処理を用いた。このとき、厚さ20nmの酸化窒化シリコン膜も同時にエッチングし、ゲート絶縁膜を形成した。

【0813】

次に、タングステン膜を成膜した。タングステン膜は、スパッタリング法により、直径12インチ丸形タングステンターゲット、アルゴンガス90 sccmを用い、電力1kW(DC)、圧力0.8Pa、ターゲット-基板間距離60mmおよび基板加熱温度200として、30nmの厚さを成膜した。

40

【0814】

次に、厚さ30nmのタングステン膜を加工した。

【0815】

次に、本実施例試料では結晶性絶縁膜を成膜した。スパッタリング法により、直径6インチ丸形YSZターゲット($\text{ZrO}_2:\text{Y}_2\text{O}_3=92:8$ [mol数比])、アルゴンガス20 sccmおよび酸素ガス20 sccmを用い、電力250W(RF)、圧力0.4Pa、ターゲット-基板間距離を135mmおよび基板加熱なしとして、10nmの厚さ

50

を成膜した。なお、比較例試料では、結晶性絶縁膜は成膜していない。

【0816】

次に、本実施例試料、比較例試料とも酸化アルミニウム膜を成膜した。酸化アルミニウム膜は、スパッタリング法により、直径12インチ丸形酸化アルミニウムターゲット、アルゴンガス25sccmおよび酸素ガス25sccmを用い、電力2.5kW(RF)、圧力0.4Pa、ターゲット-基板間距離を60mmおよび基板加熱温度250℃として、70nmの厚さを成膜した。

【0817】

次に、酸化窒化シリコン膜を成膜した。酸化窒化シリコン膜は、CVD法により、SiH₄ガス5sccmおよびN₂Oガス1000sccmを用い、電力35W(13.56MHz)、圧力133.3Pa、基板加熱温度325℃として、460nmの厚さを成膜した。

【0818】

次に、CMP処理を行った。CMP処理は、ゲート電極であるタンゲステン膜の一部が露出するまで行った。

【0819】

以上のようにして作製した本実施例試料および比較例試料の断面STEM像を観察した。断面STEM像の観察は、株式会社日立ハイテクノロジーズ製「日立超薄膜評価装置HD-2300」を用いた。なお、倍率は15万倍である。図49(A)は、本実施例試料のTE像、図49(B)は比較例試料のTE像を、それぞれ示す。

【0820】

図49(A)より、本実施例試料において、酸化アルミニウム膜の形状不良の発生は確認されなかった(図中破線丸参照)。また、図49(B)より、比較例試料において、酸化アルミニウム膜のタンゲステン膜との近傍領域がエッチングされ、形状不良が発生していることがわかった(図中破線丸参照)。

【0821】

本実施例試料において、形状不良が発生しなかった要因は、結晶性絶縁膜を設けたことによる、酸化アルミニウム膜の高密度化および結晶化が考えられる。

【0822】

本実施例より、酸化アルミニウム膜に起因する形状不良の発生が高密度で結晶性を有する酸化アルミニウム膜を用いることで抑制されたとわかる。

【符号の説明】

【0823】

- 100 基板
- 104 ゲート電極
- 106 半導体膜
- 112 ゲート絶縁膜
- 116a ソース電極
- 116b ドレイン電極
- 118 保護絶縁膜
- 132 結晶性絶縁膜
- 134 酸化アルミニウム膜
- 136 結晶性絶縁膜
- 138 酸化アルミニウム膜
- 200 基板
- 204 ゲート電極
- 206 半導体膜
- 212 ゲート絶縁膜
- 216a ソース電極
- 216b ドレイン電極

10

20

30

40

50

2 1 8	保護絶縁膜	
2 3 2	結晶性絶縁膜	
2 3 4	酸化アルミニウム膜	
2 3 6	結晶性絶縁膜	
2 3 8	酸化アルミニウム膜	
3 0 0	基板	
3 0 2	下地絶縁膜	
3 0 4	ゲート電極	
3 0 6	半導体膜	
3 1 2	ゲート絶縁膜	10
3 1 6 a	ソース電極	
3 1 6 b	ドレイン電極	
3 3 2	結晶性絶縁膜	
3 3 4	酸化アルミニウム膜	
3 3 6	結晶性絶縁膜	
3 3 8	酸化アルミニウム膜	
4 0 0	基板	
4 0 2	下地絶縁膜	
4 0 4	ゲート電極	
4 0 6	半導体膜	20
4 1 2	ゲート絶縁膜	
4 1 2 a	結晶性絶縁膜	
4 1 2 b	酸化アルミニウム膜	
4 1 6 a	ソース電極	
4 1 6 b	ドレイン電極	
4 3 2	結晶性絶縁膜	
4 3 4	酸化アルミニウム膜	
4 3 6	結晶性絶縁膜	
4 3 8	酸化アルミニウム膜	
5 0 0	基板	30
5 0 2	下地絶縁膜	
5 0 4	ゲート電極	
5 0 6	半導体膜	
5 1 2	ゲート絶縁膜	
5 1 3	絶縁膜	
5 1 8	保護絶縁膜	
5 2 0	絶縁膜	
5 2 2	絶縁膜	
5 2 4 a	配線	
5 2 4 b	配線	40
5 2 6	電極	
5 2 8	電極	
5 3 2	結晶性絶縁膜	
5 3 4	酸化アルミニウム膜	
5 3 6	結晶性絶縁膜	
5 3 8	酸化アルミニウム膜	
5 5 1	トランジスタ	
5 5 2	キャパシタ	
5 5 3	ビット線	
5 5 4	ワード線	50

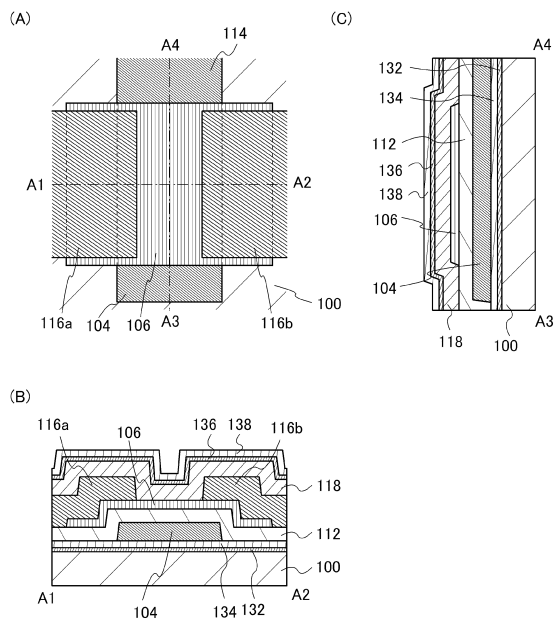
5 5 5	容量線	
5 5 6	メモリセル	
5 5 8	センスアンプ	
6 0 0	基板	
6 0 2	下地絶縁膜	
6 0 4	ゲート電極	
6 0 5	導電膜	
6 0 6	半導体膜	
6 1 0	側壁絶縁膜	
6 1 1	側壁絶縁膜	10
6 1 2	ゲート絶縁膜	
6 1 6	導電膜	
6 1 6 a	ソース電極	
6 1 6 b	ドレイン電極	
6 1 8	保護絶縁膜	
6 2 0	絶縁膜	
6 2 2	絶縁膜	
6 2 4 a	配線	
6 2 4 b	配線	
6 2 6	電極	20
6 2 8	電極	
6 3 2	結晶性絶縁膜	
6 3 4	酸化アルミニウム膜	
6 3 6	結晶性絶縁膜	
6 3 7	結晶性絶縁膜	
6 3 8	酸化アルミニウム膜	
6 3 9	酸化アルミニウム膜	
6 4 0	絶縁膜	
6 4 1	絶縁膜	
6 5 0	基板	30
6 5 2	下地絶縁膜	
6 5 4	ゲート電極	
6 5 6	結晶シリコン膜	
6 6 0	側壁絶縁膜	
6 6 2	ゲート絶縁膜	
6 6 8	絶縁膜	
6 7 1	トランジスタ	
6 7 2	トランジスタ	
6 7 3	キャパシタ	
6 7 4	ソース線	40
6 7 5	ソース線	
6 7 6	ワード線	
6 7 7	ドレイン線	
6 7 8	容量線	
6 7 9	ノード	
7 1 9	発光素子	
7 2 0	絶縁膜	
7 2 1	絶縁膜	
7 4 1	トランジスタ	
7 4 2	キャパシタ	50

7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	画素	
7 5 1	トランジスタ	
7 5 2	キャパシタ	
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	電極	
7 8 2	発光層	10
7 8 3	電極	
7 8 4	隔壁	
7 8 5 a	中間層	
7 8 5 b	中間層	
7 8 5 c	中間層	
7 8 5 d	中間層	
7 8 6 a	発光層	
7 8 6 b	発光層	
7 8 6 c	発光層	
7 9 1	電極	20
7 9 2	絶縁膜	
7 9 3	液晶層	
7 9 4	絶縁膜	
7 9 5	スペーサ	
7 9 6	電極	
7 9 7	基板	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	30
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	40
2 1 0 0	基板	
2 1 0 4	ゲート電極	
2 1 0 6	半導体膜	
2 1 1 2	ゲート絶縁膜	
2 1 1 2 a	結晶性絶縁膜	
2 1 1 2 b	酸化アルミニウム膜	
2 1 1 6 a	ソース電極	
2 1 1 6 b	ドレイン電極	
2 1 1 8	保護絶縁膜	
2 2 0 0	基板	50

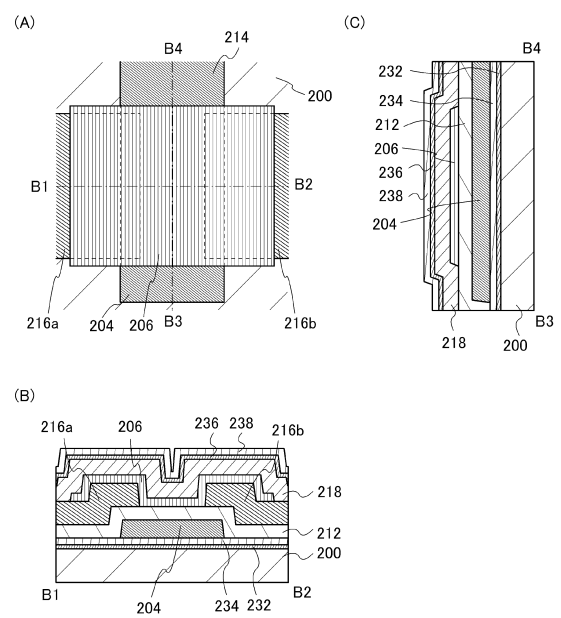
2 2 0 4	ゲート電極	
2 2 0 6	半導体膜	
2 2 1 2	ゲート絶縁膜	
2 2 1 2 a	結晶性絶縁膜	
2 2 1 2 b	酸化アルミニウム膜	
2 2 1 6 a	ソース電極	
2 2 1 6 b	ドレイン電極	
2 2 1 8	保護絶縁膜	
2 3 0 0	基板	
2 3 0 2	下地絶縁膜	10
2 3 0 4	ゲート電極	
2 3 0 6	半導体膜	
2 3 1 2	ゲート絶縁膜	
2 3 1 2 a	結晶性絶縁膜	
2 3 1 2 b	酸化アルミニウム膜	
2 3 1 6 a	ソース電極	
2 3 1 6 b	ドレイン電極	
2 4 0 0	基板	
2 4 0 2	下地絶縁膜	
2 4 0 4	ゲート電極	20
2 4 0 6	半導体膜	
2 4 1 2	ゲート絶縁膜	
2 4 1 2 a	結晶性絶縁膜	
2 4 1 2 b	酸化アルミニウム膜	
2 4 1 6 a	ソース電極	
2 4 1 6 b	ドレイン電極	
2 5 0 0	基板	
2 5 0 2	下地絶縁膜	
2 5 0 4	ゲート電極	
2 5 0 6	半導体膜	30
2 5 1 2	ゲート絶縁膜	
2 5 1 2 a	結晶性絶縁膜	
2 5 1 2 b	酸化アルミニウム膜	
2 5 1 8	保護絶縁膜	
2 5 2 4 a	配線	
2 5 2 4 b	配線	
2 6 0 0	基板	
2 6 0 2	下地絶縁膜	
2 6 0 4	ゲート電極	
2 6 0 6	半導体膜	40
2 6 1 0	側壁絶縁膜	
2 6 1 2	ゲート絶縁膜	
2 6 1 2 a	結晶性絶縁膜	
2 6 1 2 b	酸化アルミニウム膜	
2 6 1 3 a	結晶性絶縁膜	
2 6 1 3 b	酸化アルミニウム膜	
2 6 1 6 a	ソース電極	
2 6 1 6 b	ドレイン電極	
2 6 1 8	保護絶縁膜	
2 6 2 4 a	配線	50

2 6 2 4 b	配線
9 3 0 0	筐体
9 3 0 1	ボタン
9 3 0 2	マイクロフォン
9 3 0 3	表示部
9 3 0 4	スピーカ
9 3 0 5	カメラ
9 3 1 0	筐体
9 3 1 1	表示部
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部
9 6 3 0	筐体
9 6 3 1 a	表示部
9 6 3 1 b	表示部
9 6 3 3	留め具
9 6 3 8	操作スイッチ

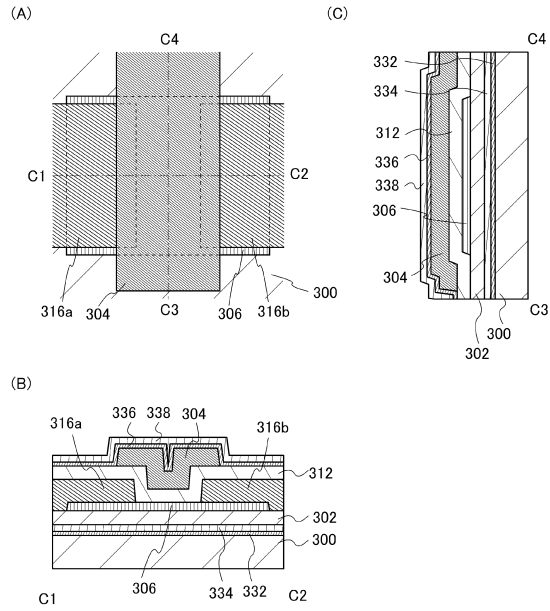
【図 1】



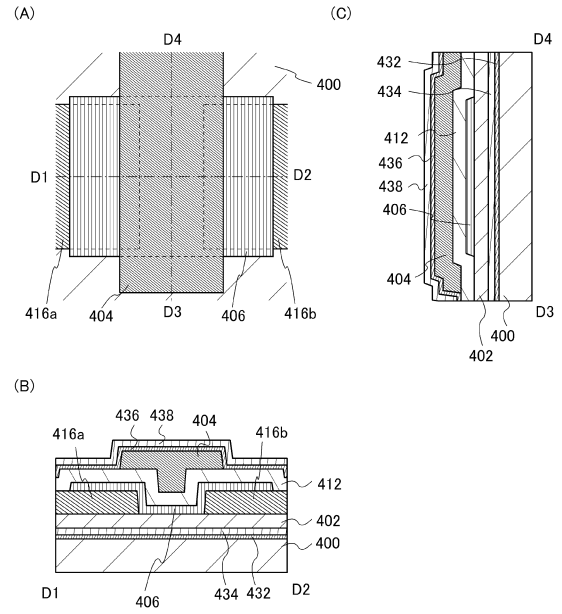
【図 2】



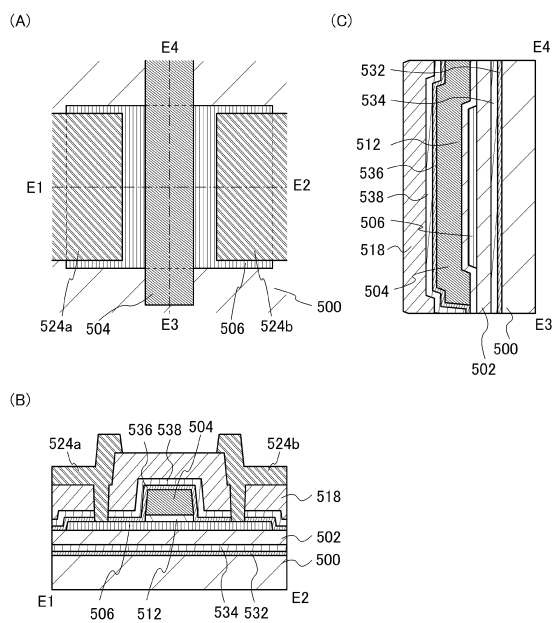
【図 3】



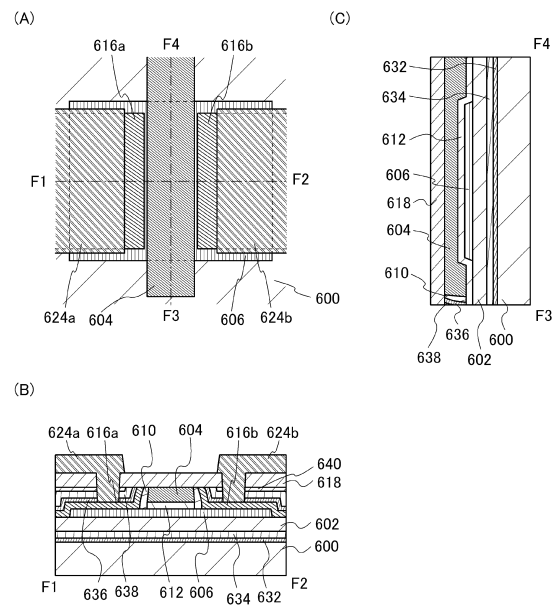
【図 4】



【図 5】

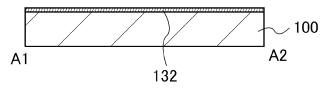


【図 6】

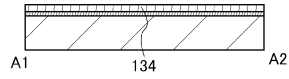


【図 7】

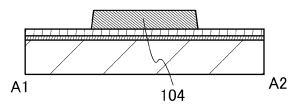
(A)



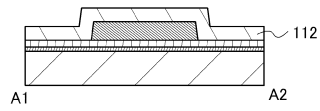
(B)



(C)

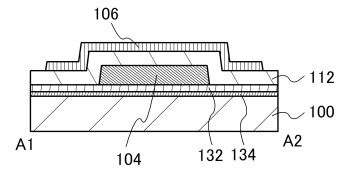


(D)

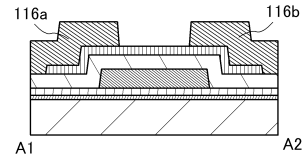


【図 8】

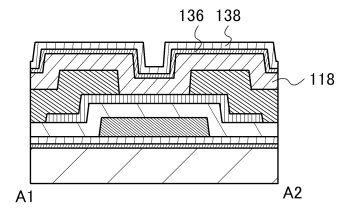
(A)



(B)

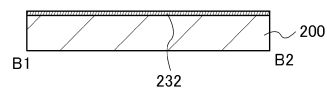


(C)

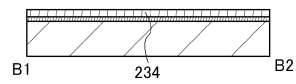


【図 9】

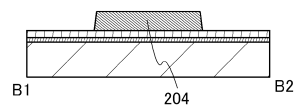
(A)



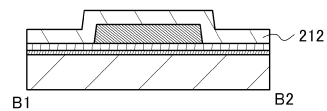
(B)



(C)

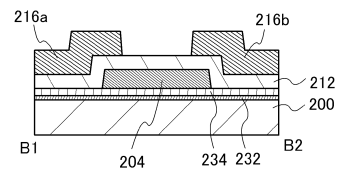


(D)

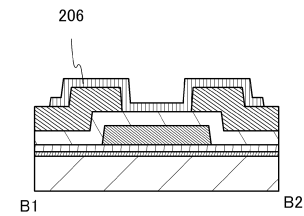


【図 10】

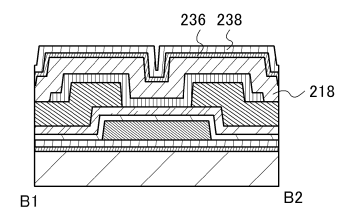
(A)



(B)

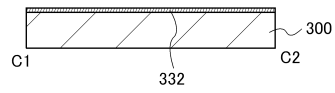


(C)

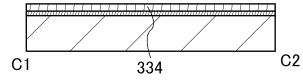


【図 1 1】

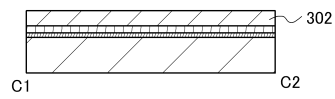
(A)



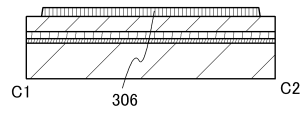
(B)



(C)

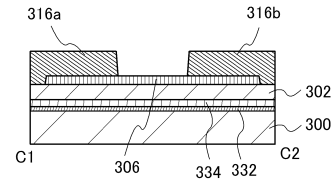


(D)

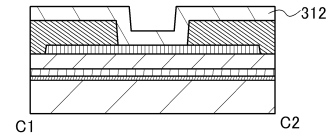


【図 1 2】

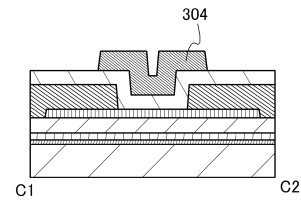
(A)



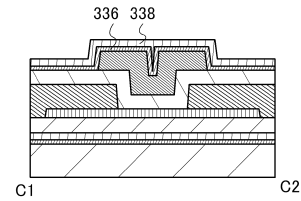
(B)



(C)

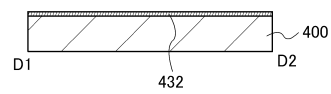


(D)

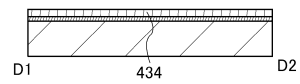


【図 1 3】

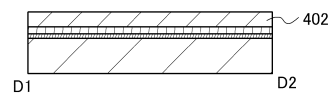
(A)



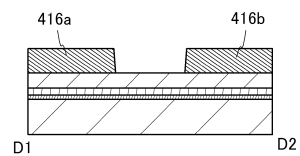
(B)



(C)

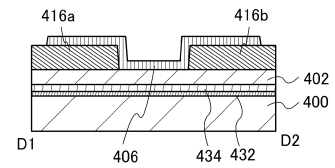


(D)

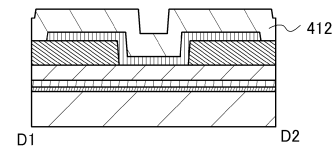


【図 1 4】

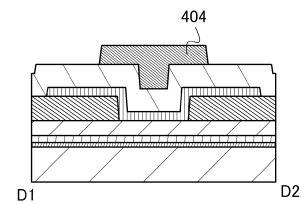
(A)



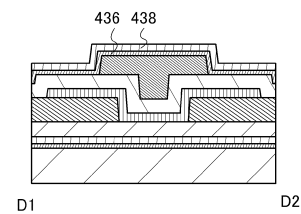
(B)



(C)

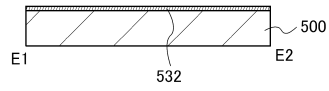


(D)

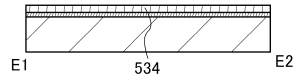


【図 15】

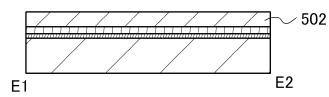
(A)



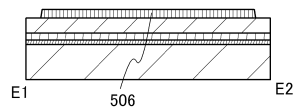
(B)



(C)

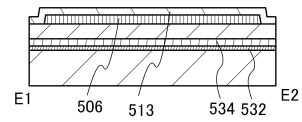


(D)

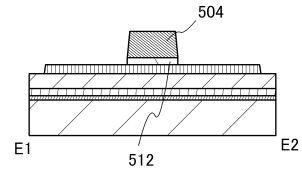


【図 16】

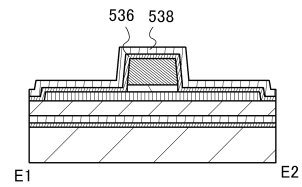
(A)



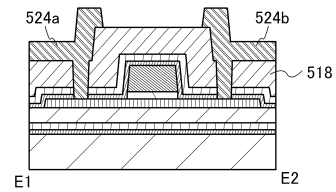
(B)



(C)

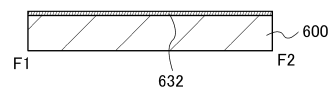


(D)

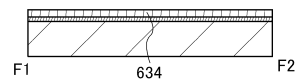


【図 17】

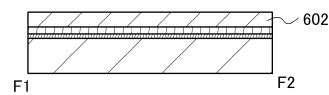
(A)



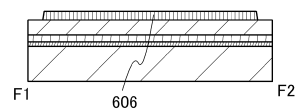
(B)



(C)

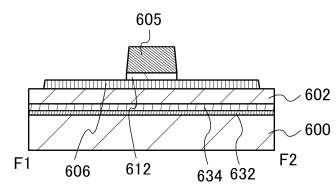


(D)

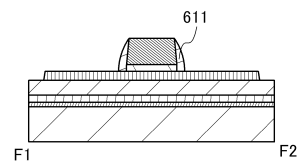


【図 18】

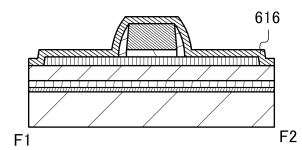
(A)



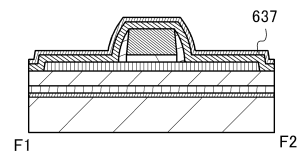
(B)



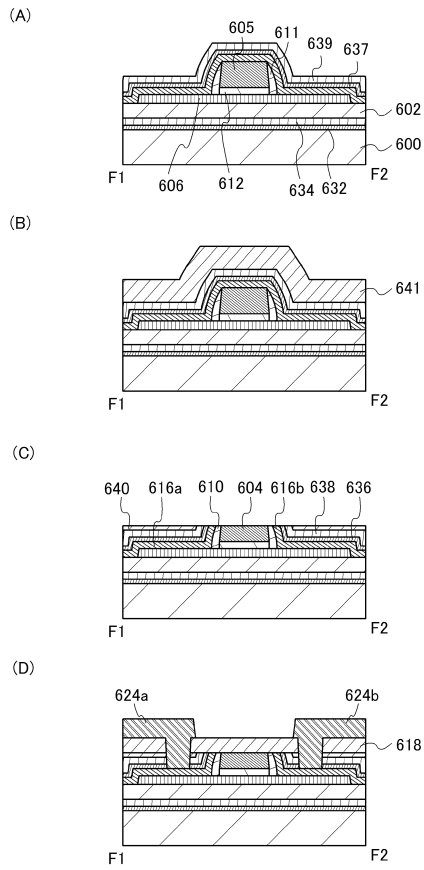
(C)



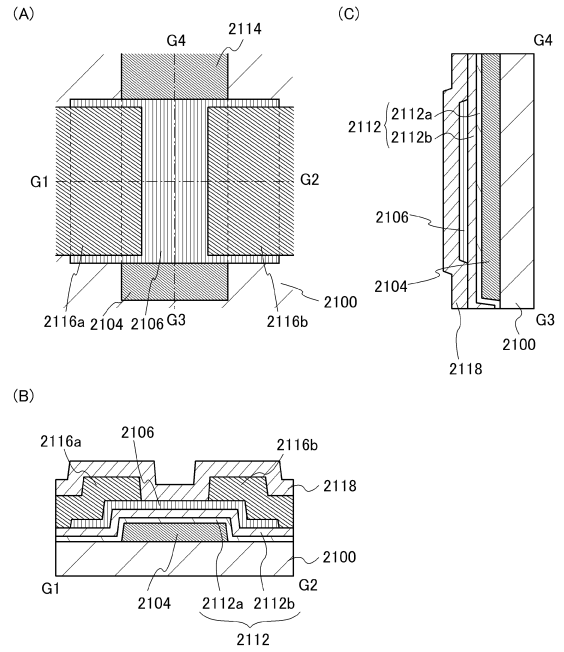
(D)



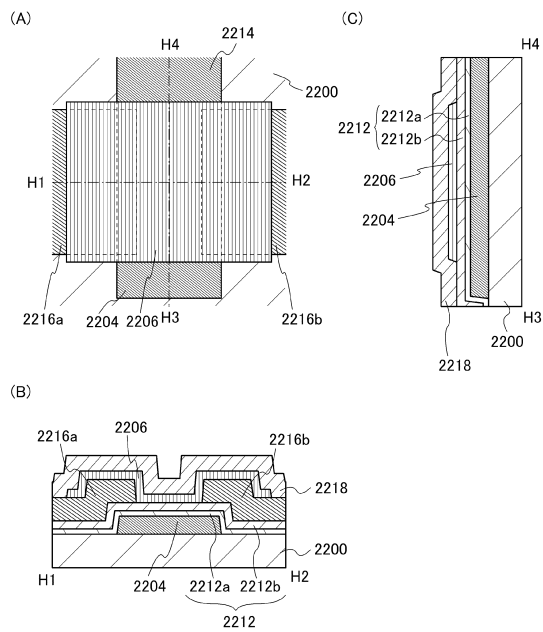
【図 19】



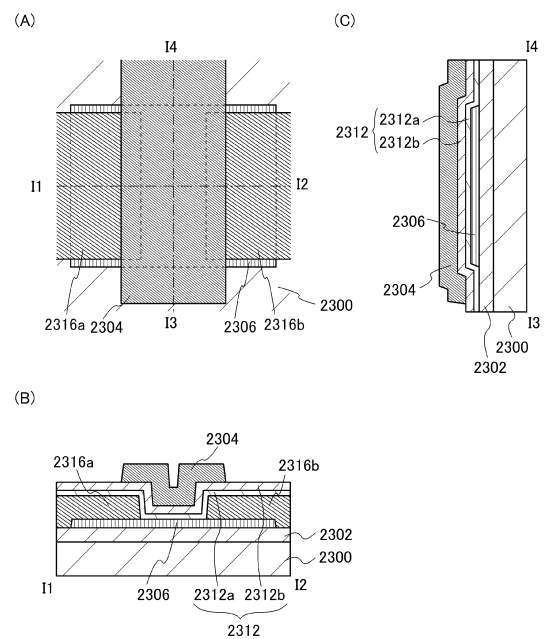
【図 20】



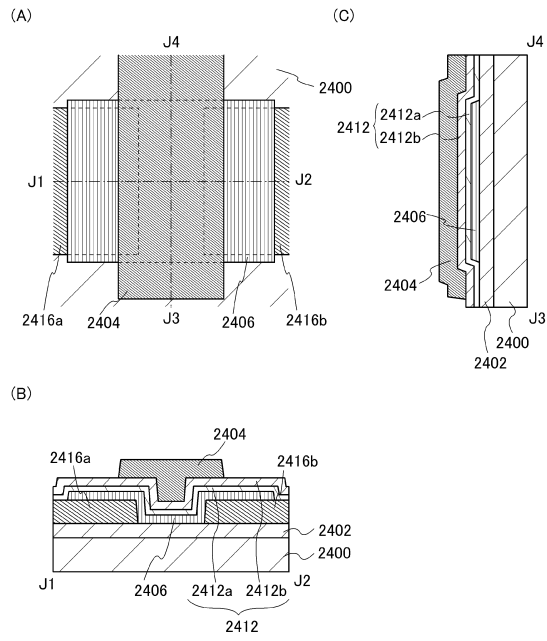
【図 21】



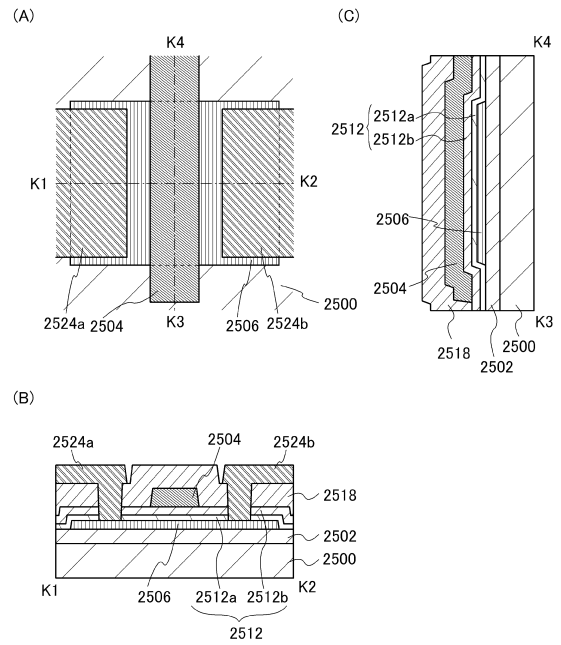
【図 22】



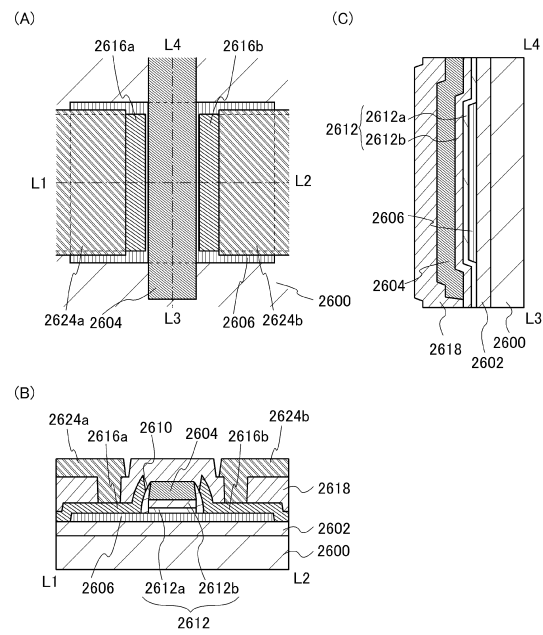
【図 2 3】



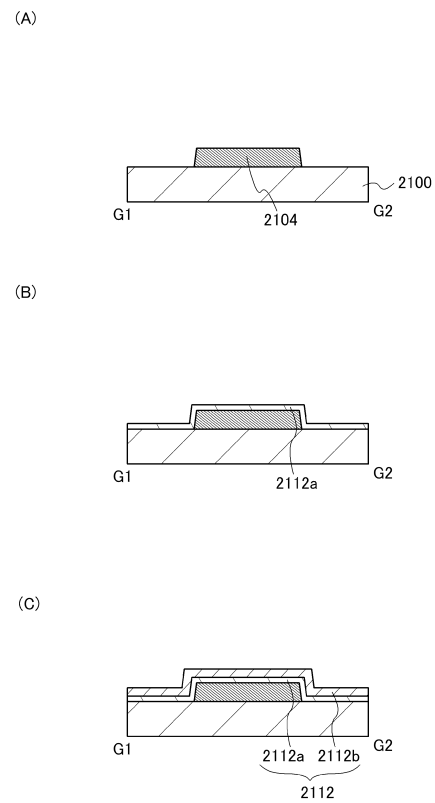
【図 2 4】



【図 2 5】

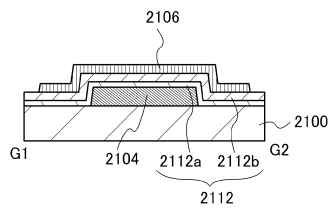


【図 2 6】

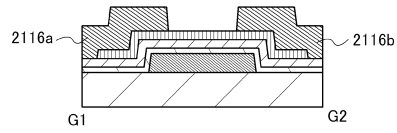


【図 27】

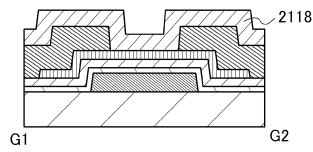
(A)



(B)

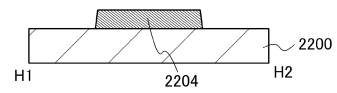


(C)

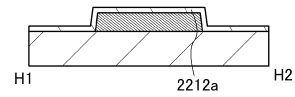


【図 28】

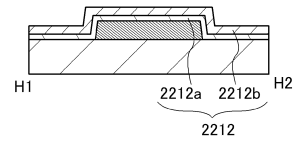
(A)



(B)

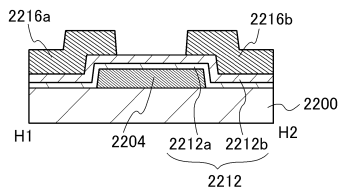


(C)

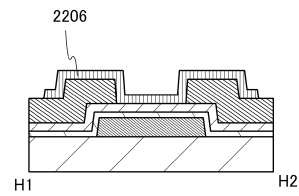


【図 29】

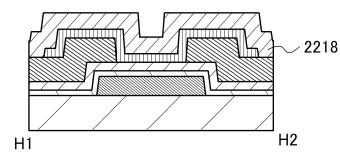
(A)



(B)

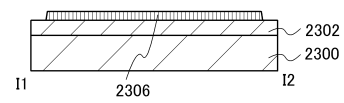


(C)

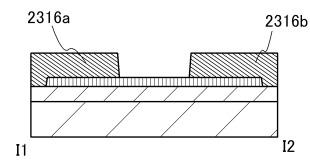


【図 30】

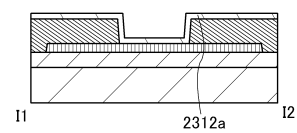
(A)



(B)

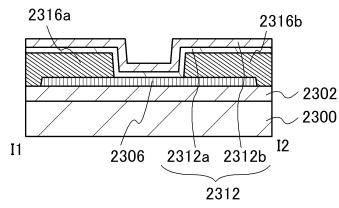


(C)

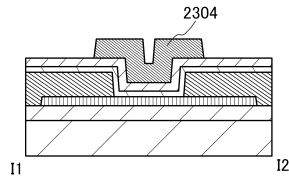


【図 3 1】

(A)

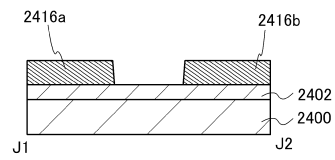


(B)

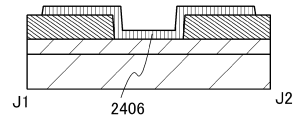


【図 3 2】

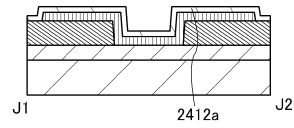
(A)



(B)

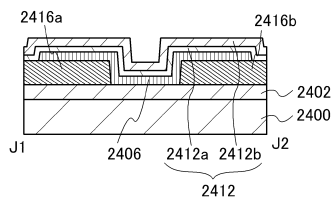


(C)

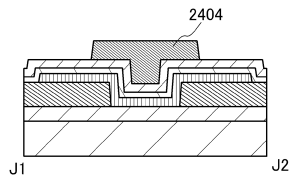


【図 3 3】

(A)

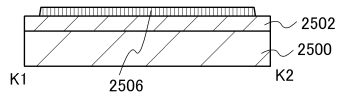


(B)

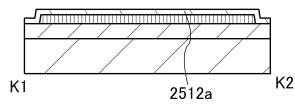


【図 3 4】

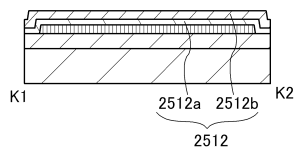
(A)



(B)

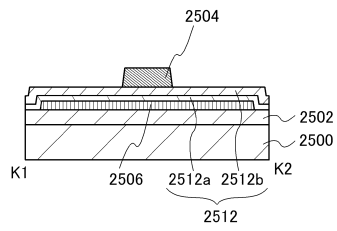


(C)

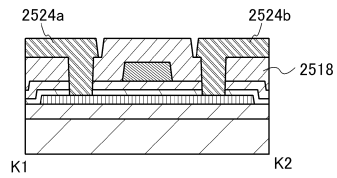


【図 35】

(A)

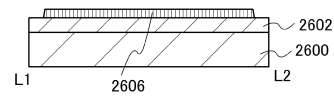


(B)

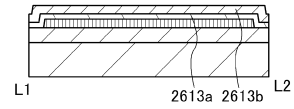


【図 36】

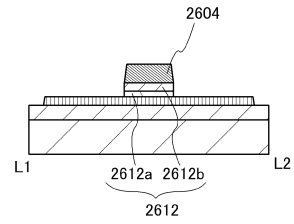
(A)



(B)

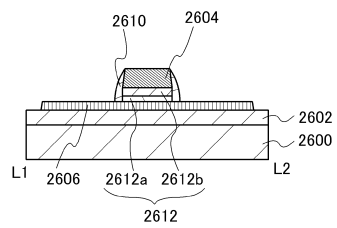


(C)

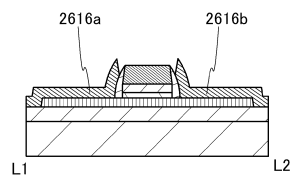


【図 37】

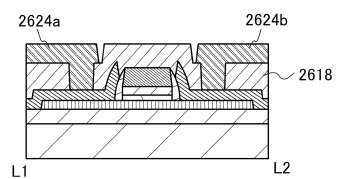
(A)



(B)

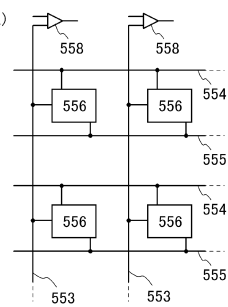


(C)

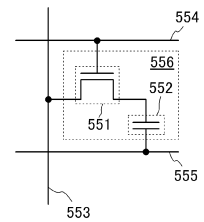


【図 38】

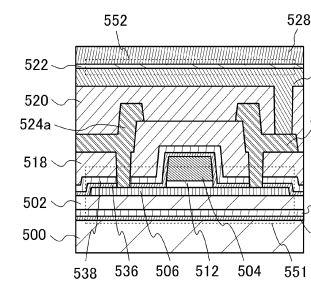
(A)



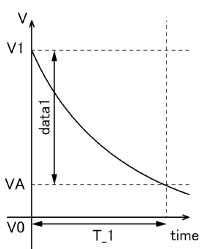
(B)



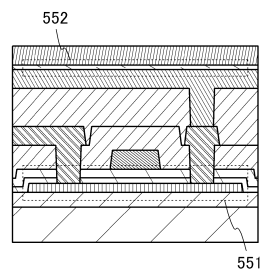
(C)



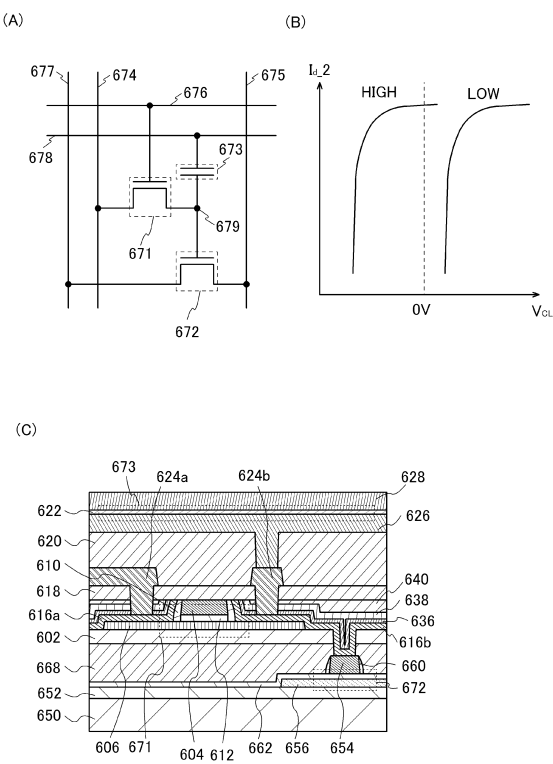
(D)



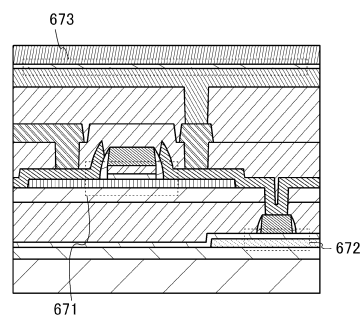
【図 39】



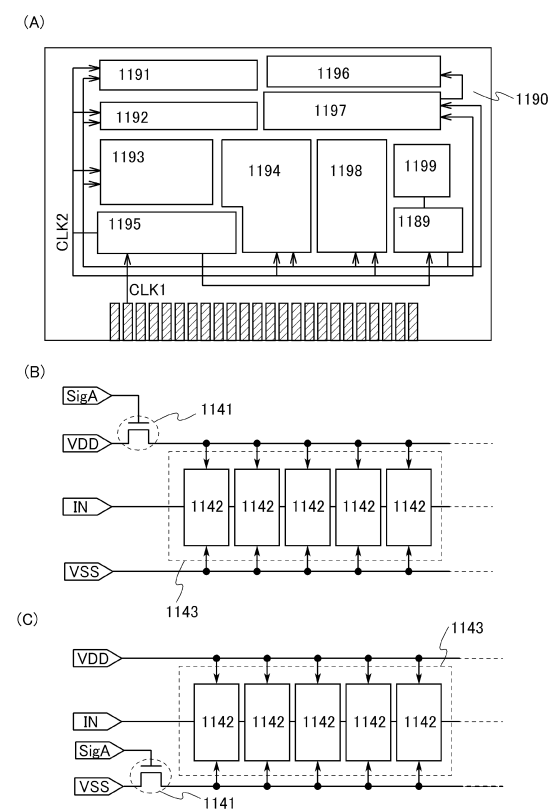
【図 40】



【図 41】



【図 42】



【 図 4 4 】

[illegible]

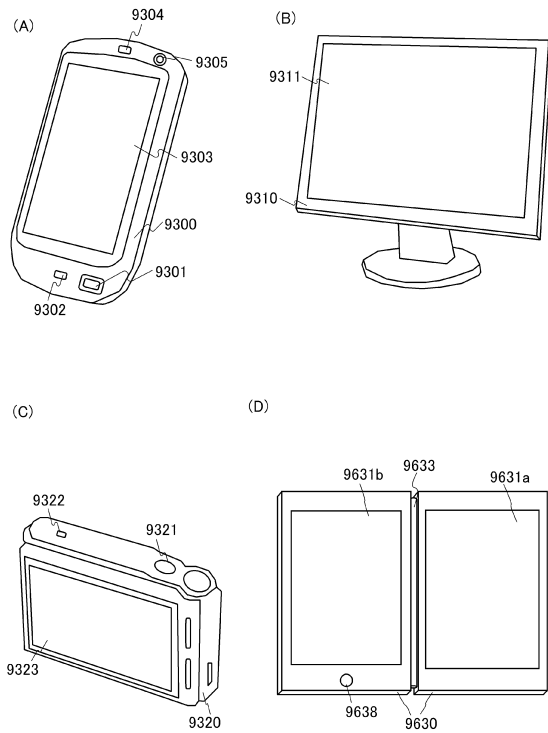
A cross-sectional view of a multi-layered structure, labeled 782. The structure consists of seven horizontal layers, each with a different hatching pattern. From top to bottom, the layers are labeled on the right as 785d, 786c, 785c, 786b, 785b, 786a, and 785a. The layers 785d, 785c, 785b, and 785a have diagonal hatching from top-left to bottom-right. The layers 786c, 786b, and 786a have diagonal hatching from bottom-left to top-right.



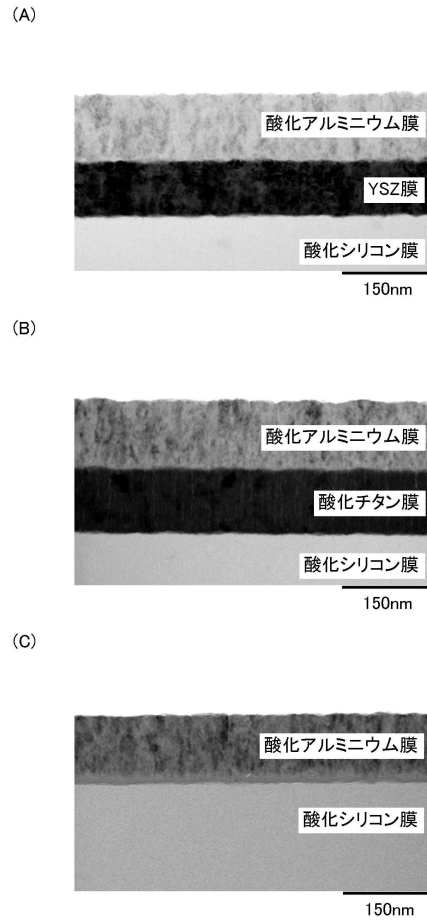
【 図 4 6 】

[illegible]

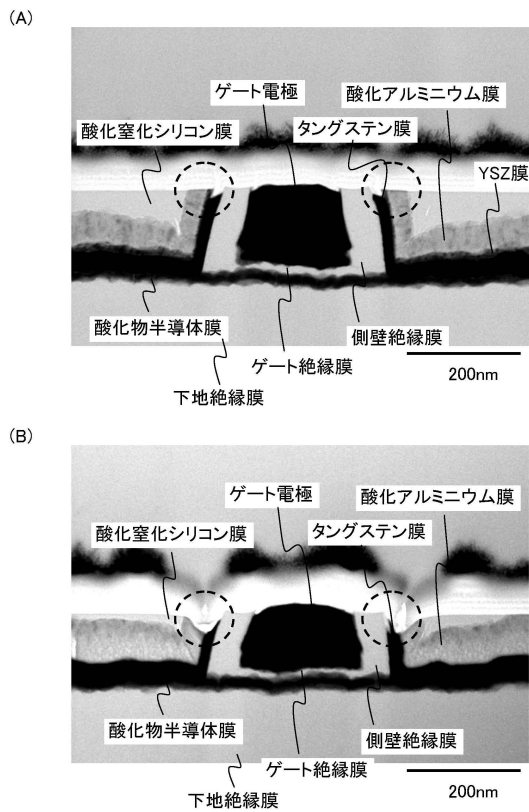
【図 47】



【図 48】



【図 49】



フロントページの続き

(51) Int.Cl.			F I		
H 0 1 L	27/108	(2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/50	M
H 0 1 L	29/792	(2006.01)	H 0 1 L	27/10	6 1 5
H 0 1 L	27/115	(2017.01)	H 0 1 L	27/10	6 7 1 C
H 0 1 L	27/105	(2006.01)	H 0 1 L	27/10	6 7 1 Z
H 0 1 L	27/10	(2006.01)	H 0 1 L	27/10	3 2 1
G 0 2 F	1/1368	(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	51/50	(2006.01)	H 0 1 L	27/10	4 3 4
H 0 5 B	33/14	(2006.01)	H 0 1 L	27/10	4 4 1
			H 0 1 L	27/10	4 9 5
			G 0 2 F	1/1368	
			H 0 5 B	33/14	A
			H 0 5 B	33/14	Z

- (56) 参考文献 特開 2 0 1 0 - 1 1 4 4 1 3 (J P , A)
 特開 2 0 1 0 - 2 0 5 9 8 7 (J P , A)
 特開 2 0 1 0 - 1 3 5 4 6 2 (J P , A)
 特開 2 0 1 0 - 1 5 2 2 9 8 (J P , A)
 特開 2 0 1 2 - 0 3 3 9 1 3 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6、2 9 / 7 8 6