



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(11) 공개번호 10-2007-0041757

(43) 공개일자 2007년04월19일

(21) 출원번호 10-2007-7004380

(22) 출원일자 2007년02월23일

심사청구일자 없음

번역문 제출일자 2007년02월23일

(86) 국제출원번호 PCT/US2005/026063

(87) 국제공개번호 WO 2006/023197

국제출원일자 2005년07월22일

국제공개일자 2006년03월02일

(30) 우선권주장 10/924,632 2004년08월24일 미국(US)

(71) 출원인 프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자 더안, 분-예우
미국 78750 텍사스주 오스틴 록레븐 코브 10201
트리요소, 디나, 에이치.
미국 78727 텍사스주 오스틴 캐패도시아 코브 13400
엔구엔, 비치-엔
미국 78733 텍사스주 오스틴 라우렐우드 드라이브 110

(74) 대리인 주성민
이중희
백만기

전체 청구항 수 : 총 21 항

(54) 다른 재료의 구조적 소자를 구비하는 반도체 트랜지스터 및그 형성 방법

(57) 요약

트랜지스터(10)는 반도체 기관(4)을 이용하고 반도체 기관 위에 놓여지는 제어 전극(49)을 형성하여 형성된다. 제1 전류 전극(70)은 반도체 기관 내부에 그리고 제어 전극에 인접하여 형성된다. 제1 전류 전극은 제1 소정 반도체 재료를 가지고 있다. 제2 전류 전극(84)은 반도체 기관 내 및 제어 전극에 인접하여 형성되어, 반도체 기관 내부에 채널(26)을 형성한다. 제2 전류 전극은 제1 소정 반도체 재료와는 다른 제2 소정 반도체 재료를 가지고 있다. 제1 소정 반도체 재료는 제1 전류 전극의 대역갭 에너지를 최적화하도록 선택되고, 제2 소정 반도체 재료는 채널의 스트레인을 최적화하도록 선택된다.

대표도

도 19

특허청구의 범위

청구항 1.

반도체 디바이스를 형성하는 방법에 있어서,

반도체 기판을 제공하는 단계;

상기 반도체 기판 위에 놓여지는 제어 전극을 형성하는 단계;

상기 반도체 기판 내 및 상기 제어 전극에 인접하여 제1 전류 전극을 형성하는 단계 - 상기 제1 전류 전극은 제1 소정의 반도체 재료를 구비함 -; 및

상기 반도체 기판 내에 채널을 형성하도록, 상기 반도체 기판 내 및 상기 제어 전극에 인접하여 제2 전류 전극을 형성하는 단계 - 상기 제2 전류 전극은 상기 제1 소정 반도체 재료와는 다른 제2 소정 반도체 재료를 구비하고, 상기 제1 소정 반도체 재료는 상기 제1 전류 전극의 대역갭 에너지를 최적화하도록 선택되며, 상기 제2 소정 반도체 재료는 채널의 스트레인을 최적화하도록 선택됨 -

을 포함하는 반도체 디바이스 형성 방법.

청구항 2.

제1항에 있어서,

상기 제1 소정 반도체 재료가 실리콘 카바이드가 되도록 선택하는 단계; 및

상기 제2 소정 반도체 재료가 실리콘 게르마늄이 되도록 선택하는 단계

를 더 포함하는 반도체 디바이스 형성 방법.

청구항 3.

제1항에 있어서, 상기 제1 전류 전극 및 상기 제2 전류 전극을 형성하는 단계는,

상기 반도체 기판 상에 놓여지는 반도체 영역 상에 놓여지는 상기 제어 전극을 형성하는 단계;

상기 제어 전극의 주위 및 횡적으로 인접하여 이중 또는 삼중 금속 산화물의 제1 등각 층을 형성하는 단계;

제1 사이드 방향에서 상기 제어 전극으로 제1 경사진 이온 주입을 수행하고 상기 제어 전극의 제1 사이드를 따라 그리고 상기 제어 전극의 위에서 이중 또는 삼중 금속 산화물의 상기 제1 등각 층을 비결정질화하는 단계;

상기 제어 전극의 제1 사이드를 따라, 상기 제어 전극의 위에 및 상기 제어 전극의 상기 제1 사이드에 횡적으로 인접하여 비결정질화되는 이중 또는 삼중 금속 산화물의 상기 제1 등각 층을 제거하는 단계;

상기 반도체 영역의 제1 노출된 부분으로부터 에피택시 성장에 의해 상기 제1 전류 전극을 형성하는 단계;

상기 제어 전극의 제1 사이드 반대쪽에 상기 제어 전극의 제2 사이드를 따라, 그리고 상기 제어 전극의 제2 사이드에 횡적으로 인접한 이중 또는 삼중 금속 산화물의 상기 제1 등각 층을 제거하는 단계;

상기 제어 전극의 주위에 그리고 상기 제어 전극에 횡적으로 인접하고 상기 제1 전류 전극의 위에 이중 또는 삼중 금속 산화물의 제2 등각 층을 형성하는 단계;

상기 제1 사이드 방향의 반대로 제2 사이드 방향으로부터 상기 제어 전극으로 이온의 제2 경사진 주입을 수행하고 상기 제어 전극의 제2 사이드를 따라 그리고 상기 제어 전극의 위에서 이중 또는 삼중 금속 산화물의 상기 제1 등각 층을 비결정질화하는 단계;

상기 제어 전극의 상기 제2 사이드를 따라, 상기 제어 전극의 위에, 그리고 상기 제어 전극의 상기 제2 사이드에 횡적으로 인접하여 비결정질화된 이중 또는 삼중 금속 산화물의 제2 등각 층을 제거하는 단계; 및

상기 반도체 영역의 제2 노출부로부터 에피택시 성장에 의해 상기 제2 전류 전극을 형성하는 단계

를 포함하는 반도체 디바이스 형성 방법.

청구항 4.

제3항에 있어서,

상기 제어 전극 상에 절연 재료를 형성함으로써 상기 제어 전극을 수직으로 연장하는 단계 - 상기 연장 단계는 상기 제1 경사진 주입 및 상기 제2 경사진 주입 동안에 상기 제어 전극에 인접하여 소정 새도우 영역을 확장시킴 -를 더 포함하는 반도체 디바이스 형성 방법.

청구항 5.

제3항에 있어서,

이중 또는 삼중 금속 산화물의 제1 등각 층 및 이중 또는 삼중 금속 산화물의 제2 등각 층 각각을 하프늄 산화물 층으로서 구현하는 단계를 더 포함하는 반도체 디바이스 형성 방법.

청구항 6.

제1항에 있어서,

제어 전극, 제1 전류 전극 및 제2 전류 전극을 구비하는 제2 반도체 디바이스를 형성하는 단계 - 상기 제2 반도체 디바이스는 분리 영역에 의해 상기 반도체 디바이스로부터 분리되고 상기 반도체 디바이스의 채널 재료 조성과는 다른 재료 조성의 채널을 구비함 -를 더 포함하는 반도체 디바이스 형성 방법.

청구항 7.

제6항에 있어서, 상기 제2 반도체 디바이스를 형성하는 단계는,

제1 반도체 영역 및 제2 반도체 영역을 형성하도록 분리 영역을 이용하고, 상기 반도체 디바이스 및 상기 제2 반도체 디바이스의 제어 전극을 형성하기에 앞서서,

상기 제1 반도체 영역, 상기 분리 영역 및 상기 제2 반도체 영역 위에 하프늄 산화물의 초기 등각 층을 형성하는 단계 - 상기 제1 반도체 영역 상의 하프늄 산화물의 상기 초기 등각 층은 비결정질화되어 제거됨 -;

상기 제2 반도체 영역 상에 소정 채널 재료를 형성하지 않는 동안에, 제1 반도체 영역의 노출부 상에 소정 채널 재료를 형성하는 단계; 및

상기 제2 반도체 영역으로부터 하프늄 산화물의 상기 초기 등각 층을 제거하는 단계

를 포함하는 반도체 디바이스 형성 방법.

청구항 8.

트랜지스터에 있어서,

반도체 기판;

상기 반도체 기판 위의 제어 전극;

상기 반도체 기판의 위에 놓여지고, 상기 제어 전극의 제1 사이드의 일부에 인접하는 제1 전류 전극 - 상기 제1 전류 전극은 제1 소정 반도체 재료를 포함함 -; 및

상기 반도체 기판의 위에 놓여지고 상기 제어 전극의 제2 사이드의 일부에 인접하는 제2 전류 전극 - 상기 제1 전류 전극 및 상기 제2 전류 전극은 상기 제어 전극 아래에 채널을 형성하고, 상기 제2 전류 전극은 상기 제1 소정 반도체 재료와는 다른 제2 소정 반도체 재료를 구비하며, 상기 제1 소정 반도체 재료는 상기 제1 전류 전극의 대역갭 에너지를 최적화하도록 선택되고, 상기 제2 소정 반도체 재료는 상기 채널의 스트레인을 최적화하도록 선택됨 -

을 포함하는 트랜지스터.

청구항 9.

제8항에 있어서,

상기 트랜지스터에 횡적으로 인접하고 분리 재료에 의해 분리되는 제2 트랜지스터 - 상기 제2 트랜지스터는 제2 채널을 구비하고 상기 제2 트랜지스터의 제2 채널은 상기 트랜지스터의 채널과는 다른 채널 재료 조성을 가지고 있으며, 상기 제2 트랜지스터는 상기 트랜지스터의 상기 제어 전극, 제1 전류 전극 및 제2 전류 전극과 동일한 재료 조성을 각각 가지고 있는 제어 전극 및 제1 전류 전극 및 제2 전류 전극을 포함함 -를 더 포함하는 트랜지스터.

청구항 10.

제8항에 있어서, 상기 제1 소정 반도체 재료는 실리콘 게르마늄, 게르마늄, 실리콘, 실리콘 카바이드, 카본 도핑된 실리콘 및 그 임의의 제자리에 도핑된 형태 중 임의의 하나를 포함하고, 상기 제2 소정 반도체 재료는 실리콘 게르마늄, 게르마늄, 실리콘, 실리콘 카바이드, 카본 도핑된 실리콘 및 그 임의의 제자리에 도핑된 형태 중 임의의 하나를 포함하는 트랜지스터.

청구항 11.

제8항에 있어서,

상기 반도체 기판 위에 놓여지고, 상기 반도체 기판과 상기 제1 전류 전극 및 상기 제2 전류 전극 각각의 사이에 있는 반도체 층 - 상기 반도체 층은 상기 제어 전극의 바로 아래에서 상기 제어 전극에 인접하는 것보다 더 큰 높이를 가짐 -을 더 포함하는 트랜지스터.

청구항 12.

제8항에 있어서, 상기 제어 전극을 횡적으로 둘러싸는 오프셋 스페이서를 더 포함하는 트랜지스터.

청구항 13.

트랜지스터를 형성하는 방법에 있어서,

반도체 베이스 층을 제공하는 단계;

상기 반도체 베이스 층 위에 놓여지는 유전체 층을 형성하는 단계;

상기 유전체 층에 무거운 이온 주입을 가하여 상기 유전체 층의 일부를 비결정질화하는 단계;

비결정질인 상기 유전체층의 일부를 제거하고 상기 유전체 층의 비-비결정질 나머지를 남겨두는 단계;

비결정질인 상기 유전체 층의 일부가 다른 곳의 상기 반도체 층을 형성하지 않고 제거되는 상기 반도체 베이스 층 위에 놓여지는 반도체 층을 형성하는 단계;

상기 유전체 층의 상기 비-비결정질 나머지를 제거하는 단계; 및

상기 제1 채널 재료와 다른 상기 제2 채널 재료로서 상기 반도체 베이스 층을 이용하는 채널을 구비하는 횡적으로 인접하는 트랜지스터를 형성하는 동안에, 상기 반도체 층을 제1 채널 재료로 이용하는 채널을 구비하는 제1 트랜지스터의 형성을 완료하는 단계

를 포함하는 트랜지스터 형성 방법.

청구항 14.

제13항에 있어서, 상기 제1 트랜지스터의 형성을 완료하는 단계는,

제1 반도체 재료로 상기 제1 트랜지스터 및 횡적으로 인접하는 트랜지스터 각각의 제1 전류 전극을 동시에 형성하는 단계; 및

상기 제1 반도체 재료와 다른 제2 반도체 재료로 상기 제1 트랜지스터 및 횡적으로 인접하는 트랜지스터 각각의 제2 전류 전극을 동시에 형성하는 단계

를 더 포함하는 트랜지스터 형성 방법.

청구항 15.

제14항에 있어서, 상기 제1 트랜지스터의 형성을 완료하는 단계는,

상기 제2 전류 전극을 배치하기 위한 영역 아래의 상기 반도체 베이스 층이 제1 비-비결정질 유전체에 의해 차단되는 동안에, 상기 반도체 베이스 층으로부터 에피택시 성장에 의해 상기 제1 트랜지스터 및 상기 횡적으로 인접한 트랜지스터 각각의 상기 제1 전류 전극을 동시에 형성하는 단계; 및

상기 제1 트랜지스터 및 상기 횡적으로 인접한 트랜지스터의 제1 전류 전극이 제2 비-비결정질 유전체에 의해 차단되는 동안에, 상기 반도체 베이스 층으로부터 에피택시 성장에 의해 상기 제1 트랜지스터 및 상기 횡적으로 인접한 트랜지스터 각각의 상기 제2 전류 전극을 동시에 형성하는 단계

를 더 포함하는 트랜지스터 형성 방법.

청구항 16.

제13항에 있어서, 하프늄 산화물을 상기 유전체 층으로 이용하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 17.

제13항에 있어서, 열적 프로세스를 통해 결정질 또는 다결정질 형태로 변경될 수 있는 비결정질 이중 또는 삼중 금속 산화물로서 상기 유전체 층을 구현하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 18.

제13항에 있어서,

경사진 무거운 이온 주입을 이용하여 상기 유전체 층의 일부를 비결정질화하는 단계; 및

상기 제1 트랜지스터의 제어 전극의 높이를 이용함으로써 새도우 영역을 생성하는 단계 - 상기 새도우 영역은 상기 유전체 층의 비-비결정질 나머지를 정의함 -

를 더 포함하는 트랜지스터 형성 방법.

청구항 19.

제18항에 있어서,

상기 제어 전극 상에 절연체 재료를 형성함으로써 상기 제어 전극의 높이를 일시적으로 연장하는 단계 - 상기 제어 전극은 상기 경사진 무거운 이온 주입 동안에 연장된 높이를 가짐 -; 및

상기 제1 트랜지스터의 완료 이전에 상기 제어 전극으로부터 상기 절연체 재료를 제거하는 단계

를 더 포함하는 트랜지스터 형성 방법.

청구항 20.

제18항에 있어서,

소정 최소 면적을 가지는 상기 새도우 영역을 형성하도록 상기 경사진 무거운 이온 주입의 각도를 소정값으로 조정하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 21.

제13항에 있어서,

이중 또는 삼중 금속 산화물 층으로서 상기 유전체 층을 구현하는 단계; 및

상기 유전체 층의 일부를 비결정질화하기에 앞서서, 열적 프로세스를 통해 상기 유전체 층을 다결정질화하는 단계를 더 포함하는 트랜지스터 형성 방법.

명세서

기술분야

본 발명은 일반적으로는 반도체에 관한 것으로, 특히 매우 작은 치수를 가지는 반도체 트랜지스터에 관한 것이다.

배경기술

종래의 트랜지스터는 통상 소스 및 드레인에 대해 동일한 재료를 이용한다. 이용되는 재료는 특정 어플리케이션을 위해 커스터마이징된다. 예를 들면, 트랜지스터로부터 상당한 전력 조건이 필요한 어플리케이션에 대해, 높은 브레이크다운 전압을 가지는 트랜지스터 재료가 바람직하다. 그러한 재료는 높은 대역갭 에너지를 가지고 있는 것으로 알려진 이들 재료를 포함한다. 현재의 비대칭 트랜지스터는 트랜지스터 디바이스 성능을 개선하는 장점을 제공한다. 뿐만 아니라, 높은 브레이크다운 전압 및 낮은 드레인 접합 전류 누설을 요구하는 트랜지스터에 대해, 드레인 영역의 높은 대역갭 재료가 바람직하다.

트랜지스터에 대한 다른 디자인 파라미터는 트랜지스터 채널 스트레인 양의 고려이다. 트랜지스터에서 가능한 높은 채널 스트레인을 가지는 것이 바람직하다. 채널 스트레인을 최대화하기 위해, 소스 및 드레인 양쪽에 높은 스트레인 재료가 이용된다. 그러나, 주어진 높은 스트레인 재료는 낮은 대역갭 에너지를 가지고 있고, 따라서 트랜지스터의 브레이크다운 전압을 낮추며 더 높은 드레인 접합 전류 누설을 생성한다. 그러므로, 트랜지스터의 디자인은 하나의 재료에서 발견될 수 없는 2가지 원하는 특성을 최대화시키는 트레이드오프와 관련된다.

다른 사람들은 비대칭 도펀트 주입의 이용을 가지는 비대칭 트랜지스터 구조를 제안했다. 비대칭 트랜지스터 구조를 이용할 때의 목적은 접합 커패시턴스가 회로 성능에 미치는 영향을 최소화하고, 접합 전류 누설 및 게이트 전류 누설을 감소시키는 것이다.

비대칭으로 도핑되는 트랜지스터는 트랜지스터의 소스 및 드레인에서 재료의 감소된 대역갭 에너지로부터 발생하는 브레이크다운 및 접합 누설에 대응하지 못한다.

실시예

도 1에 예시되어 있는 것은 본 발명에 따른 반도체 디바이스(10)이다. 기판(12)이 제공된다. 하나의 형태에서, 기판(12)은 매립된 산화물 재료 또는 임의의 반도체 재료이다. 예를 들면, 갈륨 비소, 게르마늄, 실리콘 게르마늄과 같은 재료, 및 다른 재료들이 기판 재료로서 이용될 수 있다. 실리콘, 갈륨 비소, 게르마늄, 실리콘 게르마늄, 실리콘 카바이드 등과 같은 반도체 층이 기판(12) 위에 놓여지도록 형성된다. 반도체 층은 유전체 분리 영역(13)에 의해 제1 반도체 층 영역(14) 및 제2 반도체 층 영역(16)으로 분리된다. 유전체 분리 영역(13)은 임의의 유전체 재료일 수 있고 통상적으로 산화물이다.

도 2에 예시된 것은 제1 반도체 층 영역(14), 제2 반도체 층 영역(16) 및 유전체 분리 영역(13)의 위에 놓여지는 하프늄 산화물 층(18)을 구비하는 반도체 디바이스(10)이다. 하프늄 산화물 층(18)은 하나의 형태에서, 원자 층 피착(ALD) 또는 금속 유기 화학적 증착(MOCVD) 또는 물리적 증착(PVD)을 이용함으로써 제공된다. 하프늄 산화물 층(18)은 비결정질 하프늄 산화물 층이다. 하프늄 산화물 층(18)은 열적 프로세스를 통해 결정질 또는 다결정질(즉, 부분적으로는 결정질) 형태로 변경될 수 있는 임의의 비결정질 이중 또는 삼중 금속 산화물로서 더 일반적으로 구현될 수 있다. 예를 드는 목적만으로는, 설명의 나머지 부분에서, 이용되는 이중 또는 삼중 금속 산화물은 하프늄 산화물이라고 가정한다.

도 3에 예시된 것은 열적 처리(20)를 받는 반도체 디바이스(10)이다. 열적 처리(20)는 하프늄 산화물 층(18)을 결정화하고 밀집시켜 다결정질 하프늄 산화물 층(19)을 형성하기 위해, 고온에서 반도체 디바이스(10)를 어닐링함으로써 예시된다.

전형적인 어닐링 온도는 하프늄 산화물 층(18)의 두께 및 하프늄 산화물 층(18)의 원하는 밀도에 의해 부분적으로 결정되는 시간 양 동안 500℃ 이상이다. 유의할 점은, 다른 형태에서, 하프늄 산화물 층(18)이 다결정질 하프늄 산화물을 직접 피착함으로써 반도체 디바이스(10) 상에 피착될 수 있다는 점이다.

도 4에 예시된 것은 제2 반도체 층 영역(16) 및 유전체 분리 영역(13) 상의 반도체 디바이스(10)의 그 부분 위에 놓여져서 포토레지스트 마스크(22)가 형성되는 반도체 디바이스(10)이다. 포토레지스트 마스크(22)가 제자리에 있는 상태에서, 실리콘 이온 또는 임의의 무거운 이온의 주입이 구현된다. 예를 들면, 다른 무거운 이온은 게르마늄, 제논 또는 갈륨 이온을 포함한다. 실리콘을 피착하는 것보다는, 다결정질 하프늄 산화물 층(19)을 비결정화하는 임의의 무거운 이온 재료의 주입이 이용될 수 있다는 것은 자명하다. 다른 형태에서, 이온 주입보다는 실리콘의 직접 주입이 구현되어 하프늄 산화물 층(18)을 비결정질 실리케이트 층으로 변경한다.

도 5에 예시된 것은 도 4의 주입 완료시의 반도체 디바이스(10)이다. 주입은 실리콘 이온이 주입된 다결정 하프늄 산화물 층(19)을 변형시킨다. 결과적으로, 다결정 하프늄 산화물 층(19)은 비결정질 하프늄 산화물 층(24)이 된다. 비결정질 하프늄 산화물 층(24)은 제1 반도체 층 영역(14) 위에 놓여지지만, 다결정 하프늄 산화물 층(19)은 제2 반도체 층 영역(16) 위에 놓여진다. 유전체 분리 영역(13) 위에 놓여지는 것은 비결정질 하프늄 산화물 층(24)과 다결정질 하프늄 산화물 층(19) 사이의 인터페이스이다.

도 6에 예시되어 있는 것은 비결정질 하프늄 산화물 층(24)이 제거된 반도체 디바이스(10)이다. 하나의 형태에서, 종래의 습식 에칭 프로세스는 기저 제1 반도체 층 영역(14) 또는 다결정질 하프늄 산화물 층(19) 중 임의의 하나를 제거하지 않고서도 비결정질 하프늄 산화물 층(24)을 깨끗하게 제거하는데 이용된다. 습식 에칭은 하프늄에 매우 선택적이다. 하나의 형태에서, 묽은 플루오르화 수소산, HF는 비결정질 하프늄 산화물 층(24)을 제거하는데 이용될 수 있다.

도 7에 예시된 것은 제1 반도체 층 영역(14) 위에 반도체 층(26)이 형성되어 있는 반도체 디바이스(10)이다. 하나의 형태에서, 반도체 층(26)은 단지 노출된 반도체 재료 상에만 에피택시 방식으로 성장된다. 그러므로, 어떠한 반도체 층(26)도 유전체 분리 영역(13) 상에는 형성되지 않는다. 하나의 형태에서, 제1 반도체 층 영역(14)은 실리콘 게르마늄으로 형성된다. 다수의 유전체 재료 중 임의의 하나 뿐만 아니라 다른 반도체 재료도 제1 반도체 층 영역(14) 상에서 에피택시 방식으로 성장될 수 있다는 것은 자명하다. 반도체 층(26)의 성장은 소정 높이에서 중지된다. 하나의 형태에서, 반도체 층(26)의 높이는 다결정질 하프늄 산화물 층(19)의 높이와 필적하도록 만들어지지만, 임의의 다른 높이가 생성될 수도 있다. 반도체 층(26)은 실리콘, 게르마늄, 실리콘 게르마늄, 실리콘 카바이드, 카본-도핑된 실리콘, 및 임의의 상기 재료의 적합하게 도핑된 형태와 같은 다수의 반도체 재료 중 임의의 하나로 구현될 수 있다. 반도체 층(26)은 제1 반도체 층 영역(14)과는 다른 재료가 되도록 선택된다. 예를 들면, 반도체 층 영역(14)이 실리콘인 경우, 반도체 층(26)은 실리콘 게르마늄, 실리콘 카바이드, 게르마늄 또는 일부 다른 반도체 재료가 되도록 선택될 수 있다. 그러므로, 처리 상의 이 포인트에서, 추가 디바이스를 형성할 2개의 명백하게 다른 노출된 반도체 재료를 가지는 2개의 전기적으로 분리된 영역을 구비하는 반도체 디바이스가 형성되었다는 것은 자명하다.

도 8에 예시된 것은 도 7의 구조를 이용하는 반도체 디바이스(10)의 하나의 형태이다. 추가적으로, 이하에는 반도체 디바이스(10)의 다른 이용이 도 9-19와 관련하여 개시될 것이다. 도 8에서, 도 7의 반도체 디바이스(10)로부터 형성되는 제1 트랜지스터(46) 및 제2 트랜지스터(48)가 예시된다. 처음에, 다결정질 하프늄 산화물 층(19)은 하프늄 산화물을 화학적으로 제거하는 열적 처리를 이용하여 제거된다. 이러한 열적 처리의 예는 기체 상태의 HCL 및 열의 조합을 이용한 처리이다. 그러한 열적 처리는 Hobbs 등에 의한 WO 03/012850A1에 개시되어 있다. 다결정질 하프늄 산화물 층(19)은 여전히 다결정질 상태에 있다. 이어서, 얇은 게이트 산화물 층(28)이 반도체 층(26) 및 제2 반도체 층 영역(16) 상에 형성된다. 게이트 및 스페이서를 가지는 종래의 트랜지스터는 제1 반도체 층 영역(14) 및 제2 반도체 층 영역(16)의 각각의 내부에 형성된다. 특히, 제1 트랜지스터(46)는 실리콘 게르마늄의 재료를 가지는 채널로 형성되고, 제2 트랜지스터(48)는 실리콘의 재료를 가지는 채널로 형성된다. 그러므로, 하나의 프로세스에서, 다른 재료의 구조적 소자를 가지는 트랜지스터가 형성되었다. 트랜지스터(46)는 종래의 측벽 스페이서(32), 게이트(30) 및 소스(29) 및 드레인(31)을 구비하고 있다. 트랜지스터(48)는 종래의 측벽 스페이서(36), 게이트(34) 및 소스(38) 및 드레인(40)을 구비하고 있다.

채널(42)은 채널(44)의 전도도와 다른 특정 캐리어 타입에 대해 향상된 전도도를 포함한다. 그러므로, 제1 반도체 층 영역(14) 내 제2 반도체 층 영역(16)의 트랜지스터에 대해 스트레인이 다르게 최적화될 수 있다. 그러므로, 트랜지스터(46)는 분리 영역에 매우 근접하지만 이것에 의해 분리되는 트랜지스터(48)와는 다른 대역갭 재료를 가지는 채널 재료로 형성될 수 있다. 예를 들면, 채널 재료의 변동은 하나의 트랜지스터가 전력 어플리케이션에 대해 디자인되는 것을 허용하고, 다른 트랜지스터가 로직 어플리케이션에 이용된다. 여기에 상세화된 방법에서 하프늄 산화물의 마스크로서의 이용은 다른 대역갭 재료 채널을 가지는 동일한 기판 상에서 트랜지스터를 구현하는 효율적인 프로세스이다. 개시된 프로세스에서, 덜 마모적인 화학적 제거 처리에 반대되는, 무 플라즈마-기반 에칭이 이용된다.

도 9에 예시된 것은 도 7의 반도체 디바이스(10)의 다른 이용이다. 예시의 편의상, 도 1-8의 구성요소와 동일한 도 9-19의 구성요소들은 동일한 구성요소 숫자가 제공된다.

유의할 점은, 유전체 분리 영역(13)이 원하는 어플리케이션에 기초하여 적절한 깊이를 가지도록 크기조정된다는 점이다. 그러므로, 여기에 기재된 실시예에서, 유전체 분리 영역(13)은 다결정질 하프늄 산화물 층(19)의 제거 후에 종래의 습식 에칭을 이용하여 이전에 예시된 것으로부터 그 깊이가 감소된다. 다결정질 하프늄 산화물 층(19)은 도 8과 관련하여 상기 설명된 바와 같이 제거된다. 게이트(49, 53)는 하나의 형태에서 폴리실리콘이고 폴리실리콘의 종래 피착 및 에칭에 의해 얇은 게이트 산화층(28) 상에 형성된다. 다른 형태에서, 게이트(49, 53)는 금속으로 형성되고, 다른 형태에서 게이트(49, 53)는 금속 및 폴리실리콘 층의 스택으로 형성된다. 반도체 디바이스(10)는 반드시 스케일링되어 도시될 필요는 없으며 게이트의 높이 및 폭은 상당히 가변될 수 있다는 것은 자명하다. 각 게이트(49, 53) 위에는, 절연체(50) 및 절연체(54)가 각각 형성된다. 절연체(50) 및 절연체(54)는 하나의 실시예에서 피착되지만, 게이트(49, 53)의 재료 구성에 따라 에피택시 방식으로 성장될 수도 있다. 절연체(50, 54)의 높이는 게이트 스택이 이하에 설명되는 바와 같이 소정 높이를 가지도록 선택된다. 다른 형태에서, 절연체(50, 54)는 이용되지 않고 게이트 구조는 단지 게이트(49) 및 게이트(53)만을 포함한다. 얇은 스페이서(52)는 게이트(49), 절연체(50) 및 얇은 게이트 산화층(28)을 둘러싸고 인캡슐레이팅한다. 유사하게, 얇은 스페이서(56)는 게이트(53), 절연체(54) 및 얇은 게이트 산화층(28)을 둘러싸고 인캡슐레이팅한다. 하나의 형태에서, 얇은 스페이서(52) 및 얇은 스페이서(56)는 질화물 스페이서이다.

도 10에 예시되어 있는 것은 실리콘 리세싱된 에칭이 수행되어 게이트(49)에 횡적으로 인접한 감소된 양의 반도체 층 영역(14) 및 게이트(53)에 횡적으로 인접한 감소된 양의 제2 반도체 층 영역(16)을 생성하는 반도체 디바이스(10)의 추가 처리이다. 그러므로, 반도체 층(26)은 크기가 감소되고 게이트(49) 및 얇은 게이트 산화층(28)의 바로 아래에만 존재한다. 반도체 층(46)이 게이트(49)와 연관된 게이트 스택 내에 존재하지만 게이트(53)과 연관된 게이트 스택에는 존재하지 않으므로, 게이트(49)를 가지고 있는 게이트 스택이 더 크다. 유의할 점은, 상당한 양의 제1 반도체 층 영역(14) 및 제2 반도체 층 영역(16)의 제거가 통상적으로 각 게이트(49, 53)에 대한 소스 및 드레인 영역이 될 것의 제거로 나타난다는 점이다. 이러한 형성은 각 게이트(49, 53)의 리세스된 소스 및 드레인의 후속 형성을 허용한다.

도 11에 예시되어 있는 것은 실리콘 또는 무거운 이온 경사진 얇은 주입이 구현되어 무거운 이온 주입을 이용하여 유전체 층을 비결정질로 만들도록 구현하는 반도체 디바이스(10)의 추가 처리이다. 실리콘 뿐만 아니라 다른 예로 든 이온은 갈륨, 게르마늄, 실리코, 제논, 등을 포함한다. 주입은 반도체 디바이스(10)의 기저 층으로의 손상을 피할 목적으로 비교적 낮은 에너지의 주입이다. 예를 들면, 10KeV 정도의 낮은 주입 에너지가 바람직하고 3-5KeV 이하 범위의 주입 에너지가 바람직하다. 우선, 등각 보호성 유전체층(58)의 피착이 수행된다. 이러한 피착은 선택적인 프로세스 공정이고 하나의 형태에서 재료 TEOS가 유전체로서 이용된다. 등각 보호성 유전체층(58)이 이용되는 경우, 등각 보호성 유전체 층(58) 위에 등각 하프늄 산화물층(60)이 피착된다. 이전 실시예에서와 같이, 하프늄 산화물 층(60)은 열적 프로세스를 통해 결정화되거나 다결정화되는(즉, 부분적으로 결정화됨) 임의의 이중 또는 삼중 금속 산화물층으로 더 일반적으로 구현될 수 있다. 하프늄 산화물을 밀집시키고 결정화하는 선택적인 열적 처리는 하프늄 산화물이 피착된 바와 같은 결정이 아닌 경우에 수행될 수 있다. 일단 등각 보호성 유전체층(58) 및 등각 하프늄 산화물 층(60)이 형성되면, 무거운 이온 경사진 주입이 수행된다. 예시된 형태에서, 경사진 주입은 좌측에서 우측으로이다. 경사진 주입 방향이 역전될 수 있다는 것은 자명하다. 실리콘 경사진 주입이 구현된다고 가정하자. 그러나, 게르마늄과 같은 다른 주입 종류가 이용될 수도 있다. 등각 하프늄 산화물 층(60)의 노출된 영역이 비결정화되고 비결정질 하프늄 산화물 층(66)이 형성된다. 경사진 주입의 이용은 어떠한 주입 이온도 하프늄 산화물을 때리지 않는 새도우 영역(62) 및 새도우 영역(64)을 형성한다. 이들 영역에서, 하프늄 산화물은 비결정화되지 않고, 다결정 형태로 등각 하프늄 산화물 층(60)으로 남아있다.

새도우 영역(62) 및 새도우 영역(64)은 수 개의 기술들에 의해 조정될 수 있다는 것은 자명하다. 예를 들면, 주입 각도가 가변되어 각 새도우 영역(62) 및 새도우 영역(64) 내의 영역 양을 가변시킨다. 추가적으로, 게이트(49) 및 게이트(53) 또는 게이트(49)/절연체(50) 및 게이트(53)/절연체(54)의 높이가 더 크게(즉, 더 높게) 되어 새도우 영역(62) 및 새도우 영역(64)의 길이를 각각 증가시킨다. 일부 프로세스에 대해 큰 게이트 구조가 반드시 바람직한 것은 아니므로, 게이트(49) 및 게이트(53)는 표시된 것보다 더 작게 만들어지고 절연체(50, 54)는 표시된 것보다 더 크게 만들어진다. 다른 실시예에서, 절연체(50, 54)가 이용되지 않을 수 있고, 게이트(49, 53)는 처음에 원하는 것보다 훨씬 더 높게 형성되며 나중에 각 주입이 완료된 후에 높이가 감소된다. 유의할 점은, 다른 형태에서 집적 회로 상의 트랜지스터는 다른 게이트 스택 높이로 형성될 수 있다는 점이다. 예를 들면, 절연체(50)는 절연체(54)와는 다른 높이를 가지고 있으므로, 다른 새도우 영역 길이를 생성한다. 다르게는, 절연체(50, 54)가 이용되지 않는 경우, 게이트(49)는 게이트(53)와 다른 높이로 형성될 수 있다.

도 12에 예시된 것은, 존재하는 경우에, 비결정질 하프늄 산화물 층(66) 및 기저 등각 보호성 유전체 층(58)이 종래의 HF 기반 습식 에칭에 의해 제거되는 반도체 디바이스(10)의 추가 처리이다. 습식 에칭은 비결정질 하프늄 산화물, 및 하나의

형태에서 등각 보호형 유전체 층(58)에 이용되는 재료인 TEOS에 매우 선택적이다. 경사진 주입의 결과로서, 등각 하프늄 산화물 층(60)의 잔여부가 각 게이트(49, 53)의 한쪽 사이드를 따라 존재하고, 이들 게이트의 단지 하나의 사이드로부터 짧은 거리만큼 횡적으로 계속된다.

도 13에 예시된 것은, 반도체 영역(70) 및 반도체 영역(72)이 제1 반도체 층 영역(14) 및 제2 반도체 층 영역(16)의 노출부 상에서 선택적으로 에피택시 방식으로 성장된다. 반도체 영역(70) 및 반도체 영역(72)에 대한 적합한 재료는 실리콘 게르마늄(SiGe), 게르마늄(Ge), 실리콘 카바이드(SiC), 실리콘(Si) 및 다른 반도체 재료이다. 이들 재료들은 제자리에 도핑되거나 후속적으로 도핑될 수 있다. 반도체 영역(70) 및 반도체 영역(72)은 각각의 인접하는 게이트로의 소스 또는 드레인으로서 기능할 것이다. 소스로서 이용되는 경우, 반도체 영역(70) 및 반도체 영역(72)은 채널 스트레스 요인으로서 기능할 것이다. 드레인으로서 이용되는 경우, 반도체 영역(70) 및 반도체 영역(72)은 높은 대역폭 에너지 재료(카본 도핑된 실리콘 또는 실리콘 카바이드 또는 실리콘)이도록 선택될 것이다.

도 14에 예시된 것은, 등각 하프늄 산화물 층(60)이 하프늄 산화물을 화학적으로 제거하는 열적 처리를 이용함으로써 제거되는 반도체 디바이스(10)의 추가 처리이다. 이러한 열적 처리의 예는 기체 상태의 HCl 및 열의 조합을 이용하는 프로세스이다. 앞서 언급된 바와 같이, 그러한 열적 프로세스는 Hobbs 등에 의한 WO 03/012850 A1에 기재되어 있다.

도 15에 예시되어 있는 것은, 등각 보호성 유전체 층(58)이 종래의 습식 에칭을 이용하여 선택적으로 제거되는 반도체 디바이스(10)의 추가 처리이다. 이러한 에칭 및 등각 하프늄 산화물 층(60)의 제거의 결과로서, 제1 반도체 층 영역(14) 및 제2 반도체 층 영역(16)이 게이트(49, 53)의 우측에 각각 노출된다. 이들 노출된 영역은 제2 리세스된 전류 전극의 후속 형성을 위한 영역을 허용한다.

도 16에 예시되어 있는 것은, 제2 실리콘 또는 무거운 이온 경사진 주입이 수행되는 반도체 디바이스(10)의 추가 처리이다. 우선, 등각 보호성 유전체 층(74)의 피착이 수행된다. 이러한 피착은 선택적인 프로세스 공정이고, 하나의 형태에서 재료 TEOS가 유전체로서 이용된다. 등각 보호성 유전체 층(74)이 이용되는 경우, 등각 하프늄 산화물 층(75)이 등각 보호성 유전체 층(74) 위에 피착된다. 하프늄 산화물 층(75)은 비결정질 하프늄 산화물 층이다. 하프늄 산화물 층(75)은 열적 프로세스를 통해 결정질 또는 다결정질(즉, 부분적으로 결정질) 형태로 변경될 수 있는 임의의 비결정질 이중 또는 삼중 금속 산화물로서 더 일반적으로 구현될 수 있다. 단지 예시의 목적상, 나머지 설명에서는 이용되는 이중 또는 삼중 금속 산화물이 하프늄 산화물이라고 가정한다. 하프늄 산화물이 피착된 대로 결정질이 아닌 경우에, 하프늄 산화물을 밀집화시키고 결정화시키는 선택적인 열적 처리는 수행될 수 있다. 일단 등각 보호성 유전체 층(74) 및 등각 하프늄 산화물 층(75)이 형성되면, 무거운 이온 경사진 주입이 수행된다. 예시된 형태에서, 경사진 주입은 우측에서 좌측으로이다. 실리콘 경사진 주입이 구현되어 있다고 가정하자. 등각 하프늄 산화물 층(75)의 노출 영역은 비결정질화되고 비결정질 하프늄 산화물 층(76)을 형성한다. 경사진 주입의 이용은 어떠한 주입 이온도 하프늄 산화물을 때리지 않는 새도우 영역(78) 및 새도우 영역(80)을 형성한다. 이들 영역에서, 하프늄 산화물은 비결정질화되지 않고, 다결정질 형태의 등각 하프늄 산화물 층(75)으로 남아있다.

도 17에 예시되어 있는 것은, 비결정질 하프늄 산화물 층(76) 및 기저 등각 보호성 유전체 층(74)이, 존재하는 경우에, 종래의 HF 기반 습식 에칭에 의해 제거되는 반도체 디바이스(10)의 추가 처리이다. 습식 에칭은 비결정질 하프늄 산화물 및 TEOS에 매우 선택적이다. 경사진 주입의 결과로서, 등각 하프늄 산화물 층(75)의 잔여부가 각 게이트(49, 53)의 하나의 사이드만을 따라 이LT고, 이들 게이트의 하나의 사이드만의 횡적으로 짧은 거리만큼 이격되어 있다.

도 18에 예시되어 있는 것은, 반도체 영역(84) 및 반도체 영역(86)이 제1 반도체 층 영역(14) 및 제2 반도체 층 영역(16)의 노출부 상에서 각각 에피택시 방식으로 선택적으로 성장되는 반도체 디바이스(10)의 추가 처리이다. 반도체 영역(84) 및 반도체 영역(86)에 대한 적합한 재료는 실리콘 게르마늄, 게르마늄, 실리콘 카바이드, 실리콘 및 다른 반도체 재료이다. 어느 재료가 선택되는가에 관계없이, 반도체 영역(84) 및 반도체 영역(86)은 반도체 영역(70) 및 반도체 영역(72)과는 다른 재료를 가지고 있다. 이들 재료들은 제자리에 도핑되거나 후속적으로 도핑될 수 있다. 반도체 영역(84) 및 반도체 영역(86)은 각 인접하는 게이트에 대한 소스 또는 드레인으로서 기능할 것이다. 소스로서 이용되는 경우, 반도체 영역(84) 및 반도체 영역(86)은 채널 스트레스 요인으로서 기능할 것이다. 드레인으로서 이용되는 경우, 반도체 영역(84) 및 반도체 영역(86)은 높은 대역폭 에너지 재료(카본 도핑된 실리콘 또는 실리콘 카바이드 또는 실리콘)인 것으로 선택될 것이다. 이러한 포인트에서, 등각 하프늄 산화물 층(75)은 하프늄 산화물을 화학적으로 제거하는 열적 처리를 이용하여 제거된다. 이러한 열적 처리의 예는 기체 상태 HCl 및 열의 조합을 이용한 프로세스이다. 이전에 언급된 바와 같이, 그러한 열적 프로세스는 Hobbs 등에 의한 WO 03/012850 A1에 기재되어 있다. 등각 하프늄 산화물 층(75)이 제거된 후, 등각 보호성 유전체 층(74)이 종래 습식 에칭에 의해 제거되어 도 18에 예시된 구조를 형성한다. 헤일로 주입 또는 소스/드레인 조정 주입과 같은 반도체 디바이스(10)의 추가적인 종래 처리가 구현되어 반도체 디바이스(10)의 성능 파라미터를 더 조정할 수 있다는 것은 자명하다.

도 19에 예시되어 있는 것은, 게이트(49) 및 게이트(53) 주위의 기능적 트랜지스터의 형성을 예시하는 반도체 디바이스(10)의 추가 처리이다. 얇은 스페이서(52)는 게이트(49) 주위에서 연장되고, 게이트(49)에 횡적으로 인접한 반도체 영역(70) 및 반도체 영역(84)의 일부 상에서 연장되는 측벽 산화물 스페이서(88)가 된다. 얇은 스페이서(52)의 상부는 실리사이드 오프셋 스페이서(90)의 형성 이전에 또는 그 동안에 건식 에칭 프로세스에 의해 게이트(49)(및 절연체(50)) 상으로부터 제거된다. 절연체(50)가 또한 제거된다. 반도체 영역(70) 내부에 형성된 것은 실리사이드 영역(92)이고, 반도체 영역(84) 내부에 형성된 것은 실리사이드 영역(94)이다. 게이트(49)로의 전기적 접촉은 실리사이드 영역(93)에 의해 만들어진 것이다. 유의할 점은, 게이트(49)가 금속으로 형성되는 경우에 실리사이드 영역(93)이 필요하지 않으며 측벽 산화물 스페이서(88) 및 실리사이드 오프셋 스페이서(90)가 게이트(49)의 측벽 상부에서 실질적으로 종료한다는 점이다.

유사하게, 얇은 스페이서(56)는 게이트(53) 주위에서 연장되고, 게이트(53)에 횡적으로 인접한 반도체 영역(70) 및 반도체 영역(84)의 일부 상에서 연장되는 측벽 산화물 스페이서(95)가 된다. 얇은 스페이서(56)의 상부는 실리사이드 오프셋 스페이서(96)의 형성 이전에 또는 그 동안에 건식 에칭 프로세스에 의해 게이트(53)(및 절연체(54)) 상으로부터 제거된다. 절연체(54)가 또한 제거된다. 반도체 영역(72) 내부에 형성된 것은 실리사이드 영역(97)이고, 반도체 영역(86) 내부에 형성된 것은 실리사이드 영역(98)이다. 게이트(53)로의 전기적 접촉은 실리사이드 영역(99)에 의해 만들어진 것이다. 유의할 점은, 게이트(53)가 금속으로 형성되는 경우에 실리사이드 영역(99)이 필요하지 않으며 측벽 산화물 스페이서(95) 및 실리사이드 오프셋 스페이서(96)가 게이트(53)의 측벽 상부에서 실질적으로 종료한다는 점이다. 실리사이드 오프셋 스페이서(90) 및 실리사이드 오프셋 스페이서(96)의 이용은 선택적이다.

지금까지, 비대칭 소스 및 드레인 전극 재료를 가지고 있는 반도체 방법 및 트랜지스터 및 비대칭 채널 재료를 가지고 있는 트랜지스터가 제공되었다는 것은 잘 이해될 것이다. 소스, 드레인 및 채널 재료는 특정 전력 및 성능 요구에 최적화될 수 있고, 스트레인에 대해 최적화될 수 있다. 이상적인 트랜지스터 구조는 드레인에 대한 높은 대역폭 재료, 및 소스에 대해 낮은 대역폭인 스트레인 재료이므로, 개시된 트랜지스터 구조 및 방법은 동일한 트랜지스터에서 최적의 다른 재료를 구현하는데 이용될 수 있다.

상기 명세서에서, 본 발명은 특정 실시예를 참조하여 설명되었다. 그러나, 본 기술분야의 통상의 기술자라면, 이하의 청구의 범위에 제시된 본 발명의 범주에서 벗어나지 않고서도 다양한 변형 및 변경이 가해질 수 있다는 것을 잘 알고 있을 것이다. 예를 들면, 평면형 완전히 결핍형 SOI 트랜지스터 또는 수직의 복수 게이트 디바이스와 같은 울트라-얇은 몸체 트랜지스터에서와 같이, 소스 및 드레인 전극의 리세싱이 없는 트랜지스터 구조 및 방법이 이용될 수 있다. 환언하면, 소스 및 드레인이 비대칭 재료의 이용으로 올려지는 트랜지스터가 구현될 수 있다(즉, 드레인 및 소스가 모두 게이트의 횡방향 및 아래에 있다). 여기에 제시된 구조는 게이트 측벽 스페이서를 가지는 모든 트랜지스터에 적용가능하다. 또한, 쌍극, 나노크리스탈, GaAs 등과 같은 다양한 타입의 트랜지스터가 구현될 수 있다. 소스 또는 드레인 상에 구축되는 구조를 필요로 하는 임의의 집적은 비대칭 구조의 이용에 의해 향상될 것이다. 열적 프로세스를 통해 결정화되거나 부분적으로 결정화될 수 있고 비결정질화될 수 있으며 이어서 화학적 처리에 의해 제거될 수 있는 HfO_2 이외의 비결정질 이중 또는 삼중 금속 산화물이 이용될 수 있다. 따라서, 명세서 및 도면은 제한적인 의미라기보다는 예시적인 의미로 간주되어야 하고, 모든 그러한 변형은 본 발명의 범주내에 든다고 할 것이다.

하나의 형태에서, 트랜지스터 반도체 디바이스를 형성하는 방법이 제공된다. 반도체 기판이 제공된다. 반도체 기판 위에 제어 전극이 형성된다. 반도체 기판내 및 제어 전극에 인접하여 제1 전류 전극이 형성되고, 제1 전류 전극은 제1 소정의 반도체 재료를 구비한다. 반도체 기판 내에 채널을 형성하도록 반도체 기판 내 및 제어 전극에 인접하여 제2 전류 전극이 제공되고, 제2 전류 전극은 제1 소정 반도체 재료와는 다른 제2 소정 반도체 재료를 구비한다. 제1 소정 반도체 재료는 제1 전류 전극의 대역폭 에너지를 최적화하도록 선택되고, 제2 소정 반도체 재료는 채널의 스트레인을 최적화하도록 선택된다. 하나의 예로 든 형태에서, 제1 소정 반도체 재료는 실리콘 카바이드가 되도록 선택되고, 제2 소정 반도체 재료는 실리콘 게르마늄이 되도록 선택된다. 제1 전류 전극 및 제2 전류 전극은 기판 상의 반도체 영역 위에 제어 전극을 형성함으로써 형성된다. 하프늄 산화물의 제1 등각 층이 제어 전극의 주위 및 횡적으로 인접하여 형성된다. 제1 경사진 이온 주입은 제1 사이드 방향에서 제어 전극으로 수행되고 하프늄 산화물의 제1 등각 층은 제어 전극의 제1 사이드를 따라 그리고 제어 전극의 위에서 비결정질화된다. 제어 전극의 제1 사이드를 따라, 제어 전극의 위에 및 제어 전극의 상기 제1 사이드에 횡적으로 인접하여 비결정질화되는 하프늄 산화물의 제1 등각 층이 제거된다. 반도체 영역의 제1 노출된 부분으로부터 에피택시 성장에 의해 제1 전류 전극이 형성된다. 제어 전극의 제1 사이드 반대쪽에 제어 전극의 제2 사이드를 따라, 그리고 제어 전극의 제2 사이드에 횡적으로 인접한 하프늄 산화물의 제1 등각 층이 제거된다. 제어 전극의 주위에 그리고 제어 전극에 횡적으로 인접하고 제1 전류 전극의 위에 하프늄 산화물의 제2 등각 층이 형성된다. 제1 사이드 방향의 반대로 제2 사이드 방향으로부터 제어 전극으로 이온의 제2 경사진 주입이 수행되고, 제어 전극의 제2 사이드를 따라 그리고 제어 전극의 위에서 하프늄 산화물의 상기 제1 등각 층이 비결정질화된다. 제어 전극의 제2 사이드를 따라, 제어 전극의 위에, 그리고 제어 전

극의 제2 사이드에 횡적으로 인접하여 비결정질화된 하프늄 산화물의 제2 등각 층이 제거된다. 제2 전류 전극은 반도체 영역으로부터의 에피택시 성장에 의해 형성된다. 제2 전류 전극은 반도체 영역의 제2 노출부로부터의 에피택시 성장에 의해 형성된다. 다른 형태에서, 상기 제어 전극은 제어 전극 상에 절연 재료를 형성함으로써 수직으로 연장되고, 연장은 제1 경사진 주입 및 제2 경사진 주입 동안에 제어 전극에 인접하여 소정 새도우 영역을 확장시킨다. 다른 형태에서, 제어 전극, 제1 전류 전극 및 제2 전류 전극을 구비하는 제2 반도체 디바이스가 형성되고, 제2 반도체 디바이스는 분리 영역에 의해 제1 반도체 디바이스로부터 분리되고 제1 디바이스의 채널 재료 조성과는 다른 재료 조성의 채널을 구비한다. 다른 형태에서, 분리 영역은 제1 반도체 영역 및 제2 반도체 영역을 형성하는데 이용된다. 제1 반도체 디바이스 및 제2 반도체 디바이스의 제어 전극을 형성하기에 앞서서, 제1 반도체 영역, 분리 영역 및 제2 반도체 영역 위에 하프늄 산화물의 초기 등각 층이 형성된다. 제1 반도체 영역 상의 하프늄 산화물의 초기 등각 층은 비결정질화되어 제거된다. 제2 반도체 영역 상에 소정 채널 재료를 형성하지 않는 동안에, 제1 반도체 영역의 노출부 상에 소정 채널 재료가 형성된다. 제2 반도체 영역으로부터 하프늄 산화물의 초기 등각 층이 제거된다.

다른 형태에서, 반도체 기판을 구비하는 트랜지스터가 제공된다. 제어 전극은 반도체 기판 위에 놓여진다. 제1 전류 전극은 반도체 기판의 위에 놓여지고, 제어 전극의 제1 사이드의 일부에 인접한다. 제1 전류 전극은 제1 소정 반도체 재료이다. 제2 전류 전극은 반도체 기판의 위에 놓여지고 제어 전극의 제2 사이드의 일부에 인접하며, 제1 전류 전극 및 제2 전류 전극은 제어 전극 아래에 채널을 형성한다. 제2 전류 전극은 제1 소정 반도체 재료와는 다른 제2 소정 반도체 재료를 구비한다. 제1 소정 반도체 재료는 제1 전류 전극의 대역갭 에너지를 최적화하도록 선택되고, 제2 소정 반도체 재료는 채널의 스트레인을 최적화하도록 선택된다. 제2 트랜지스터는 트랜지스터에 횡적으로 인접하고 분리 재료에 의해 분리되며, 제2 트랜지스터는 채널을 구비하는 트랜지스터이고 제2 반도체 디바이스의 제2 채널은 제1 반도체 디바이스의 채널과는 다른 채널 재료 조성을 가지고 있다. 제2 트랜지스터는 트랜지스터의 게이트, 제1 전류 전극 및 제2 전류 전극과 동일한 재료 조성을 각각 가지고 있는 게이트, 제1 전류 전극 및 제2 전류 전극을 포함한다. 하나의 형태에서, 제1 소정 반도체 재료는 실리콘 게르마늄이고, 제2 소정 반도체 재료는 실리콘 카바이드이다. 다른 형태에서, 반도체 층은 기판 위에 놓여지고, 기판과 제1 전류 전극 및 제2 전류 전극 각각의 사이에 있으며, 반도체 층은 제어 전극의 바로 아래에서 제어 전극에 인접하는 것보다 더 큰 높이를 가진다. 다른 형태에서, 제어 전극을 횡적으로 둘러싸는 오프셋 스페이서가 있다.

또 다른 형태에서, 반도체 베이스 층을 제공함으로써 트랜지스터를 형성하는 방법이 있다. 반도체 베이스 층 위에 놓여지는 유전체 층이 형성된다. 유전체 층에 무거운 이온 주입을 가하여 유전체 층의 일부가 비결정질화된다. 비결정질인 상기 유전체층의 일부가 제거되고 유전체 층의 비-비결정질 나머지가 남겨진다. 비결정질인 유전체 층의 일부가 다른 곳에 반도체 층을 형성하지 않고 제거되는 반도체 베이스 층 위에 놓여지는 반도체 층이 형성된다. 유전체 층의 비-비결정질 나머지가 제거된다. 반도체 층을 제1 채널 재료로 이용하는 채널을 구비하는 제1 트랜지스터가 형성된다. 제1 채널 재료와 다른 제2 채널 재료로서 반도체 베이스 층을 이용하는 채널을 구비하는 횡적으로 인접한 트랜지스터가 형성된다. 다른 형태에서, 제1 반도체 재료로 제1 트랜지스터 및 횡적으로 인접하는 트랜지스터 각각의 제1 전류 전극이 동시에 형성된다. 제1 반도체 재료와 다른 제2 반도체 재료로 제1 트랜지스터 및 횡적으로 인접하는 트랜지스터 각각의 제2 전류 전극이 동시에 형성된다. 다른 형태에서, 제2 전류 전극을 배치하기 위한 영역 아래의 반도체 베이스 층이 제1 비-비결정질 유전체에 의해 차단되는 동안에, 반도체 베이스 층으로부터 에피택시 성장에 의해 제1 트랜지스터 및 횡적으로 인접한 트랜지스터 각각의 상기 제1 전류 전극이 동시에 형성된다. 제1 트랜지스터 및 횡적으로 인접한 트랜지스터의 제1 전류 전극이 제2 비-비결정질 유전체에 의해 차단되는 동안에, 반도체 베이스 층으로부터 에피택시 성장에 의해 제1 트랜지스터 및 횡적으로 인접한 트랜지스터 각각의 제2 전류 전극이 동시에 형성된다. 하나의 형태에서, 하프늄 산화물은 유전체 층으로 이용된다. 하나의 형태에서, 하프늄 산화물은 유전체 층으로서 이용된다. 하나의 형태에서, 경사진 무거운 이온 주입은 유전체 층의 일부를 비결정질화하는데 이용된다. 새도우 영역은 제1 트랜지스터의 제어 전극의 높이를 이용함으로써 생성되고, 새도우 영역은 유전체 층의 비-비결정질 나머지를 정의한다. 다른 형태에서, 제어 전극 상에 절연체 재료를 형성함으로써 제어 전극의 높이가 일시적으로 연장되고, 제어 전극은 경사진 무거운 이온 주입 동안에 연장된 높이를 가진다. 이용된 경우에, 절연체 재료는 제1 트랜지스터의 완료 이전에 제어 전극으로부터 제거된다. 경사진 무거운 이온 주입의 각도는 소정 최소 면적을 가지는 새도우 영역을 형성하도록 소정값으로 조정된다. 하나의 형태에서, 유전체 층은 금속 산화물이다. 다른 형태에서, 유전체 층은 유전체 층의 일부를 비결정질화하기에 앞서서, 열적 프로세스를 통해 다결정질화된다.

잇점, 다른 장점, 및 문제들에 대한 해결책이 특정 실시예와 관련하여 상기 설명되었다. 그러나, 잇점, 장점, 문제들에 대한 해결책, 및 임의의 잇점, 장점 또는 해결책이 발생하거나 더 명백하게 하도록 유발하는 임의의 구성요소(들)는 임의의 또는 모든 청구의 범위의 핵심적이고, 필요하거나 필수적인 특징 또는 구성요소인 것으로 간주되어서는 안 된다. 여기에 이용된 바와 같이, 용어 "포함하다", "포함하는" 또는 그 임의의 다른 변동은 비-배타적 포함을 커버하려는 것으로서, 구성요소 리스트를 포함하는 프로세스, 방법, 제품 또는 장치가 단지 이들 구성요소들만을 포함하는 것이 아니라 그러한 프로세스, 방법, 제품 또는 장치에 명백하게 리스트되지 않거나 이들에 본질적인 다른 구성요소들을 포함한다. 여기에 이용된 바와 같이 용어 "하나"는 하나 이상으로서 정의된다. 여기에 이용된 바와 같이, 용어 "복수"는 2개 이상으로서 정의된다. 여기에 이

용된 바와 같이, 용어 "또 하나"는 적어도 제2 이상으로서 정의된다. 여기에 이용된 바와 같이, 용어 "포함하는" 및/또는 "구비하는"은 포함하는(즉, 개방 언어)것으로서 정의된다. 여기에 이용된 바와 같이, 용어 "결합되는"은 반드시 직접적일 필요는 없지만 접속된 것으로 정의되고, 반드시 기계적인 것은 아니다.

도면의 간단한 설명

본 발명은 유사한 참조부호가 유사한 구성요소를 나타내는 첨부된 도면에 의해 예로서 예시되고 이것으로 제한되는 것은 아니다.

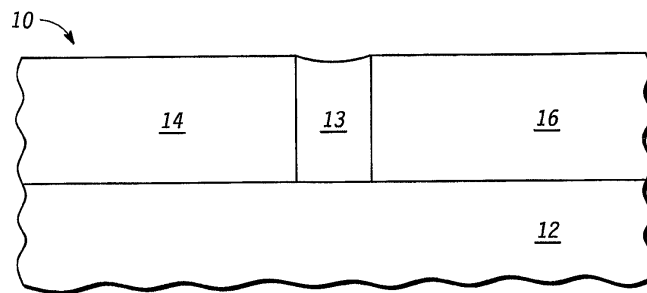
도 1-8은 다른 재료의 채널을 가지는 트랜지스터를 구비하는 단면 형태의 반도체 디바이스를 예시하고 있다.

도 9-19는 비대칭 전류 전극을 가지는 트랜지스터를 구비하는 단면 형태의 반도체 디바이스를 예시하고 있다.

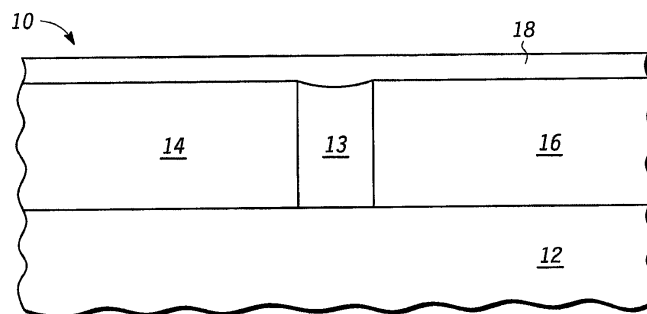
본 기술분야의 숙련자라면, 도면의 구성요소들이 단순화 및 명백함을 위해 예시되어 있고 반드시 스케일링되어 그려질 필요가 없다는 것을 잘 알고 있을 것이다. 예를 들면, 도면의 일부 구성요소들의 치수는 본 발명의 실시예의 이해를 개선하는 것을 돕기 위해 다른 구성요소에 비해 과장될 수 있다.

도면

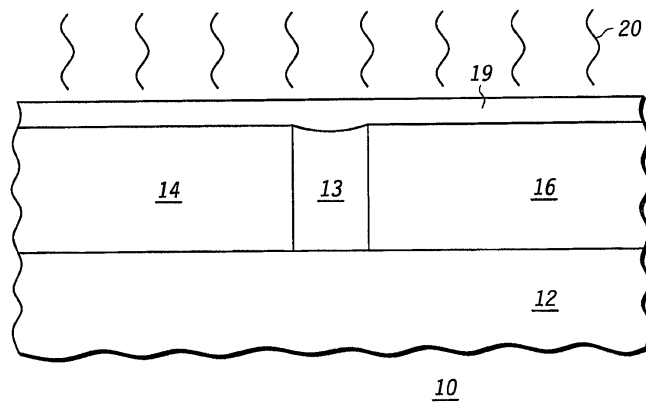
도면1



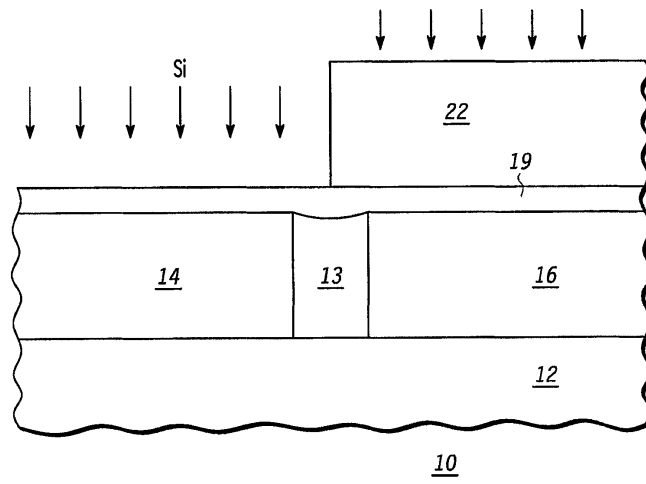
도면2



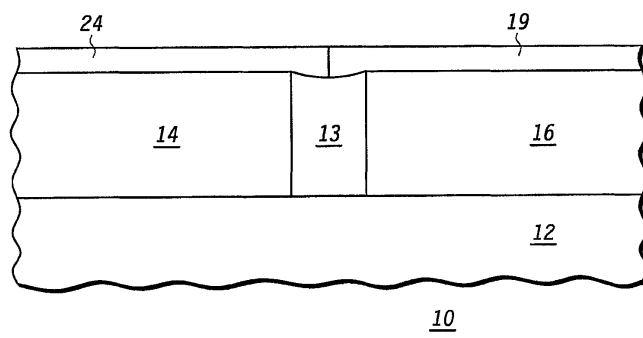
도면3



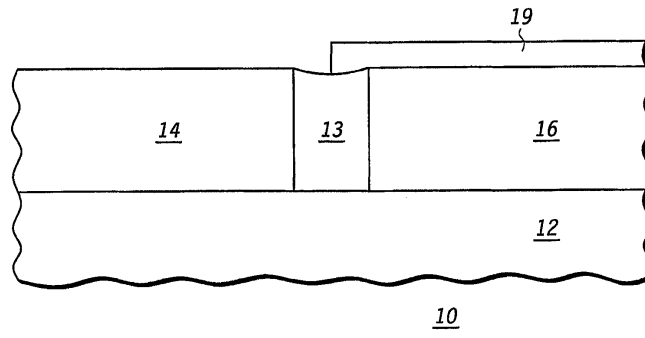
도면4



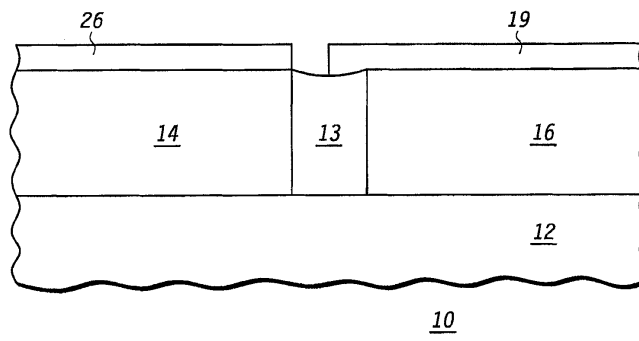
도면5



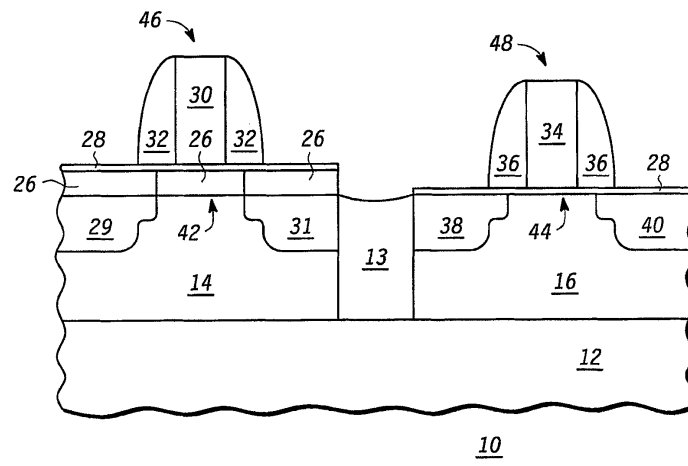
도면6



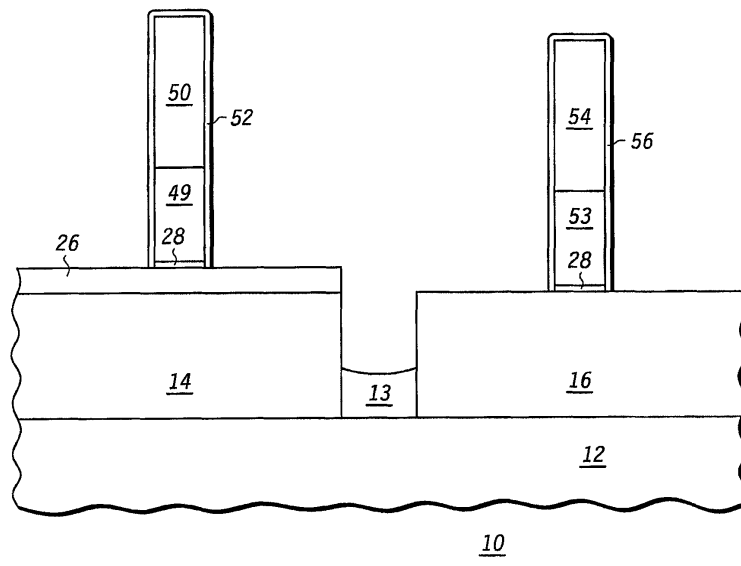
도면7



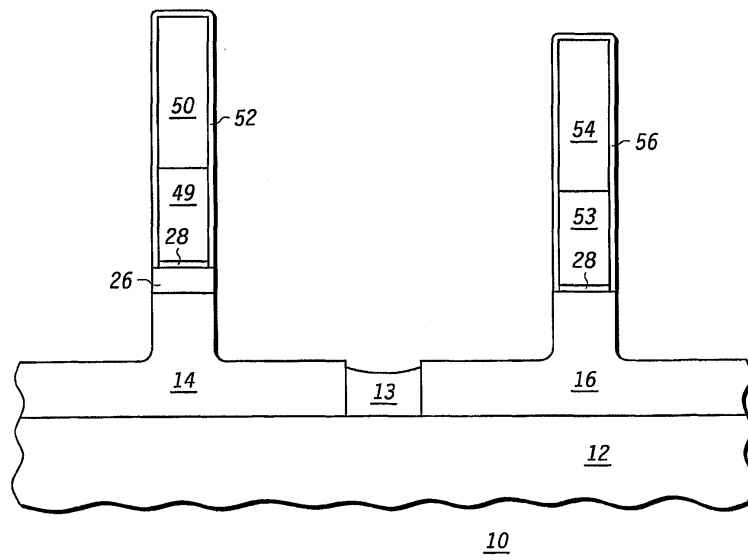
도면8



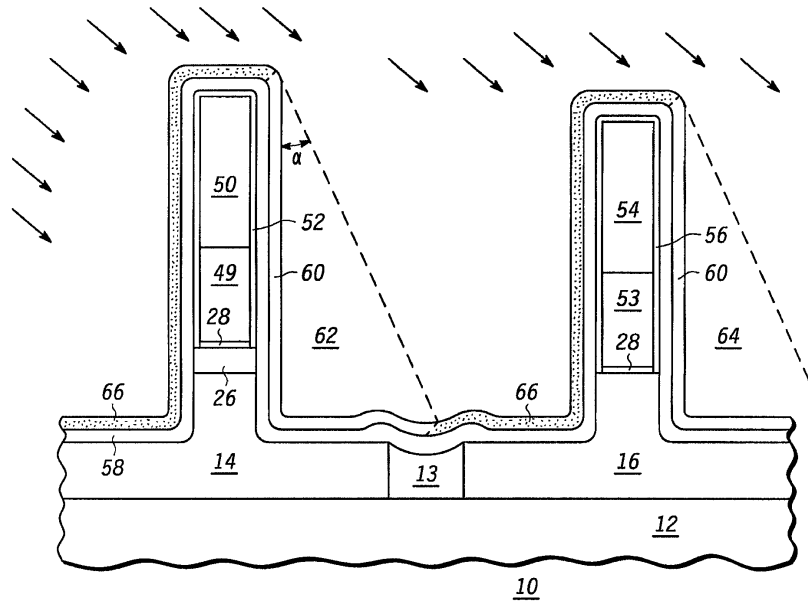
도면9



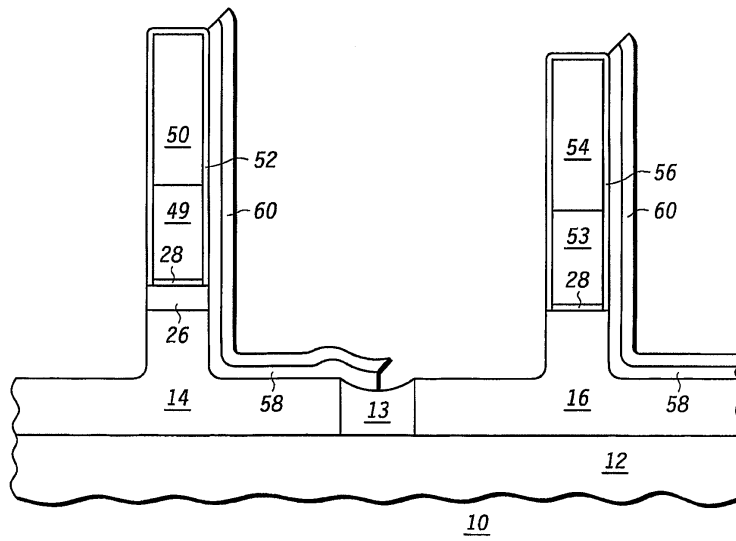
도면10



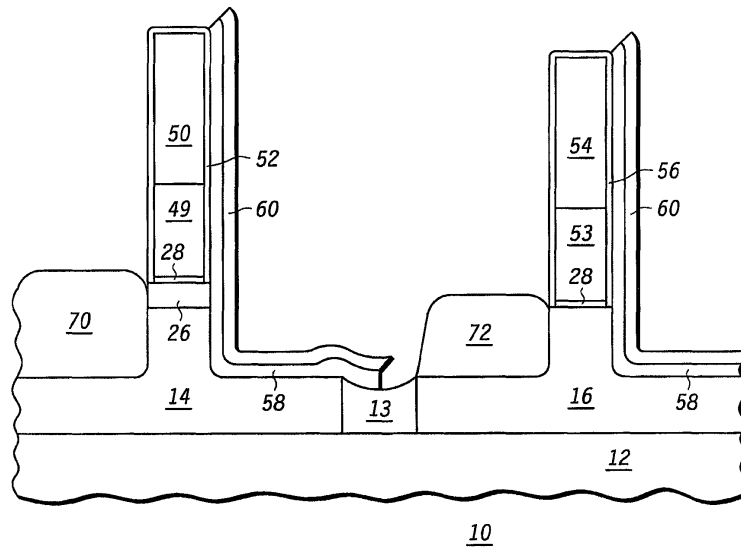
도면11



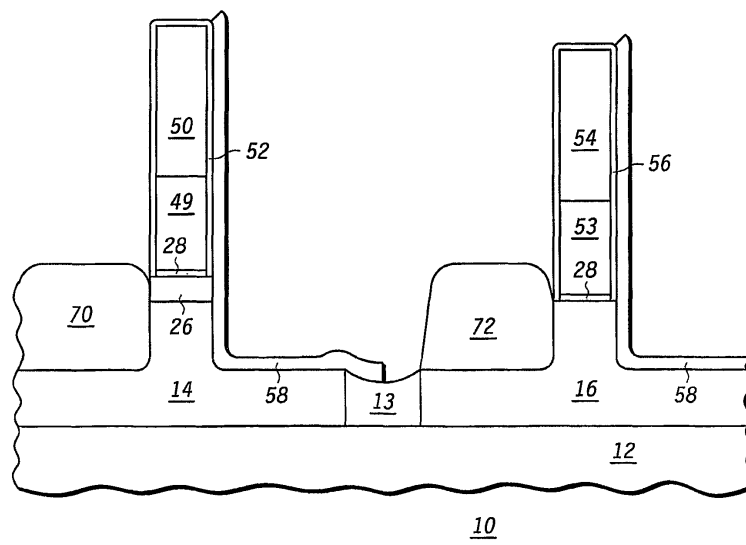
도면12



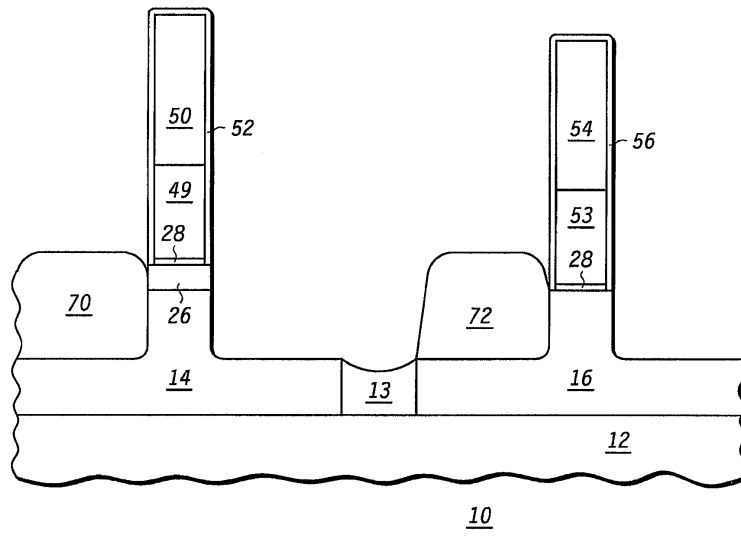
도면13



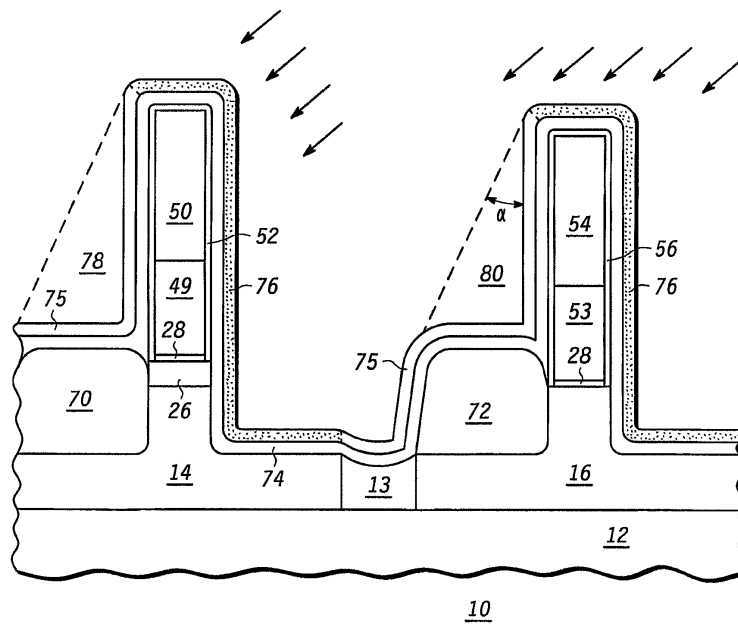
도면14



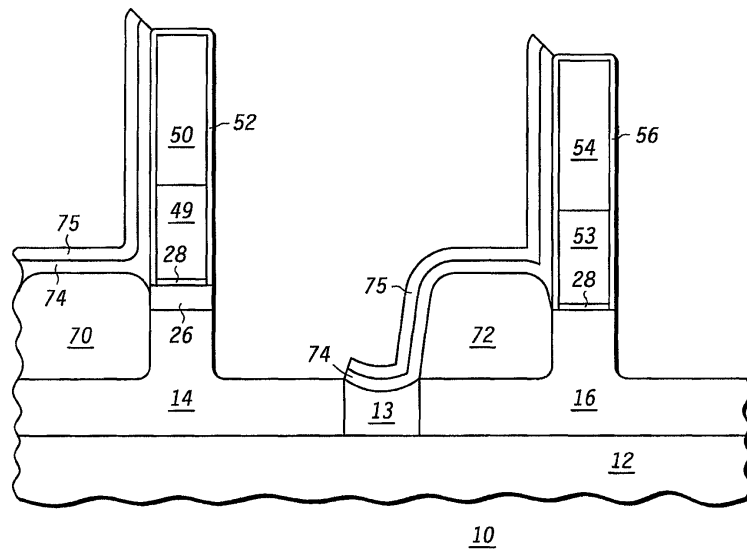
도면15



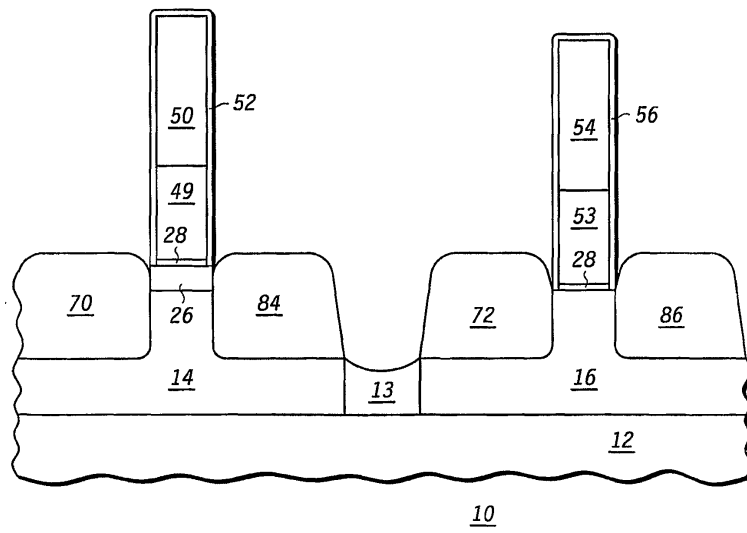
도면16



도면17



도면18



도면19

