(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/304

(45) 공고일자 1999년10월01일
(11) 등록번호 10-0222186
(24) 등록일자 1999년07월02일

(21) 출원번호 10-1996-0071330
(65) 공개번호 특1997-0052721
(22) 출원일자 1996년12월24일
(43) 공개일자 1997년07월29일
(30) 우선권주장 95-351302 1995년12월27일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 미야시타 나오토
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장 내
다카야스 준
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장 내
시모무라 마리코
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장 내
(74) 대리인 김윤배, 이범일

심사관 : 박형식

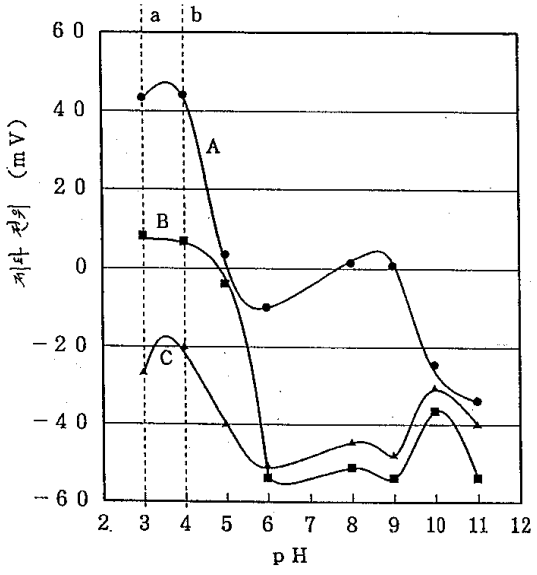
(54) 반도체장치의 제조방법 및 반도체제조장치

요약

반도체기판의 CMP처리에 있어서, 효과적인 후처리방법 및 이 방법을 실시하기 위한 반도체제조장치를 제공한다.

반도체기판 표면에 슬러리를 공급하면서 이 반도체기판 표면의 피폴리싱막을 연마포에 의해 폴리싱하는 공정과, 이 폴리싱이 종료한 시점에서 슬러리의 공급을 중지하고, 상기 반도체기판 표면에 부착한 상기 슬러리의 연마입자가 갖는 제타전위와 상기 피폴리싱막이 갖는 제타전위가 동일한 극성으로 되도록 조정하는 공정을 갖춘다. 반도체기판과 슬러리에 포함되는 연마입자의 제타전위를 동일한 극성으로 되도록, 더욱이 제타전위치의 절대치를 가능한한 가깝도록 이온수의 pH를 조정함으로써, 폴리싱 레이트 및 균일성을 손상하지 않고 연마입자의 반도체기판 표면으로의 흡착을 방지하고, 그 저(低)더스트(dust)화를 실현한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 반도체제조장치의 단면도.

제2도는 본 발명에 이용되는 재료의 제타전위의 pH의존성을 나타낸 특성도.

제3도는 본 발명 및 종래기술에 의해 얻어진 웨이퍼의 표면상태를 나타낸 평면도.

제4도는 종래기술의 후처리폴리싱에 있어서의 워터린스 시간의 경과에 따른 pH의 변화를 설명하는 pH-워터린스 특성도.

제5도는 본 발명의 후처리폴리싱에 있어서의 이온수린스 시간의 경과에 따른 pH의 변화를 설명하는 pH-이온수린스 특성도.

제6도는 본 발명에 이용되는 재료의 제타전위의 pH의존성을 나타낸 특성도.

제7도는 본 발명에 의해 형성된 반도체기판의 평탄화방법을 설명하는 공정단면도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 반도체기판 2 : CVD산화막

3 : 폴리실리콘 배선 4 : 스토퍼막(질화규소)

5 : 凸부 6 : 평탄부

20 : 웨이퍼 21 : 스테이지

22 : 베아링 23 : 연마반받침

24 : 연마반 25 : 연마포

26 : 구동시프트 27 : 모터

28 : 회전벨트 29 : 템플레이트

30 : 흡착포 31 : 흡착반

32 : 구동시프트 33 : 모터

34,35 : 기어 36 : 구동대

37 : 실린더 38 : 입자(더스트(dust))

40 : 전해이온수 생성장치 41 : 이온수 공급파이프

42 : pH미터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체기판 상의 피폴리싱막을 폴리싱하여 평탄화하는 반도체장치의 제조방법 및 반도체제조장치에 관한 것이다.

종래, IC나 LSI 등의 반도체장치의 웨이퍼처리공정에 있어서, 트랜치(trench)나 콘택트홀 등의 홈(트랜치)부의 금속, 폴리실리콘, 실리콘산화막(SiO_2)등의 임의의 재료를 매립한 후에 그 표면을 평탄화하는 방법으로써 에치백(Etch back) RIE(Reactive Ion Etching)법이 알려져 있다.

그러나, 이 에치백 RIE방법은 에치백 레지스트의 도포 등의 공정이 많아지는 것, 웨이퍼 표면에 RIE손상이 입기 쉬운 것, 양호한 평탄화가 어려운 것, 또한 진공계의 장치를 이용하기 때문에, 구조가 복잡하고, 위험한 에칭가스를 사용하는 것 등과 같은 다양한 문제점이 많다.

그래서, 최근에는 반도체기판 표면의 평탄화방법으로써 폴리싱장치를 이용한 CMP(Chemical Mechanical Polishing)법이 에치백 RIE 대신에 이용되도록 되었다.

폴리싱장치는 연마포를 표면에 붙인 모터 등에 의해 회전되는 연마반과, 반도체 등의 기판을 회전자유자재로 지지하고, 회전하는 기판을 연마반에 억누르는 흡착반을 구비하고 있다. 이 폴리싱장치를 이용하여 기판을 폴리싱하는데는 회전하는 기판의 폴리쉬하는 면을 회전하는 연마반 상의 연마포에 억누르고, 연마포의 가공점에 연마제(이하, 슬러리(slurry)라 칭함)를 공급하면서 폴리싱하는 것이 일반적이다. 슬러리에 포함되는 연마입자로써는 산화세륨, 실리카(산화실리콘), 질화규소(Si_3N_4) 등이 이용되고 있다. 특히, 질화규소입자는 본 발명자가 개발한 것이고(일본특허 제7-317054호 참조), 반도체기판의 표면에 형성하는 스토퍼막으로써 연마입자와 동일한 재료인 질화규소막을 이용함으로써 스토퍼막에 대해 높은 선택비가 얻어진다.

이 폴리싱장치를 이용하여 예컨대, 반도체기판 상에 형성된 리세스(recess)구조로 CVD산화막을 매립한 스토퍼막에서 정지함으로써, 매립한 CVD산화막을 완전히 평탄화 할 수 있다.

종래, 폴리싱장치를 이용하여 반도체기판을 폴리싱하는 CVP를 행하는 경우, 반도체기판 상의 산화막 등의

피폴리싱막을 소정의 두께로 되기까지 폴리싱하고, 피폴리싱막의 평탄화처리가 완료하기도 하고 반도체기판의 폴리싱을 중지하기도 한다. 그리고, 슬러리에 대신 물을 공급하여 반도체기판을 다시 후처리폴리싱한다.

이 종래의 후처리폴리싱은 순수나 초순수 등의 물을 공급하면서 행하기 때문에, 통상 DI워터린스(water rince) 또는 워터린스라 한다. 이것이 1개의 반도체기판을 폴리싱하여 표면화하는 CMP의 전공정이다. 즉, 이 CMP공정은 주된 폴리싱과 후처리폴리싱을 포함하여 1공정으로 한다. 이 후처리폴리싱에 의해 반도체기판 표면에 부착한 슬러리의 연마입자 등의 더스트를 제거할 수 있다. 이 CMP공정에 앞서 반도체기판을 세정하는 세정공정이 행해진다.

이와 같이, 폴리싱처리에 사용한 슬러리중에 포함되는 연마입자는 반도체기판에 부착하고, 이것이 더스트의 원인으로 된다. 실리콘 반도체기판 표면이나 피폴리싱막 또는 반도체기판에 부착한 연마입자의 표면이 갖고 있는 제타전위(Zeta Potential : 고체와 액체의 경계면을 횡절하여 의존하는 전기적 포텐셜)는 정부(正負) 어느 한쪽의 극성을 갖고 있다.

이 피폴리싱막의 표면이 갖고 있는 제타전위의 극성이 더스트의 원인으로 되는 입자 표면의 제타전위의 극성과 반대의 경우, 이 입자는 피폴리싱막에 흡착되기 쉽다. 이 경우는 더스트로 되는 흡착에너지가 큰 후처리에서 더스트를 반도체기판으로부터 제거하는 것은 어렵다. 제1도에 나타낸 바와 같이, 막 표면의 제타전위는 그 표면의 pH에 의존한다. 도면의 제타전위 특성도는 종축이 그 물질 표면의 제타전위(mV)이고, 횡축이 그 표면의 pH이다. 곡선 A는 질화규소의 제타전위 특성곡선, 곡선 B는 산화실리콘의 제타전위 특성곡선, 곡선 C는 실리콘의 제타전위 곡선이다.

CMP처리를 행하는 폴리싱장치에 있어서는 반도체기판 상의 피폴리싱막의 종류에 따라 다양한 슬러리를 이용한다. 피폴리싱막이나 연마입자의 종류에 의해 각각이 갖고 있는 제타전위가 다르기 때문에, 입자의 반도체기판으로의 흡착상태에 차가 생긴다. 더욱이, 제타전위는 pH의존성을 갖고 있기 때문에, 각각의 pH에 있어서 입자의 흡착수는 다르다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 반도체기판의 CMP처리에 있어서, 효과적인 후처리방법을 제공한다. 또한, 이 방법을 실시하기 위한 반도체 제조장치를 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

본 발명은, 반도체장치의 제조방법에 있어서, 반도체기판 표면에 슬러리를 공급하면서 이 반도체기판 표면의 피폴리싱막을 연마포에 의해 폴리싱하는 공정과, 상기 피폴리싱막을 소정의 두께까지 폴리싱하고, 이 폴리싱이 종료한 시점에서 상기 슬러리의 공급을 중지하며, 상기 반도체기판 표면에 부착한 상기 슬러리의 연마 입자가 갖는 제타전위와 상기 피폴리싱막이 갖는 제터전위가 동일한 극성으로 되도록 조정하는 공정을 구비하고 있는 것을 특징으로 한다.

또한, 본 발명은 반도체제조장치에 있어서, 표면에 연마포를 고정시킨 연마반과, 피처리기판을 고정하는 흡착반, 연마반 또는 흡착반 또는 그 양자를 회전시키는 구동수단, 연마포에 슬러리를 공급하는 수단 및, 상기 연마포에 이온수를 공급하는 수단을 구비하고 있는 것을 특징으로 한다.

상기 반도체기판 표면에 부착한 상기 슬러리의 연마입자가 갖는 제타전위와 상기 피폴리싱막이 갖는 제터전위가 동일한 극성으로 되도록 조정하는 수단으로써, 소정의 값으로 조정한 pH를 갖는 이온수를 상기 연마포에 공급하면서 상기 후처리 폴리싱을 행하는 공정, 계면활성제를 연마포에 공급하면서 상기 후처리폴리싱을 행하는 공정 또는 계면활성제 및 순수, 초순수 등의 물을 연마포에 공급하면서 상기 후처리폴리싱을 행하는 공정의 어느 한쪽의 공정으로부터 선택한다.

주된 폴리싱후에 행해지는 후처리폴리싱에 있어서, 반도체기판과 슬러리에 포함되는 연마입자의 제타전위를 동일한 극성으로 되도록, 더욱이 제타전위치의 절대치를 가능한한 가깝도록 소정 pH의 이온수를 공급하면서 콘트롤함으로써, 입자는 반도체기판으로부터 떨어지기 쉽게되고, 폴리싱 레이트 및 균일성을 손상하지 않고 연마입자의 반도체기판 표면으로의 흡착을 방지하고, 그 저더스트화를 실현할 수 있다(제2도 참조).

또한, 계면활성제 또는 계면활성제 및 순수, 초순수 등의 물을 연마포에 공급하면서 상기 후처리폴리싱을 행하면, 연마입자(곡선 A)의 제타전위가 저하하고(곡선 A'), 그 결과 반도체기판과 연마입자의 제타전위는 동일한 극성으로 되고, 더욱이 제타전위치의 절대치가 근접하는 pH의 범위가 넓기 때문에, 효과적으로 연마입자의 반도체기판 표면으로의 흡착을 방지하는 pH의 범위가 확대한다(제6도 참조).

[실시예]

이하, 본 발명의 실시예를 도면을 참조하면서 상세히 설명한다.

우선, 제1도를 참조하여 본 발명의 반도체장치의 제조방법을 실시하는 반도체 제조장치, 즉 CMP법을 실시하는 폴리싱장치를 설명한다. 도면은 그 폴리싱장치의 단면도이다. 스테이지(21) 상에 베아링(22)을 매개로 연마반받침(23)이 배치되어 있다. 이 연마반받침(23) 상에는 연마반(24)이 취부되어 있다. 이 연마반(24)상에는 웨이퍼(반도체기판)를 폴리싱하는 연마포(25)가 붙여져 있다. 연마반받침(23) 및 연마반(24)을 회전시키기 위하여 이들 중심부에 구동시프트(26)가 접속되어 있다. 이 구동시프트(26)는 모터(27)에 의해 회전벨트(28)를 매개로 회전된다. 한편, 웨이퍼(20:반도체기판)는 연마포(25)와 대향하는 위치에 배치되고, 진공 또는 수장 등에 의해 흡착반(31)에 취부된 흡착포(30) 및 템플레이트(29)에 고정되어 있다.

이 흡착반(31)은 구동시프트(32)에 접속되어 있다. 또한, 이 구동시프트(32)는 모터(33)에 의해 기어(34, 35)를 매개로 회전된다. 구동시프트(32)는 구동대(36)에 고정되어 있다. 또한, 구동대(36)는 실린더(37)에 취부되고, 이 실린더(37)에 의한 상하의 이동에 따라 구동대(36)는 상하 움직이고, 이들에 의해 흡착반(31)에 고정된 웨이퍼(20:반도체기판)와 연마포(25)의 사이에는 슬러리가 공급된다. 이에 의해, 웨이퍼

(20:반도체기판)의 폴리싱이 행해진다.

상기 폴리싱장치에서는 이와 같은 구조에 의해, 실린더(37)에 의한 상하의 이동에 따라 구동대(36)가 상하 움직이고, 흡착반(31)에 고정된 웨이퍼(20:반도체기판)와 연마포(25) 사이에는 목적으로 하는 피폴리싱막에 따른 다양한 종류의 슬러리가 선택되어 연마포(25)의 가공점에 공급된다. 폴리싱은 예컨대, 100rpm정도로 회전하는 연마반(24) 상에 웨이퍼(20:반도체기판)가 억눌려져 행해진다. 연마반(24)의 회전수는 20～200rpm게, 누르는 압력은 50～500g/㎠이다.

본 발명에서는 연마포의 가공점에 슬러리를 공급수단으로써 슬러리탱크에 연결한 파이프에 접속된 슬러리 공급노즐(도시하지 않았음)을 배치하고 있지만, 그 이외에도 이온수 공급파이프(41)가 연마포(25) 상에 배치되고, pH미터(42)가 연마포(25) 상에 연마포(25)에 접촉하여 위치되어 있다. 이온수 공급파이프(41)는 전해이온수 생성장치(40)에 접속되고, 이 생성장치에서 생성된 이온수가 연마포(25)에 공급된다.

본 발명의 CMP방법의 하나로는 후처리폴리싱에 이온수를 이용하고 있다. 이 후처리폴리싱을 이온수린스라 한다.

이온수 공급파이프는 하나일 필요는 없고 복수개이어도 된다. 이 경우는 각각 다른 pH를 갖는 이온수를 공급하도록 하고, 반도체기판 상의 피폴리싱막의 종류에 의해 소정 pH의 이온수를 공급할 수 있도록 할 수 있다. 그를 위해서는 소정의 이온수 공급파이프를 선택하는 선택수단을 취부해도 된다. 또한, 이온수 공급파이프는 하나로 하여 필요에 따라 소정 pH의 이온수를 공급할 수 있도록 해도 된다.

다음에, 제2도 내지 제5도를 참조하여 반도체장치의 제조방법 즉, 반도체기판에 형성된 피폴리싱막의 폴리싱에 의한 평탄화처리에 대하여 설명한다. 사용하는 슬러리는 연마입자에 질화규소를 이용한다. 이 질화규소입자를 함유한 슬러리는 점도가 1～10cp가 적당하고, 폴리싱 레이트가 0.5～1.0㎛/min로 빠르다. 또한, 이 슬러리를 이용한 폴리싱에서는 반도체기판 상의 스토퍼막으로써 이 입자와 동일한 재료인 질화규소막을 이용하면 스토퍼막에 대한 선택비가 현저히 높게된다. 질화규소입자의 입자지름은 1차입자에서는 0.01～100nm이고, 특히 10～40nm가 적당하고, 콜로이드형상의 2차입자에서는 60～100가 바람직하다. 질화규소막은 반도체장치의 제조기술에서는 보통 이용되고 있기 때문에, 상기 슬러리는 반도체장치의 제조에 저항없이 적용할 수 있다. 이 슬러리를 이용하면 리무벌 레이트가 균일하게 된다.

그러나, 슬러리에 알칼리성용매를 이용하는 것 보다 산성용매를 이용하는 쪽이 폴리싱이 안정한 것과 제2도의 제타전위의 pH의존성을 나타낸 특성도에 표시되어 있는 바와 같이, 질화규소는 산화실리콘이나 폴리실리콘 등의 폴리싱시에 반도체기판과 접촉하는 다른 부재와 제타전위가 크게 다르기 때문에 더스트가 흡착하기 쉽다. 폴리싱후의 웨이퍼 상의 입자수를 비교한 제3도를 보아도 그 부착하고 있는 입자수는 현저히 많다. 제3도는 폴리싱후의 웨이퍼 주면을 나타낸 평면도이고, 제3a도는 질화규소입자를 함유한 슬러리로 폴리싱을 하고나서 종래의 워터린스에 의한 후처리폴리싱을 행한 웨이퍼의 표면상태이고, 제3b도는 질화규소입자를 함유한 슬러리로 폴리싱을 하고나서 본 발명의 이온수린스에 의한 후처리폴리싱을 행한 웨이퍼의 표면상태이다. 본 발명의 후처리폴리싱으로 처리한 웨이퍼(20)의 표면에 부착한 입자(38)의 수는 종래법으로 처리한 웨이퍼 상의 입자수보다 현저히 적다.

본 발명의 반도체장치의 제조방법에서는 반도체기판 표면에 슬러리를 공급하면서 이 반도체기판 표면의 피폴리싱막을 연마포에 의해 폴리싱하고, 상기 피폴리싱막을 소정 두께까지 폴리싱 하고나서 슬러리의 공급을 중지하고, 상기 반도체기판 표면에 부착한 상기 슬러리의 연마입자가 갖는 제타전위와 상기 피폴리싱막이 갖는 제타전위가 동일한 극성으로 되도록 조정하면서 후처리폴리싱을 행한다.

제2도의 방법에서는 주된 폴리싱후에 행해지는 후처리폴리싱에 있어서 반도체기판과 슬러리에 함유되는 연마입자의 제타전위를 동일한 극성으로 되도록, 더욱이 제타전위치의 절대치를 가능한한 가깝도록 소정 pH를 갖는 이온수를 공급하면서 콘트롤함으로써, 폴리싱 레이트 및 균일성을 손상하지 않고 연마입자의 반도체기판 표면으로의 흡착을 방지하여 저더스트화를 실현하고 있다. 질화규소입자를 연마입자로 하는 슬러리를 이용하여 산화실리콘의 피폴리싱막을 갖는 반도체기판의 폴리싱을 행하고, 후처리폴리싱에는 소정의 pH로 콘트롤한 이온수를 이용한다. 슬러리는 도면의 a점에 나타낸 바와 같이 pH 3으로 되도록 산성용매를 이용한다.

이와 같이, 질화규소입자를 함유한 슬러리를 이용하면, 제타전위가 동극(同極)의 경우는 척력이 작용하고, 이극(異極)의 경우는 인력이 작용하기 때문에, 제1도에 나타낸 이온수 공급파이프(41)로부터 공급되는 이온수의 pH를 pH미터(42)로 측정하면서 후처리폴리싱을 행하는 경우, 예컨대 이온수의 pH가 5 및 그 근방, 10 및 그 근방으로 제타전위가 동극으로 제타전위의 절대치가 서로 가까운 영역이고, 그 영역에서 피폴리싱막으로부터 입자가 떨어지도록 된다.

즉, 소정의 폴리싱을 마치고 나서 슬러리의 공급을 중지하고, 상기의 영역으로부터 선택된 pH, 예컨대 pH 11을 갖는 이온수를 공급하여 후처리폴리싱(이온수린스)을 행한다. 이온수를 공급하여 연마포(25) 상에 린스하면, pH는 불과 약 1분에 pH 10으로 회복한다(제5도 참조). 장시간 이온수린스를 계속하면 이온수 본래의 pH 11에 도달한다. 제5도는 연마포(25) 상에 접촉한 pH미터가 계측한 pH값의 시간적 변화를 나타낸 특성도이다. 종축에 pH, 횡축에 이온수린스시간(분)을 나타내고 있다. 이온수린스후의 반도체기판(20:웨이퍼) 상의 입자(38)는 현저히 적게되어 있다.

한편, pH 3의 슬러리를 이용하여 폴리싱을 행하고, 그 후 종래의 워터린스를 행한 경우, 폴리싱 직후로부터 워터린스를 행하는 것에 의해 완만하게 pH미터로 계측한 연마포(25) 상의 pH는 상승해가지만, 30분이상 경과(제2도의 b점)해도 pH는 4를 넘지않는다. pH4(제2도의 b점)에 있어서의 질화규소의 제타전위는 약 48mV로 높기 때문에, 피폴리싱막(산화실리콘)의 제타전위가 동극에서도 더스트가 흡착하기 쉬운 상태이고, 더스트처리는 용이한 조작으로는 할 수 없다. 제4도는 워터린스를 행하고 있는 상태로, 연마포(25) 상에 접촉한 pH미터가 계측한 pH값의 시간적변화를 나타낸 특성도이다. 종축에 pH, 횡측에 워터린스시간(분)을 나타내고 있다. 워터린스후의 반도체기판(20:웨이퍼) 상의 입자(38)는 거의 없어지지 않는다.

제2도의 방법에서는 산성용매를 이용한 슬러리로 폴리싱을 행하는 알칼리성 이온수로 후처리폴리싱(이온수린스)을 행한 예이지만, 알칼리성용매를 이용한 슬러리로 폴리싱을 행하는 경우는 산성이온수로 후처리

폴리싱(이온수린스)을 행해 상기의 방법과 동일한 효과를 얻을 수 있다.

제6도의 방법에서는 계면활성제 또는 계면활성제 및 순수, 초순수 등의 물을 연마포에 공급하면서 상기 후처리폴리싱을 행한다. 이와 같은 방법으로 후처리폴리싱을 행하면, 질화규소연마입자(곡선 A)의 제타전위가 저하하여 곡선 A'에 나타낸 바와 같이 되고, 그 결과 반도체기판과 연마입자의 제타전위를 동일한 극성으로 되고 더욱이 제타전위치의 절대치가 근접하는 pH의 범위가 넓고, 효과적으로 연마입자의 반도체기판 표면으로의 흡착을 방지하는 pH의 범위가 넓다. 예컨대, pH 4.5~5 전후나 pH 10 전후가 효과적으로 연마입자의 반도체기판 표면으로의 흡착을 방지하는 pH의 범위에 있다. 사용되는 계면활성제로써는 예컨대, 아니온 계면활성제가 있고, 그 예로써 $C_{10}H_{21}OSO_3^-Na^+$나 $C_{14}H_{29}OC_2H_4OSO_3^-Na^+$등이다.

다음에, 제7도를 참조하여 본 발명의 장치의 제조방법을 적용한 반도체기판상의 피폴리싱막의 평탄화방법을 설명한다.

실리콘 반도체기판(1) 상에 게이트전극 등의 이용되는 폴리실리콘 배선(3)을 형성한다. 다음에, 폴리실리콘 배선(3)을 피복하도록 반도체기판(1) 상에 CVD산화막(2)을 퇴적한다. 이 때, 폴리실리콘 배선(3)의 배치된 영역의 CVD산화막(2)은 두껍게 되어 있으며, 그 부분에 凸부(5)가 형성되어 있다. 이 CVD산화막(2)을 평탄화 처리하기 위하여 이 반도체기판(1)을 제1도에 나타낸 폴리싱장치에 폴리싱한다. 凸부가 클 경우, 폴리싱을 행해도 凸부 사이 등의 변화가 큰 곳에 오버폴리싱 되는 것이 있기 때문에, 그 부분에 질화규소막의 스토퍼막(4)을 형성한다(제7a도). 다음에, 이 반도체기판을 폴리싱장치에 탑재하여 스토퍼막(4)이 연마포에 닿기까지 본 발명의 방법에 의한 폴리싱을 행한다(제7b도). 다음에, 스토퍼막(4)을 에칭처리하여 제거하고, 평탄화된 표면을 갖는 CVD산화막(2)을 얻는다. 오버폴리싱되지 않기 때문에, 평탄하고, 이 위에 예컨대, 알루미늄 등의 금속패션을 안정하게 형성하라 수 있다(제7c도).

또한, 본원 청구범위의 각 구성요건에 병기한 도면참조부호는 본 발명의 이해를 용이하게 하기 위한 것으로, 본 발명의 기술적범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 CMP처리를 시행한 반도체기판 표면은 입자의 부착이 현저하게 적게되고, 또한 안정한 평탄화면을 갖는 반도체기판을 얻을 수 있다.

(57) 청구의 범위

청구항 1

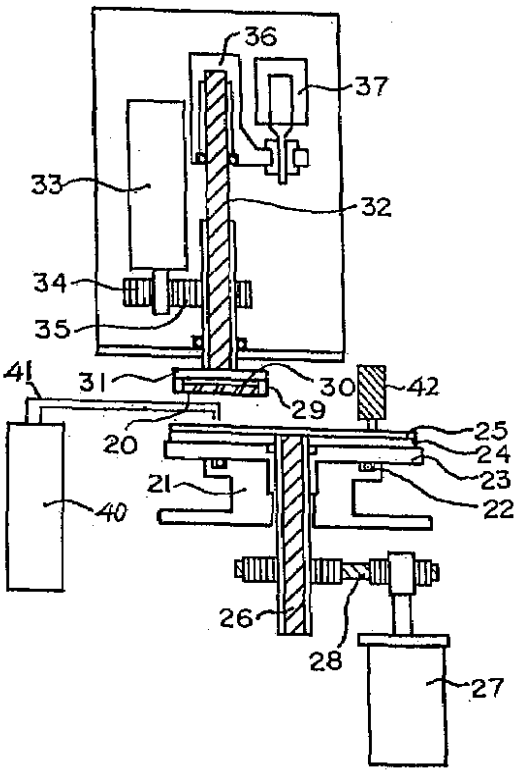
반도체기판 표면에 연마제를 공급하면서 이 반도체기판 표면의 피폴리싱막을 연마포를 이용하여 폴리싱하는 공정과, 상기 피폴리싱막을 소정 두께까지 폴리싱하고, 이 폴리싱이 종료한 시점에서 상기 연마제의 공급을 중지하고, 상기 반도체기판 표면에 부착한 상기 연마제의 연마입자가 갖는 제타전위와 상기 피폴싱막이 갖는 제타전위가 동일한 극성으로 되도록 조정하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

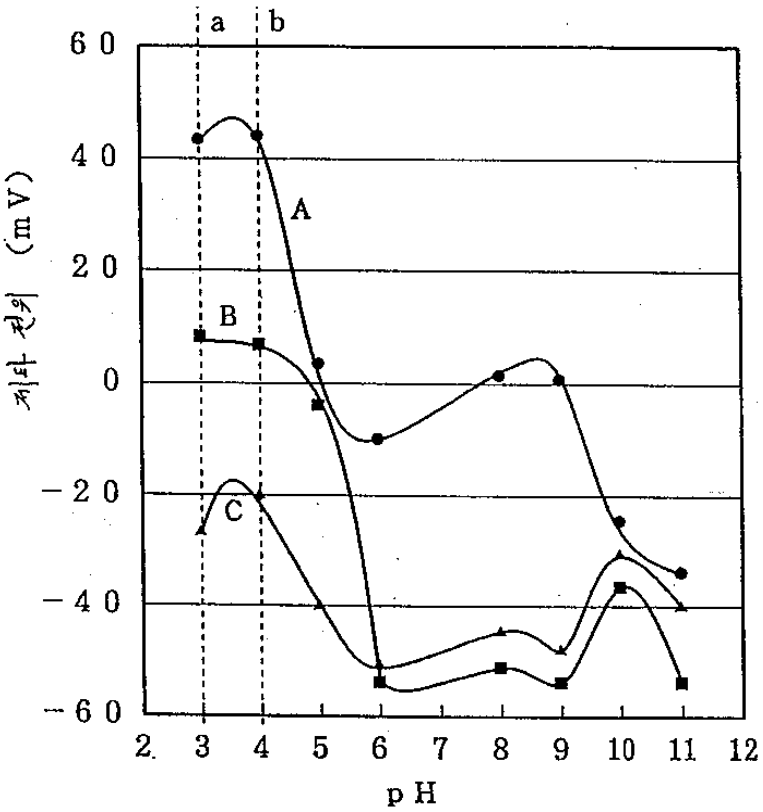
표면에 연마포(25)를 고정시킨 연마반(24)과, 피처리기판(20)을 고정하는 흡착반(31), 상기 연마반(24) 또는 상기 흡착반(31) 또는 이 양자를 회전시키는 구동수단(26,27,38,33,34,35), 상기 연마포(25)에 연마제를 공급하는 수단 및, 상기 연마포(25)에 이온수를 공급하는 수단(40,41)을 구비하여 이루어진 것을 특징으로 하는 반도체제조장치.

도면

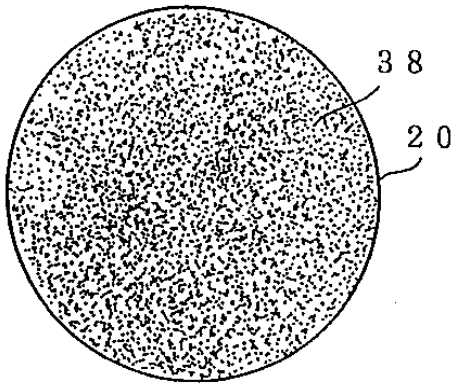
도면1


36
37
33
32
34
35
41
31
30
42
29
20
25
24
23
21
22
40
26
28
27

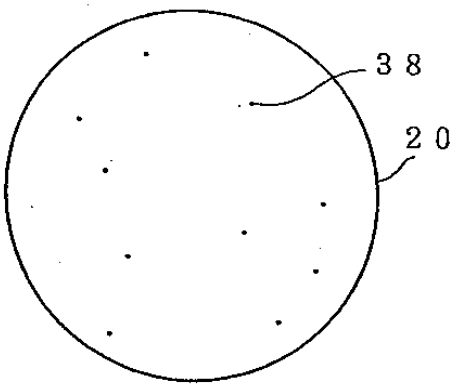
도면2


a
b
60
40
20
0
-20
-40
-60
제타 전위 (mV)
A
B
C
2
3
4
5
6
7
8
9
10
11
12
pH

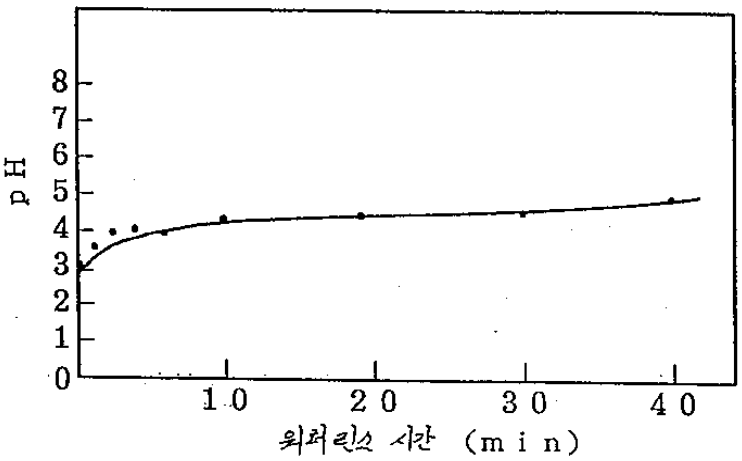
도면3a



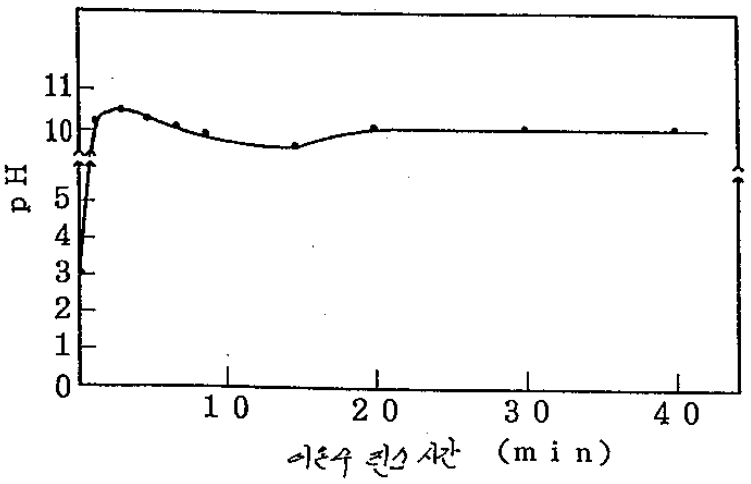
도면3b



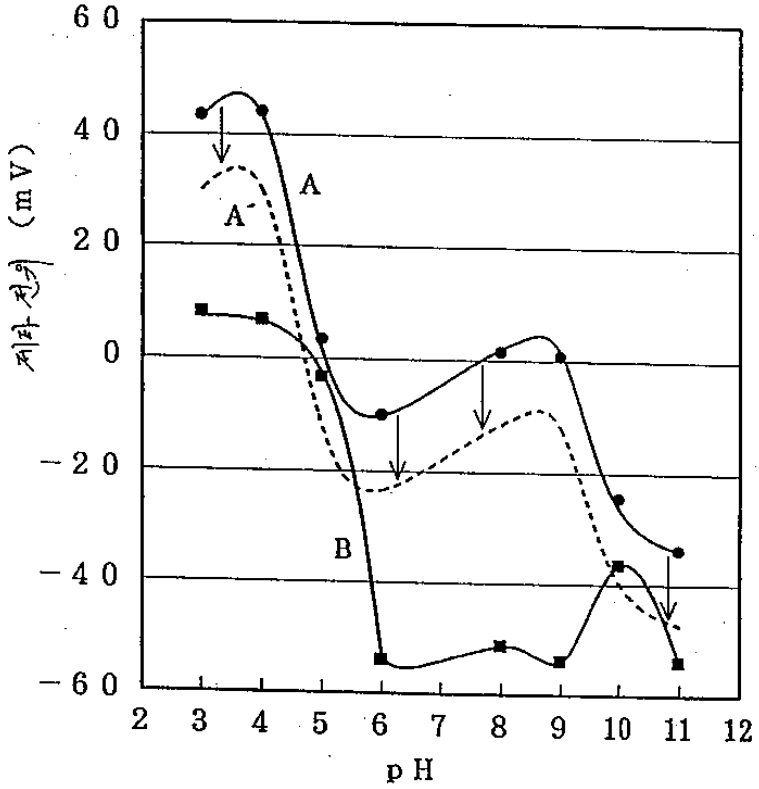
도면4



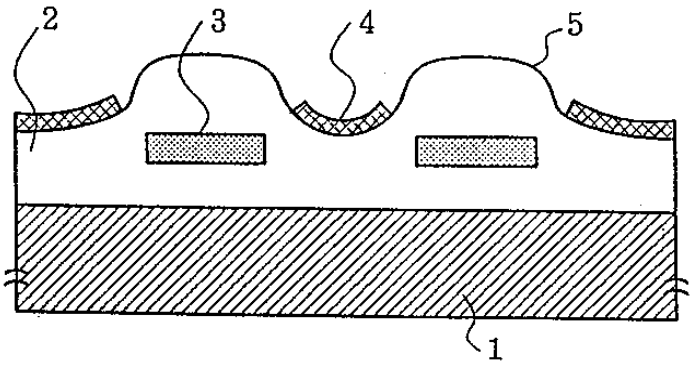
도면5


pH
11
10
5
4
3
2
1
0
10
20
30
40
이온수 흐름 시간 (min)

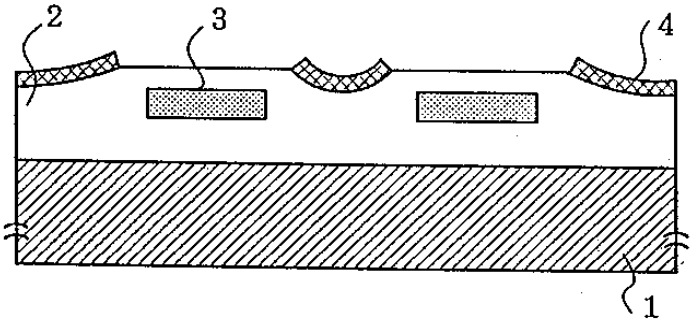
도면6


60
40
20
0
-20
-40
-60
계내 전위 (mV)
A
A'
B
2
3
4
5
6
7
8
9
10
11
12
pH

도면7a



도면7b



도면7c

