

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5946318号
(P5946318)

(45) 発行日 平成28年7月6日(2016.7.6)

(24) 登録日 平成28年6月10日(2016.6.10)

(51) Int.Cl.	F I
H03K 19/094 (2006.01)	H03K 19/094 D
H03K 19/0944 (2006.01)	H03K 19/094 A
H01L 21/822 (2006.01)	H01L 27/04 G
H01L 27/04 (2006.01)	H01L 29/78 618B
H01L 29/786 (2006.01)	

請求項の数 5 (全 42 頁)

(21) 出願番号	特願2012-105425 (P2012-105425)	(73) 特許権者	000153878
(22) 出願日	平成24年5月2日(2012.5.2)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-236126 (P2013-236126A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年11月21日(2013.11.21)	(72) 発明者	竹村 保彦
審査請求日	平成27年4月27日(2015.4.27)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のブロックを有し、
 前記複数のブロックは、それぞれが論理回路と、スイッチと、を有し、
 前記スイッチは、チャンネルが形成される半導体層に酸化半導体を用いた第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
 前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、
 前記第1のトランジスタのソースまたはドレインの一方は、前記容量素子と電氣的に接続され、
 前記第2のトランジスタのソースまたはドレインの一方は、前記論理回路が有するトランジスタのボディと電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

複数のブロックを有し、
 前記複数のブロックは、それぞれが論理回路と、スイッチと、を有し、
 前記スイッチは、チャンネルが形成される半導体層に酸化半導体を用いた第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、
 前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、
 前記第1のトランジスタのソースまたはドレインの一方は、前記容量素子と電氣的に接

続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記論理回路が有するトランジスタのボディと電氣的に接続され、

前記スイッチを介して、前記ボディに電位を供給し、前記論理回路が有するトランジスタのしきい値電圧を変化させることを特徴とする半導体装置。

【請求項3】

複数のブロックを有し、

前記複数のブロックは、それぞれが論理回路と、スイッチと、を有し、

前記スイッチは、チャンネルが形成される半導体層に酸化物半導体を用いた第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの一方は、前記容量素子と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記論理回路が有するトランジスタのボディと電氣的に接続され、

前記スイッチを介して、前記ボディに電位を供給し、前記論理回路が有するトランジスタのしきい値電圧を変化させ、

前記電位は、前記論理回路が有するトランジスタのしきい値電圧を小さくする電位であることを特徴とする半導体装置。

【請求項4】

複数のブロックを有し、

前記複数のブロックは、それぞれが論理回路と、スイッチと、を有し、

前記スイッチは、チャンネルが形成される半導体層に酸化物半導体を用いた第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第1のトランジスタのソースまたはドレインの一方は、前記容量素子と電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記論理回路が有するトランジスタのボディと電氣的に接続され、

前記スイッチを介して、前記ボディに電位を供給し、前記論理回路が有するトランジスタのしきい値電圧を変化させ、

前記電位は、前記論理回路が有するトランジスタのしきい値電圧を大きくする電位であることを特徴とする半導体装置。

【請求項5】

請求項2乃至請求項4のいずれか一項において、

前記電位の供給は、前記容量素子に保持された電位に応じて行われることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、表示装置、半導体回路及び電子機器は全て半導体装置である。

。

【背景技術】

【0003】

近年、半導体集積回路などに代表される半導体装置の多機能化、高集積化、高速化、低消

10

20

30

40

50

費電力化が強く求められている。これらの要求を実現するためには、半導体装置を構成するトランジスタの微細化や、動作電圧の低電圧化が必要である。また、動作電圧の低電圧化を実現するためには、トランジスタのしきい値電圧を小さくする必要があるが、同時にしきい値電圧のばらつきも少なくする必要がある。

【0004】

特許文献1には、半導体基板にバイアス用電圧を印加して、トランジスタのしきい値電圧を変化させる方法が示されている。また、特許文献2には、トランジスタの動作時または非動作時に異なるバイアス用電圧を半導体基板に印加して、トランジスタの動作時にしきい値電圧を小さくし、トランジスタの非動作時にしきい値電圧を大きくする方法が示されている。また、特許文献3には、半導体集積回路を複数の領域に分割し、領域ごとに半導体基板に印加するバイアス用電圧を調整する方法が示されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平7-176622号公報

【特許文献2】特開平11-122047号公報

【特許文献3】米国特許第6448840号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

しかしながら、特許文献1に示された方法では、半導体集積回路が有するトランジスタ全体のしきい値電圧が同様に変化するだけであり、ばらつきを低減することができない。また、特許文献2に示された方法では、半導体集積回路が有する個々のトランジスタにバイアス用電圧を印加する必要があるため、トランジスタごとに専用の配線が必要となり、占有面積が大きくなりやすく、高集積化が難しい。また、特許文献3に示された方法では、分割した領域ごとにバイアス用電圧を供給するための具体的な手段について開示されていない。

【0007】

本発明の一態様は、トランジスタのしきい値ばらつきが低減された半導体装置を提供することを目的の一とする。

30

【0008】

本発明の一態様は、高集積化、高速化、低消費電力化が可能な半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0009】

半導体装置を複数のブロックに分けて構成し、ブロック内のトランジスタのボディーに、しきい値電圧を変化させる電位を、スイッチを介してブロック毎に供給することにより、半導体装置のしきい値電圧ばらつきを低減する。

【0010】

また、動作中のブロックが有するトランジスタのしきい値電圧を小さくして半導体装置を高速動作可能とする。すなわち、同じ動作速度であれば、動作電圧を小さくすることができる。よって、動作電圧の低電圧化が可能な半導体装置を実現することが可能となる。また、停止中のブロックが有するトランジスタのしきい値電圧を大きくしてオフ電流を低減させ、半導体装置の低消費電力化を実現可能とする。

40

【0011】

本発明の一態様は、複数のブロックにより構成される半導体装置であって、それぞれのブロックに、論理回路とスイッチを有し、該スイッチはチャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを有し、論理回路が有するトランジスタのボディーに電気的に接続されていることを特徴とする。

【0012】

50

スイッチを介して、論理回路が有するトランジスタのボディーに電位を供給し、論理回路が有するトランジスタのしきい値電圧を変化させる。

【0013】

また、論理回路が有するトランジスタのボディーに供給する電位は、スイッチに保持された電位に応じて行うことができる。

【0014】

本発明の一態様は、複数のブロックにより構成される半導体装置であって、それぞれのブロックは、論理回路と、第1のスイッチと、第2のスイッチを有し、第1のスイッチと、第2のスイッチは、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを有し、第1のスイッチは、論理回路が有する第1のトランジスタの第1のボディーに電氣的に接続され、第2のスイッチは、論理回路が有する第2のトランジスタの第2のボディーに電氣的に接続されていることを特徴とする。

10

【0015】

第1のスイッチを介して、第1のボディーに第1の電位を供給して、第1のトランジスタのしきい値電圧を変化させ、第2のスイッチを介して、第2のボディーに第2の電位を供給して、第2のトランジスタのしきい値電圧を変化させる。

【0016】

第1の電位の供給は、第1のスイッチに保持された電位に応じて行い、第2の電位の供給は、第2のスイッチに保持された電位に応じて行うことができる。

【0017】

また、第1のトランジスタまたは第2のトランジスタの少なくとも一方をn型のトランジスタとすることができる。また、第1のトランジスタまたは第2のトランジスタの少なくとも一方をp型のトランジスタとすることができる。

20

【発明の効果】

【0018】

本発明の一態様によれば、トランジスタのしきい値ばらつきが低減された半導体装置を提供することができる。

【0019】

本発明の一態様によれば、高集積化、高速化、低消費電力化が可能な半導体装置を提供することができる。

30

【図面の簡単な説明】

【0020】

【図1】本発明の一態様を説明するブロック図。

【図2】本発明の一態様を説明する回路図。

【図3】本発明の一態様を説明する回路図。

【図4】本発明の一態様を説明する回路図。

【図5】本発明の一態様を説明する回路図。

【図6】トランジスタの作製方法を説明する図。

【図7】トランジスタの作製方法を説明する図。

【図8】トランジスタの電気特性を説明する図。

40

【図9】本発明の一態様を説明する図。

【図10】本発明の適用例を説明する図。

【図11】電子機器を説明する図。

【図12】電子機器を説明する図。

【図13】電子機器を説明する図。

【発明を実施するための形態】

【0021】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の

50

記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0022】

また、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0023】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解しやすくするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

10

【0024】

また、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0025】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

20

【0026】

また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

【0027】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

30

【0028】

(実施の形態1)

本発明の一形態について、図1、図2、及び図8を用いて説明する。図1(A)に集積回路101の構成例を示す。集積回路101は複数のブロック102により構成される。図1(A)は、集積回路101がブロック102__a乃至ブロック102__iの9個のブロックにより構成される例を示している。また、図1(B)にブロック102の構成例を示す。

40

【0029】

各ブロックには、nチャネル型トランジスタのボディー（nチャネル型トランジスタが有する拡散層に接して形成されているウェル）に電位 V_{nH} を供給するための配線106nH、及び電位 V_{nL} を供給するための配線106nLと、pチャネル型トランジスタのボディー（pチャネル型トランジスタが有する拡散層に接して形成されているウェル）に電位 V_{pH} を供給するための配線106pH、及び電位 V_{pL} を供給するための配線106pLが接続されている。

【0030】

また、配線108n__1及び配線108p__1が、ブロック102__a乃至ブロック102__cに接続され、配線108n__2及び配線108p__2が、ブロック102__d乃至

50

ブロック102__fに接続され、配線108n__3及び配線108p__3が、ブロック102__g乃至ブロック102__iに接続されている。

【0031】

また、配線109__1が、ブロック102__a、ブロック102__d、ブロック102__gに接続され、また、配線109__2が、ブロック102__b、ブロック102__e、ブロック102__hに接続され、また、配線109__3が、ブロック102__c、ブロック102__f、ブロック102__iに接続されている。

【0032】

また、配線109__1乃至配線109__3、配線106nH、配線106nL、配線106pH、及び、配線106pLは回路132に接続され、配線108n__1乃至配線108n__3、配線108p__1乃至配線108p__3は回路131に接続されている。回路131及び回路132は、上記の各配線を介して集積回路101に信号や電位を供給する機能を有する。

10

【0033】

図1(B)に示すブロック102は、論理回路107と、スイッチ105nH、スイッチ105nL、スイッチ105pH、及びスイッチ105pLを有する。また、図1(C)に示すブロック102は、図1(B)に示したブロック102に、しきい値電圧検出回路103を付加した構成を有する。なお、しきい値電圧検出回路103については、他の実施の形態で詳述する。

【0034】

続いて、図1(B)に例示したブロック102の構成について、図2を用いて詳細に説明する。図2(A)に示すブロック102は、論理回路107としてインバータ回路を有する例を示している。論理回路107は、インバータ回路に限らず、OR回路、AND回路、NOR回路、NAND回路などの、既知の論理回路を適用することができる。また、ブロック102は複数の論理回路107を有してもよい。

20

【0035】

回路132から配線106nHを介して供給される電位 V_{nH} は、スイッチ105nHを介して論理回路107が有するnチャンネル型のトランジスタのボディーへ供給される。また、回路132から配線106nLを介して供給される電位 V_{nL} は、スイッチ105nLを介して論理回路107が有するnチャンネル型のトランジスタのボディーへ供給される。また、回路132から配線106pHを介して供給される電位 V_{pH} は、スイッチ105pHを介して論理回路107が有するpチャンネル型のトランジスタのボディーへ供給される。また、回路132から配線106pLを介して供給される電位 V_{pL} は、スイッチ105pLを介して論理回路107が有するpチャンネル型のトランジスタのボディーへ供給される。

30

【0036】

ボディーは、ボディーに供給される電位に応じて、トランジスタの V_{th} を変化させる機能を有する。ここで、ボディーに供給する電位を調整して、 V_{th} を変化させたトランジスタの電気特性について、nチャンネル型のトランジスタ300を例示して説明しておく。図8(A)に、nチャンネル型のトランジスタ300の断面構成の概略図を示す。トランジスタ300は、n型半導体基板301に形成され、p型ウェル302中に拡散層305a、及び拡散層305bを有し、ゲート絶縁層303上にゲート電極304を有する。また、図8(B)に、トランジスタ300の回路記号を示す。拡散層305aまたは拡散層305bの一方がソースSに相当し、拡散層305aまたは拡散層305bの他方がドレインDに相当する。また、ゲート電極304がゲートGに相当し、p型ウェル302がボディーBに相当する。

40

図8(C)は、トランジスタ300のゲートGとソースS間の電圧(V_{gs})を変化させた時の、ソースSとドレインD間に流れる電流(I_{ds})の変化を示している。図8(C)の横軸は、 V_{gs} の変化を示し、縦軸は I_{ds} の変化を対数軸で示している。曲線311は、ボディーBに供給する電位を調整して、しきい値電圧(以下、「 V_{th} 」ともいう

50

。)を V_{th1} としたときの特性を示し、曲線312は、ボディーBに供給する電位を調整して、しきい値電圧を V_{th2} としたときの特性を示している。なお、 V_{th1} と V_{th2} は、 $V_{th1} < V_{th2}$ の関係にあるものとする。

【0037】

トランジスタ300のボディーBに正の電圧(ソースSの電位よりも高い電位)を印加することで、 V_{th} を小さく(マイナス方向にシフト)することができる。また、トランジスタ300のボディーに負の電圧(ソースSの電位よりも低い電位)を印加することで、 V_{th} を大きく(プラス方向にシフト)することができる。

【0038】

一般に、論理回路において、 V_{gs} が0Vの時に I_{ds} が多いと過渡電流が増加しやすく、消費電力増加の一因となる。nチャネル型のトランジスタの場合、ボディーBに負の電圧を印加して V_{th} を大きくすると、 V_{gs} が0Vの時の I_{ds} を低減することができる。また、pチャネル型のトランジスタの場合、ボディーBに正の電圧を印加して V_{th} を大きくすると、 V_{gs} が0Vの時の I_{ds} を低減することができる。

10

【0039】

特に、 $V_{gs} = 0V$ がサブスレッショルド領域にかかっている場合は、 V_{th} を大きくすることで V_{gs} が0Vの時の I_{ds} を劇的に低減することができる(図8(C)中の I_{off1} 、 I_{off2} 参照)。

【0040】

また、トランジスタの V_{th} を小さくすると、同じ V_{gs} でもより多くの I_{ds} を流すことができるため、論理回路の動作速度を早くすることができる。このように、ボディーBに印加する電圧を調整することで、論理回路の動作速度の向上と、消費電力の低減を実現することが可能となる。

20

【0041】

図2(B)に、スイッチ105nH、スイッチ105nLに用いることができる回路構成の一例を示す。本実施の形態に示すスイッチ105nH、スイッチ105nL、スイッチ105pH、及びスイッチ105pLは全て同様の構成とすることができる。よって、本実施の形態では、主にスイッチ105nHの構成について説明する。

【0042】

スイッチ105nHは、nチャネル型のトランジスタ121と、nチャネル型のトランジスタ122と、容量素子123を有する。トランジスタ121のゲートは配線108nHに接続され、トランジスタ121のソースまたはドレインの一方は配線109に接続され、トランジスタ121のソースまたはドレインの他方はノード120に接続される。トランジスタ122のゲートはノード120に接続され、トランジスタ122のソースまたはドレインの一方は配線106nHに接続され、トランジスタ122のソースまたはドレインの他方はノード126に接続される。容量素子123の一方の電極はノード120に接続され他方の電極は端子125に接続される。また、ノード126は論理回路107が有するnチャネル型のトランジスタのボディーに接続される。

30

【0043】

なお、スイッチ105nLは、スイッチ105nLが有するトランジスタ121のゲートが配線108nLに接続され、トランジスタ122のソースまたはドレインの一方が配線106pLに接続されている点がスイッチ105nHと異なり、他の構成はスイッチ105nHと同様とすることができる。

40

【0044】

次に、スイッチ105nHの動作について説明する。配線108nHにトランジスタ121をオン状態とする電位(ハイレベル電位)が供給されると、配線109の電位がノード120に供給される。このとき、配線109にトランジスタ122をオン状態とする電位(ハイレベル電位)が供給されていると、ノード120に該電位が供給され、トランジスタ122がオン状態となる。トランジスタ122がオン状態となると、配線106nHとノード126が導通し、スイッチ105nHをオン状態とすることができる。スイッチ1

50

0.5 nHをオン状態とすることで、配線106 nHに供給されている電位 V_{nH} を、ノード126に供給することができる。なお、このとき、スイッチ105 nLはオフである（すなわち、配線106 nLとノード126の間に十分に高い抵抗がある）ことが好ましい。

【0045】

その後、配線108 nHの電位を、トランジスタ121をオフ状態とする電位（ローレベル電位）とすると、ノード120の電位がハイレベル電位のまま保持される。よって、その後に配線109の電位が変動しても、スイッチ105 nHはオン状態を維持することができる。なお、容量素子123は、トランジスタ121のオフ電流に起因するノード120の電位変化を抑制し、ノード120の電位をより確実に保持する機能を有する。

10

【0046】

スイッチ105 nHをオフ状態とする場合は、配線109にトランジスタ122をオフ状態とする電位（ローレベル電位）を供給し、配線108 nHにトランジスタ121をオン状態とする電位を供給すればよい。すると、ノード120にトランジスタ122をオフ状態とする電位（ローレベル電位）が供給される。その後、トランジスタ121をオフ状態とすることで、ノード120の電位がローレベル電位のまま保持される。よって、その後に配線109の電位が変動しても、スイッチ105 nHはオフ状態を維持することができる。

【0047】

また、容量素子123の容量がノード120に接続するトランジスタのゲート容量よりも十分に大きい場合、トランジスタ121をオフ状態として、ノード120の電位が保持された状態で、端子125の電位を変化させると、ノード120に保持された電位を変化させることができる。例えば、端子125の電位が0 Vの時にノード120に1 Vの電位を保持し、その後、端子125の電位を0.2 Vとすると、ノード120の電位を1.2 Vとすることができる。ノード120の電位が保持された状態で端子125の電位を調整することで、ノード120の電位を調整することができる。

20

【0048】

なお、本実施の形態では、トランジスタ121及びトランジスタ122をnチャネル型のトランジスタとして説明したが、どちらか一方または両方にpチャネル型のトランジスタを用いてもよい。

30

【0049】

また、ノード126の電位を電位 V_{nH} から電位 V_{nL} に、または、電位 V_{nL} から電位 V_{nH} に切り替える場合は、一旦、スイッチ105 nH、スイッチ105 nLともにオフ状態としてから、一方のスイッチをオン状態とする。両スイッチをオフ状態としてから一方のスイッチをオン状態とすることで、配線106 V_{nH} と配線106 V_{nL} の短絡を防ぎ、消費電力の増加を抑えることができる。

【0050】

なお、スイッチ105 pH、及びスイッチ105 pLも、上記と同様に動作させることができる。

【0051】

トランジスタ121及びトランジスタ122のチャンネルが形成される半導体層には、非晶質半導体、微結晶半導体、多結晶半導体等を用いることができる。例えば、非晶質シリコンや、微結晶ゲルマニウム等を用いることができる。また、炭化シリコン、ガリウム砒素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体等を用いることができる。

40

【0052】

なお、特に、トランジスタ121は、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを適用することが好ましい。チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタは、オフ電流が極めて少なく、長期間にわたってノード120の電位を保持することが可能となる。よって、容量素子123を小さく、または省略する

50

ことも可能となるため、集積回路101の占有面積を小さくすることが可能となり、半導体装置の高集積化が容易となる。加えて、長期間にわたってノード120の電位を保持することが可能となるため、ノード120のリフレッシュ動作が不要となり、消費電力を低減することが可能となる。

【0053】

具体的には、上述のチャンネルが形成される半導体層に酸化物半導体を用いたトランジスタは、チャンネル幅1 μm あたりのオフ電流を室温下において10 aA ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには、1 aA ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには1 zA ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下、さらには1 yA ($1 \times 10^{-24} \text{ A} / \mu\text{m}$) 以下にすることが可能である。

10

【0054】

また、上述の酸化物半導体を用いたトランジスタは、オン電流の温度依存性がほとんど見られず、オフ電流の変化も非常に小さい。

【0055】

また、上述の酸化物半導体を用いたトランジスタは、バイアス-熱ストレス試験(BT試験)前後においても V_{th} の変化量が低減でき、信頼性の高いトランジスタとすることができる。なお、トランジスタ122に、チャンネルが形成される半導体層に酸化物半導体を用いたトランジスタを用いてもよい。なお、本実施の形態に開示する構成において、トランジスタ121、トランジスタ122に、特段の高速動作は必要とされないが、電界効果移動度は $1 \text{ cm}^2 / \text{Vs}$ 以上あることが好ましい。

20

【0056】

なお、ノード120に電位が保持可能という点から、スイッチ105 nH、スイッチ105 nL、スイッチ105 pH、及びスイッチ105 pL(以下、これらを総称して単に「スイッチ105」ともいう。)は記憶素子としての機能を有すると考えることができる。長期間保持可能な記憶素子としては、例えばフラッシュメモリがあげられるが、フラッシュメモリは書き換え時に高電界をかけてトンネル電流を発生させる必要があり、原理的に書き換え回数の限界(10000回程度)がある。一方、スイッチ105におけるノード120への電位の書き込みは、トンネル電流による電荷の注入を用いないためフラッシュメモリのような劣化を生じない。また、高電界が不要であるため、昇圧回路などを設ける必要がなく、消費電力も少ない。

30

【0057】

各ブロック102が有するスイッチ105の設定は、集積回路101の起動時に予め不揮発性メモリに記憶されたデータに基づいて行うことができる。例えば、各ブロック102をマトリクス駆動で順次選択して行ってもよい。

【0058】

また、電位 V_{nH} 、電位 V_{nL} 、電位 V_{pH} 、及び電位 V_{pL} は、目的に応じて決定すればよい。ここで、高電源電位 V_{dd} (以下、単に「 V_{dd} 」ともいう。)とは、低電源電位 V_{ss} (以下、単に「 V_{ss} 」ともいう。)よりも高い電位の電源電位を示す。また、低電源電位 V_{ss} とは、高電源電位 V_{dd} よりも低い電位の電源電位を示す。また、接地電位を V_{dd} または V_{ss} として用いることもできる。例えば V_{dd} が接地電位の場合には、 V_{ss} は接地電位より低い電位であり、 V_{ss} が接地電位の場合には、 V_{dd} は接地電位より高い電位である。なお、目的に応じて、電位 V_{nH} 、電位 V_{nL} 、電位 V_{pH} 、及び電位 V_{pL} を V_{dd} より高い電位としてもよいし、 V_{ss} より低い電位としてもよい。

40

【0059】

また、以上の例では、nチャンネル型トランジスタ用、pチャンネル型トランジスタ用として、それぞれ、電位 V_{nH} 、電位 V_{nL} 、電位 V_{pH} 、電位 V_{pL} の2段階の電位を選択する例を示したが、これに限られず、一方あるいは双方が3段階以上の電位を選択できるようにしてもよい。

【0060】

50

また、以上の例では、ブロック内のnチャネル型トランジスタ、pチャネル型トランジスタのいずれもが V_{th} を変更できる例を示したが、これに限られず、一方のみの V_{th} を変更できるようにしてもよい。

【0061】

また、本実施の形態では、ノード120にハイレベル電位またはローレベル電位のどちらかを保持するものとして説明したが、ノード120に保持する電位はトランジスタ122をオン状態またはオフ状態とする電位であればどのような電位でもかまわない。

【0062】

また、トランジスタ122を飽和領域で動作させて、ノード120に保持された電位とノード126に出力される電位が対応するように動作させることもできる。例えば、しきい値電圧検出回路103から得られた情報をもとにノード120に保持する電位を決定し、該電位と対応する電位をノード126に出力することで、論理回路107が有するトランジスタの V_{th} をより精度よく制御することが可能となる。よって、集積回路101が有するトランジスタのしきい値ばらつきをより少なくすることができる。

10

【0063】

ブロック内のトランジスタのしきい値電圧の平均値が、所定の値よりずれていれば、本実施の形態に示す方法で、補正することができる。また、ブロックの演算速度を上げたり、下げたりすることも、本実施の形態に示す方法でしきい値電圧を操作することでおこなうことができる。

【0064】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

20

【0065】

(実施の形態2)

本実施の形態では、実施の形態1に示したスイッチ105の、他の構成例について説明する。

【0066】

図3(A)に示すスイッチ145は、実施の形態1に示したスイッチ105nHに、pチャネル型のトランジスタ124を付加した構成を有する。スイッチ145において、トランジスタ124のゲートはノード120に接続され、トランジスタ124のソースまたはドレインの一方は配線106nLに接続され、ソースまたはドレインの他方はノード126に接続される。スイッチ105nHの構成に、pチャネル型のトランジスタ124を付加することで、スイッチ105nHとスイッチ105nLの機能を有するスイッチ145を実現することができる。

30

【0067】

また、トランジスタ124のチャネルが形成される半導体層は、トランジスタ121またはトランジスタ122と同様の材料を用いて形成することができる。

【0068】

次に、スイッチ145の動作について説明する。トランジスタ121のゲートに接続する配線108に、トランジスタ121をオン状態とする電位が供給されると、配線109の電位がノード120に供給される。このとき、配線109にハイレベル電位が供給されていると、ノード120がハイレベル電位となり、トランジスタ122がオン状態となる。また、トランジスタ124はpチャネル型のトランジスタであるため、オフ状態となる。

40

【0069】

また、配線109にローレベル電位が供給されていると、ノード120がローレベル電位となり、トランジスタ122がオフ状態となり、トランジスタ124がオン状態となる。その後、配線108にトランジスタ121をオフ状態とする電位を供給することで、ノード120の電位が保持される。このようにして、ノード120に供給または保持される電位によって、ノード126に供給する電位 V_{nH} と、電位 V_{nL} を選択することができる。

50

【0070】

スイッチ145を用いることで、スイッチ105 nHとスイッチ105 nLの両方を用いる場合に比べて、スイッチの占有面積を減らすことができる。また、配線108 nHと配線108 nLを1つの配線にまとめることができるため、集積回路101中の配線本数を少なくすることができ、集積回路101の占有面積を小さくすることができる。よって、半導体装置の高集積化が容易となる。

【0071】

図3(B)に示すスイッチ146は、スイッチ145のノード126に接続する配線に容量素子127を付加した構成を有する。容量素子127を付加することで、ノード126に接続するボディーの不連続な電位変動を防止することができる。

10

【0072】

本実施の形態では、スイッチ105 nHとスイッチ105 nLをスイッチ145またはスイッチ146に置き換える例について説明したが、スイッチ105 pH及びスイッチ105 pLを、スイッチ145またはスイッチ146に置き換えることも可能である。

【0073】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0074】

(実施の形態3)

本実施の形態では、上記実施の形態に示したスイッチと異なる構成を有するスイッチについて説明する。

20

【0075】

図4に示すスイッチ147は、実施の形態2に示したスイッチ145の構成に、pチャンネル型のトランジスタ128とnチャンネル型のトランジスタ129を付加した構成を有する。スイッチ147において、トランジスタ128のゲートはノード120に接続され、ソースまたはドレインの一方は配線106 pHに接続され、ソースまたはドレインの他方はノード136に接続される。また、トランジスタ129のゲートはノード120に接続され、ソースまたはドレインの一方は配線106 pLに接続され、ソースまたはドレインの他方はノード136に接続される。ノード126は論理回路107が有するnチャンネル型のトランジスタのボディーに接続され、ノード136は論理回路107が有するpチャンネル型のトランジスタのボディーに接続される。スイッチ145の構成に、pチャンネル型のトランジスタ128とnチャンネル型のトランジスタ129を付加することで、スイッチ105 nH、スイッチ105 nL、スイッチ105 pH、及びスイッチ105 pLの機能を有するスイッチ147を実現することができる。

30

【0076】

また、トランジスタ128、及びトランジスタ129のチャンネルが形成される半導体層は、トランジスタ121、トランジスタ122、またはトランジスタ124と同様の材料を用いて形成することができる。

【0077】

次に、スイッチ147の動作について説明する。トランジスタ121のゲートに接続する配線108に、トランジスタ121をオン状態とする電位が供給されると、配線109の電位がノード120に供給される。このとき、配線109にハイレベル電位が供給されていると、ノード120がハイレベル電位となり、トランジスタ122とトランジスタ129がオン状態となる。また、トランジスタ124とトランジスタ128はpチャンネル型のトランジスタであるため、オフ状態となる。

40

【0078】

また、配線109にローレベル電位が供給されていると、ノード120がローレベル電位となり、トランジスタ122とトランジスタ129がオフ状態となり、トランジスタ124とトランジスタ128がオン状態となる。その後、配線108にトランジスタ121をオフ状態とする電位を供給することで、ノード120の電位が保持される。このようにし

50

て、ノード120に供給または保持される電位によって、ノード126に供給する電位 V_{nH} と、電位 V_{nL} を選択することができる。

【0079】

スイッチ147を用いることで、スイッチの占有面積減らすことができる。また、配線108nHと配線108nLを1つの配線にまとめることができるため、集積回路101中の配線本数を少なくすることができ、集積回路101の占有面積を小さくすることができる。よって、半導体装置の高集積化が容易となる。

【0080】

また、nチャネル型のトランジスタの V_{th} と、pチャネル型のトランジスタの V_{th} をほぼ同時に変化させることができる。

10

【0081】

また、電位 V_{nL} と、電位 V_{pH} を同電位として用いる場合は、配線106nLと配線106pHを一つの配線にまとめて用いることができるため、集積回路101の占有面積をさらに小さくすることができる。

【0082】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0083】

(実施の形態4)

ブロック毎にしきい値電圧検出回路103を形成し、しきい値電圧検出回路103から得られた情報をもとに電位 V_{nH} 、電位 V_{nL} 、電位 V_{pH} 、及び電位 V_{pL} を決定してもよい(図1(C)参照)。例えば、基準となる V_{th} と、しきい値電圧検出回路103から得られた V_{th} を比較して、電位 V_{nH} 、電位 V_{nL} 、電位 V_{pH} 、及び電位 V_{pL} を決定すればよい。

20

【0084】

図5(A)及び図5(C)に、nチャネル型のトランジスタの V_{th} を検出するしきい値電圧検出回路103aの構成例を示す。また、図5(B)及び図5(D)に、pチャネル型のトランジスタの V_{th} を検出するしきい値電圧検出回路103bの構成例を示す。

【0085】

図5(A)に示すしきい値電圧検出回路103aは、nチャネル型のトランジスタ111、スイッチ113、スイッチ117、負荷114を有する。トランジスタ111のドレインは高電源電位 V_{dd} に接続され、トランジスタ111のソースはノード115に接続されている。また、スイッチ113の一方の電極はノード115に接続され、スイッチ113の他方の電極は負荷114の一方の電極に接続され、負荷114の他方の電極は共通配線に接続されている。また、スイッチ117の一方の電極はノード115に接続され、スイッチ117の他方の電極は共通配線COMに接続されている。

30

【0086】

図5(B)に示すしきい値電圧検出回路103bは、しきい値電圧検出回路103aのトランジスタ111をpチャネル型のトランジスタ116に置き換えて構成される。なお、しきい値電圧検出回路103bにおいて、トランジスタ116のドレインは低電源電位 V_{ss} に接続される。

40

【0087】

しきい値電圧検出回路103に論理回路107と同等の負荷114を設定し、論理回路107の動作中、しきい値電圧検出回路103のスイッチ117をオフ状態とし、スイッチ113をオン状態とすることで、しきい値電圧検出回路103を論理回路107と同等の動作状態とすることができる。

【0088】

共通配線COMには共通電位が供給される。本実施の形態では、 V_{dd} は共通電位より高い電位であり、 V_{ss} は共通電位より低い電位である。

【0089】

50

続いて、図5(A)に示すしきい値電圧検出回路103aの動作について説明する。

しきい値電圧検出回路103aは、以下の手順によりトランジスタ111のしきい値電圧を取得することができる。

【0090】

まず、トランジスタ111のゲートに、トランジスタ111をオフ状態とする電位を供給する。次に、スイッチ113をオフ状態とし、スイッチ117をオン状態とすると、ノード115の電位が共通電位となる。次に、スイッチ117をオフ状態とすると、ノード115が電氣的に浮遊した状態(フローティング状態)となる。次に、トランジスタ111のゲートに、トランジスタ111をオン状態とする電位 V_{gs} (以下、単に「 V_{gs} 」ともいう。)を供給する。なお、 V_{gs} は、 $V_{dd} - V_{gs} > V_{th}$ の関係を満たす電位とする。

10

【0091】

トランジスタ111がオン状態になると、ノード115の電位が上昇する。ノード115の電位が上昇し、ゲートソース間の電位差が V_{th} と等しくなると、トランジスタ111がオフ状態になり、ノード115の電位上昇が停止する。この時、ノード115の電位は $V_{gs} - V_{th}$ となる。すなわち、ノード115の電位を測定することで、トランジスタ111の V_{th} を検出することができる。

【0092】

図5(B)に示すしきい値電圧検出回路103bも同様の手順により V_{th} を検出することができる。ただし、トランジスタ116のゲートに印加する V_{gs} は、 $V_{dd} - V_{gs} < V_{th}$ の関係を満たす電位とする。

20

【0093】

また、図5(A)に示した、しきい値電圧検出回路103aの構成からスイッチ113とスイッチ117を省略し、図5(C)の構成とすることもできる。また、図5(B)に示した、しきい値電圧検出回路103aの構成からスイッチ113とスイッチ117を省略し、図5(D)の構成とすることもできる。図5(C)及び図5(D)の構成では、スイッチ113とスイッチ117有しないため消費電力が増加してしまうが、トランジスタ111またはトランジスタ116の V_{th} を常に検出することが可能となるため、より正確かつ迅速に V_{th} を検出することができる。

【0094】

しきい値電圧検出回路103は、一つのブロック102に単数または複数形成することができる。

30

【0095】

トランジスタ111及びトランジスタ116の V_{th} を定期的または必要に応じて取得して、論理回路104を構成するトランジスタの特性変動を検出し、それらの V_{th} と基準となる V_{th} を比較して、電位 V_{nH} 、電位 V_{nL} 、電位 V_{pH} 、及び電位 V_{pL} の電位を設定することができる。

【0096】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

40

【0097】

(実施の形態5)

本実施の形態では、上記実施の形態に示したトランジスタに適用可能なトランジスタの作製方法の一例を、図6及び図7を用いて説明する。本実施の形態では、上記実施の形態に示した論理回路やスイッチ等に用いることができるトランジスタの一例として、チャンネルが形成される半導体層に酸化物半導体を用いるトランジスタ440及びトランジスタ450の作製方法の一例を示す。

【0098】

まず、基板400上に、スパッタリング法、真空蒸着法、またはメッキ法を用いて100nm以上500nm以下、好ましくは200nm以上300nm以下の厚さで導電層を形

50

成し、該導電膜上にフォトリソグラフィ法またはインクジェット法等によりレジストマスクを形成し、該レジストマスクを用いて導電層をエッチングして電極402（これと同じ層で形成される他の電極または配線を含む）を形成する。または、レジストマスクを用いずに、銅等の導電性ナノペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。

【0099】

基板400は、ガラス基板、セラミック基板、半導体基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。他に、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板400として用いてもよい。

10

【0100】

なお、基板400として、可撓性基板（フレキシブル基板）を用いてもよい。可撓性基板を用いる場合、可撓性基板上に、トランジスタや容量素子などを直接作製してもよいし、他の作製基板上にトランジスタや容量素子などを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタや容量素子などとの間に、剥離層を設けるとよい。

20

【0101】

電極402となる導電層は、スパッタリング法、真空蒸着法、またはメッキ法を用いて形成することができる。また、該導電層は、アルミニウム（Al）、クロム（Cr）、銅（Cu）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた金属材料、上述した金属元素を成分とする合金材料、上述した金属元素の窒化物材料などを用いて形成することができる。また、マンガン（Mn）、マグネシウム（Mg）、ジルコニウム（Zr）、ベリリウム（Be）のいずれか一または複数から選択された金属元素を含む材料用いてもよい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

30

【0102】

また、電極402となる導電層は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタル上にタングステンを積層する二層構造、Cu-Mg-Al合金上に銅を積層する二層構造、窒化チタン上に銅を積層し、さらにその上にタングステンを形成する三層構造、タングステン上に銅を積層し、さらにその上に窒化タンタルを形成する三層構造などがある。電極402となる導電層に銅を用いることにより、電極402の配線抵抗を低減することができる。また、銅を、タングステン、モリブデン、タンタルなどの高融点金属や、該金属の窒化物と積層することで、銅の他の層への拡散を防止できる。

40

【0103】

また、電極402となる導電層は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの酸素を含む導電性材料を適用することもできる。また、上記酸素を含む導電性材料と、上記金属元素を含む材料の積層構造とすることもできる。

【0104】

50

また、ノーマリーオフのスイッチング素子を実現するために、5 eV（電子ボルト）、好ましくは5.5 eV（電子ボルト）以上の仕事関数を有する材料をゲート電極層として用いて、トランジスタの電気的特性のしきい値電圧をプラスにすることが好ましい。具体的には、In-N結合を有し、且つ、固有抵抗が $1 \times 10^{-1} \sim 1 \times 10^{-4} \text{ } \cdot \text{ cm}$ 、好ましくは固有抵抗が $5 \times 10^{-2} \sim 1 \times 10^{-4} \text{ } \cdot \text{ cm}$ を有する材料をゲート電極層として用いる。その材料の一例としては、窒素を含むIn-Ga-Zn系酸化物膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InNなど）などが挙げられる。導電層のエッチングは、ドライエッチング法またはウェットエッチング法により行うことができる。また、ドライエッチング法とウェットエッチング法の両方を組み合わせて行ってもよい。

10

【0105】

導電層のエッチングをドライエッチング法で行う場合は、エッチングガスとしてハロゲン元素を含むガスを用いることができる。ハロゲン元素を含むガスの一例としては、塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）もしくは四塩化炭素（ CCl_4 ）などを代表とする塩素系ガス、四フッ化炭素（ CF_4 ）、六フッ化硫黄（ SF_6 ）、三フッ化窒素（ NF_3 ）もしくはトリフルオロメタン（ CHF_3 ）などを代表とするフッ素系ガス、臭化水素（ HBr ）または酸素を適宜用いることができる。また用いるエッチング用ガスに不活性気体を添加してもよい。また、ドライエッチング法としては、反応性イオンエッチング（RIE：Reactive Ion Etching）法を用いることができる。

20

【0106】

また、プラズマ源として、容量結合型プラズマ（CCP：Capacitively Coupled Plasma）、誘導結合プラズマ（ICP：Inductively Coupled Plasma）、電子サイクロトロン共鳴（ECR：Electron Cyclotron Resonance）プラズマ、ヘリコン波励起プラズマ（HWP：Helicon Wave Plasma）、マイクロ波励起表面波プラズマ（SWP：Surface Wave Plasma）などを用いることができる。特に、ICP、ECR、HWP、及びSWPは、高密度のプラズマを生成することができる。ドライエッチング法で行うエッチング（以下、「ドライエッチング処理」ともいう。）は、所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節して行う。

30

【0107】

なお、フォトリソグラフィ法を用いて導電層や絶縁層上に任意形状のレジストマスクを形成する工程をフォトリソグラフィ工程というが、一般にレジストマスク形成後には、エッチング工程とレジストマスクの剥離工程が行われることが多い。このため、特段の説明が無い限り、本明細書でいうフォトリソグラフィ工程には、レジストマスクの形成工程と、導電層または絶縁層のエッチング工程と、レジストマスクの剥離工程が含まれているものとする。

【0108】

また、ゲート電極202の断面形状、具体的には端部の断面形状（テーパ角や膜厚など）を工夫することにより、後に形成される層の被覆性を向上させることができる。

40

【0109】

具体的には、電極402の断面形状が台形または三角形となるように、電極402の端部をテーパ形状とする。ここで、電極402端部のテーパ角（図6（A）参照）を、 80° 以下、好ましくは 60° 以下、さらに好ましくは 45° 以下とする。なお、テーパ角とは、テーパ形状を有する層を、その断面（基板の表面と直交する面）方向から観察した際に、当該層の側面と底面がなす当該層内の角度を示す。また、テーパ角が 90° 未満である場合を順テーパといい、テーパ角が 90° 以上である場合を逆テーパという。

50

【0110】

また、電極402端部の断面形状を複数段の階段形状とすることで、その上に被覆する層の被覆性を向上させることもできる。なお、電極402に限らず、各層の端部の断面形状を順テーパ形状または階段形状とすることで、その上に被覆する層が途切れてしまう現象(段切れ)を防ぎ、被覆性を良好なものとする事ができる。

【0111】

また、基板401と電極402の間に、絶縁層を設けてもよい。絶縁層は、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD(Chemical Vapor Deposition)法、PLD(Pulsed Laser Deposition)法、ALD(Atomic Layer Deposition)法、MOCVD(Metal Organic Chemical Vapor Deposition)法等を適宜用いて形成することができる。また、μ波(例えば周波数2.45GHz)を用いた高密度プラズマCVD法などを適用することができる。また、絶縁層201は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置を用いて成膜してもよい。

10

【0112】

また、絶縁層は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、窒化シリコン、酸化シリコン、窒化酸化シリコンまたは酸化窒化シリコンから選ばれた材料を、単層または積層して形成することができる。なお、本明細書中において、窒化酸化とは、その組成として、酸素よりも窒素の含有量が多いものであって、酸化窒化とは、その組成として、窒素よりも酸素の含有量が多いものを示す。なお、各元素の含有量は、例えば、ラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)等を用いて測定することができる。

20

【0113】

次いで、基板400及び電極402上に絶縁層403を形成する(図6(A)参照)。絶縁層403は電極402の形状を反映した表面に凸部を有する層である。

【0114】

絶縁層403としては、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、酸化ガリウム亜鉛、酸化亜鉛、又はこれらの混合材料を用いて形成することができる。絶縁層403は、単層でも積層でもよい。

30

【0115】

本実施の形態では絶縁層403としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。また、プラズマCVD法を用いて形成する酸化窒化シリコン膜を用いてもよい。

【0116】

次いで、絶縁層403に対して、酸素431を導入する処理(酸素ドーピング処理)を行い、絶縁層403下面近傍及び電極402近傍に、酸素過剰領域481を形成する。これによって、酸素過剰領域481を有する絶縁層403が形成される(図6(B)参照)。なお、図中において、点線で示す酸素過剰領域481は、導入された酸素の分布中心を模式的に表している。

40

【0117】

酸素431には、少なくとも、酸素ラジカル、酸素原子、酸素分子、オゾン、酸素イオン(酸素分子イオン)、及び/又は酸素クラスタイオンのいずれかが含まれている。

【0118】

絶縁層403への酸素431の導入は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等を用いることができる。なお、イオン注入法として、ガスクラスタイオンビームを用いてもよい。また、酸素

50

431の導入は、基板400の全面を一度に処理してもよいし、例えば、線状のイオンビームを用いてもよい。線状のイオンビームを用いる場合には、基板又はイオンビームを相対的に移動（スキャン）させることで、絶縁層403の全面に酸素431を導入することができる。

【0119】

酸素431の供給ガスとしては、Oを含有するガスを用いればよく、例えば、O₂ガス、N₂Oガス、CO₂ガス、COガス、NO₂ガス等を用いることができる。なお、酸素の供給ガスに希ガス（例えばAr）を含有させてもよい。

【0120】

また、例えば、イオン注入法で酸素の導入を行う場合、酸素431のドーズ量を $0.5 \times 10^{16} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ （例えば、 $1 \times 10^{16} \text{ cm}^{-2}$ ）、加速エネルギーを50 eV以上70 eV（例えば、50 eV）とするのが好ましく、酸素ドーブ処理後の酸素過剰領域481を含む酸化物絶縁層436中の酸素の含有量は、酸化物絶縁層436の化学量論的組成比を超える程度とするのが好ましい。なお、このような化学量論的組成比よりも酸素を過剰に含む領域は、酸素過剰領域481に存在していればよい。なお、酸素431の注入深さは、注入条件により適宜制御すればよい。

10

【0121】

次いで、酸素過剰領域481を含む絶縁層403に上面の凸部を除去する平坦化処理を行う。電極402上の絶縁層403を選択的に除去することで表面を平坦化し、平坦化した絶縁層404を形成する（図6（C）参照）。

20

【0122】

平坦化処理によって、絶縁層403の電極402と重畳する領域が選択的に除去されて薄くなるため、電極402上の酸素過剰領域481と、絶縁層403上面との距離は短くなる。一方、絶縁層403において、電極402が存在しない領域では、絶縁層403の除去はほとんど行われなため、酸素過剰領域481は絶縁層403下面近傍に存在する。よって、絶縁層404において、酸素過剰領域は、酸化物絶縁層上面から、電極402の存在する領域ではより浅い位置に設けられ、他の領域（導電層の存在しない領域）では深い位置に設けられる。

【0123】

従って、後の工程で酸化物半導体層が設けられる、電極402と重なる絶縁層404において、酸化物半導体層に近接して酸素過剰領域481を設けることができるため、酸素過剰領域481から酸化物半導体層へ効率よく酸素を供給することができる。また、酸素の供給は、熱処理を行ってより促進することもできる。

30

【0124】

さらに、絶縁層404において、酸素過剰領域481は、酸素供給が必要な酸化物半導体層の下以外の領域では、絶縁層404上面から離れた、絶縁層404下面近傍に設けられている。よって、特に熱処理を行ったときでも、絶縁層404上面からの不必要な酸素の放出が抑制でき、絶縁層404を酸素過剰な状態に維持することができる。

【0125】

なお、本実施の形態では、絶縁層403への酸素431の導入を行う例を示したが、成膜直後に十分な酸素を含む絶縁層403が形成できるのであれば、絶縁層403への酸素431の導入を省略することができる。

40

【0126】

また、平坦化処理としては、特に限定されないが、研磨処理（例えば、化学的機械研磨法（Chemical Mechanical Polishing：CMP））、ドライエッチング処理、プラズマ処理を用いることができる。

【0127】

次いで、絶縁層404上に酸化物半導体層405を形成する（図6（C）参照）。酸化物半導体層405は、二元系金属の酸化物であるIn-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物（IGZO

50

とも表記する。)、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Sn-Hf-Zn系酸化物などを用いることができる。

【0128】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、In、Ga及びZnを有する酸化物という意味であり、InとGaとZnの比率は問わない。また、In、Ga及びZn以外の金属元素が含まれていてもよい。

10

【0129】

本実施の形態において、酸化物半導体層405をスパッタリング法で作製するためのターゲットとしては、組成比として、In:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用い、In-Ga-Zn系酸化物(IGZO)を5nm以上30nm以下の厚さで形成する。

【0130】

また、金属酸化物ターゲットの相対密度(充填率)は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、形成した酸化物半導体層405を緻密な膜とすることができる。

20

【0131】

酸化物半導体層405を、形成する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0132】

まず、減圧状態に保持された成膜室内に、絶縁層404まで形成された基板400を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて絶縁層404上に酸化物半導体層405を形成する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で形成した酸化物半導体層405に含まれる不純物の濃度を低減できる。

30

【0133】

なお、酸化物半導体層405を、複数の酸化物半導体層が積層された構造としてもよい。例えば、酸化物半導体層405を、第1の酸化物半導体層と第2の酸化物半導体層の積層として、第1の酸化物半導体層と第2の酸化物半導体層に異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体層に三元系金属の酸化物を用い、第2の酸化物半導体層に二元系金属の酸化物を用いてもよい。また、例えば、第1の酸化物半導体層と第2の酸化物半導体層を、どちらも三元系金属の酸化物としてもよい。

40

【0134】

また、第1の酸化物半導体層と第2の酸化物半導体層の構成元素を同一とし、両者の組成比を異ならせてもよい。例えば、第1の酸化物半導体層の原子数比をIn:Ga:Zn=1:1:1とし、第2の酸化物半導体層の原子数比をIn:Ga:Zn=3:1:2としてもよい。また、第1の酸化物半導体層の原子数比をIn:Ga:Zn=1:3:2とし、第2の酸化物半導体層の原子数比をIn:Ga:Zn=2:1:3としてもよい。

【0135】

この時、第1の酸化物半導体層と第2の酸化物半導体層のうち、ゲート電極に近い側(チャネル側)の酸化物半導体層のInとGaの含有率をIn>Gaとするとよい。またゲ-

50

ト電極から遠い側（バックチャネル側）の酸化半導体層の In と Ga の含有率を In Ga とするとよい。

【0136】

酸化半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、In の含有率を多くすることにより s 軌道のオーバーラップが多くなる傾向があるため、In > Ga の組成となる酸化物は In Ga の組成となる酸化物と比較して高い移動度を備える。また、Ga は In と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、In Ga の組成となる酸化物は In > Ga の組成となる酸化物と比較して安定した特性を備える。

【0137】

チャネル側に In > Ga の組成となる酸化半導体を適用し、バックチャネル側に In Ga の組成となる酸化半導体を適用することで、トランジスタの移動度及び信頼性をさらに高めることが可能となる。

【0138】

また、第1の酸化半導体層と第2の酸化半導体層に、結晶性の異なる酸化半導体を適用してもよい。すなわち、単結晶酸化半導体、多結晶酸化半導体、非晶質酸化半導体、または CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) を適宜組み合わせさせた構成としてもよい。

【0139】

ここで、CAAC-OS について説明しておく。CAAC-OS は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化半導体である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS に含まれる非晶質部と結晶部との境界は明確ではない。また、TEM によって CAAC-OS には粒界 (グレインバウンダリーともいう。) は確認できない。そのため、CAAC-OS は、粒界に起因する電子移動度の低下が抑制される。

【0140】

CAAC-OS に含まれる結晶部は、c 軸が CAAC-OS の被形成面または表面に垂直な方向に揃い、かつ ab 面に垂直な方向から見て三角形または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸及び b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。

【0141】

なお、CAAC-OS において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS の形成過程において、酸化半導体層の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0142】

CAAC-OS に含まれる結晶部の c 軸は、CAAC-OS の被形成面または表面に垂直な方向に揃うため、CAAC-OS の形状 (被形成面の断面形状または表面の断面形状) によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、CAAC-OS が形成されたときの被形成面または表面に垂直な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0143】

CAAC-OS を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0144】

10

20

30

40

50

なお、酸化物半導体を構成する酸素の一部は窒素で置換されてもよい。

【0145】

また、CAAC-OSのように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。(CAAC-OSの説明終わり。)

【0146】

第1の酸化物半導体層と第2の酸化物半導体層の少なくとももどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体層205の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

【0147】

一方で、非晶質酸化物半導体は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいためn型化されやすい。このため、チャネル側の酸化物半導体層は、CAAC-OSなどの結晶性を有する酸化物半導体を適用することが好ましい。

【0148】

また、トランジスタとしてボトムゲート構造のチャネルエッチング型のトランジスタを用いる場合、バックチャネル側に非晶質酸化物半導体を用いると、ソース電極及びドレイン電極形成時のエッチング処理により酸素欠損が生じ、n型化されやすい。このため、チャネルエッチング型のトランジスタを用いる場合は、バックチャネル側の酸化物半導体層に結晶性を有する酸化物半導体を適用することが好ましい。

【0149】

また、酸化物半導体層405を3層以上の積層構造とし、複数層の結晶性を有する酸化物半導体層で非晶質酸化物半導体層を挟む構造としてもよい。また、結晶性を有する酸化物半導体層と非晶質酸化物半導体層を交互に積層する構造としてもよい。

【0150】

酸化物半導体層405を複数層の積層構造とする場合の上記構成は、それぞれを適宜組み合わせ用いることができる。

【0151】

また、酸化物半導体層405を複数層の積層構造とし、各酸化物半導体層の形成後に酸素ドーブ処理を行ってもよい。各酸化物半導体層の形成毎に酸素ドーブ処理を行うことで、酸化物半導体内の酸素欠損を低減する効果を高めることができる。

【0152】

続いて、フォトリソグラフィ工程により酸化物半導体層405の一部を選択的にエッチングして、島状の酸化物半導体層406を形成する(図6(D)参照)。酸化物半導体層406を形成するためのレジストマスクはインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減

【0153】

なお、酸化物半導体層405のエッチングは、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。ウェットエッチング法により、酸化物半導体層405のエッチングを行う場合は、エッチング液として、燐酸と酢酸と硝酸を混ぜた溶液や、シュウ酸を含む溶液などを用いることができる。また、ITO-07N(関東化学社製)を用いてもよい。また、ドライエッチング法で酸化物半導体層405のエッチングを行う場合は、例えば、ECRまたはICPなどの高密度プラズマ源を用いたドライエッチング法を用いることができる。

【0154】

10

20

30

40

50

また、酸化物半導体層405の形成後または酸化物半導体層406の形成後に、酸化物半導体層中の過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、300以上700以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行う。

【0155】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性ガスが用いられる。

【0156】

例えば、加熱処理として、650～700の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0157】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0158】

また、加熱処理により酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア（キャビティリングダウン分光法（CRDS：Cavity Ring-Down Spectroscopy）を用いた露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体内の酸素欠損が低減され、酸化物半導体層をi型（真性）または実質的にi型化することができる。この点、シリコンなどのように不純物元素を添加してのi型化ではないため、酸化物半導体のi型化は従来にない技術思想を含むものといえる。

【0159】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。また、加熱処理により、絶縁層404からの酸素の供給が促進される。また、脱水化又は脱水素化処理を行った酸化物半導体層に、酸素ドーブ処理を行い、酸化物半導体層に酸素を供給してもよい。

【0160】

また、酸化物半導体層は、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタの製造工程において、これらの不純物が混入または酸化物半導体層の表面に付着する恐れのない工程を適宜選択することが

10

20

30

40

50

好ましく、酸化物半導体層の表面に付着した場合には、シュウ酸や希フッ酸などに曝す、またはプラズマ処理（ N_2O プラズマ処理など）を行うことにより、酸化物半導体層の表面の不純物を除去することが好ましい。具体的には、酸化物半導体層中の銅濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層中のアルミニウム濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体層中の塩素濃度は $2 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

【0161】

また、酸化物半導体層中のナトリウム（Na）、リチウム（Li）、カリウム（K）などのアルカリ金属の濃度は、Naは $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、Liは $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、Kは $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とする。

10

【0162】

次いで、酸化物半導体層406と電気的に接続するソース電極407a、ドレイン電極407b（これと同じ層で形成される他の電極または配線を含む）を形成する。ソース電極407a、ドレイン電極407bを用いて他のトランジスタや素子と接続させ、様々な回路を構成することができる。

【0163】

ソース電極407a、及びドレイン電極407bは、例えば、スパッタリング法、蒸着法などを用いて導電層を形成し、フォトリソグラフィ工程により加工して形成することができる。

20

【0164】

ソース電極407a、及びドレイン電極407bに用いる導電層としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属材料、または上述した元素を成分とする金属窒化物材料（窒化チタン、窒化モリブデン、窒化タングステン）等を用いることができる。

【0165】

本実施の形態では単層のタングステン層を用い、タングステン層上にレジストマスクを形成し、タングステン層の厚さの半分程度を除去する第1のエッチングを行い、レジストマスクをアッシング処理により小さくした後、小さくしたレジストマスクを用いて第2のエッチングを行い、その後レジストマスクを除去して図6(D)に示す断面形状、即ち、突出した領域を下端部に有するソース電極407a、及び突出した領域を下端部に有するドレイン電極407bをそれぞれ形成する。

30

【0166】

次いで、酸化物半導体層406、ソース電極406a、及びドレイン電極406bを覆うゲート絶縁層408を形成する（図6(E)参照）。

【0167】

ゲート絶縁層408の厚さは、例えば1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、PLD法、ALD法、MOCVD法等を適宜用いることができる。また、ゲート絶縁層408は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置、所謂CPスパッタ装置を用いて形成してもよい。

40

【0168】

ゲート絶縁層408の材料としては、酸化シリコン、酸化ガリウム、酸化ガリウム亜鉛、 Ga_2O_3 （ Gd_2O_3 ）、酸化亜鉛、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコンを用いて形成することができる。また、他の材料として、絶縁性を有するIn-Ga-Zn系酸化物もゲート絶縁層408の材料として用いることができる。絶縁性を有するIn-Ga-Zn系酸化物は、In:Ga:Zn=1:3:2[原子数比]の酸化物ターゲットを用い、基板温度を室温とし、

50

スパッタリングガスにアルゴン、またはアルゴンと酸素の混合ガスを用いて形成すればよい。

【0169】

チャンネルが形成される半導体層に酸化物半導体を用いる場合、該半導体層と接する層に、該半導体層を構成する酸化物半導体と同種の成分を含む材料を用いると好ましい。このような材料は酸化物半導体との相性が良く、これを酸化物半導体と接する層に用いることで、半導体層と該層の界面状態を良好に保つことができるからである。ここで、「酸化物半導体と同種の成分」とは、酸化物半導体の構成元素から選択される一または複数の元素を含むことを意味する。例えば、酸化物半導体がIn-Ga-Zn系の酸化物半導体材料によって構成される場合、同種の成分を含む絶縁材料としては、酸化ガリウムや酸化ガリウム亜鉛などがある。

10

【0170】

また、ゲート絶縁層408を積層構造とする場合には、酸化物半導体と同種の成分でなる絶縁材料でなる層aと、層aの成分材料とは異なる材料を含む層bとの積層構造としてもよい。例えば、酸化物半導体材料がIn-Ga-Zn系の酸化物半導体材料によって構成される場合、酸化物半導体と接する層aを酸化ガリウムで形成し、層bを酸化窒化シリコンで形成してもよい。

【0171】

本実施の形態では、ゲート絶縁層408としてスパッタ法で形成する酸化ガリウムを用いる。酸化ガリウムをゲート絶縁層408として用いると、酸化物半導体層406と同一構成材料を含んでいるため、酸化物半導体層の界面状態を良好なものとすることができ、安定な電気特性を付与することができる。

20

【0172】

次いで、ゲート絶縁層408上に、スパッタリング法、蒸着法などを用いて導電層を形成し、該導電層をエッチングして、ゲート電極409a、ゲート電極409bを形成する。

【0173】

ゲート電極409a、ゲート電極409bの材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。ゲート電極409a、ゲート電極409bは、単層構造としてもよいし、積層構造としてもよい。

30

【0174】

本実施の形態では、ゲート絶縁層408上に接するゲート電極409aとして、窒素を含む金属酸化物（窒素を含むIn-Ga-Zn系酸化物）を形成し、その上にゲート電極409bとしてタングステンを形成する。窒素を含む金属酸化物をゲート電極409aとして用いることで、トランジスタのしきい値電圧をプラス方向にシフトさせることができる。

【0175】

以上の工程で、トランジスタ440を作製することができる（図7(A)参照）。トランジスタ440は、トップゲート構造のトランジスタの一例であり、図7(A)は、トランジスタ440のチャンネル長方向の断面図である。

40

【0176】

また、酸素過剰領域481を含む絶縁層404中に設けられた電極402は、ゲート電極409a、ゲート電極409bとチャンネル形成領域を介して重なり、トランジスタ440のバックゲートとして機能することができる。なお、一般に、バックゲートは、ゲートとバックゲートで半導体層のチャンネル形成領域を挟むように配置される。バックゲートは導電層で形成され、ゲートと同様に機能させることができる。また、バックゲートの電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。明細書に開示するボディーも、バックゲート電極と同様の機能を有する。よって、ボディーをバック

50

ゲートと呼ぶことも可能である。

【0177】

また、ゲート電極409a、ゲート電極409bは、ソース電極407a及びドレイン電極407bの一部と重畳して形成される。ソース電極407aの下端部に突出した領域（またはドレイン電極407bの下端部に突出した領域）は、ゲート絶縁層408の被覆性の向上が図れる形状となっているため、電界集中の緩和の効果があり、トランジスタの電気特性の向上及び信頼性の向上に寄与する。

【0178】

次いで、ゲート電極409a、ゲート電極409bを覆う絶縁層410を形成する（図7（B）参照）。この絶縁層410、酸化物半導体層406またはゲート絶縁層408からの酸素の放出を防止する機能が高いバリア層（保護層）として機能する。

10

【0179】

バリア層として機能する絶縁層410は、酸化物半導体層406、またはゲート絶縁層408からの水素、水分などの不純物侵入が防止できる緻密な層が好ましい。

【0180】

バリア層として機能する絶縁層410に用いる材料としては、例えば、酸化ガリウム、酸化ガリウム亜鉛、 Ga_2O_3 （ Gd_2O_3 ）、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウム、酸化亜鉛などの無機絶縁材料を用いることができ、単層でも積層でもよい。バリア層として機能する絶縁層410は、プラズマCVD法又はスパッタリング法、又は成膜ガスを用いたCVD法、又はMBE法を用いて形成することができる。

20

【0181】

次いで、絶縁層410上に層間絶縁層411を形成する。層間絶縁層411は、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウム、酸化ガリウム、酸化ガリウム亜鉛、などの無機絶縁材料を用いることができ、単層でも積層でもよい。

【0182】

そして、層間絶縁層411に埋め込み配線を形成した段階の断面図が図7（C）に相当する。層間絶縁層411にソース電極407aに達するコンタクトホールを形成し、第1のバリア金属層412を成膜し、その上に低抵抗導電層413を形成するための銅または銅合金膜を成膜する。そして、平坦化するために研磨を行い、露出した低抵抗導電層413を保護するため、第2のバリア金属層414を形成する。埋め込み配線は、第1のバリア金属層412と、第2のバリア金属層414と、第1のバリア金属層412と第2のバリア金属層414で囲まれた低抵抗導電層413とで構成される。

30

【0183】

第1のバリア金属層412、及び第2のバリア金属層414は、低抵抗導電層413に含まれる銅の拡散を抑える導電材料を用いればよく、例えば窒化タンタル、窒化モリブデン、窒化タングステンなどを用いる。

【0184】

以上の工程を経ることによって、トランジスタ440上にさらに他の半導体素子や配線などを形成して多層構造を有する半導体装置を形成することができる。なお、トランジスタ440上に設ける他の半導体素子や配線などは、埋め込み配線と電氣的に接続を行うことができる。

40

【0185】

なお、電極402の作製工程を省略することで、トランジスタ450を形成することができる（図7（D）参照）。電極402はバックゲートとして機能させることができるが、特に電極402を形成する必要が無い場合は、電極402の作製工程を省略することで半導体装置の生産性を向上させることができる。

【0186】

50

また、本実施の形態に示したトランジスタ440及びトランジスタ450の断面構造は一例であって、ソース電極407a及びドレイン電極407bの断面形状が同じであれば、特に限定されない。また、トランジスタ440としてMOSFETを例示しているが、トランジスタ440としてIGBT(Insulated Gate Bipolar Transistor)、MESFET(Metal Semiconductor Field Effect Transistor)などを用いることもできる。ただし、トランジスタ440としてIGBTを用いる場合、ソース電極がエミッタ端子に相当し、ドレイン電極がコレクタ端子に相当する。

【0187】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

10

【0188】

(実施の形態6)

本実施の形態では、上記実施の形態に開示したスイッチ105の構成例について説明する。

【0189】

図9(A)はスイッチ105の回路図である。また、図9(B)は、トランジスタ121としてチャネルが形成される半導体層に酸化物半導体を用いたトランジスタを用い、トランジスタ122として半導体基板に形成されたトランジスタを用いた、スイッチ105の積層構成を説明する断面図である。

20

【0190】

なお、トランジスタ121は、上記実施の形態で示すトランジスタ450と同様な構造を例示する。酸化物半導体を用いたトランジスタは、その特性により長時間のノード120の電荷保持を可能とする。また、半導体基板に形成されたトランジスタは、高速動作が容易である。

【0191】

トランジスタ122が形成される半導体基板は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon on Insulator)基板などを用いることができる。

【0192】

本実施の形態では、基板700として単結晶シリコン基板を用い、基板700にnチャネル型のトランジスタ122を形成する例を示す。

30

【0193】

まず、基板700の一部にp型を付与する不純物元素を添加して、p型のウェル701を形成する。トランジスタ122は、p型のウェル701が形成された領域に設けられる。すなわち、トランジスタ122のチャネル形成領域753は、p型のウェル701中に形成される。p型を付与する不純物元素としては、ホウ素(B)などを用いることができる。

【0194】

トランジスタ122は、チャネル形成領域753、LDD(Lightly Doped Drain)領域やエクステンション領域として機能するn型不純物領域754、ソース領域又はドレイン領域として機能するn型不純物領域755、ゲート絶縁層752、ゲート電極751を有している。なお、n型不純物領域755の不純物濃度は、n型不純物領域754よりも高い。ゲート電極751の側面には側壁絶縁層756が設けられており、ゲート電極751及び側壁絶縁層756をマスクとして用いて、n型不純物領域754、n型不純物領域755を自己整合的に形成することができる。

40

【0195】

また、トランジスタ122は素子分離領域789により他のトランジスタと分離されており、トランジスタ122上に絶縁層788、及び絶縁層687が積層されている。絶縁層687上には、絶縁層788及び絶縁層687に形成された開口を介してn型不純物領域755の一方に接する配線層657、n型不純物領域755の他方に接する配線層658

50

、ゲート電極 7 5 1 に接する配線層 6 5 9、を有する。

【 0 1 9 6 】

また、配線層 6 5 8 は、論理回路が有するトランジスタ 1 5 1 の p 型不純物領域 7 5 7 に接続されている。p 型不純物領域 7 5 7 は p 型のウェル 7 0 1 よりも高い不純物濃度を有し、配線層 6 5 8 とボディーとして機能するウェル 7 0 1 のオーミック接触を実現することができる。

【 0 1 9 7 】

また、本実施の形態の半導体装置は図 9 (B) に示す構成に限定されず、トランジスタ 1 2 2 としてシリサイド (サリサイド) を有するトランジスタや、側壁絶縁層を有さないトランジスタを用いてもよい。シリサイド (サリサイド) を有する構造であると、ソース領域及びドレイン領域がより低抵抗化でき、半導体装置の高速化が可能である。また、低電圧で動作できるため、半導体装置の消費電力を低減することが可能である。

【 0 1 9 8 】

なお、本実施の形態では説明を省略するが、基板 7 0 0 の一部に n 型を付与する不純物元素を添加して n 型のウェルを形成し、n 型のウェルが形成された領域に p 型のトランジスタを形成することも可能である。n 型を付与する不純物元素としては、リン (P)、砒素 (A s) 等を用いることができる。

【 0 1 9 9 】

次に、図 9 の半導体装置における下部のトランジスタ上に設けられる上部の素子構成を説明する。

【 0 2 0 0 】

絶縁層 6 8 7 及び配線層 6 5 7 上に絶縁層 6 8 4 が積層され、絶縁層 6 8 4 上に配線層 6 9 2 が形成されている。また、配線層 6 9 2 を覆う絶縁層 4 3 4 と絶縁層 4 0 4 が設けられ、その上に酸化物半導体層 4 0 6 が形成されている。そして、酸化物半導体層 4 0 6 上に、突出した領域を下端部に有するソース電極 4 0 7 a、及び突出した領域を下端部に有するドレイン電極 4 0 7 b が形成され、ソース電極 4 0 7 a 及びドレイン電極 4 0 7 b 上にゲート絶縁層 4 0 8 が設けられている。

【 0 2 0 1 】

また、容量素子 1 2 3 もトランジスタ 1 2 1 と同一の絶縁層 4 0 4 上に工程を増やすことなく形成しており、容量素子 1 2 3 は、ソース電極 4 0 7 a を一方の電極とし、容量電極 6 9 3 a、容量電極 6 9 3 b をもう一方の電極とし、それらの間に設けられたゲート絶縁層 4 0 8 を誘電体として形成される。なお、容量電極 6 9 3 a、容量電極 6 9 3 b はゲート電極 4 0 9 a、ゲート電極 4 0 9 b と同じ工程で形成される。

【 0 2 0 2 】

配線層 6 9 2 は、絶縁層 6 8 4 に形成された開口を介して配線層 6 5 9 と電氣的に接続する。本実施の形態において、絶縁層 6 8 4 は C M P 法により平坦化処理を行っている。

【 0 2 0 3 】

絶縁層 4 3 4 はトランジスタ 1 2 1 とトランジスタ 1 2 2 の間に設けられており、酸化物半導体層 4 0 6 に電氣的特性の劣化や変動を招く水素等の不純物が下層から侵入しないように、バリア層として機能する。よって、絶縁層 4 3 4 は、不純物等の遮断機能の高い緻密な無機絶縁材料 (例えば、酸化アルミニウム、窒化シリコンなど) を用いて形成することが好ましい。

【 0 2 0 4 】

ソース電極 4 0 7 a は、絶縁層 4 0 4、絶縁層 4 3 4 に形成された開口介して配線層 6 9 2 と電氣的に接続する。なお、トランジスタ 1 2 1 は上記実施の形態に示した作製方法に従って作製することができる。また、さらにトランジスタ 1 2 1 の上方に他の半導体素子や配線などを形成してもよい。

【 0 2 0 5 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

20

30

40

50

【0206】

(実施の形態7)

本実施の形態では、上記実施の形態に開示した構成を半導体装置に適用する一例として、CPU (Central Processing Unit) について説明する。

【0207】

図10(A)は、CPUの具体的な構成を示すブロック図である。図10(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic logic unit) 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F) 1198、書き換え可能なROM 1199、及びROMインターフェース(ROM I/F) 1189の複数のブロックにより構成されている。基板1190は、半導体基板を用いる。ROM 1199及びROM I/F 1189は、別チップに設けてもよい。もちろん、図10(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、基板1190上に、上記に示す回路の1種類以上を複数有してもよい。

10

【0208】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

20

【0209】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU 1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

30

【0210】

また、タイミングコントローラ1195は、ALU 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0211】

上記CPUを構成するブロック毎に、上記実施の形態に開示した構成を適用することで、各ブロックが有するトランジスタのV_{th}を最適な値とすることができる。また、CPUを構成するトランジスタのV_{th}ばらつきを少なくし、動作を安定させることができる。また、トランジスタのV_{th}を適切な値とすることによって、CPUの動作速度を高めることや、トランジスタのオフ電流を低減させ、CPUの消費電力を低減することが可能となる。

40

【0212】

図10(A)に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルには、上記実施の形態に記載されているメモリセルを用いることができる。

【0213】

図10(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU 1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジス

50

タ 1 1 9 6 が有するメモリセルにおいて、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ 1 1 9 6 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1 1 9 6 内のメモリセルへの電源電圧の供給を停止することができる。

【 0 2 1 4 】

電源停止に関しては、図 1 0 (B) または図 1 0 (C) に示すように、メモリセル群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 1 0 (B) 及び図 1 0 (C) の回路の説明を行う。

10

【 0 2 1 5 】

図 1 0 (B) 及び図 1 0 (C) では、メモリセルへの電源電位の供給を制御するスイッチング素子に、上記実施の形態に開示したトランジスタを含む記憶回路の構成の一例を示す。

【 0 2 1 6 】

図 1 0 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、メモリセル 1 1 4 2 を複数有するメモリセル群 1 1 4 3 とを有している。具体的に、各メモリセル 1 1 4 2 には、上記実施の形態に開示したメモリセルを用いることができる。メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が供給されている。さらに、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

20

【 0 2 1 7 】

図 1 0 (B) では、スイッチング素子 1 1 4 1 として、上記実施の形態に開示したトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 S i g A によりスイッチングが制御される。

【 0 2 1 8 】

なお、図 1 0 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

30

【 0 2 1 9 】

また、図 1 0 (B) では、スイッチング素子 1 1 4 1 により、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 への、ハイレベルの電源電位 V D D の供給が制御されているが、スイッチング素子 1 1 4 1 により、ローレベルの電源電位 V S S の供給が制御されていてもよい。

【 0 2 2 0 】

また、図 1 0 (C) には、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V S S が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、メモリセル群 1 1 4 3 が有する各メモリセル 1 1 4 2 への、ローレベルの電源電位 V S S の供給を制御することができる。

40

【 0 2 2 1 】

メモリセル群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設け、一時的に C P U の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、C P U の動作を停止することができ、それにより消費電力を低減することができる。

【 0 2 2 2 】

メモリセル群 1 1 4 3 が有するメモリセル 1 1 4 2 毎に、上記実施の形態に開示した構成

50

を適用することで、各メモリセル 1 1 4 2 が有するトランジスタの V_{th} を最適な値とすることができる。また、メモリセル群 1 1 4 3 を構成するトランジスタの V_{th} ばらつきを少なくし、動作を安定させることができる。また、オン状態とするトランジスタの V_{th} を小さくすることができるため、メモリセル群 1 1 4 3 の動作速度を高めることができる。また、オフ状態とするトランジスタの V_{th} を大きくすることができるため、トランジスタのオフ電流をさらに低減させ、メモリセル群 1 1 4 3 の消費電力を低減することが可能となる。

【 0 2 2 3 】

また、上記実施の形態に開示したスイッチ 1 0 5 は、ノード 1 2 0 に情報を記憶する記憶素子として用いることもできるため、メモリセル 1 1 4 2 にスイッチ 1 0 5 を用いることも可能である。

10

【 0 2 2 4 】

本実施の形態では、CPU を例に挙げて説明したが、上記実施の形態に開示したトランジスタは、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) 等の LSI に用いることも可能である。

【 0 2 2 5 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【 0 2 2 6 】

また、スピントロニクスデバイスとして知られるスピン MRAM (スピン注入磁化反転型 MRAM) と、酸化物半導体を用いたメモリの比較表を表 1 に示す。

20

【 0 2 2 7 】

【表 1】

	スピントロニクス(MTJ素子)	OS/Si
1) 耐熱性	キュリー温度	プロセス温度500°C (信頼性150°C)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体膜の磁化の向きを変える	FET のオン/オフ
4) Si LSI	バイポーラ LSI 向き (バイポーラは高集積化には不向きなため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。)	MOSLSI 向き
5) オーバーヘッド	大きい (ジュール熱が大きい)	2~3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 電荷保持可能回数	無制限	無制限
8) 3D 化	難(できても二層まで)	容易(何層でも可)
10) 材料	磁性を有する希土類	酸化物半導体材料
11) 素子コスト	高い	低い (酸化物半導体を構成する材料によっては(In など)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

30

40

【 0 2 2 8 】

酸化物半導体を用いたトランジスタとシリコンを用いたトランジスタを組み合わせるメモリは、表 1 に示したように、スピントロニクスデバイスと比べて、駆動方式、書き込み原理、材料などが大きく異なっている。

【 0 2 2 9 】

50

また、酸化物半導体を用いたトランジスタとシリコンを用いたトランジスタを組み合わせるメモリは、表 1 に示したように、スピントロニクスデバイスに比べて、耐熱性、3D化（3層以上の積層構造化）、磁界耐性など多くの点で有利である。なお、表 1 にあるオーバーヘッドの電力とは、複数のプロセッサが一つのロックについてスピンする時に、これらのプロセッサは、ロックについて争い、バス及びシステム相互接続上で過剰なトラフィックを生成することによってシステム性能を低下させる、所謂オーバーヘッドに消費される電力のことである。

【0230】

このように、スピントロニクスデバイスに比べて有利な点の多い酸化物半導体を用いたメモリを利用することで、CPUの省電力化が実現可能となる。

10

【0231】

（実施の形態 8）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレイヤー、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子書籍、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、エアコンディショナーなどの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、煙感知器、放射線測定器、透析装置等の医療機器、などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム等の産業機器も挙げられる。また、石油を用いたエンジンや、非水系二次電池からの電力を用いて電動機により推進する移動体なども、電気機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船が挙げられる。これらの電子機器の具体例を図 11 乃至図 13 に示す。

20

30

【0232】

図 11（A）は、表示部を有するテーブル 9000 を示している。テーブル 9000 は、筐体 9001 に表示部 9003 が組み込まれており、表示部 9003 により映像を表示することが可能である。なお、4本の脚部 9002 により筐体 9001 を支持した構成を示している。また、電力供給のための電源コード 9005 を筐体 9001 に有している。

【0233】

表示部 9003 は、タッチ入力機能を有しており、テーブル 9000 の表示部 9003 に表示された表示ボタン 9004 を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部 9003 にタッチ入力機能を持たせることができる。

40

【0234】

また、筐体 9001 に設けられたヒンジによって、表示部 9003 の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【0235】

50

上記実施の形態に開示した構成は、表示部に適用することも可能である。上記実施の形態に開示した構成をテーブル 9 0 0 0 に適用することで、表示部を有するテーブル 9 0 0 0 の動作を安定させ、信頼性を高めることができる。また、動作速度を高め、消費電力を低減することができる。

【 0 2 3 6 】

図 1 1 (B) は、携帯音楽プレイヤーであり、本体 3 0 2 1 には表示部 3 0 2 3 と、耳に装着するための固定部 3 0 2 2 と、スピーカ、操作ボタン 3 0 2 4、外部メモリスロット 3 0 2 5 等が設けられている。上記実施の形態に示したトランジスタ、または記憶装置を本体 3 0 2 1 に内蔵されているメモリや CPU などに適用することにより、より省電力化された携帯音楽プレイヤー (P D A) とすることができる。

10

【 0 2 3 7 】

さらに、図 1 1 (B) に示す携帯音楽プレイヤーにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。

【 0 2 3 8 】

上記実施の形態に開示した構成を携帯音楽プレイヤーに適用することで、携帯音楽プレイヤーの動作を安定させ、信頼性を高めることができる。また、動作速度を高め、消費電力を低減することができる。

【 0 2 3 9 】

図 1 1 (C) はコンピュータであり、CPU を含む本体 9 2 0 1、筐体 9 2 0 2、表示部 9 2 0 3、キーボード 9 2 0 4、外部接続ポート 9 2 0 5、ポインティングデバイス 9 2 0 6 等を含む。コンピュータは、本発明の一態様を用いて作製される半導体装置を用いることにより作製される。

20

【 0 2 4 0 】

上記実施の形態に開示した構成をコンピュータに適用することで、コンピュータの動作を安定させ、信頼性を高めることができる。また、動作速度を高め、消費電力を低減することができる。

【 0 2 4 1 】

図 1 2 (A) 及び図 1 2 (B) は 2 つ折り可能なタブレット型端末である。図 1 2 (A) は、開いた状態であり、タブレット型端末は、筐体 9 6 3 0、表示部 9 6 3 1 a と表示部 9 6 3 1 b を有する表示部 9 6 3 1、表示モード切り替えスイッチ 9 6 2 6、電源スイッチ 9 6 2 7、省電力モード切り替えスイッチ 9 6 2 5、留め具 9 6 2 9、操作スイッチ 9 6 2 8、を有する。

30

【 0 2 4 2 】

上記実施の形態に開示した構成をタブレット型端末に適用することで、タブレット型端末の動作を安定させ、信頼性を高めることができる。また、動作速度を高め、消費電力を低減することができる。

【 0 2 4 3 】

表示部 9 6 3 1 a は、一部をタッチパネルの領域 9 6 3 2 a とすることができ、表示された操作キー 9 6 3 8 にふれることでデータ入力を行うことができる。なお、表示部 9 6 3 1 a においては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部 9 6 3 1 a の全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部 9 6 3 1 a の全面をキーボードボタン表示させてタッチパネルとし、表示部 9 6 3 1 b を表示画面として用いることができる。

40

【 0 2 4 4 】

また、表示部 9 6 3 1 b においても表示部 9 6 3 1 a と同様に、表示部 9 6 3 1 b の一部をタッチパネルの領域 9 6 3 2 b とすることができる。また、タッチパネルのキーボード表示切り替えボタン 9 6 3 9 が表示されている位置に指やスタイラスなどでふれることで表示部 9 6 3 1 b にキーボードボタン表示することができる。

50

【 0 2 4 5 】

また、タッチパネルの領域 9 6 3 2 a とタッチパネルの領域 9 6 3 2 b に対して同時にタッチ入力することもできる。

【 0 2 4 6 】

また、表示モード切り替えスイッチ 9 6 2 6 は、縦表示又は横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ 9 6 2 5 は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとする事ができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

10

【 0 2 4 7 】

また、図 1 2 (A) では表示部 9 6 3 1 b と表示部 9 6 3 1 a の表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

【 0 2 4 8 】

図 1 2 (B) は、閉じた状態であり、タブレット型端末は、筐体 9 6 3 0、太陽電池 9 6 3 3、充放電制御回路 9 6 3 4、バッテリー 9 6 3 5、DCDCコンバータ 9 6 3 6 を有する。なお、図 1 2 (B) では充放電制御回路 9 6 3 4 の一例としてバッテリー 9 6 3 5、DCDCコンバータ 9 6 3 6 を有する構成について示している。

20

【 0 2 4 9 】

なお、タブレット型端末は 2 つ折り可能なため、未使用時に筐体 9 6 3 0 を閉じた状態にすることができる。従って、表示部 9 6 3 1 a、表示部 9 6 3 1 b を保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

【 0 2 5 0 】

また、この他にも図 1 2 (A) 及び図 1 2 (B) に示したタブレット型端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。

30

【 0 2 5 1 】

タブレット型端末の表面に装着された太陽電池 9 6 3 3 によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池 9 6 3 3 は、筐体 9 6 3 0 の一面又は二面に効率的なバッテリー 9 6 3 5 の充電を行う構成とすることができるため好適である。なおバッテリー 9 6 3 5 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

【 0 2 5 2 】

また、図 1 2 (B) に示す充放電制御回路 9 6 3 4 の構成、及び動作について図 1 2 (C) にブロック図を示し説明する。図 1 2 (C) には、太陽電池 9 6 3 3、バッテリー 9 6 3 5、DCDCコンバータ 9 6 3 6、コンバータ 9 6 3 7、スイッチ SW 1 乃至 SW 3、表示部 9 6 3 1 について示しており、バッテリー 9 6 3 5、DCDCコンバータ 9 6 3 6、コンバータ 9 6 3 7、スイッチ SW 1 乃至 SW 3 が、図 1 2 (B) に示す充放電制御回路 9 6 3 4 に対応する箇所となる。

40

【 0 2 5 3 】

まず外光により太陽電池 9 6 3 3 により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー 9 6 3 5 を充電するための電圧となるよう DCDCコンバータ 9 6 3 6 で昇圧又は降圧がなされる。そして、表示部 9 6 3 1 の動作に太陽電池 9 6 3 3 からの電力が用いられる際にはスイッチ SW 1 をオンにし、コンバータ 9 6 3 7 で表示部 9 6 3 1 に必要な電圧に昇圧又は降圧をすることとなる。また、表示部 9 6 3 1 での表示を行わない際には、SW 1 をオフにし、SW 2 をオンにしてバッテリー 9 6

50

35の充電を行う構成とすればよい。

【0254】

なお太陽電池9633については、発電手段の一例として示したが、特に限定されず、圧電素子（ピエゾ素子）や熱電変換素子（ペルティエ素子）などの他の発電手段によるバッテリー9635の充電を行う構成であってもよい。例えば、無線（非接触）で電力を送受信して充電する無接点電力電送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【0255】

図13(A)において、テレビジョン装置8000は、筐体8001に表示部8002が組み込まれており、表示部8002により映像を表示し、スピーカ部8003から音声を出力することが可能である。

10

【0256】

表示部8002は、液晶表示装置、有機EL素子などの発光素子を各画素に備えた発光装置、電気泳動表示装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)などの、半導体表示装置を用いることができる。

【0257】

テレビジョン装置8000は、受信機やモデムなどを備えていてもよい。テレビジョン装置8000は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

20

【0258】

また、テレビジョン装置8000は、情報通信を行うためのCPUや、メモリを備えていてもよい。テレビジョン装置8000は、上記実施の形態に示す構成を用いることが可能である。

【0259】

図13(A)において、室内機8200及び室外機8204を有するエアコンディショナーは、上記実施の形態に示したCPUを用いた電気機器の一例である。具体的に、室内機8200は、筐体8201、送風口8202、CPU8203等を有する。図13(A)において、CPU8203が、室内機8200に設けられている場合を例示しているが、CPU8203は室外機8204に設けられていてもよい。或いは、室内機8200と室外機8204の両方に、CPU8203が設けられていてもよい。上記実施の形態に示したCPUを用いることにより、信頼性の高いエアコンディショナーを実現できる。

30

【0260】

図13(A)において、電気冷凍冷蔵庫8300は、上記実施の形態に示したCPUを備える電気機器の一例である。具体的に、電気冷凍冷蔵庫8300は、筐体8301、冷蔵室用扉8302、冷凍室用扉8303、CPU8304等を有する。図13(A)では、CPU8304が、筐体8301の内部に設けられている。

【0261】

上記実施の形態に開示した構成を電気冷凍冷蔵庫に適用することで、電気冷凍冷蔵庫の動作を安定させ、信頼性を高めることができる。また、消費電力を低減することができる。

40

【0262】

図13(B)及び図13(C)において、電気機器の一例である電気自動車の例を示す。図13(C)は、電気自動車9700の内部に関する図である。電気自動車9700には、二次電池9701が搭載されている。二次電池9701の電力は、制御回路9702により出力が調整されて、駆動装置9703に供給される。制御回路9702は、図示しないROM、RAM、CPU等を有する処理装置9704によって制御される。上記実施の形態に示したCPUを電気自動車9700のCPUに用いることによって省電力化が図れる。

50

【 0 2 6 3 】

駆動装置 9 7 0 3 は、直流電動機若しくは交流電動機単体、又は電動機と内燃機関と、を組み合わせる構成される。処理装置 9 7 0 4 は、電気自動車 9 7 0 0 の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、制御回路 9 7 0 2 に制御信号を出力する。制御回路 9 7 0 2 は、処理装置 9 7 0 4 の制御信号により、二次電池 9 7 0 1 から供給される電気エネルギーを調整して駆動装置 9 7 0 3 の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

【 0 2 6 4 】

上記実施の形態に開示した構成を電気自動車に適用することで、電気自動車を安定して制御することができ、信頼性を高めることができる。

10

【 0 2 6 5 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【 符号の説明 】

【 0 2 6 6 】

1 0 1	集積回路	
1 0 2	ブロック	
1 0 3	値電圧検出回路	
1 0 4	論理回路	20
1 0 5	スイッチ	
1 0 7	論理回路	
1 0 8	配線	
1 0 9	配線	
1 1 1	トランジスタ	
1 1 3	スイッチ	
1 1 4	負荷	
1 1 5	ノード	
1 1 6	トランジスタ	
1 1 7	スイッチ	30
1 2 0	ノード	
1 2 1	トランジスタ	
1 2 2	トランジスタ	
1 2 3	容量素子	
1 2 4	トランジスタ	
1 2 5	端子	
1 2 6	ノード	
1 2 7	容量素子	
1 2 8	トランジスタ	
1 2 9	トランジスタ	40
1 3 1	回路	
1 3 2	回路	
1 3 6	ノード	
1 4 5	スイッチ	
1 4 6	スイッチ	
1 4 7	スイッチ	
1 5 1	トランジスタ	
2 0 1	絶縁層	
2 0 2	ゲート電極	
2 0 5	酸化物半導体層	50

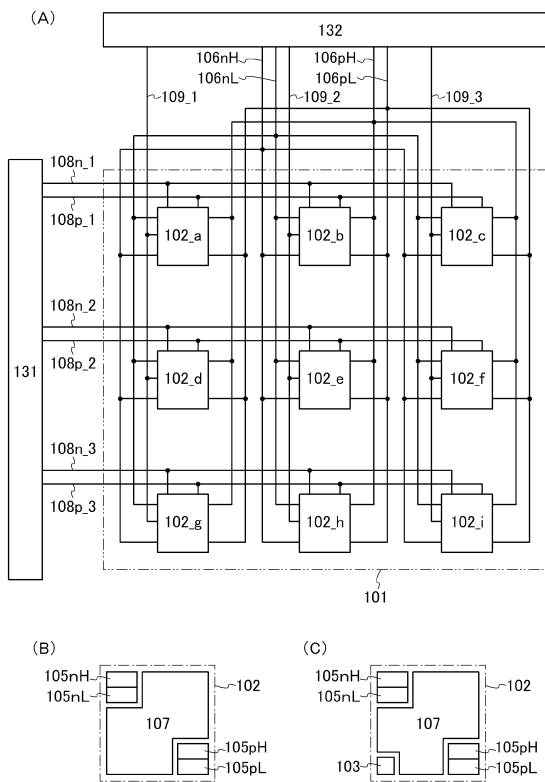
3 0 0	トランジスタ	
3 0 1	n型半導体基板	
3 0 2	p型ウェル	
3 0 3	ゲート絶縁層	
3 0 4	ゲート電極	
3 1 1	曲線	
3 1 2	曲線	
4 0 0	基板	
4 0 1	基板	
4 0 2	電極	10
4 0 3	絶縁層	
4 0 4	絶縁層	
4 0 5	酸化物半導体層	
4 0 6	酸化物半導体層	
4 0 8	ゲート絶縁層	
4 1 0	絶縁層	
4 1 1	層間絶縁層	
4 1 2	バリア金属層	
4 1 3	低抵抗導電層	
4 1 4	バリア金属層	20
4 3 1	酸素	
4 3 4	絶縁層	
4 3 6	酸化物絶縁層	
4 4 0	トランジスタ	
4 5 0	トランジスタ	
4 8 1	酸素過剰領域	
6 5 7	配線層	
6 5 8	配線層	
6 5 9	配線層	
6 8 4	絶縁層	30
6 8 7	絶縁層	
6 9 2	配線層	
7 0 0	基板	
7 0 1	ウェル	
7 5 1	ゲート電極	
7 5 2	ゲート絶縁層	
7 5 3	チャネル形成領域	
7 5 4	n型不純物領域	
7 5 5	n型不純物領域	
7 5 6	側壁絶縁層	40
7 5 7	p型不純物領域	
7 8 8	絶縁層	
7 8 9	素子分離領域	
1 1 4 1	スイッチング素子	
1 1 4 2	メモリセル	
1 1 4 3	メモリセル群	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクショナルデコーダ	50

1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
3 0 2 1	本体	
3 0 2 2	固定部	
3 0 2 3	表示部	
3 0 2 4	操作ボタン	10
3 0 2 5	外部メモリスロット	
8 0 0 0	テレビジョン装置	
8 0 0 1	筐体	
8 0 0 2	表示部	
8 0 0 3	スピーカ部	
8 2 0 0	室内機	
8 2 0 1	筐体	
8 2 0 2	送風口	
8 2 0 3	C P U	
8 2 0 4	室外機	20
8 3 0 0	電気冷凍冷蔵庫	
8 3 0 1	筐体	
8 3 0 2	冷蔵室用扉	
8 3 0 3	冷凍室用扉	
8 3 0 4	C P U	
9 0 0 0	テーブル	
9 0 0 1	筐体	
9 0 0 2	脚部	
9 0 0 3	表示部	
9 0 0 4	表示ボタン	30
9 0 0 5	電源コード	
9 2 0 1	本体	
9 2 0 2	筐体	
9 2 0 3	表示部	
9 2 0 4	キーボード	
9 2 0 5	外部接続ポート	
9 2 0 6	ポインティングデバイス	
9 6 2 5	スイッチ	
9 6 2 6	スイッチ	
9 6 2 7	電源スイッチ	40
9 6 2 8	操作スイッチ	
9 6 2 9	具	
9 6 3 0	筐体	
9 6 3 1	表示部	
9 6 3 3	太陽電池	
9 6 3 4	充放電制御回路	
9 6 3 5	バッテリー	
9 6 3 6	D C D C コンバータ	
9 6 3 7	コンバータ	
9 6 3 8	操作キー	50

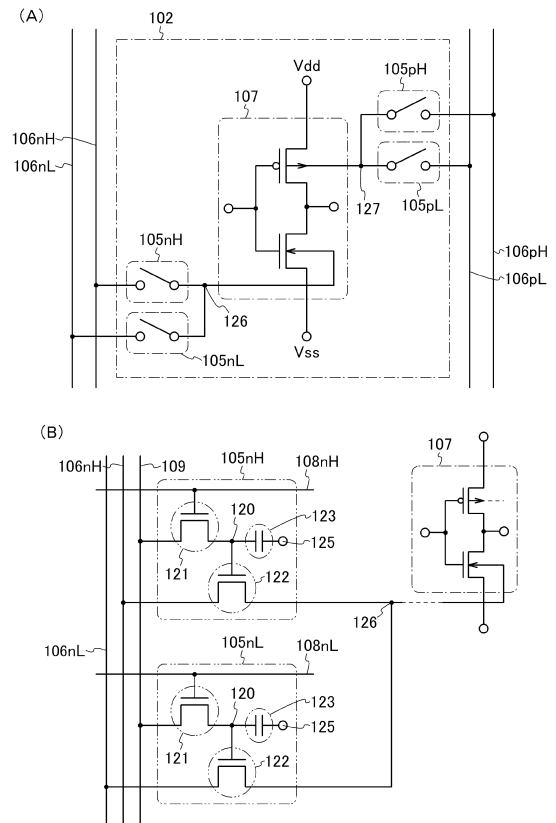
9 6 3 9	ボタン	
9 7 0 0	電気自動車	
9 7 0 1	二次電池	
9 7 0 2	制御回路	
9 7 0 3	駆動装置	
9 7 0 4	処理装置	
1 0 2 __ a	ブロック	
1 0 2 __ b	ブロック	
1 0 2 __ c	ブロック	
1 0 2 __ d	ブロック	10
1 0 2 __ e	ブロック	
1 0 2 __ f	ブロック	
1 0 2 __ g	ブロック	
1 0 2 __ h	ブロック	
1 0 2 __ i	ブロック	
1 0 3 a	値電圧検出回路	
1 0 3 b	値電圧検出回路	
1 0 5 n H	スイッチ	
1 0 5 n L	スイッチ	
1 0 5 p H	スイッチ	20
1 0 5 p L	スイッチ	
1 0 6 n H	配線	
1 0 6 n L	配線	
1 0 6 p H	配線	
1 0 6 p L	配線	
1 0 6 V n H	配線	
1 0 6 V n L	配線	
1 0 8 n __ 1	配線	
1 0 8 n __ 2	配線	
1 0 8 n __ 3	配線	30
1 0 8 n H	配線	
1 0 8 n L	配線	
1 0 8 p __ 1	配線	
1 0 8 p __ 2	配線	
1 0 8 p __ 3	配線	
1 0 9 __ 1	配線	
1 0 9 __ 2	配線	
1 0 9 __ 3	配線	
3 0 5 a	拡散層	
3 0 5 b	拡散層	40
4 0 6 a	ソース電極	
4 0 6 b	ドレイン電極	
4 0 7 a	ソース電極	
4 0 7 b	ドレイン電極	
4 0 9 a	ゲート電極	
4 0 9 b	ゲート電極	
6 9 3 a	容量電極	
6 9 3 b	容量電極	
9 6 3 1 a	表示部	
9 6 3 1 b	表示部	50

9 6 3 2 a 領域
9 6 3 2 b 領域

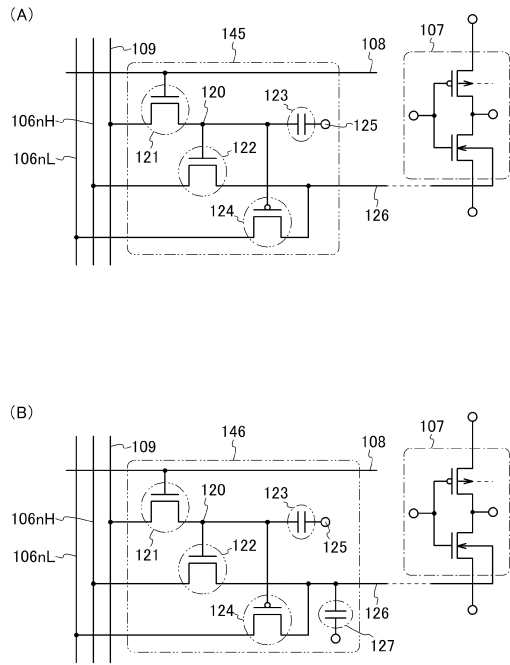
【図1】



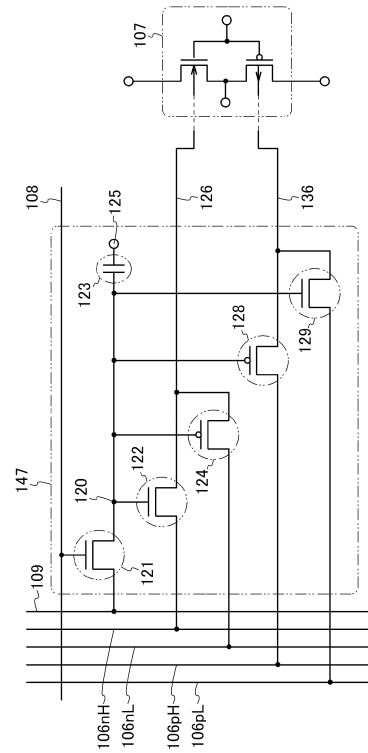
【図2】



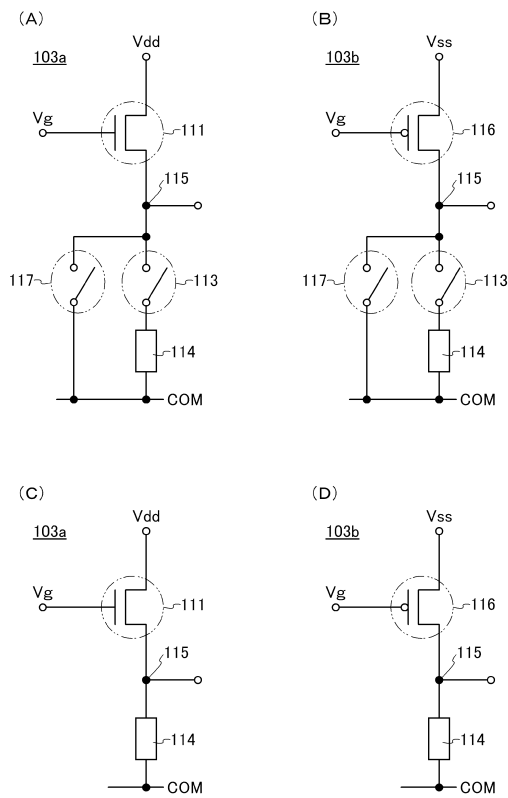
【図3】



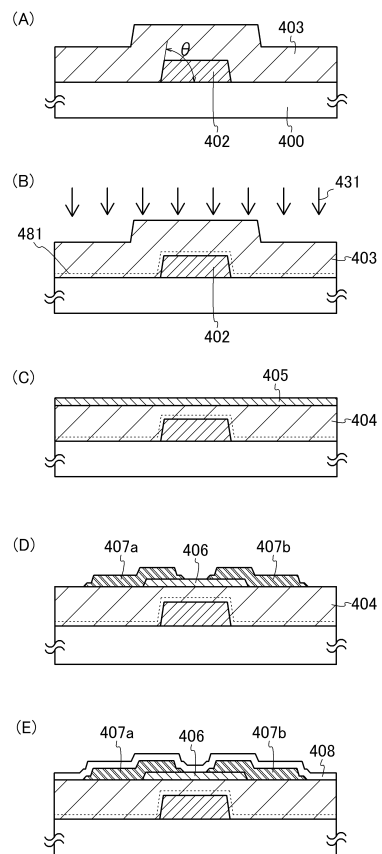
【図4】



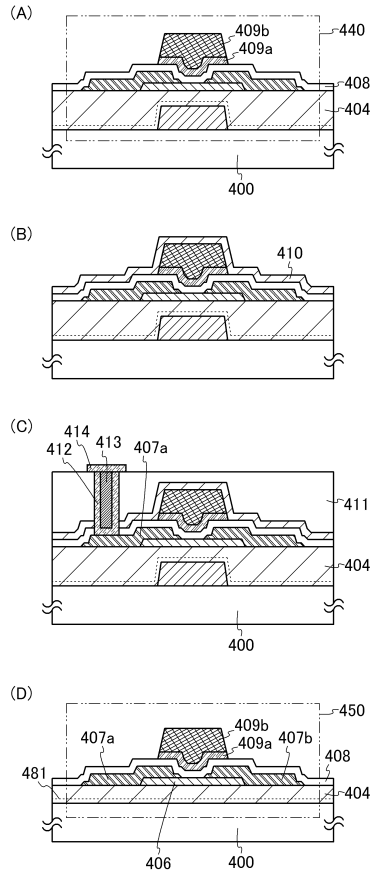
【図5】



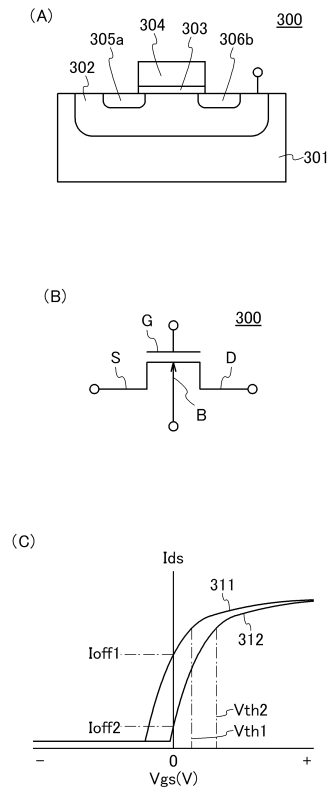
【図6】



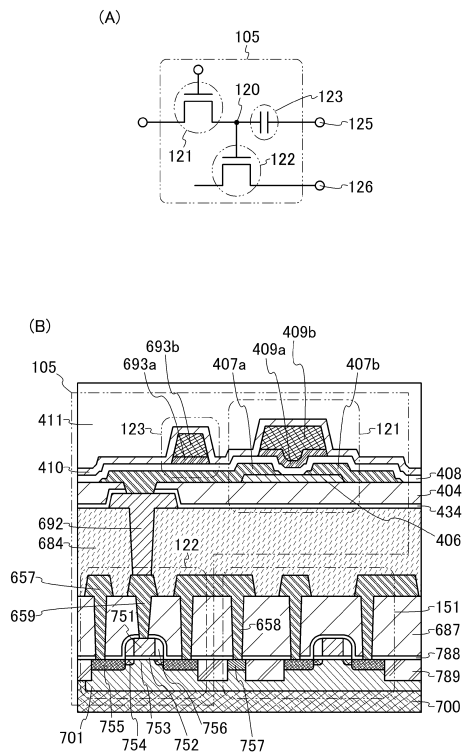
【 図 7 】



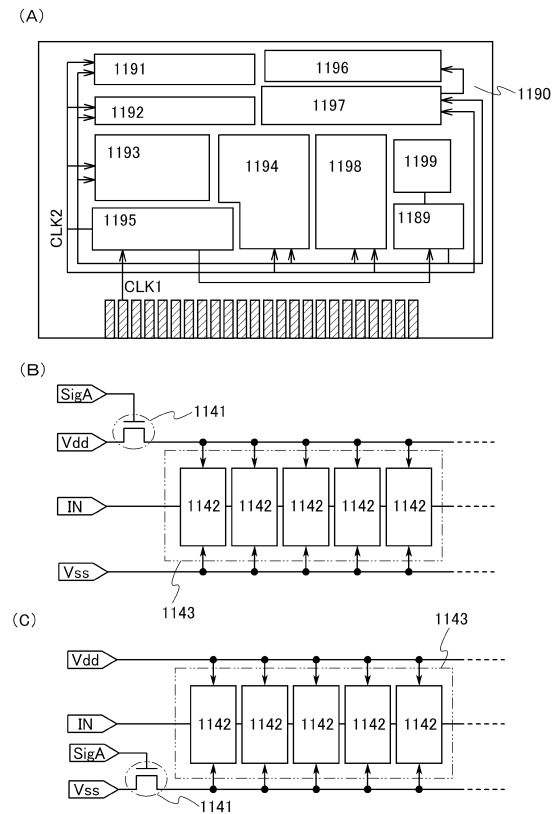
【 図 8 】



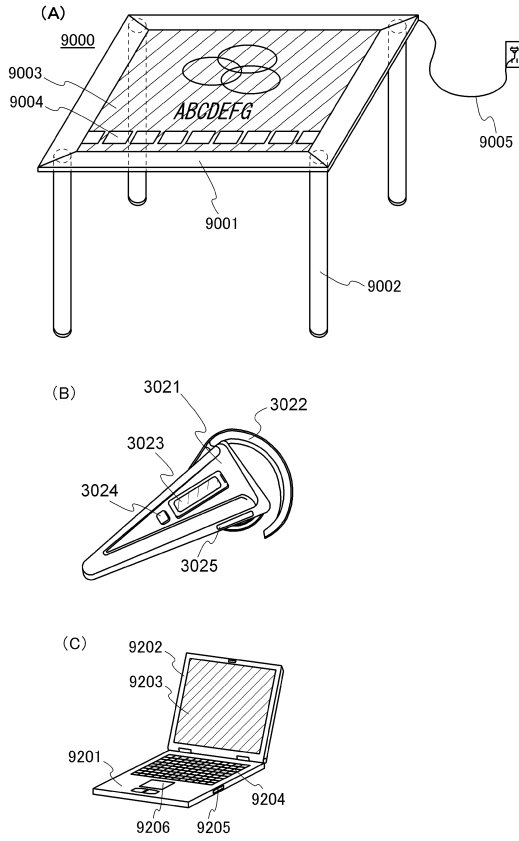
【 図 9 】



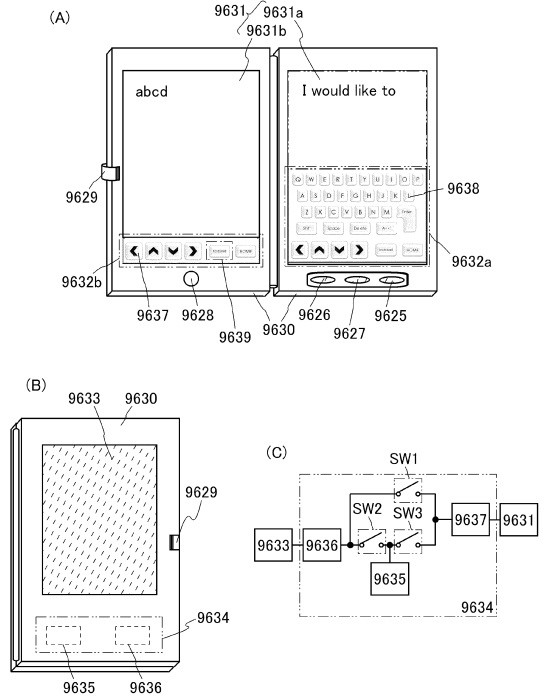
【 図 10 】



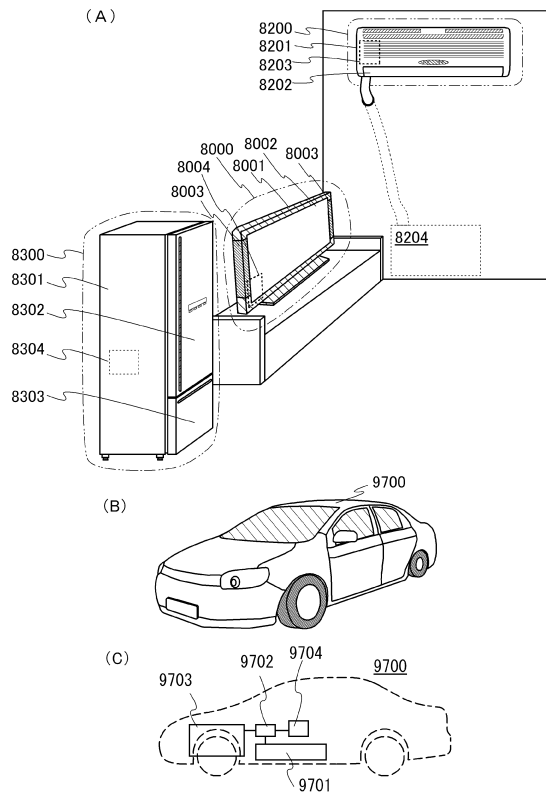
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

- (56)参考文献 特開2003-324158(JP,A)
特開2007-259463(JP,A)
特開2011-086929(JP,A)
特開2008-098749(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/094
H01L 21/822
H01L 27/04
H01L 29/786
H03K 19/0944