

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 2 年 2 月 20 日 (2020.2.20)

【公表番号】特表 2019-506676 (P2019-506676A)
 【公表日】平成 31 年 3 月 7 日 (2019.3.7)
 【年通号数】公開・登録公報 2019-009
 【出願番号】特願 2018-538747 (P2018-538747)
 【国際特許分類】

G 0 6 F 12/109 (2016.01)

G 0 6 F 12/1009 (2016.01)

G 0 6 F 12/02 (2006.01)

【 F I 】

G 0 6 F 12/109

G 0 6 F 12/1009

G 0 6 F 12/02 5 7 0 A

【手続補正書】

【提出日】令和 2 年 1 月 10 日 (2020.1.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリ要求のストリーム内のメモリアドレスの連続する範囲のセット及び対応するアクセス頻度を識別するために、処理システムにおいてメモリ要求のストリーム内のメモリアドレスの範囲を適応的にプロファイリングすることであって、前記適応的にプロファイリングすることは、マージ閾値及びスプリット閾値に基づいており、連続する範囲のセットは、メモリアドレスの範囲空間全体に及び、前記マージ閾値は、前記メモリアドレスの連続する範囲のセット内の前記メモリアドレスの範囲毎の最小アクセス頻度を示しており、前記スプリット閾値は、前記メモリアドレスの連続する範囲のセット内の前記メモリアドレスの範囲毎の最大アクセス頻度を示している、ことと、

所定の閾値アクセス頻度を上回る対応するアクセス頻度を有する前記メモリアドレスの範囲のターゲットセットを識別するために、前記メモリアドレスの連続する範囲のセット及び対応するアクセス頻度を周期的にトラバースすることであって、前記メモリアドレスの範囲のターゲットセットは、所定数の範囲以下の範囲の総数を有しており、前記メモリアドレスの範囲のターゲットセットの範囲は、前記メモリアドレスの範囲空間全体の少なくとも一部に及び、ことと、

前記メモリアドレスの範囲のターゲットセット内の前記メモリアドレスの範囲を使用して第 1 動作を実行することと、を含み、

前記メモリアドレスは仮想メモリアドレスであって、

前記第 1 動作は、

前記メモリアドレスの範囲のターゲットセットを、ベースアドレス値及びリミット値に基づいて決定された物理アドレス範囲のセットに仮想 - 物理メモリアドレス変換することと、

物理アドレス範囲のセットを、対応するベースアドレス値及びリミット値のペアとして、ベースリミットレジスタのセットに記憶することであって、前記所定数の範囲は、ベースリミットレジスタのセット内のベースリミットレジスタの総数に対応している、ことと

、を含む、
方法。

【請求項 2】

前記メモリアドレスの範囲のターゲットセットは、前記メモリアドレスの範囲空間全体より狭い、

請求項 1 の方法。

【請求項 3】

前記メモリアドレスの範囲のターゲットセットは、前記メモリアドレスの非連続範囲を含む、

請求項 1 又は 2 の方法。

【請求項 4】

前記第 1 動作は、

前記メモリアドレスの範囲のターゲットセットの連続する範囲を、メモリの大きなページのアドレス範囲に変換することをさらに含む、

請求項 1 又は 2 の方法。

【請求項 5】

前記第 1 動作は、

前記メモリアドレスのターゲット範囲に関連するメインメモリの内容を、マルチレベルのメモリシステム内の高帯域メモリに割り当てることをさらに含む、

請求項 1 又は 2 の方法。

【請求項 6】

前記第 1 動作を実行することは、

複数のリクエストによるメモリアドレスへの複数のメモリ要求を識別することと、

複数の要求に応じてコヒーレンス動作を実行することと、を含む、

請求項 1 の方法。

【請求項 7】

前記コヒーレンス動作を実行することは、メモリアドレスに対応するキャッシュラインを無効にすることを含む、

請求項 6 の方法。

【請求項 8】

メモリ要求のストリーム内のメモリアドレスの連続する範囲のセット及び対応するアクセス頻度を識別するために、処理システムにおいてメモリ要求のストリーム内のメモリアドレスの範囲を適応的にプロファイリングするように構成された適応範囲プロファイラであって、前記適応的にプロファイリングすることは、マージ閾値及びスプリット閾値に基づいており、連続する範囲のセットは、メモリアドレスの範囲空間全体に及び、前記マージ閾値は、前記メモリアドレスの連続する範囲のセット内の前記メモリアドレスの範囲毎の最小アクセス頻度を示しており、前記スプリット閾値は、前記メモリアドレスの連続する範囲のセット内の前記メモリアドレスの範囲毎の最大アクセス頻度を示している、適応範囲プロファイラと、

所定の閾値アクセス頻度を上回る対応するアクセス頻度を有する前記メモリアドレスの範囲のターゲットセットを識別するために、前記メモリアドレスの連続する範囲のセット及び対応するアクセス頻度を周期的にトラバースするように構成された範囲合体及びカリニングロジックであって、前記メモリアドレスの範囲のターゲットセットは、所定数の範囲以下の範囲の総数を有しており、前記メモリアドレスの範囲のターゲットセットの範囲は、前記メモリアドレスの範囲空間全体の少なくとも一部に及び、範囲合体及びカリニングロジックと、

前記メモリアドレスの範囲のターゲットセット内の前記メモリアドレスの範囲を使用して第 1 動作を実行するように構成されたロジックと、を備え、

前記ロジックは、

前記メモリアドレスの範囲のターゲットセットを、ベースアドレス値及びリミット値を

有する物理アドレスのセットに変換することを含む第 1 動作を実行するように構成された仮想 - 物理アドレストランスレータと、

物理アドレスの範囲のセットを記憶するように構成されたベースリミットレジスタのセットであって、前記所定数の範囲は、ベースリミットレジスタのセット内のベースリミットレジスタの総数に対応している、ベースリミットレジスタのセットと、を備える、
装置。

【請求項 9】

前記メモリアドレスの範囲のターゲットセットは、前記メモリアドレスの範囲空間全体より狭く、前記メモリアドレスの非連続範囲を含む、

請求項 8 の装置。

【請求項 10】

ベースリミットレジスタのセットのメモリマッピングに対して冗長なメモリマッピングを含むページテーブルを備える、

請求項 8 の装置。

【請求項 11】

前記第 1 動作は、

前記メモリアドレスの範囲のターゲットセットの連続する範囲を、メモリの大きなページのアドレス範囲に変換することをさらに含む、

請求項 8、9 又は 10 の装置。

【請求項 12】

高帯域メモリを備え、

前記第 1 動作は、

前記メモリアドレスのターゲット範囲に関連するメインメモリの内容を前記高帯域メモリに割り当てることをさらに含む、

請求項 8、9 又は 10 の装置。

【請求項 13】

前記ロジックは、複数のリクエストによるメモリアドレスへの複数のメモリ要求を識別し、複数の要求に応じてコヒーレンス動作を実行するように構成されている、

請求項 8、9 又は 10 の装置。