

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4159471号

(P4159471)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月25日(2008.7.25)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 P
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G
HO 1 L 29/49 (2006.01)	

請求項の数 2 (全 7 頁)

(21) 出願番号	特願2003-550282 (P2003-550282)	(73) 特許権者	504199127
(86) (22) 出願日	平成14年11月13日(2002.11.13)		フリースケール セミコンダクター イン
(65) 公表番号	特表2005-512326 (P2005-512326A)		コーポレイテッド
(43) 公表日	平成17年4月28日(2005.4.28)		アメリカ合衆国 7 8 7 3 5 テキサス州
(86) 国際出願番号	PCT/US2002/036653		オースティン ウィリアム キャノン
(87) 国際公開番号	W02003/049186		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成15年6月12日(2003.6.12)	(74) 代理人	100116322
審査請求日	平成17年10月7日(2005.10.7)		弁理士 桑垣 衛
(31) 優先権主張番号	09/997,899	(72) 発明者	グラント、ジョン エム.
(32) 優先日	平成13年11月30日(2001.11.30)		アメリカ合衆国 7 8 7 4 9 テキサス州
(33) 優先権主張国	米国 (US)		オースティン ロミータ ペルデ サー
前置審査			クル 5 8 1 2

最終頁に続く

(54) 【発明の名称】 非平坦性の影響を最小限にするトランジスタ金属ゲート構造の製造方法

(57) 【特許請求の範囲】

【請求項 1】

トランジスタ(10)を提供する方法であって、  
 基板(12)を提供すること；  
 基板(12)にチャンネル領域を区画形成するよう分離された第1の電流電極(14)と第2の電流電極(16)を、基板に形成すること；  
 サイドウォールスペーサー(18)に包囲された基板(12)のチャンネル領域の上のダミースタックを除去することにより、サイドウォールスペーサー(18)内でかつ前記チャンネル領域の上に制御電極の位置を決定する制御電極溝を形成すること；および  
 制御電極溝の内に前記基板(12)のチャンネル領域を覆う制御電極スタックを形成すること；から成り、  
 前記制御電極スタックを形成することが、さらに、  
 制御電極溝の壁に直接隣接し、制御電極溝の第1の部分を占める制御電極誘電体(22)を、制御電極溝内におよび制御電極溝を超えて形成すること；  
 制御電極誘電体(22)に直接隣接し、制御電極溝の第2の部分を占め、トランジスタの閾値電圧値を決定する材料特性を有する制御電極層(24)を制御電極溝内におよび制御電極溝を超えて形成すること；  
 制御電極層に直接隣接し、制御電極溝の第3の部分を占め、トランジスタ構造の製造中に積層材料の選択的層除去のために使用される停止材料を提供する導電性停止層(26)を制御電極溝内におよび制御電極溝を超えて形成すること；

10

20

導電性停止層に直接隣接し、制御電極溝の第４の部分占める導電層（２８）を制御電極溝内におよび制御電極溝を超えて形成することであって、第１の部分、第２の部分、第３の部分、および第４の部分が、制御電極溝の開口部を実質的に占めること；

除去を停止する導電性停止層（２６）を使用することにより、導電性停止層（２６）の上部表面より上の導電層（２８）を除去すること；および

実質的に平坦な上部表面を有するトランジスタの制御電極スタックを形成するために、前記サイドウォールスペーサー（１８）の高さより上の導電層（２８）、導電性停止層（２６）、制御電極層（２４）および制御電極誘電体（２２）とを除去すること；から成る方法。

【請求項２】

10

非平坦性の影響を最小限にする金属ゲート構造（１０）をゲート溝内に形成する方法であって、

サイドウォールスペーサー（１８）に包囲された基板（１２）の上のダミースタックを除去することにより、サイドウォールスペーサー（１８）内でかつ基板（１２）の上にゲート溝を形成すること、

前記ゲート溝の全表面に隣接し、ゲート溝を超えて延びるゲート誘電体（２２）を形成すること；

ゲート誘電体に隣接し、ゲート溝を超えて延び、ゲート溝の全体より少ない空間を占める、第１の金属から成るゲート電極層（２４）を形成すること；

ゲート電極層の全露出面に隣接し、ゲート溝を超えて延び、ゲート電極層（２４）と同様、ゲート溝の全体より少ない空間を占める、停止層（２６）を形成すること；

20

停止層の全露出面に隣接し、ゲート溝を超えて延び、ゲート溝を実質的に占める、第２の金属から成る導電層（２８）を形成すること；

実質的に除去を遅延させる停止層（２６）を使用することにより、停止層（２６）より上の導電層（２８）のすべての部分を除去すること；および

サイドウォールスペーサー（１８）の高さより上の導電層（２８）、停止層（２６）、ゲート電極層（２４）およびゲート誘電体（２２）のすべての部分を除去すること；から成る方法。

【発明の詳細な説明】

【技術分野】

30

【０００１】

本発明は、半導体素子に関し、より詳細には非平坦性の影響を最小限にするトランジスタ金属ゲート構造に関する。

【背景技術】

【０００２】

本明細書で使用する場合、用語「高ｋ材料」または「高比誘電率材料」とは、二酸化ケイ素よりも大きな比誘電率を有する任意の材料のことを指す。二酸化ケイ素の比誘電率は約３．９である。

【０００３】

薄い二酸化ケイ素層の使用に関連する電気的問題のために業界が高比誘電率材料へと移行するにつれ、ゲート電極としてポリシリコンを使用すると、ポリシリコンゲート内のキャリアが空乏化する可能性がある。このポリシリコンの空乏化問題を軽減するために、金属ゲート構造を使用することができる。

40

【０００４】

トランジスタの金属ゲート構造の製造に使用される１つの方法は、ゲート溝（後にゲートが形成される溝の位置のことを指す）内に、ゲート溝を包囲する絶縁材料の上部表面に沿って金属層を堆積させることから成る。ゲート溝の外側に存在する金属層の部分を除去するには、エッチバックプロセスまたは研磨プロセスが使用される。

【０００５】

化学的機械研磨（ＣＭＰ）を使用して金属層を除去した場合、半導体ウエハを横切って

50

ディッシングが生じる恐れがある。また、エッチバックを使用した場合、ゲート溝の周囲の絶縁材料が腐食する恐れがある。これにより装置が機能しなくなり、歩留まりが下がる。したがって、ゲート溝の外側の金属層を除去する際の非平坦性の影響を最小限にする半導体プロセスが必要とされる。

【発明を実施するための最良の形態】

【0006】

(図面の簡単な説明)

本発明を、限定ではなく例示として添付図面に示す。図中、同様な参照符号は同様の要素を示す。

【0007】

当業者には、図中の要素が簡潔性と明瞭性を期すよう描かれており、必ずしも正しい縮尺ではないことが理解されるだろう。例えば、本発明の実施形態についての理解をより促すために、図中のいくつかの要素の寸法は、他の要素と比べて誇張されることがある。

(図面の詳細な説明)

制御電極誘電体層は、制御電極溝の全表面に隣接すると共に制御電極溝を超えて延びるように形成される。制御電極層が、制御電極溝内で制御電極誘電体層に隣接して形成される。停止層が、制御電極誘電体層上の制御電極溝内に形成される。制御電極層と停止層はいずれも、制御電極溝の全体より少ない空間を占める。導電層が、停止層の全露出面に隣接すると共にゲート溝を超えて延びるように形成され、制御電極溝の残りの容積の全体を実質的に占めている。制御電極誘電体層、制御電極層、停止層および導電層は、基板のチャンネル領域を覆う制御電極スタックを形成する。この制御電極は、サイドウォールスペーサーによって決定される横方向寸法と、制御電極溝スタックを区画形成する高さとを有する。

【0008】

停止層より上の導電層の部分は、実質的に除去を遅延させる停止層を使用して除去される。停止層は、積層材料の除去の間に積層材料よりも遅い除去速度を有する導電材料である。所定の高さより上の導電層、停止層、制御電極層および制御電極誘電体の部分も、すべて除去される。本発明は図面に目を向けるとより深く理解され、請求項により定義される。

【0009】

図1は、当業者には周知のように、ダミーゲートスタックを除去して置換ゲート集積にゲート溝19を形成した後の、半導体基板12、ソース領域14、ドレイン領域16、サイドウォールスペーサー18および層間誘電体層(ILD)20を備えた半導体素子または集積回路10の断面図を示す。半導体基板12は、シリコン、ガリウム砒素、シリコンゲルマニウムおよびその他の同等物などの任意の半導体材料であってよい。また、半導体基板12は、絶縁体上シリコン(SOI)基板のシリコン層であってもよい。ソース領域14とドレイン領域16はドーピングされ、もしドーピングされた場合には半導体基板12の導電率と反対の導電率となり、また、半導体基板12にチャンネル領域を区画形成するために互いに分離される。サイドウォールスペーサー18は絶縁であり、好ましくは、窒化物または酸化物の材料から成る。1実施形態では、サイドウォールスペーサー18は複数の絶縁材料のスタックである。ILD層20は例えば二酸化ケイ素のような絶縁材料であり、複数の絶縁材料のスタックから成ってもよい。ILD層20はサイドウォールスペーサーの外側周囲に隣接し、後に形成されるトランジスタ構造を絶縁する。

【0010】

図2に示すように、ゲート誘電体または制御電極誘電体22と、ゲート電極24とが、CVD(化学蒸着法)、PVD(物理蒸着法)、ALD(原子層蒸着法)、MBE(分子線エピタキシー)、メッキ法、以上の方法の組み合わせ、またはその同等な方法により、ゲート溝19の中にILD層20の上部表面に沿って形成される。しかしながら、ゲート誘電体層22とゲート電極24を同じプロセスで形成する必要はない。ゲート誘電体層22は、二酸化ケイ素、高k材料、金属酸素窒化物、金属酸化物、金属ケイ酸塩、または金

10

20

30

40

50

属アルミン酸塩であってよい。例えば、ゲート誘電体層 22 は、窒化ケイ素、二酸化ケイ素、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfSi}_x\text{O}_y$ 、 $\text{SiO}_x\text{N}_y$  およびその他の同等物である。通常、ゲート誘電体層 22 は、約 10 オングストローム ~ 60 オングストロームである。

#### 【0011】

ゲート電極または電流電極 24 は、金属窒化物（例、 $\text{TiN}$ 、 $\text{TaN}$ 、 $\text{TiSiN}$ 、 $\text{TaSiN}$ ）、導電性の金属酸化物（例、 $\text{IrO}$ 、 $\text{RuO}$  または金属アルミニウム窒化物（例、 $\text{Ti}_x\text{Al}_y\text{N}_z$ ））、金属ケイ素化合物、金属ケイ素窒化物、または適切な仕事関数を有する任意の他の材料であってよい。適切な仕事関数は、トランジスタに対する所望の閾値電圧値を決定する材料特性である。1 実施形態では、ゲート電極 24 の厚さは、トランジスタのゲート長の半分より小さく、かつ 10 オングストロームより大きい厚さである。

10

#### 【0012】

図 3 に示すように、ゲート誘電体層 22 とゲート電極 24 を形成した後、停止層 26 が、CVD、PVD、ALD、MBE、メッキ法、これらと同等の方法、または以上の方法の組み合わせにより形成される。停止層 26 は導電性であり、純金属（例、 $\text{Ti}$ 、 $\text{Ta}$ 、 $\text{Ag}$ 、 $\text{Au}$ 、 $\text{Ir}$  または  $\text{Ru}$ ）、金属ケイ素化合物（例、コバルトケイ素化合物またはチタンケイ素化合物）、もしくはシリコンであってよい。停止層 26 は後に形成される積層のためのエッチング停止層または研磨停止層の少なくともいずれかの層として機能し得る。停止層 26 は、積層材料の化学的機械研磨（CMP）または物理的機械研磨のための研磨停止層であり得る。停止層 26 が研磨停止層である実施形態では、従来の CMP 装置を使用すると 50 オングストロームの厚さで十分であることが判明している。エッチング停止層として機能する場合、停止層 26 は、積層材料の化学エッチバックのための停止層であり得る。

20

#### 【0013】

図 4 に示すように、停止層 26 を形成した後、導電層 28 が、CVD、PVD、ALD、MBE、メッキ法、これらと同等の方法、または以上の方法の組み合わせにより半導体素子 10 上に形成される。導電層 28 は低抵抗の導電材料であり、金属（例、 $\text{W}$ 、 $\text{Al}$ 、 $\text{Au}$ 、 $\text{Cu}$ 、 $\text{Ag}$ 、 $\text{Pt}$ ）、金属ケイ素化合物またはシリコン、それらの同等物、もしくは複数の金属の組み合わせであってよい。導電層 28 は、停止層 26 の材料に対して選択的に研磨またはエッチングされ得る。導電層 28 の厚さは、停止層 26、ゲート電極層 24 およびゲート誘電体層 22 の合計厚さよりも大きい。したがって、停止層 26、ゲート電極層 24 およびゲート誘電体層 22 は、導電層 28 よりも薄い。1 実施形態では、導電層 28 の厚さはゲート溝 19 の深さの約 2 倍である。

30

#### 【0014】

図 5 に示すように、導電層 28 を形成した後、停止層 26 が露出するまで導電層 28 の一部が研磨またはエッチングされる。これは、停止層 26 用に選択された材料に対する選択的なプロセスを使用して行なわれる。例えば、導電層 28 がタンゲステンで、停止層 26 がチタンである場合には、 $\text{FeNO}_3$  を使用する CMP 化学を使用することができる。導電層 28 に適した材料を除去するために使用される化学は、金属窒化物または他のゲート電極型の材料に対して選択的ではない傾向があるが、そのような化学は停止層 26 に関して開示された材料に対しては選択的である。

40

#### 【0015】

図 6 に示すように、エッチング停止層 26 の上に存在する導電層 28 の一部を除去した後、停止層 26、ゲート電極層 24 およびゲート誘電体層 22 を除去するために、異なる研磨またはエッチングプロセスが行なわれる。ILD 層 20 は、積層材料の選択的層除去のための、第 2 の停止材料として機能する。例えば、導電層 28 を CMP により除去する場合、半導体素子 10 は、ILD 層 20 に対して選択的な停止層 26、ゲート電極層 24、およびゲート誘電体層 22 を除去するために、異なるスラリーとパッドを備えた CMP ツール内の異なるプラテンに切り換えられるだろう。例えば、水酸化アンモニウムを用いる化学を使用して、3 つの層 26、24、22 に CMP を行うことができるが、同じ化学

50

を使用し、かつ同じ処理工程の間に、停止層 2 6、ゲート電極層 2 4 およびゲート誘電体層 2 2 を除去する必要はない。したがって、層 2 6、2 4 および 2 2 を除去するためには、2 以上のプロセス化学および工程を行なうことができる。

【0016】

I L D 層 2 0 の上にある導電層 2 8、停止層 2 6、ゲート電極層 2 4 およびゲート誘電体層 2 2 を含むゲート電極スタックまたは制御電極スタックの一部を除去した後に得られる構造は、ゲートまたは制御電極スタックのディッシングまたは凹みを最小限にしたトランジスタ金属ゲート構造である。I L D 層 2 0 のディッシングは、半導体基板 1 2 の他の領域でも最小限にされる（図示しない）。有利なことに、ディッシングの減少により歩留まりが増加する。停止層 2 6 の存在により、少なくとも 2 工程の研磨またはエッチングプロセスの実行が許容される。ダイまたはウエハを横切って良好な均一性で研磨またはエッチングすることは厚い膜より薄い膜で一般に困難なため、停止層の上で停止し、かつ次に別のプロセスを使用して薄層を除去することにより、下にある薄い層に選択的な厚い層を除去する能力は、平坦性の制御を増大させる。

10

【0017】

本発明の別の利点は、ゲート電極材料の研磨またはエッチング特性とは無関係に、ゲート電極材料の選択を許容することである。したがって本発明は、停止層 2 6 を使用しない場合よりも、ゲート電極材料に対する広範囲の選択を提供する。

【0018】

最小限の非平坦性を有するトランジスタ金属ゲートを形成した後、当業者に周知の従来の追加の処理（図示しない）が行なわれる。例えば、第 2 の I L D 材料が、図 6 に示した構造の上に堆積され、金属相互接続がその後形成される。

20

【0019】

上述の明細書では、本発明を特定の実施形態に関して説明したが、当業者には、請求項に述べる本発明の範囲から逸脱することなく、様々な改変および変更を行なえることが理解される。例えば、拡散層やバリヤ層のような追加の層を、ゲート電極スタックに組み込んでもよい。従って、明細書と図面は限定的な意味ではなく例証的な意味とみなすべきであり、そのような改変はすべて本発明の範囲内に包含される。

【0020】

効果、他の利点および課題解決策を、特定の実施形態に関して上述した。しかしながら、任意の効果、利点または解決策を生じさせ得るかそれ自体より顕著になり得る、そのような効果、利点、課題解決策は、任意またはすべての請求項の重要な、必要な、または必須の特徴もしくは要素と解釈すべきではない。本明細書で使用する場合、用語「～成る、含む、備える（comprise）」やその変化形は、非排他的な包含物をその範囲内に入れるものとし、ある要素のリストを含むプロセス、方法、物、または装置は、その要素のみを含むわけではなく、明示的に列挙されていない他の要素やそのようなプロセス、方法、物、または装置に固有の要素を含みうる。

30

【図面の簡単な説明】

【0021】

【図 1】本発明の実施形態に従って置換ゲート集積内のダミーゲートを除去した後の、半導体素子の断面図。

40

【図 2】本発明の実施形態に従ってゲート誘電体とゲート電極を堆積させた後の図 1 の半導体素子。

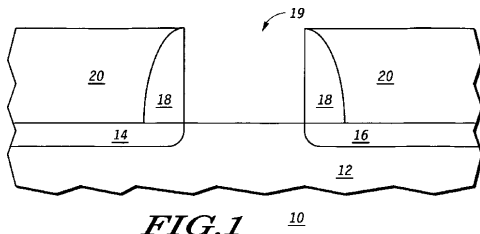
【図 3】本発明の実施形態に従って停止層を堆積させた後の図 2 の半導体素子。

【図 4】本発明の実施形態に従って金属層を堆積させた後の図 3 の半導体素子。

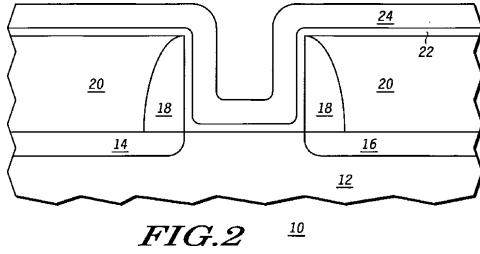
【図 5】本発明の実施形態に従って金属層の一部を除去した後の図 4 の半導体素子。

【図 6】本発明の実施形態に従って金属層、停止層、ゲート電極層、およびゲート誘電体の一部を除去した後の図 5 の半導体素子。

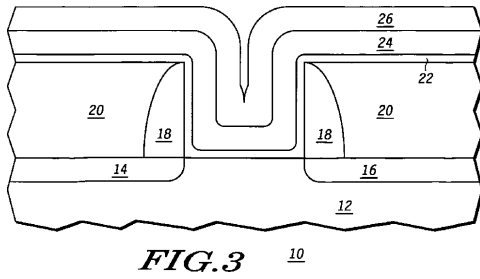
【図 1】



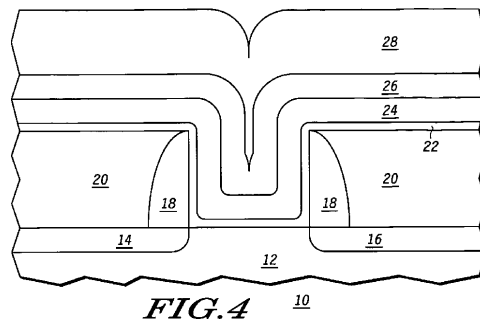
【図 2】



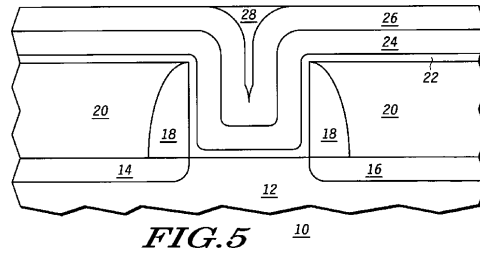
【図 3】



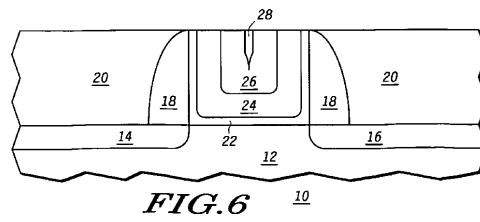
【図 4】



【図 5】



【図 6】



---

フロントページの続き

(72)発明者 アデトウトゥ、オルブンミ オー.

アメリカ合衆国 7 8 7 2 9 テキサス州 オースティン パートリッジ ベンド 1 2 9 1 9

(72)発明者 マスグローブ、ヨランダ エス.

アメリカ合衆国 7 8 6 6 0 テキサス州 プフルガービル ウエスト ノートン ストリート  
9 0 3

審査官 河口 雅英

(56)参考文献 特開 2 0 0 1 - 0 4 4 4 2 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/78

H01L 21/336

H01L 29/423

H01L 29/49