



(12) 发明专利申请

(10) 申请公布号 CN 102545874 A

(43) 申请公布日 2012. 07. 04

(21) 申请号 201110359418. 8

(22) 申请日 2011. 11. 14

(30) 优先权数据

10-2011-0005020 2011. 01. 18 KR

61/412, 952 2010. 11. 12 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 具滋天 林庆默

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 侯广

(51) Int. Cl.

H03K 19/0175(2006. 01)

H04N 5/14(2006. 01)

H04N 5/44(2006. 01)

H04N 7/18(2006. 01)

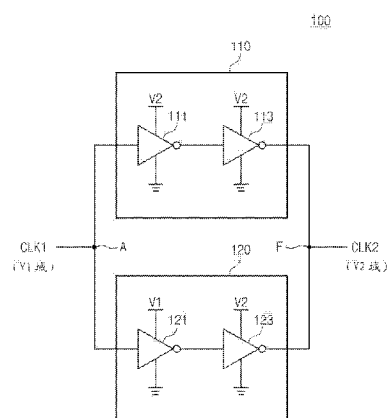
权利要求书 3 页 说明书 19 页 附图 19 页

(54) 发明名称

电平转换器、包括其的片上系统、和包括其的多媒体设备

(57) 摘要

公开了一种电平转换器,其包括:输入节点;第一和第二电压转换器电路,被配置为响应于经由输入节点输入的第一电压域的输入时钟产生第二电压域的输出时钟;以及输出节点,被配置为输出该输出时钟,其中,第一和第二电压转换器电路具有相同的结构而且并联连接在输入节点与输出节点之间。



1. 一种电平转换器,包括:
输入节点;
第一和第二电压转换器电路,被配置为响应于经由输入节点输入的第一电压域的输入时钟产生第二电压域的输出时钟;以及
输出节点,被配置为输出该输出时钟,
其中,第一和第二电压转换器电路具有相同的结构而且并联连接在输入节点与输出节点之间。
2. 如权利要求1所述的电平转换器,其中第一电压转换器电路包括在第二电压域操作的至少两个逆变器。
3. 如权利要求1所述的电平转换器,其中第二电压转换器电路包括在第一电压域操作的至少一个逆变器和在第二电压域操作的至少一个逆变器。
4. 如权利要求3所述的电平转换器,其中在第二电压域操作的至少一个逆变器被配置为接收在第一电压域操作的至少一个逆变器的输出。
5. 如权利要求1所述的电平转换器,其中:第一电压转换器电路包括被配置为根据输入节点的电压输出第二电压或地电压的第一逆变器、和被配置为根据第一逆变器的输出向输出节点输出第二电压或地电压的第二逆变器,而且
第二电压转换器电路包括被配置为根据输入节点的电压输出第一电压或地电压的第三逆变器、和被配置为根据第三逆变器的输出向输出节点输出第二电压或地电压的第四逆变器。
6. 如权利要求5所述的电平转换器,其中第一到第四逆变器是CMOS逆变器。
7. 一种片上系统,包括:
锁相环,被配置为产生第一电压域的第一时钟;
外围块、音频块、显示块、图形块、图像处理块、和编解码器块,响应于第一时钟而操作;
电平转换器,被配置为基于第一时钟产生第二电压域的第二时钟;以及
处理器,响应于第二时钟而操作,
其中,电压转换器包括被配置为具有相同的结构且并联连接在输入节点与输出节点之间的第一和第二电压转换器电路。
8. 如权利要求7所述的片上系统,其中第一电压转换器电路包括串联连接且被配置为在第二电压域操作的第一逆变器和第二逆变器,而且
其中第二电压转换器电路包括被配置为在第一电压域操作的第三逆变器、和被配置为在第二电压域操作的第四逆变器。
9. 如权利要求7所述的片上系统,其中第二电压域的电压电平高于第一电压域的电压电平。
10. 一种多媒体设备,包括:
处理器;
处理器的工作存储器;
调制解调器,被配置为根据处理器的控制与外部通信;
存储单元,被配置为根据处理器的控制存储数据;

用户接口,被配置为感测外部信号并将感测信号传送到处理器;
显示控制单元,被配置为根据处理器的控制经由显示单元显示图像;
声音控制单元,被配置为根据处理器的控制经由扬声器输出声音;
编解码器单元,被配置为根据处理器的控制执行编码和解码操作;
时钟产生单元,被配置为根据振荡器的输出产生时钟;
锁相环,被配置为产生与时钟同步的第一电压域的第一时钟;以及
电平转换器,被配置为响应于第一时钟产生第二电压域的第二时钟,
其中处理器响应于第二时钟而操作,而且

其中,电压转换器包括被配置为具有相同的结构且并联连接在输入节点与输出节点之间的第一和第二电压转换器电路。

11. 如权利要求 10 所述的多媒体设备,其中电平转换器包括:

第一逆变器,被配置为根据输入节点的电压输出第二电压域的第二电压或地电压;
第二逆变器,被配置为根据第一逆变器的输出向输出节点输出第二电压或地电压,
第三逆变器,被配置为根据输入节点的电压输出第一电压域的第一电压或地电压;以

及

第四逆变器。被配置为根据第三逆变器的输出向输出节点输出第二电压或地电压。

12. 如权利要求 10 所述的多媒体设备,其中处理器、工作存储器、显示控制单元、声音控制单元、编解码器单元、和锁相环构成片上系统,而且

其中工作存储器、显示控制单元、声音控制单元、和编解码器单元响应于第一时钟操作。

13. 如权利要求 10 所述的多媒体设备,进一步包括:

图像处理单元,被配置为根据处理器的控制处理经由摄像头拍摄的图像数据。

14. 如权利要求 13 所述的多媒体设备,其中处理器、显示控制单元、声音控制单元、图像处理单元、工作存储器、编解码器单元、和锁相环构成片上系统,而且

其中工作存储器、显示控制单元、声音控制单元、图像处理单元、和编解码器单元响应于第一时钟操作。

15. 如权利要求 13 所述的多媒体设备,其中处理器、显示控制单元、声音控制单元、调制解调器、图像处理单元、工作存储器、编解码器单元、和锁相环被包括在一起作为片上系统,而且

其中显示控制单元、声音控制单元、调制解调器、图像处理单元、工作存储器、和编解码器单元响应于第一时钟操作。

16. 如权利要求 13 所述的多媒体设备,其中处理器、显示控制单元、声音控制单元、工作存储器、编解码器单元、和锁相环被包括在一起作为片上系统,而且

其中显示控制单元、声音控制单元、工作存储器、和编解码器单元响应于第一时钟操作。

17. 如权利要求 13 所述的多媒体设备,其中处理器、显示控制单元、声音控制单元、工作存储器、和锁相环被包括在一起作为片上系统,而且

其中显示控制单元、声音控制单元、和工作存储器响应于第一时钟操作。

18. 如权利要求 13 所述的多媒体设备,其中处理器、显示控制单元、工作存储器、和锁

相环被包括在一起作为片上系统,而且

其中显示控制单元和工作存储器响应于第一时钟操作。

19. 如权利要求 13 所述的多媒体设备,其中处理器、工作存储器、和锁相环被包括在一起作为片上系统,而且

工作存储器响应于第一时钟操作。

20. 如权利要求 13 所述的多媒体设备,其中处理器、声音控制单元、工作存储器、和锁相环被包括作为片上系统,而且

其中声音控制单元和工作存储器响应于第一时钟操作。

21. 如权利要求 13 所述的多媒体设备,其中处理器、工作存储器、调制解调器、存储单元、用户接口、显示控制单元、显示单元、声音控制单元、扬声器、振荡器、时钟产生单元、摄像头,图像处理单元、编解码器单元、和锁相环被包括在移动设备内。

22. 如权利要求 13 所述的多媒体设备,其中处理器、工作存储器、调制解调器、存储单元、用户接口、显示控制单元、显示单元、声音控制单元、扬声器、振荡器、时钟产生单元、摄像头,图像处理单元、编解码器单元、和锁相环被包括在智能电视机内。

23. 一种电平转换器,包括:

第一电压转换器电路;以及

第二电压转换器电路,与第一电压转换器电路并联连接在输入节点与输出节点之间,

其中:

响应于在输入节点输入的第一电压域的第一时钟从输出节点输出第二电压域的第二时钟,而且

第一时钟的上升沿和第二时钟的上升沿之间的延迟时间与第一时钟的下降沿和第二时钟的下降沿之间的延迟时间相同。

电平转换器、包括其的片上系统、和包括其的多媒体设备

技术领域

[0001] 示范性实施例涉及电子电路,而且更具体地,涉及电平转换器、包括其的片上系统、和包括其的多媒体设备。

背景技术

[0002] 电平转换器 (shifter) 可以是接收第一电压域的信号并输出不同于第一电压域的第二电压域的信号组件。电平转换器可以在其中使用不同的电压的电压域之间使用。

[0003] 片上系统 (system-on-chip, SOC) 可以包括多个知识产权 (IP) 块和处理器。处理器与 IP 块相比可以相对快地操作。为了改善处理器的性能,可以将提供给处理器的时钟的电压电平设置为比提供给 IP 块的高。片上系统可以使用电平转换器来提高提供给处理器的时钟的电压电平。

发明内容

[0004] 一个或多个实施例提供一种电平转换器,其包括:输入节点;第一和第二电压转换器电路,被配置为响应于经由输入节点输入的第一电压域的输入时钟产生第二电压域的输出时钟;以及输出节点,输出该输出时钟,其中第一和第二电压转换器电路具有相同的结构并且并联连接在输入节点与输出节点之间。

[0005] 第一电压转换器电路可以包括在第二电压域操作的至少两个逆变器。

[0006] 第二电压转换器电路可以包括在第一电压域操作的至少一个逆变器和在第二电压域操作的至少一个逆变器。

[0007] 在第二电压域操作的至少一个逆变器可以被配置为接收在第一电压域操作的至少一个逆变器的输出。

[0008] 第一电压转换器电路可以包括:第一逆变器,被配置为根据输入节点的电压输出第二电压或地电压;以及第二逆变器,被配置为根据第一逆变器的输出输出第二电压或地电压到输出节点,并且第二电压转换器电路包括:第三逆变器,被配置为根据输入节点的电压输出第一电压或地电压;以及第四逆变器,被配置为根据第三逆变器的输出输出第二电压或地电压到输出节点。

[0009] 第一到第四逆变器可以是 CMOS 逆变器。

[0010] 一个或多个实施例提供一种片上系统,其包括:锁相环,被配置为产生第一电压域的第一时钟;外围块、音频块、显示块、图形块、图像处理块、和编解码器块,响应于第一时钟操作;电平转换器,被配置为基于第一时钟产生第二电压域的第二时钟;以及处理器,响应于第二时钟操作,其中该电平转换器包括被配置为具有相同的结构并且并联连接在输入节点与输出节点之间的第一和第二电压转换器电路。

[0011] 第一电压转换器电路可以包括串联连接并被配置为在第二电压域操作的第一逆变器和第二逆变器,而且第二电压转换器电路包括被配置为在第一电压域操作的第三逆变器和被配置为在第二电压域操作的第四逆变器。

[0012] 第二电压域的电压电平可以比第一电压域的电压电平高。

[0013] 一个或多个实施例提供一种多媒体设备,其包括:处理器;处理器的工作存储器;调制解调器,被配置为根据处理器的控制与外部通信;存储器,被配置为根据处理器的控制存储数据;用户接口,被配置为感测外部信号并将感测信号传送到处理器;显示控制单元,被配置为根据处理器的控制经由显示单元显示图像;声音控制单元,被配置为根据处理器的控制经由扬声器输出声音;编解码器单元,被配置为根据处理器的控制执行编码和解码操作;时钟产生单元,被配置为根据振荡器的输出产生时钟;锁相环,被配置为产生与时钟同步的第一电压域的第一时钟;以及电平转换器,被配置为响应于第一时钟产生第二电压域的第二时钟,其中处理器响应第二时钟操作,而且其中电平转换器包括被配置为具有相同的结构且并联连接在输入节点与输出节点之间的第一和第二电压转换器电路。

[0014] 电平转换器可以包括:第一逆变器,被配置为根据输入节点的电压输出第二电压域的第二电压或地电压;第二逆变器,被配置为根据第一逆变器的输出输出第二电压或地电压到输出节点;第三逆变器,被配置为根据输入节点的电压输出第一电压域的第一电压或地电压;以及第四逆变器,被配置为根据第三逆变器的输出输出第二电压或地电压到输出节点。

[0015] 本实施例中,处理器、工作存储器、显示控制单元、声音控制单元、编解码器单元、和锁相环构成片上系统,并且工作存储器、显示控制单元、声音控制单元、和编解码器单元响应于第一时钟操作。

[0016] 多媒体设备可以包括被配置为根据处理器的控制处理经由摄像头拍摄的图像数据的图像处理单元。

[0017] 处理器、显示控制单元、声音控制单元、图像处理单元、工作存储器、编解码器单元、和锁相环可以被提供为片上系统,并且工作存储器、显示控制单元、声音控制单元、图像处理单元、和编解码器单元可以响应于第一时钟操作。

[0018] 处理器、显示控制单元、声音控制单元、调制解调器、图像处理单元,工作存储器、编解码器单元、和锁相环可以被提供为片上系统,并且显示控制单元、声音控制单元、调制解调器、图像处理单元、工作存储器、和编解码器单元可以响应于第一时钟操作。

[0019] 处理器、显示控制单元、声音控制单元、工作存储器、编解码器单元、和锁相环可以被提供为片上系统,并且显示控制单元、声音控制单元、工作存储器、和编解码器单元可以响应于第一时钟操作。

[0020] 本实施例中,处理器、显示控制单元、声音控制单元、工作存储器、和锁相环可以被提供为片上系统,并且显示控制单元、声音控制单元、和工作存储器可以响应于第一时钟操作。

[0021] 本实施例中,处理器、显示控制单元、工作存储器、和锁相环可以被提供为片上系统,并且显示控制单元和工作存储器可以响应于第一时钟操作。

[0022] 本实施例中,处理器、工作存储器、和锁相环可以被提供为片上系统,并且工作存储器可以响应于第一时钟操作。

[0023] 本实施例中,处理器、声音控制单元、工作存储器、和锁相环可以被提供为片上系统,并且声音控制单元和工作存储器可以响应于第一时钟操作。

[0024] 本实施例中,处理器、工作存储器、调制解调器、存储单元、用户接口、显示控制单

元、显示单元、声音控制单元、扬声器、振荡器、时钟产生单元、摄像头,图像处理单元、编解码器单元、和锁相环可以被包括在移动设备内。

[0025] 本实施例中,处理器、工作存储器、调制解调器、存储单元、用户接口、显示控制单元、显示单元、声音控制单元、扬声器、振荡器、时钟产生单元、摄像头,图像处理单元、编解码器单元、和锁相环可以被包括在智能电视机内。

[0026] 一个或多个实施例提供一种电平转换器,包括:第一电压转换器电路;以及第二电压转换器电路,与第一电压转换器电路并联连接在输入节点与输出节点之间,其中响应于在输入节点输入的第一电压域的第一时钟从输出节点输出第二电压域的第二时钟,并且第一时钟的上升沿和第二时钟的上升沿之间的延迟时间与第一时钟的下降沿和第二时钟的下降沿之间的延迟时间相同。

附图说明

[0027] 通过参考附图详细描述示范性实施例,特征对于本领域普通技术人员将变得更加显而易见,其中:

[0028] 图 1 说明电平转换器的示范性实施例的框图;

[0029] 图 2 说明图 1 的电平转换器的示范性实施例的电路图;

[0030] 图 3 说明在第一时钟的低到高转变期间图 2 的第一到第四逆变器的示范性操作的示意图;

[0031] 图 4 说明在第一时钟的高到低转变期间图 2 的第一到第四逆变器的示范性操作的示意图;

[0032] 图 5 说明采用这里描述的一个或多个特征的电平转换器的一个或多个实施例的输入和输出时钟之间的示范性关系的时序图;

[0033] 图 6 说明包括采用这里描述的一个或多个特征的电平转换器的一个示范性实施例的片上系统的示范性实施例的框图;

[0034] 图 7 说明包括采用这里描述的一个或多个特征的电平转换器的一个示范性实施例的多媒体设备的示范性实施例的框图;

[0035] 图 8 说明包括采用这里描述的一个或多个特征的电平转换器的一个示范性实施例的多媒体设备的示范性实施例的框图;

[0036] 图 9 说明包括采用这里描述的一个或多个特征的电平转换器的另一个示范性实施例的多媒体设备的示范性实施例的框图;

[0037] 图 10 说明包括采用这里描述的一个或多个特征的电平转换器的另一个示范性实施例的多媒体设备的示范性实施例的框图;

[0038] 图 11 说明包括采用这里描述的一个或多个特征的电平转换器的另一个示范性实施例的多媒体设备的示范性实施例的框图;

[0039] 图 12 说明包括采用这里描述的一个或多个特征的电平转换器的另一个示范性实施例的多媒体设备的示范性实施例的框图;

[0040] 图 13 说明包括采用这里描述的一个或多个特征的电平转换器的另一个示范性实施例的多媒体设备的示范性实施例的框图;

[0041] 图 14 说明包括采用这里描述的一个或多个特征的电平转换器的另一个示范性实

施例的多媒体设备的示范性实施例的框图；

[0042] 图 15 说明智能电话机的示范性实施例的框图；

[0043] 图 16 说明平板计算机的示范性实施例的示意图；

[0044] 图 17 说明移动计算机的示范性实施例的示意图；

[0045] 图 18 说明计算机的示范性实施例的示意图；以及

[0046] 图 19 说明电视机的示范性实施例的示意图。

具体实施方式

[0047] 以下参考其中示出本发明构思的特征的附图更充分地描述示范性实施例。然而特征可以以许多不同的形式具体化并且不应当被解读为限于这里阐明的实施例。相反，提供这些实施例以使得本公开彻底和完整，并且充分地向本领域技术人员传达本发明构思的范围。附图中，为了清楚，层和区域的尺寸和相对尺寸可以被夸大。说明书通篇中类似的数字指代类似的元件。

[0048] 图 1 说明电平转换器 100 的示范性实施例的框图。参照图 1，电平转换器 100 可以包括多个电压转换器电路，例如，第一电压转换器电路 110 和第二电压转换器电路 120。第一和第二电压转换器电路 110 和 120 可以并联连接在输入节点 A 与输出节点 F 之间。

[0049] 第一电压转换器电路 110 可以经由输入节点 A 接收与第一电压 V1 对应的第一电压域的第一时钟。第一时钟 CLK1 可以具有第一电压 V1 的摆动宽度。第一电压转换器电路 110 可以基于第一时钟 CLK1 产生与第二电压 V2 对应的第二电压域的信号。第二时钟 CLK2 可以具有第二电压 V2 的摆动宽度。

[0050] 第一电压转换器电路 110 可以包括多个逆变器，例如，第一和第二逆变器 111 和 113。第一逆变器 111 可以响应于第一时钟 CLK1 而输出第二电压 V2 和地电压 VSS 中的一个。第二逆变器 113 可以响应于第一逆变器 111 的输出而输出第二电压 V2 和地电压 VSS 中的一个。即，第二逆变器 113 可以输出与第一时钟 CLK1 同步的第二电压域的信号。

[0051] 第二电压转换器电路 120 可以经由输入节点 A 接收第一电压域的第一时钟 CLK1。第二电压转换器电路可以基于第一时钟 CLK1 产生第二电压域的信号。

[0052] 第二电压转换器电路 120 可以包括多个逆变器。第二电压转换器电路 120 可以被配置为与第一电压转换器电路 110 相同。例如第二电压转换器电路 120 可以包括第三和第四逆变器 121 和 123。第三逆变器 121 可以响应于第三时钟 CLK1 输出第一电压 V1 和地电压 VSS 中的一个。第四逆变器 123 可以响应于第三逆变器 121 的输出而输出第二电压 V2 和地电压 VSS 中的一个。即，第四逆变器 123 可以输出与第一时钟 CLK1 同步的第二电压域的信号。

[0053] 第一和第二电压转换器电路 110 和 120 的输出可以在输出节点 F 混合。第一电压转换器电路 110 可以输出与第一时钟 CLK1 同步的第二电压域的信号。第二电压转换器电路 120 可以输出与第一时钟 CLK1 同步的第二电压域的信号。即，可以从输出节点 F 输出与第一时钟 CLK1 同步的第二电压域的信号。输出节点 F 的信号可以被输出为第二电压域的第二时钟 CLK2。

[0054] 图 2 说明图 1 的电平转换器 100 的示范性实施例的电路图。图 2 中，示范性地说明参照图 1 描述的第一到第四逆变器 111、113、121、123 的内部电路。在一个或多个实施例

中,例如逆变器 111、113、121、123 的一个、一些或全部可以包括 CMOS 逆变器。

[0055] 参照图 1 和 2,第一逆变器 111 可以包括第一 PMOS 晶体管 P1 和第一 NMOS 晶体管 N1。第一 PMOS 晶体管 P1 可以具有连接到输入节点 A 的栅极。第一 PMOS 晶体管 P1 的一端可以被提供第二电压 V2,并且它的另一端可以与输出节点 B 相连接。第一 NMOS 晶体管 N1 的栅极可以连接到输入节点 A。第一 NMOS 晶体管 N1 的一端可以接地,并且它的另一端可以与输出节点 B 相连接。

[0056] 第二逆变器 113 可以具有与第一逆变器 111 相同的结构。第二逆变器 113 可以包括第二 PMOS 晶体管 P2 和第二 NMOS 晶体管 N2。第二 PMOS 晶体管 P2 的栅极可以连接到输出节点 B,即,第一逆变器 111 的输出。第二 PMOS 晶体管 P2 的一端可以被提供第二电压 V2,并且它的另一端可以与输出节点 C 相连接。第二 NMOS 晶体管 N2 的栅极可以连接到输出节点 B。第二 NMOS 晶体管 N2 的一端可以接地,并且它的另一端可以与输出节点 C 相连接。

[0057] 第三逆变器 121 可以具有与第一逆变器 111 相同的结构。第三逆变器 121 可以包括 PMOS 晶体管 P3 和第三 NMOS 晶体管 N3。第三 PMOS 晶体管 P3 可以具有连接到输入节点 A 的栅极。第三 PMOS 晶体管 P3 的一端可以被提供第一电压 V1,并且它的另一端可以与输出节点 D 相连接。第三 NMOS 晶体管 N3 的栅极可以连接到输入节点 A。第三 NMOS 晶体管 N3 的一端可以接地,并且它的另一端可以与输出节点 D 相连接。

[0058] 第四逆变器 123 可以具有与第一逆变器 111 相同的结构。第四逆变器 123 可以包括第四 PMOS 晶体管 P4 和第四 NMOS 晶体管 N4。第四 PMOS 晶体管 P4 的栅极可以连接到输出节点 D,即,第三逆变器 121 的输出。第四 PMOS 晶体管 P4 的一端可以被提供第二电压 V2,并且它的另一端可以与输出节点 E 相连接。第四 NMOS 晶体管 N4 的栅极可以连接到输出节点 D。第四 NMOS 晶体管 N4 的一端可以接地,并且它的另一端可以与输出节点 E 相连接。

[0059] 输出节点 C 可以连接到输出节点 E 作为输出节点 F。

[0060] 图 3 说明在第一时钟 CLK1 的低到高转变期间图 2 的第一到第四逆变器 111、113、131、123 的示范性操作的图。参照图 2 和 3,第一时钟 CLK1 的电压可以从地电压 VSS 上升到第一电压 V1。当第一时钟 CLK1 具有第一电压 V1 时,第一逆变器 111 的第一 PMOS 晶体管 P1 可以被截止,并且它的第一 NMOS 晶体管 N1 可以被导通。即,第一逆变器 111 的输出节点 B 可以接地。

[0061] 当第一时钟 CLK1 具有地电压 VSS 时,第二电压 V2 可以经由第一 PMOS 晶体管 P1 被提供到第一逆变器 111 的输出节点 B。当第一时钟 CLK1 的电压可以从地电压 VSS 上升到第一电压 V1 时,第一逆变器 111 的输出节点 B 的电压可以被从第二电压 V2 放电到地电压 VSS。

[0062] 具体地,在第二电压 V2 被施加到第一 NMOS 晶体管 N1 的漏极 D1 的情况下,输出节点 B 的电压可以经由第一 NMOS 晶体管 N1 沟道被放电,第一电压 V1 被施加到它的栅极 G1,并且地电压 VSS 被施加到它的源极 S1。将第一逆变器 111 的输出节点 B 的电压放电到地电压 VSS 花费的时间可以被称为第一时间 T1。第一时间 T1 可以是当输出节点 B 的电压与第一时钟 CLK1 的上升沿同步地下降到地电压 VSS 时产生的延迟时间。

[0063] 当第一逆变器 111 的输出电压是地电压 VSS 时,第二逆变器 113 的第二 NMOS 晶体管 N2 可以被截止,并且它的第二 PMOS 晶体管 P2 可以被导通。即,第二电压 V2 可以被提供到第二逆变器 113 的输出节点 C。

[0064] 当第一逆变器 111 的输出电压是第二电压 V2 时,地电压 VSS 可以经由第二 NMOS 晶体管 N2 被提供到第二逆变器 113 的输出节点 C。当第一逆变器 111 的输出电压是地电压 VSS 时,例如,从第二电压 V2 转变到地电压 VSS,第二逆变器 113 的输出节点 C 可以被从地电压 VSS 充电到第二电压 V2。

[0065] 更具体地,当第二电压 V2 被施加到第二 PMOS 晶体管 P2 的源极 S2 并且第二 PMOS 晶体管 P2 的栅极 G2 和漏极 D2 接地时,输出节点 C 可以经由第二 PMOS 晶体管 P2 的沟道被充电。将第一逆变器 111 的输出节点 B 充电到第二电压 V2 花费的时间可以被称为第二时间 T2。第二时间 T2 可以是当输出节点 C 的电压与第一逆变器 111 的输出电压的下降沿同步地上升到第二电压 V2 时产生的延迟时间。

[0066] 第一时钟 CLK1 的电压可以从地电压 VSS 转变为第一电压 V1。当第一时钟 CLK1 具有第一电压 V1 时,第三逆变器 121 的第三 PMOS 晶体管 P3 可以被截止,并且它的第三 NMOS 晶体管 N3 可以被导通。即,第三逆变器 121 的输出节点 D 可以接地。

[0067] 当第一时钟 CLK1 具有地电压 VSS 时,第一电压 V1 可以经由第三 PMOS 晶体管 P3 被提供到第三逆变器 121 的输出节点 D。当第一时钟 CLK1 的电压从地电压 VSS 上升到第一电压 V1 时,第三逆变器 121 的输出节点 D 的电压可以被从第一电压 V1 放电到地电压 VSS。

[0068] 更具体地,例如,当第一电压 V1 被施加到第三 NMOS 晶体管 N3 的漏极 D3、第一电压 V1 被施加到它的栅极 G1、并且地电压 VSS 被施加到它的源极 S1 时,输出节点 D 的电压可以经由第三 NMOS 晶体管 N3 的沟道被放电。将第三逆变器 121 的输出节点 D 的电压放电到地电压 VSS 花费的时间可以被称为第三时间 T3。第三时间 T3 可以是当输出节点 D 的电压与第一时钟 CLK1 的上升沿同步地下降到地电压 VSS 时产生的延迟时间。

[0069] 当第三逆变器 131 的输出电压是地电压 VSS 时,第四逆变器 123 的第四 NMOS 晶体管 N4 可以被导通,并且它的第四 PMOS 晶体管 P4 可以被截止。即,第二电压 V2 可以被提供到第四逆变器 123 的输出节点 E。

[0070] 当第三逆变器 121 的输出电压是第一电压 V1 时,地电压 VSS 可以经由第四 NMOS 晶体管 N4 被提供到第三逆变器 123 的输出节点 E。当第三逆变器 121 的输出电压从第一电压 V1 转变为地电压 VSS 时,第四逆变器 123 的输出节点 E 可以被从地电压 VSS 充电到第二电压 V2。

[0071] 更具体地,例如,当第二电压 V2 被施加到第二 PMOS 晶体管 P2 的源极 S2 并且第四 PMOS 晶体管 P4 的栅极 G2 和漏极 D2 接地时,输出节点 E 可以经由第四 PMOS 晶体管 P4 的沟道被充电到第二电压 V2。在一个或多个实施例中,第四逆变器 123 的第四 PMOS 晶体管 P4 的偏置条件可以与第二逆变器 113 的第二 PMOS 晶体管 P2 的偏置条件相同。在这样的实施例中,将第四逆变器 123 的输出节点充电到第二电压 V2 花费的时间也可以对应于第二时间 T2。第二时间 T2 可以是当输出节点 E 的电压与第三逆变器 121 的输出电压的下降沿同步地上升到第二电压 V2 时产生的延迟时间。

[0072] 图 4 说明在第一时钟 CLK1 的高到低转变期间图 2 的第一到第四逆变器 111、113、121、123 的示范性操作的图。参照图 2 和 4,第一时钟 CLK1 的电压可以从第一电压 V1 转变为地电压 VSS。当第一时钟 CLK1 具有地电压 VSS 时,第一逆变器 111 的第一 PMOS 晶体管 P1 可以被导通,并且它的第一 NMOS 晶体管 N1 可以被截止。即,第一逆变器 111 的输出节点 B 可以被提供第二电压 V2。

[0073] 当第一时钟 CLK1 具有第一电压 V1 时,地电压 VSS 可以经由第一 NMOS 晶体管 N1 被提供到第一逆变器 111 的输出节点 B。当第一时钟 CLK1 的电压从第一电压 V1 下降到地电压 VSS 时,第一逆变器 111 的输出节点 B 的电压可以被从地电压 VSS 充电到第二电压 V2。

[0074] 更具体地,例如,当第二电压 V2 被施加到第一 PMOS 晶体管 P1 的源极 S5、地电压 VSS 被施加到它的栅极 G5、并且地电压 VSS 被施加到它的漏极 D5 时,输出节点 B 可以经由第一 PMOS 晶体管 P1 的沟道被充电。在一个或多个实施例中,第一 PMOS 晶体管 P1 的偏置条件可以与图 3 描述的第二逆变器 113 的第二 PMOS 晶体管 P2 的偏置条件相同。利用第二电压 V2 将第一逆变器 111 的输出节点 B 充电花费的时间可以对应于第二时间 T2。第二时间 T2 可以是当输出节点 B 与第一时钟 CLK1 的下降沿同步地充电到第二电压 V2 时产生的延迟时间。

[0075] 当第一逆变器 111 的输出电压是第二电压 V2 时,第二逆变器 113 的第二 NMOS 晶体管 N2 可以被导通,并且它的第二 PMOS 晶体管 P2 可以被截止。即,地电压 VSS 可以被提供到第二逆变器 113 的输出节点 C。

[0076] 当第一逆变器 111 的输出电压是地电压 VSS 时,第二电压 V2 可以被提供到第二逆变器 113 的输出节点 C。当第一逆变器 111 的输出电压从地电压 VSS 上升到第二电压 V2 时,第二逆变器 113 的输出节点 C 的电压可以被从第二电压 V2 放电到地电压 VSS。

[0077] 更具体地,例如,当第二电压 V2 被施加到第二 NMOS 晶体管 N2 的漏极 D6、第二电压 V2 被施加到它的栅极 G6、并且地电压 VSS 被施加到它的源极 S6 时,输出节点 C 的电压可以经由第二 NMOS 晶体管 N2 的沟道被放电。

[0078] 第二 NMOS 晶体管 N2 的偏置条件可以与第一逆变器 111 的第一 PMOS 晶体管 P1 的偏置条件相同。第二 NMOS 晶体管 N2 的栅极-源极电压差可以是第二电压 V2,并且第一 PMOS 晶体管 P1 的栅极-源极电压差可以是第二电压 V2。第二 NMOS 晶体管 N2 的源极-漏极电压差可以是第二电压 V2,并且第一 PMOS 晶体管 P1 的源极漏极电压差可以是第二电压 V2。

[0079] 第一到第四逆变器 111、113、121、123 的每一个可以包括 PMOS 晶体管和 NMOS 晶体管。当第一到第四逆变器 111、113、121、123 的输入电压具有低电平时,第一到第四逆变器 111、113、121、123 的输出电压可以分别由 PMOS 晶体管 P1、P2、P3、P4 产生。当第一到第四逆变器 111、113、121、123 的输入电压具有高电平时,第一到第四逆变器 111、113、121、123 的输出电压可以分别由 NMOS 晶体管 N1、N2、N3、N4 产生。

[0080] 第一到第四逆变器 111、113、121、123 可以包括对称的低电平和高电平输出。例如,第一到第四逆变器 111、113、121、123 可以被形成为使得在高电平输出处充电的电流与在低电平输出处放电的电流相同。第一到第四 NMOS 晶体管 N1 到 N4 可以被形成为在相同的偏置条件下与第一到第四 PMOS 晶体管 P1 到 P4 一样操作。流经第二 NMOS 晶体管 N2 的电流与在相同的偏置条件下流经第一 PMOS 晶体管 P1 的电流相同。

[0081] 在一个或多个实施例中,第二 NMOS 晶体管 N2 的偏置条件可以与第一 PMOS 晶体管 P1 的偏置条件相同。该情况下,将第二逆变器 113 的输出节点 C 的电压放电花费的时间可以被称为第二时间 T2。第二时间 T2 可以是当第二逆变器 113 的输出节点 C 的电压与第一逆变器 111 的输出电压的上升沿同步地下降时产生的延迟时间。

[0082] 当第一时钟 CLK1 具有地电压 VSS 时,第三逆变器 121 的第三 NMOS 晶体管 N3 可以

被截止,并且第三 PMOS 晶体管 P3 可以被导通。第一电压 V1 可以被提供到第三逆变器 121 的输出节点 D。

[0083] 当第一时钟 CLK1 具有第一电压 V1 时,地电压 VSS 可以经由第三 NMOS 晶体管 N3 被提供到第三逆变器 121 的输出节点 D。当第一时钟 CLK1 的电压从第一电压 V1 转变为地电压 VSS 时,第三逆变器 121 的输出节点 D 可以被从地电压 VSS 充电到第一电压 V1。

[0084] 更具体地,例如,当第一电压 V1 被施加到第三 PMOS 晶体管 P3 的源极 S7、地电压 VSS 被施加到它的栅极 G7、并且地电压 VSS 被施加到它的漏极 D7 时,输出节点 D 可以经由第三 PMOS 晶体管 P3 的沟道被充电。

[0085] 第三 PMOS 晶体管 P3 的偏置条件可以与参照图 3 描述的第三 NMOS 晶体管 N3 的偏置条件相同。例如,第三 PMOS 晶体管 P3 的栅极-源极电压差可以是第一电压 V1,并且第三 NMOS 晶体管 N3 的栅极-源极电压差可以是第一电压 V1。第三 PMOS 晶体管 P3 的源极-漏极电压差可以是第一电压 V1,并且第三 NMOS 晶体管 N3 的源极-漏极电压差可以是第一电压 V1。

[0086] 将第三逆变器 121 的输出节点 D 充电到第一电压 V1 花费的时间可以被称为第三时间 T3。第三时间 T3 可以是当第三逆变器 121 的输出节点 D 的电压与第一时钟信号 CLK1 的下降沿同步地上升时产生的延迟时间。

[0087] 当第三逆变器 121 的输出电压是第一电压 V1 时,第四逆变器 123 的第四 PMOS 晶体管 P4 可以被截止,并且第四 NMOS 晶体管 N4 可以被导通。第四逆变器 123 的输出节点 E 可以被接地。

[0088] 当第三逆变器 121 的输出电压是地电压 VSS 时,第二电压 V2 可以经由第四 PMOS 晶体管 P4 被提供到第四逆变器 123 的输出节点 E。当第三逆变器 121 的输出电压从地电压 VSS 转变为第一电压 V1 时,第四逆变器 123 的输出节点 E 的电压可以被从第二电压 V2 放电到地电压 VSS。

[0089] 更具体地,例如,当第二电压 V2 被施加到第四 NMOS 晶体管 N4 的漏极 D8、第一电压 V1 被施加到它的栅极 G8、并且地电压 VSS 被施加到它的源极 S8 时,输出节点 E 的电压可以经由第四 PMOS 晶体管 P4 的沟道被放电。

[0090] 此时,第四逆变器 123 的第四 NMOS 晶体管 N4 的偏置条件可以与参照图 3 描述的第一 NMOS 晶体管 N1 的偏置条件相同。将第四逆变器 123 的输出节点 E 的电压放电花费的时间可以被称为第一时间 T1。第一时间 T1 可以是当输出节点 E 的电压与第三逆变器 121 的输出电压的上升沿同步地下降时产生的延迟时间。

[0091] 图 5 说明采用这里描述的一个或多个特征的电平转换器的一个或多个实施例(例如电平转换器 100)的输入和输出时钟 CLK1、CLK2 之间的示范性关系的示范性时序图。

[0092] 参照图 1 到 5,第一时钟 CLK1 可以被施加到电平转换器 100。第一时钟 CLK1 可以具有第一电压 V1 的摆动宽度。第一时钟 CLK1 可以具有周期性地重复的上升和下降沿。

[0093] 第二时钟 CLK2 可以从电平转换器 100 输出。第二时钟 CLK2 可以具有第二电压 V2 的摆动宽度。第二时钟 CLK2 可以与第一时钟 CLK1 的上升沿同步地产生。第二时钟 CLK2 可以通过第一电压转换器电路 110 的第一和第二逆变器 111、113 的充电和放电以及第二电压转换器电路 120 的第三和第四逆变器 121、123 的充电和放电来提高。

[0094] 如参照图 3 所述,在第一时钟 CLK1 上升并且第一时间 T1 逝去之后,第一逆变器

111 的输出电压可以达到地电压 VSS。在第一逆变器 111 的输出电压下降并且第二时间逝去之后,第二逆变器 113 的输出电压可以达到第二电压 V2。在第一时钟 CLK1 上升并且第三时间 T3 逝去之后,第三逆变器 121 的输出电压可以达到地电压 VSS。在第三逆变器 121 的输出电压下降并且第二时间 T2 逝去之后,第四逆变器 123 的输出电压可以达到第二电压 V2。

[0095] 第二和第四逆变器 113、123 的输出电压可以被混合以产生第二时钟 CLK2。第一时钟 CLK1 的上升沿与第二时钟 CLK2 的上升沿之间的延迟 D1 可以对应于第一到第三时间 T1 到 T3 的和。

[0096] 如参照图 4 所述,在第一时钟 CLK1 下降并且第二时间 T2 逝去之后,第一逆变器 111 的输出电压可以达到第二电压 V2。在第一逆变器 111 的输出电压上升并且第二时间 T2 逝去之后,第二逆变器 113 的输出电压可以达到地电压 VSS。在第一时钟 CLK1 下降并且第三时间 T3 逝去之后,第三逆变器 121 的输出电压可以达到第一电压 V1。在第三逆变器 121 的输出电压上升并且第一时间 T1 逝去之后,第四逆变器 123 的输出电压可以达到地电压 VSS。

[0097] 第二和第四逆变器 113 和 123 的输出电压可以被混合以产生第二时钟 CLK2。第一时钟 CLK1 的下降沿与第二时钟 CLK2 的下降沿之间的延迟 D2 可以通过合并第一到第三时间 T1 到 T3 来产生。

[0098] 导致第一和第二时钟 CLK1 和 CLK2 的上升沿之间的延迟 D1 的时间因子 T1、T2、T3 可以与导致它们的下降沿之间的延迟 D2 的时间因子相同。因此,第一和第二时钟 CLK1 和 CLK2 的上升沿之间的延迟 D1 可以与它们的下降沿之间的延迟 D2 相同。

[0099] 在上升沿之间的延迟 D1 不同于下降沿之间的延迟 D2 的情况下,第二时钟 CLK2 的一个周期的高电平和低电平时段的占空比可以变化。

[0100] 例如,如果上升沿之间的延迟 D1 大于下降沿之间的延迟 D2,则与第一时钟 CLK1 相比较,第二时钟 CLK2 的周期的高电平时段的占空比可以减少。

[0101] 如果下降沿之间的延迟 D2 大于上升沿之间的延迟 D1,则与第一时钟 CLK1 相比较,第二时钟 CLK2 的周期的低电平时段的占空比可以减少。根据本发明构思的示范性实施例,电平转换器 100 可以被配置为使得输入信号的占空比与输出信号的占空比相同,并且可以产生不同于第一时钟 CLK1 的一电压域的第二时钟 CLK2。因此,能够改善电平转换器 100 的输出时钟的可靠性。

[0102] 在实施例中、第二电压 V2 的电平可以低于或高于第一电压 V1 的电平。

[0103] 图 6 说明包括电平转换器 100 的片上系统 500 的示范性实施例的框图。参照图 6,片上系统 500 可以包括处理器 510、锁相环 (PLL) 520、外围块 530、音频块 540、显示块 550、图形块 560、图像处理块 570、和编解码器块 580。

[0104] 处理器 510 可以包括多个触发器,例如,第一到第八触发器 512 到 519。处理器 510 可以进一步包括电平转换器 100,或可以与电平转换器 100 相连接。电平转换器 100 可以从 PLL 520 接收第一时钟 CLK1。第一时钟 CLK1 可以具有第一电压 V1 的摆动宽度。电平转换器 100 可以相对于输入和输出时钟相同地保持高电平和低电平的占空比,并可以产生与第一时钟 CLK1 同步的第二时钟 CLK2。第二时钟 CLK2 可以具有第二电压 V2 的摆动宽度。第二电压 V2 的电平可以比第一电压 V1 的电平高。

[0105] 从电平转换器 100 产生的第二时钟 CLK2 可以被分别提供给触发器 512 到 519。处理器 510 的触发器 512 到 519 可以响应于第二时钟 CLK2 而操作。

[0106] PLL 520 可以从外部设备接收时钟 CLK。PLL 520 可以产生与输入时钟 CLK 同步的第一时钟 CLK1。第一时钟 CLK1 可以被分别提供给外围块 530、音频块 540、显示块 550、图形块 560、图像处理块 570、和编解码器块 580。

[0107] 外围块 530、音频块 540、显示块 550、图形块 560、图像处理块 570、和编解码器块 580 可以响应于第一时钟 CLK1 操作。外围块 530、音频块 540、显示块 550、图形块 560、图像处理块 570、和编解码器块 580 可以是 IP 块。

[0108] 音频块 540 可以处理音频数据。显示块 550 可以产生用于控制诸如监视器（未示出）的显示设备的信号。图形块 560 可以处理将要通过诸如监视器（未示出）的显示设备显示的图形数据。图像处理块 570 可以处理通过诸如摄像头（未示出）的传感装置拍摄的图像数据。编解码器块 580 可以执行音频数据的编码或解码。编解码器块 580 可以执行图形数据的编码或解码。

[0109] 如图 6 所示，片上系统 500 内的外围块 530、音频块 540、显示块 550、图形块 560、图像处理块 570、和编解码器块 580 可以响应于第一时钟 CLK1 操作。处理器 510 可以响应于使用第一时钟 CLK1 产生的第二电压域的第二时钟 CLK2 操作。第二电压 V2 的电平可以比第一电压 V1 的电平高。

[0110] 电平转换器 100 可以是参照图 1 到 5 描述的电平转换器。示范性地，电平转换器 100 可以包括并联连接在输入节点 A 与输出节点 F 之间且被配置为具有相同的结构的第一和第二电压转换器电路 110 和 120。在电平转换器 100 中，输入时钟 CLK1 的上升沿和输出时钟 CLK2 的上升沿之间的延迟 D1 可以与在输入时钟 CLK1 的下降沿和输出 CLK2 的下降沿之间的延迟 D2 相同。因此，包括包含这里描述的一个或多个特征的电平转换器（例如电平转换器 100）和 / 或根据其操作的电路和 / 或装置（例如，处理器 510 和 / 或 SOC 500）可以具有改善的可靠性。参照图 6 的示范性实施例，例如，通过响应于电平转换器 100 产生的、其中延迟 D1 与延迟 D2 相同的第二时钟 CLK2 进行操作，可以改善处理器 510 和 / 或 SOC 500 的可靠性。

[0111] 在处理器 510 被设计为以高速操作的实施例中，处理器 510 可以与第二时钟 CLK2 的上升沿和下降沿两者同步地操作。电平转换器 100 可以保持高电平和低电平时段的占空比，并可以将第一电压域的第一时钟 CLK1 转换为第二电压域的第二时钟 CLK2。如果高电平和低电平时段的占空比被相同地保持，则第二时钟 CLK2 的上升沿与下降沿之间的间距（即，高电平时段的占空比）可以保持最佳。因此，通过采用包括这里描述的一个或多个特征的电平转换器（例如，电平转换器 100），能够改善处理器 510 和包括处理器 510 的片上系统 500 的可靠性。处理器 510 可以与第二时钟 CLK2 的两个边沿（即，上升沿和下降沿）同步地操作。

[0112] 图 7 说明包括采用这里描述的一个或多个特征的电平转换器（例如电平转换器 100）的多媒体设备 1000 的示范性实施例的框图。参照图 7，多媒体设备 1000 可以包括振荡器 1010、时钟产生单元 1020、锁相环 (PLL) 1030、处理器 1040、存储器 1050、显示控制单元 1060、显示单元 1070、声音控制单元 1080、扬声器 1090、存储单元 1100、调制解调器 1110、图像处理单元 1120、摄像头 1130、用户接口 1140、和编解码器单元 1150。

[0113] 振荡器 1010 可以产生根据特定频率振荡的振荡信号。振荡信号可以被提供给时钟产生单元 1020。

[0114] 时钟产生单元 1020 可以响应于从振荡器 1010 提供的振荡信号产生时钟 CLK。时钟 CLK 可以被提供给 PLL 1030。

[0115] PLL 1030 可以被配置为响应于从时钟产生单元 1020 输入的时钟 CLK 产生第一时钟 CLK1。第一时钟 CLK1 可以与输入时钟 CLK 同步。第一时钟 CLK1 可以被施加到处理器 1040。

[0116] 处理器 1040 可以被配置为控制多媒体设备 1000 的整体操作。处理器 1040 可以控制多媒体设备 1000 的硬件组件。处理器 1040 可以驱动多媒体设备 1000 的软件组件。

[0117] 处理器 1040 可以包括根据本发明构思的示范性实施例电平转换器 LS 或可以与电平转换器 LS 相连接。电平转换器 LS 可以基于从 PLL 1030 提供的第一电压域的第一时钟 CLK1 产生第二电压域的第二时钟 CLK2。可以使用第二时钟 CLK2 作为处理器 1040 的内部时钟。

[0118] 存储器 1050 可以是处理器 1040 的工作存储器。示范性地,存储器 1050 可以包括诸如 SRAM、DRAM、SDRAM 等的易失性存储器、或诸如 PRAM、MRAM、RRAM、FRAM、闪速存储器等的非易失性存储器。

[0119] 显示控制单元 1060 可以响应于处理器 1040 的控制进行操作。显示控制单元 1060 可以被配置为产生和控制经由显示单元 1070 显示的图像。显示单元 1060 可以包括图形处理单元 (GPU)。

[0120] 显示单元 1070 可以被配置为显示通过显示控制单元 1060 产生的图像。显示单元 1070 可以包括液晶显示器 (LCD)、有机发光二极管 (OLED) 显示器、有源矩阵有机发光二极管 (AMOLED) 显示器、电子传呼机 (pager) 等。

[0121] 声音控制单元 1080 可以响应于处理器 1040 的控制进行操作。声音控制单元 1080 可以产生和控制将要经由扬声器 1090 输出的声音。扬声器 1090 可以根据声音控制单元 1080 的控制输出声音。

[0122] 存储单元 1100 可以被配置为在处理器 1040 的控制下存储数据。存储单元 1100 可以包括诸如闪速存储器、PRAM、MRAM、RRAM、FRAM 等的非易失性存储器。存储单元 1100 可以包括硬盘驱动器 (HDD)、固态驱动器 (SSD) 等。

[0123] 调制解调器 1110 可以在处理器 1040 的控制下与外部设备通信。示范性地,调制解调器 1110 可以经由无线或有线信道与外部设备通信。调制解调器 1110 可以根据诸如 CDMA(码分多址)、GSM(全球移动通信系统)、CDMA2000、WCDMA(宽带码分多址)、LTE(长期演进)、WiBro(无线宽带互联网)、移动 WiMAX(世界互用性)、WiFi 等的无线协议与外部设备通信。调制解调器 1110 可以根据诸如 ADSL(非对称数字用户线)、VDSL(超高速数字用户线)、ISDN(综合业务数字网)等的有线协议与外部设备通信。

[0124] 图像处理单元 1130 可以响应于处理器 1040 的控制进行操作。图像处理单元 1130 可以被配置为处理通过摄像头 1140 拍摄的图像数据。

[0125] 用户接口 1140 可以被配置为将从外界感测的信号传送到处理器 1140。示范性地,用户接口 1140 可以包括麦克风、触摸垫、触摸屏、按钮、鼠标、键盘等。

[0126] 编解码器单元 1150 可以解码或编码音频数据、视频数据等。

[0127] 示范性地, PLL 1030、处理器 1040、存储器 1050、显示控制单元 1060、声音控制单元 1080、图像处理单元 1120、和编解码器单元 1150 可以被提供为片上系统 1200。片上系统 1200 可以具有参照图 6 描述的结构。处理器 1040 可以对应于图 6 中的处理器 510。存储器 1050 可以对应于图 6 中的外围块 530。显示控制单元 1060 可以对应于图 6 中的显示和图形块 550 和 560。声音控制单元 1080 可以对应于图 6 中的音频块 540。图像处理单元 1120 可以对应于图 6 中的图像处理器块 570。编解码器单元 1150 可以对应于图 6 中的编解码器块 580。

[0128] 时钟产生单元 1020 可以将时钟 CLK 提供给片上系统 1200, 并且可以提供给多媒体设备 1000 的组件当中需要时钟 CLK 的组件。

[0129] 片上系统 1200 的 PLL 1030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述, 电平转换器 LS 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比, 并可以产生与第一时钟 CLK1 同步的第二时钟 CLK2。处理器 1040 可以响应于第二时钟 CLK2 进行操作。片上系统 1200 的其他组件, 例如, 存储器 1050、显示控制单元 1060、声音控制单元 1080、图像处理单元 1120、和编解码器单元 1150, 可以响应于第一时钟 CLK1 进行操作。

[0130] 图 8 说明包括采用这里描述的一个或多个特征的电平转换器 LS (例如, 电平转换器 100) 的示范性实施例的多媒体设备 2000 的框图。参照图 8, 多媒体设备 2000 可以包括振荡器 2010、时钟产生单元 2020、锁相环 (PLL) 2030、处理器 2040、存储器 2050、显示控制单元 2060、显示单元 2070、声音控制单元 2080、扬声器 2090、存储单元 2120、调制解调器 2110、图像处理单元 2120、摄像头 2130、用户接口 2140、和编解码器单元 2150。

[0131] 一般地, 下面将仅仅描述图 7 的多媒体设备 1000 与图 8 的多媒体设备 2000 之间的差别。图 8 的多媒体设备 2000 中, PLL 2030、处理器 2040、存储器 2050、显示控制单元 2060、声音控制单元 2080、调制解调器 2110、图像处理单元 2120、和编解码器单元 2150 可以被提供为片上系统 2200。片上系统 2200 可以具有参照图 6 描述的结构。处理器 2040 可以对应于图 6 中的处理器 510。存储器 2050 和调制解调器 2110 可以对应于图 6 中的外围块 530。显示控制单元 2060 可以对应于图 6 中的显示和图形块 550 和 560。声音控制单元 2080 可以对应于图 6 中的音频块 540。图像处理单元 2120 可以对应于图 6 中的图像处理器块 570。编解码器单元 2150 可以对应于图 6 中的编解码器块 580。

[0132] 时钟产生单元 2020 可以将时钟 CLK 提供给片上系统 2200, 并且可以提供给多媒体设备 2000 的组件当中需要时钟 CLK 的组件。

[0133] 片上系统 2200 的 PLL 2030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述, 处理器 2050 的电平转换器 LS 可以保持高电平和低电平时段的占空比, 并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 2040 可以响应于第二时钟 CLK2 进行操作。片上系统 2200 的其他组件, 例如, 存储器 2050、显示控制单元 2060、声音控制单元 2080、图像处理单元 2120、和编解码器单元 2150, 可以响应于第一时钟 CLK1 进行操作。

[0134] 图 9 说明包括采用这里描述的一个或多个特征的电平转换器 LS (例如, 电平转换器 100) 的示范性实施例的多媒体设备 3000 的框图。参照图 9, 多媒体设备 3000 可以包括振荡器 3010、时钟产生单元 3020、锁相环 (PLL) 3030、处理器 3040、存储器 3050、显示控制单元 3060、显示单元 3070、声音控制单元 3080、扬声器 3090、存储单元 3100、调制解调器 3110、图

像处理单元 3120、摄像头 3130、用户接口 3140、和编解码器单元 3150。

[0135] 一般地,下面将仅仅描述图 7 的多媒体设备 1000 与图 9 的多媒体设备 3000 之间的差别。图 9 的多媒体设备 3000 中,PLL 3030、处理器 3040、存储器 3050、显示控制单元 3060、声音控制单元 3080、和编解码器单元 3150 可以被提供为片上系统 3200。

[0136] 时钟产生单元 3020 可以将时钟 CLK 提供给片上系统 3200,并且可以提供给多媒体设备 3000 的组件当中需要时钟 CLK 的组件。

[0137] 片上系统 3200 的 PLL 3030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述,处理器 3050 的电平转换器 LS 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比,并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 3040 可以响应于第二时钟 CLK2 进行操作。片上系统 3200 的其他组件,例如存储器 3050、显示控制单元 3060、声音控制单元 3080、和编解码器单元 3150,可以响应于第一时钟 CLK1 进行操作。

[0138] 图 10 说明包括采用这里描述的一个或多个特征的电平转换器 LS(例如,电平转换器 100)的示范性实施例的多媒体设备 4000 的框图。参照图 10,多媒体设备 4000 可以包括振荡器 4010、时钟产生单元 4020、锁相环 (PLL) 4030、处理器 4040、存储器 4050、显示控制单元 4060、显示单元 4070、声音控制单元 4080、扬声器 4090、存储单元 4100、调制解调器 4110、图像处理单元 4120、摄像头 4130、用户接口 4140、和编解码器单元 4150。

[0139] 一般地,下面将仅仅描述图 7 的多媒体设备 1000 与图 10 的多媒体设备 4000 之间的差别。参照图 10,在多媒体设备 4000 中,PLL 4030、处理器 4040、存储器 4050、显示控制单元 4060、和声音控制单元 4080 可以被提供为片上系统 4200。

[0140] 时钟产生单元 4020 可以将时钟 CLK 提供给片上系统 4200,并且可以提供给多媒体设备 4000 的组件当中需要时钟 CLK 的组件。

[0141] 片上系统 4200 的 PLL 4030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述,处理器 4050 的电平转换器 LS 可以保持高电平和低电平时段的占空比,并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 4040 可以响应于第二时钟 CLK2 进行操作。片上系统 4200 的其他组件,例如,存储器 4050、显示控制单元 4060、和声音控制单元 4080,可以响应于第一时钟 CLK1 进行操作。

[0142] 图 11 说明包括采用这里描述的一个或多个特征的电平转换器 LS(例如,电平转换器 100)的示范性实施例的多媒体设备 5000 的框图。参照图 11,多媒体设备 5000 可以包括振荡器 5010、时钟产生单元 5020、锁相环 (PLL) 5030、处理器 5040、存储器 5050、显示控制单元 5060、显示单元 5070、声音控制单元 5080、扬声器 5090、存储单元 5100、调制解调器 5110、图像处理单元 5120、摄像头 5130、用户接口 5140、和编解码器单元 5150。

[0143] 一般地,下面将仅仅描述图 7 的多媒体设备 1000 与图 11 的多媒体设备 5000 之间的差别。参照图 11,在多媒体设备 5000 中,PLL 5030、处理器 5040、存储器 5050、和显示控制单元 5060 可以被提供为片上系统 5200。

[0144] 时钟产生单元 5020 可以将时钟 CLK 提供给片上系统 5200,并且可以提供给多媒体设备 5000 的组件当中需要时钟 CLK 的组件。

[0145] 片上系统 5200 的 PLL 5030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述,处理器 5050 的电平转换器 LS 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比,并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 5040 可

以响应于第二时钟 CLK2 进行操作。片上系统 5200 的其他组件,例如,存储器 5050 和显示控制单元 5060,可以响应于第一时钟 CLK1 进行操作。

[0146] 图 12 说明包括采用这里描述的一个或多个特征的电平转换器 LS(例如,电平转换器 100)的示范性实施例的多媒体设备 6000 的框图。参照图 12,多媒体设备 6000 可以包括振荡器 6010、时钟产生单元 6020、锁相环 (PLL) 6030、处理器 6040、存储器 6050、显示控制单元 6060、显示单元 6070、声音控制单元 6080、扬声器 6090、存储单元 6100、调制解调器 6110、图像处理单元 6120、摄像头 6130、用户接口 6140、和编解码器单元 6150。

[0147] 一般地,下面将仅仅描述图 12 的多媒体设备 6000 与图 7 的多媒体设备 1000 之间的差别。参照图 12,在多媒体设备 6000 中,PLL 6030、处理器 6040、和存储器 6050 可以被提供为片上系统 6200。

[0148] 时钟产生单元 6020 可以将时钟 CLK 提供给片上系统 6200,并且可以提供给多媒体设备 6000 的组件当中需要时钟 CLK 的组件。

[0149] 片上系统 6200 的 PLL 6030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述,处理器 6050 的电平转换器 LS 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比,并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 6040 可以响应于第二时钟 CLK2 进行操作。片上系统 6200 的其他组件,例如,存储器 6050,可以响应于第一时钟 CLK1 进行操作。

[0150] 图 13 说明包括采用这里描述的一个或多个特征的电平转换器 LS(例如,电平转换器 100)的示范性实施例的多媒体设备 7000 的框图。参照图 13,多媒体设备 7000 可以包括振荡器 7010、时钟产生单元 7020、锁相环 (PLL) 7030、处理器 7040、存储器 7050、显示控制单元 7060、显示单元 7070、声音控制单元 7080、扬声器 7090、存储单元 7100、调制解调器 7110、图像处理单元 7120、摄像头 7130、用户接口 7140、和编解码器单元 7150。

[0151] 一般地,下面将仅仅描述图 7 的多媒体设备 1000 与图 13 的多媒体设备 7000 之间的差别。参照图 13,在多媒体设备 7000 中,PLL 7030、处理器 7040、存储器 7050、和声音控制单元 7080 可以被提供为片上系统 7200。

[0152] 时钟产生单元 7020 可以将时钟 CLK 提供给片上系统 7200,并且可以提供给多媒体设备 7000 的组件当中需要时钟 CLK 的组件。

[0153] 片上系统 7200 的 PLL 7030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述,处理器 7050 的电平转换器 LS 可以保持高电平和低电平时段的占空比,并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 7040 可以响应于第二时钟 CLK2 进行操作。片上系统 7200 的其他组件,例如,存储器 7050 和声音控制单元 7080,可以响应于第一时钟 CLK1 进行操作。

[0154] 图 14 说明包括采用这里描述的一个或多个特征的电平转换器 LS(例如,电平转换器 100)的示范性实施例的多媒体设备 8000 的框图。参照图 14,多媒体设备 8000 可以包括振荡器 8010、时钟产生单元 8020、锁相环 (PLL) 8030、处理器 8040、存储器 8050、显示控制单元 8060、显示单元 8070、声音控制单元 8080、扬声器 8090、存储单元 8100、调制解调器 8110、用户接口 8140、和编解码器单元 8150。

[0155] 一般地,下面将仅仅描述图 7 的多媒体设备 1000 与图 14 的多媒体设备 8000 之间的差别。参照图 14,在多媒体设备 8000 中,PLL 8030、处理器 8040、存储器 8050、显示控制

单元 8060、声音控制单元 8080 和编解码器单元 8150 可以被提供为片上系统 8200。参照图 14, 多媒体设备 8000 中可以不包括图像处理单元和摄像头。

[0156] 时钟产生单元 8020 可以将时钟 CLK 提供给片上系统 8200, 并且可以提供给多媒体设备 8000 的组件当中需要时钟 CLK 的组件。

[0157] 片上系统 8200 的 PLL 8030 可以产生与时钟 CLK 同步的第一时钟 CLK1。如参照图 1 到 5 所述, 处理器 8050 的电平转换器 LS 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比, 并可以基于第一时钟 CLK1 产生第二时钟 CLK2。处理器 8040 可以响应于第二时钟 CLK2 进行操作。片上系统 8200 的其他组件, 例如, 存储器 8050 和声音控制单元 8080, 可以响应于第一时钟 CLK1 进行操作。

[0158] 如参照图 8 到 13 所述, 片上系统 8200 中包括的组件可以改变。然而, 在一个或多个这样的实施例中, 可以不提供图像处理单元和摄像头。

[0159] 参照图 7 到 14 描述了多媒体设备的示范性实施例。多媒体设备 (例如, 多媒体设备 1000、2000、3000、4000、5000、6000、7000、8000) 可以应用于多种产品。多媒体设备的示例包括计算机、移动计算机、超移动 PC (UMPC)、工作站、上网本、PDA、网络平板计算机、无线电话机、移动电话机、智能电话机、电子书、PMP (便携式多媒体播放器)、数字摄像头、数字音频录放机、数字画面 / 视频录放机、便携式游戏机、导航系统、黑盒子、3 维电视机、能在无线环境下发送和接收信息的设备、组成家庭网络的多种电子设备之一、组成计算机网络的多种电子设备之一、组成远程通信网络的多种电子设备之一、RFID、(例如, SSD、存储卡等)、组成计算系统的多种电子设备之一等。

[0160] 图 15 说明智能电话机 9100 的示范性实施例的框图。参照图 15, 智能电话机 9100 可以包括外壳 9110、屏幕 9120、摄像头 9130、扬声器 9140、和操作按钮 9150。

[0161] 屏幕 9120 可以对应于参照图 7 到 14 描述的显示单元 1070 到 8070。摄像头 9130 可以对应于参照图 7 到 14 描述的摄像头 1130 到 7130。操作按钮 9150 可以对应于参照图 7 到 14 描述的用户接口 1140 到 8140。如果屏幕 9120 由触摸屏形成, 则屏幕 9120 可以对应于参照图 7 到 14 描述的用户接口 1140 到 8140。扬声器 9140 可以对应于参照图 7 到 14 描述的扬声器 1090 到 8090。

[0162] 可以在外壳 9110 内提供振荡器 1010-8010、时钟产生单元 1020-8020、锁相环 1030-8030、处理器 1040-8040、存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、和编解码器单元 1150-8150。可以在外壳 9110 内进一步提供图像处理单元 1120-7120。存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、图像处理单元 1120-7120、和编解码器单元 1150-8150 的至少一个可以与锁相环 1030-8030 和处理器 1040-8040 一起形成片上系统 1200-8200。

[0163] 时钟产生单元 1020-8020 可以响应于从振荡器 1010-8010 输入的振荡信号产生时钟 CLK。时钟 CLK 可以被提供给片上系统 1200-8200。锁相环 1030-8030 可以产生与时钟 CLK 同步的第一时钟 CLK1。第一时钟 CLK 可以被提供给片上系统 1200-8200 的组件。处理器 1040-8040 可以包括根据本发明构思的示范性实施例的电平转换器 100, 或可以与电平转换器 100 相连接。电平转换器 100 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比, 并可以将第一电压域的第一时钟 CLK1 转换为第二电压域的第二时钟

CLK2。处理器 1040-8040 可以响应于第二时钟 CLK2 进行操作。片上系统 1200-8200 的其他组件可以响应于第一时钟 CLK1 进行操作。

[0164] 虽然图 15 中未示出,但是显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 也可以被提供在智能电话机 9100 的后面、上面、下面、和侧面的至少一个上。

[0165] 图 16 说明平板计算机 9200 的示范性实施例的示意图。参照图 16,平板计算机 9200 可以包括外壳 9210、屏幕 9220、摄像头 9230、和操作按钮 9240。

[0166] 屏幕 9220 可以对应于参照图 7 到 14 描述的显示单元 1070 到 8070。摄像头 9230 可以对应于参照图 7 到 13 描述的摄像头 1130 到 7130。操作按钮 9240 可以对应于参照图 7 到 14 描述的用户接口 1140 到 8140。如果屏幕 9220 由触摸屏形成,则屏幕 9220 可以对应于用户接口 1140 到 8140。扬声器 9240 可以对应于参照图 7 到 14 描述的扬声器 1090 到 8090。

[0167] 可以在外壳 9210 内提供振荡器 1010-8010、时钟产生单元 1020-8020、锁相环 1030-8030、处理器 1040-8040、存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、和编解码器单元 1150-8150。可以在外壳 9210 内进一步提供图像处理单元 1120-7120。存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、图像处理单元 1120-7120、和编解码器单元 1150-8150 的至少一个可以与锁相环 1030-8030 和处理器 1040-8040 一起形成片上系统 1200-8200。

[0168] 时钟产生单元 1020-8020 可以响应于从振荡器 1010-8010 输入的振荡信号产生时钟 CLK。时钟 CLK 可以被提供给片上系统 1200-8200。锁相环 1030-8030 可以产生与时钟 CLK 同步的第一时钟 CLK1。第一时钟 CLK1 可以被提供给片上系统 1200-8200 的组件。处理器 1040-8040 可以包括根据本发明构思的示范性实施例的电平转换器 100,或可以与电平转换器 100 相连接。电平转换器 100 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比,并可以将第一电压域的第一时钟 CLK1 转换为第二电压域的第二时钟 CLK2。处理器 1040-8040 可以响应于第二时钟 CLK2 进行操作。片上系统 1200-8200 的其他组件可以响应于第一时钟 CLK1 进行操作。

[0169] 虽然图 16 中未示出,但是显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 也可以被提供在平板计算机 9200 的后侧、上面、下面、和侧面的至少一个上。此外,显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 可以进一步被提供为与平板计算机 9200 相连接的附件。

[0170] 图 17 说明移动计算机 9300 的示范性实施例的示意图。参照图 17,移动计算机 9300 可以包括外壳 9310、屏幕 9320、摄像头 9330、扬声器 9340、键盘 9350、和触摸垫 9360。

[0171] 屏幕 9320 可以对应于参照图 7 到 14 描述的显示单元 1070 到 8070。摄像头 9330 可以对应于参照图 7 到 13 描述的摄像头 1130 到 7130。键盘 9350 和触摸垫 9360 可以对应于参照图 7 到 14 描述的用户接口 1140 到 8140。如果屏幕 9320 由触摸屏形成,则屏幕 9320 也可以对应于用户接口 1140 到 8140。扬声器 9340 可以对应于参照图 7 到 14 描述的扬声器 1090 到 8090。

[0172] 可以在外壳 9310 内提供振荡器 1010-8010、时钟产生单元 1020-8020、锁相环 1030-8030、处理器 1040-8040、存储器 1050-8050、显示控制单元 1060-8060、声音控制单元

1080-8080、存储单元 1100-8100、调制解调器 1110-8110、和编解码器单元 1150-8150。可以在外壳 9310 内进一步提供图像处理单元 1120-7120。存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、图像处理单元 1120-7120、和编解码器单元 1150-8150 的至少一个可以与锁相环 1030-8030 和处理器 1040-8040 一起形成片上系统 1200-8200。

[0173] 时钟产生单元 1020-8020 可以响应于从振荡器 1010-8010 输入的振荡信号产生时钟 CLK。时钟 CLK 可以被提供给片上系统 1200-8200。锁相环 1030-8030 可以产生与时钟 CLK 同步的第一时钟 CLK1。第一时钟 CLK1 可以被提供给片上系统 1200-8200 的组件。处理器 1040-8040 可以包括根据本发明构思的示范性实施例的电平转换器 100, 或可以与电平转换器 100 相连接。电平转换器 100 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比, 并可以将第一电压域的第一时钟 CLK1 转换为第二电压域的第二时钟 CLK2。处理器 1040-8040 可以响应于第二时钟 CLK2 进行操作。片上系统 1200-8200 的其他组件可以响应于第一时钟 CLK1 进行操作。

[0174] 移动计算机 9300 可以是笔记本式计算机或上网本。虽然图 17 中未示出, 但是显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 也可以被提供在移动计算机 9300 的后侧、上面、下面、和侧面的至少一个上。此外, 显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 可以进一步被提供为与移动计算机 9300 相连接的附件。

[0175] 图 18 说明计算机 9400 的示范性实施例的示意图。参照图 18, 计算机 9400 可以包括机身 9410、监视器 9420、和键盘 9430。

[0176] 监视器 9420 可以对应于参照图 7 到 14 描述的显示单元 1070 到 8070。键盘 9430 可以对应于参照图 7 到 14 描述的用户接口 1140 到 8140。如果监视器 9420 由触摸屏形成, 则监视器 9420 可以对应于用户接口 1140 到 8140。

[0177] 可以在机身 9410 内提供振荡器 1010-8010、时钟产生单元 1020-8020、锁相环 1030-8030、处理器 1040-8040、存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、和编解码器单元 1150-8150。可以在机身 9410 内进一步提供图像处理单元 1120-7120。存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、图像处理单元 1120-7120、和编解码器单元 1150-8150 的至少一个可以与锁相环 1030-8030 和处理器 1040-8040 一起形成片上系统 1200-8200。

[0178] 时钟产生单元 1020-8020 可以响应于从振荡器 1010-8010 输入的振荡信号产生时钟 CLK。时钟 CLK 可以被提供给片上系统 1200-8200。锁相环 1030-8030 可以产生与时钟 CLK 同步的第一时钟 CLK1。第一时钟 CLK1 可以被提供给片上系统 1200-8200 的组件。处理器 1040-8040 可以包括根据本发明构思的示范性实施例的电平转换器 100, 或可以与电平转换器 100 相连接。电平转换器 100 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比, 并可以将第一电压域的第一时钟 CLK1 转换为第二电压域的第二时钟 CLK2。处理器 1040-8040 可以响应于第二时钟 CLK2 进行操作。片上系统 1200-8200 的其他组件可以响应于第一时钟 CLK1 进行操作。

[0179] 虽然图 18 中未示出, 但是显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 也可以被提供在计算机 9400 的后侧、上面、下面、和侧面的至少一个上。此外, 显

示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 可以进一步被提供为与计算机 9400 相连接的附件。

[0180] 图 19 说明电视机 9500 的示范性实施例的示意图。参照图 19, 电视机 9500 可以包括外壳 9510、屏幕 9520、和操作按钮 9530。

[0181] 屏幕 9520 可以对应于参照图 7 到 14 描述的显示单元 1070 到 8070。操作按钮 9530 可以对应于参照图 7 到 14 描述的用户接口 1140 到 8140。如果屏幕 9520 由触摸屏形成, 则屏幕 9520 可以对应于用户接口 1140 到 8140。

[0182] 可以在外壳 9510 内提供振荡器 1010-8010、时钟产生单元 1020-8020、锁相环 1030-8030、处理器 1040-8040、存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、和编解码器单元 1150-8150。可以在外壳 9510 内进一步提供图像处理单元 1120-7120。存储器 1050-8050、显示控制单元 1060-8060、声音控制单元 1080-8080、存储单元 1100-8100、调制解调器 1110-8110、图像处理单元 1120-7120、和编解码器单元 1150-8150 的至少一个可以与锁相环 1030-8030 和处理器 1040-8040 一起形成片上系统 1200-8200。

[0183] 时钟产生单元 1020-8020 可以响应于从振荡器 1010-8010 输入的振荡信号产生时钟 CLK。时钟 CLK 可以被提供给片上系统 1200-8200。锁相环 1030-8030 可以产生与时钟 CLK 同步的第一时钟 CLK1。第一时钟 CLK1 可以被提供给片上系统 1200-8200 的组件。处理器 1040-8040 可以包括根据本发明构思的示范性实施例的电平转换器 100, 或可以与电平转换器 100 相连接。电平转换器 100 可以相对于输入和输出时钟相同地保持高电平和低电平时段的占空比, 并可以将第一电压域的第一时钟 CLK1 转换为第二电压域的第二时钟 CLK2。处理器 1040-8040 可以响应于第二时钟 CLK2 进行操作。片上系统 1200-8200 的其他组件可以响应于第一时钟 CLK1 进行操作。

[0184] 电视机可以是三维 (3D) 电视机或智能电视机。虽然图 19 中未示出, 但是显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 也可以被提供在电视机 9500 的后侧、上面、下面、和侧面的至少一个上。此外, 显示单元 1070-8070、扬声器 1090-8090、和用户接口 1140-8140 可以进一步被提供为与电视机 9500 相连接的附件。示范性地, 可以进一步提供与电视机 9500 通信的遥控器作为用户接口 1140-8140。

[0185] 不难理解, 虽然这里可以使用术语第一、第二、第三等来描述各种元件、组件、区域、层和 / 或部件, 但这些元件、组件、区域、层和 / 或部件不应当受这些术语的限制。这些术语仅仅用于将一个元件、组件、区域、层或部件与另一个元件、组件、区域、层或部件区分开来。因而, 下面讨论的第一元件、组件、区域、层或部件也可以称为第二元件、组件、区域、层或部件, 而不会脱离本发明构思的教导。

[0186] 为了便于描述, 这里可以使用诸如“之下”、“下方”、“低于”、“下面”、“上方”、“上面”等的空间关系术语来描述附图中所示的一个元件或特征与其他元件或特征的关系。不难理解, 所述空间关系术语意图涵盖使用或操作中的设备的除了附图中描绘的方向之外的其他方向。例如, 如果附图中的设备被翻转, 则被描述为在其他元件或特征“下方”或“之下”或“下面”的元件的方向将改为在所述其他元件或特征的“上方”。因而, 示范性术语“下方”和“下面”可以涵盖上和下两个方向。设备也可以具有其他朝向 (旋转 90 度或处于其他方向), 并相应地解释其中使用的空间相对描述符。此外, 还不难理解, 当一个层被称为在两个

层“之间”时,它可以是所述两个层之间仅有的层,或者也可以存在一个或多个介于其间的层。

[0187] 这里使用的术语仅仅是用于描述特定实施例的目的,并非意在限制本发明构思。这里使用的单数形式“一”、“一个”、和“该”意在同样包括复数形式,除非上下文明确给出相反指示。还不难理解,术语“包括”和 / 或“包含”在本说明书中使用时,表明存在所述特征、整体、步骤、操作、元件、和 / 或组件,但是不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件、和 / 或它们的组合。这里使用的词语“和 / 或”包括相关的所列项目中的任何一个或其中的一个或多个的全部组合。

[0188] 不难理解,当元件或层被称为在另一元件或层“上”,或者“连接到”、“耦合到”、或“邻近”另一元件或层时,其可以直接在该另一元件或层上,或者直接连接到、耦合到、或邻近该另一元件或层,或者也可以存在介于其间的元件或层。相反,当元件被称为“直接”在另一元件或层“上”,或“直接连接到”、“直接耦合到”、或“紧邻”另一元件或层时,不存在介于其间的元件或层。

[0189] 除非另外定义,否则这里使用的所有术语(包括技术术语和科学术语)具有与本发明构思所属技术领域的普通技术人员所通常理解的含义的相同的含义。还不难理解,术语,诸如,常用词典中定义的术语,应当被解释为具有与它们在相关领域和 / 或本说明书的上下文中的含义一致的含义,而不应当理想化或过分形式化地解释,除非这里明确地如此定义。

[0190] 以上公开的主题应被看作是说明性的,而不是限制性的,并且所附权利要求书意在覆盖落入真实精神和范围内的所有这样的修改、改进、以及其他实施例。因而,在法律允许的最大限度内,本发明的范围将由权利要求书及其等效物的最宽泛允许解释来确定,而不应当限制或局限于前述详细说明。

[0191] 对相关申请的交叉引用

[0192] 本申请要求题为“Level Shifter, System-On-Chip Including the Same, and Multimedia Device Including the Same”的、2010年11月12日提交的美国临时申请 No. 61/412,952、和 2011年1月18日提交的韩国专利申请 No. 10-2011-0005020 的优先权。通过引用将两个申请整体合并于此。

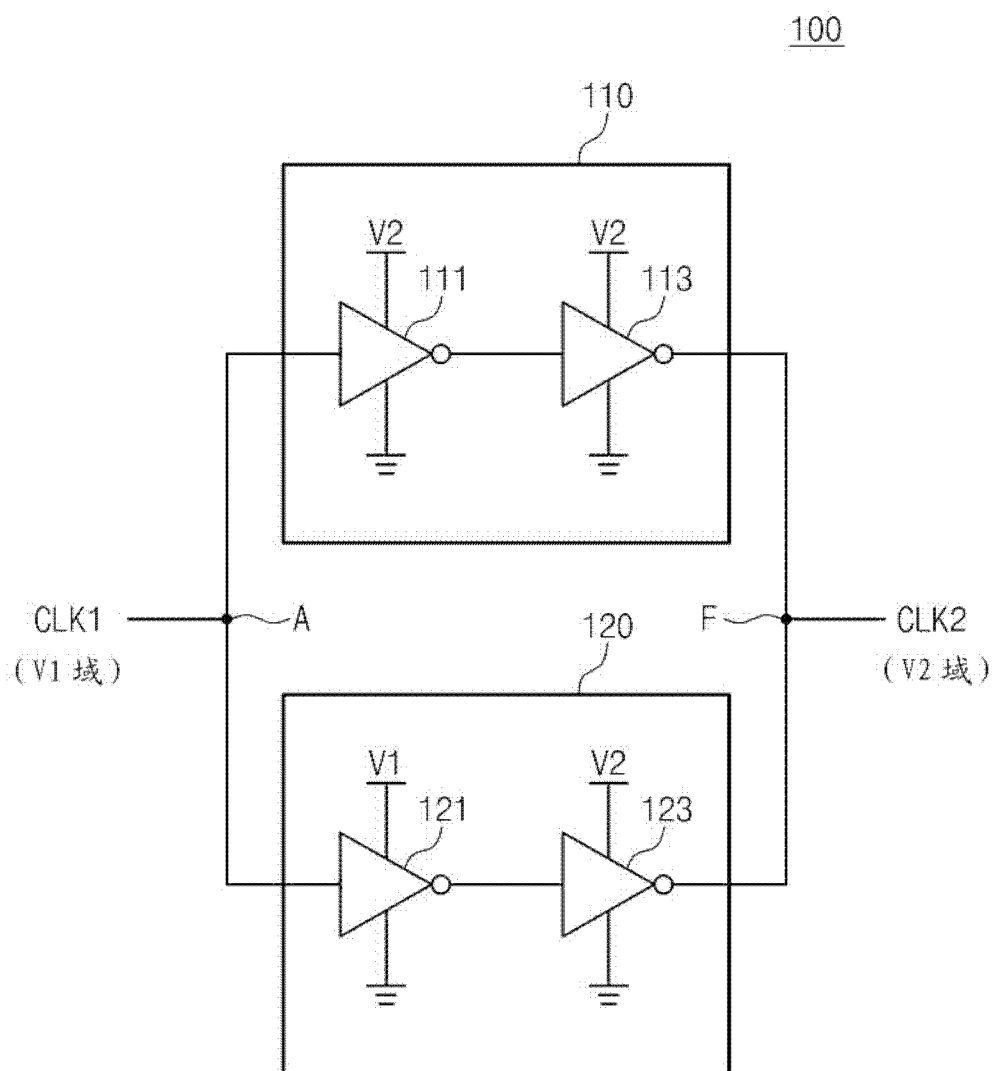


图 1

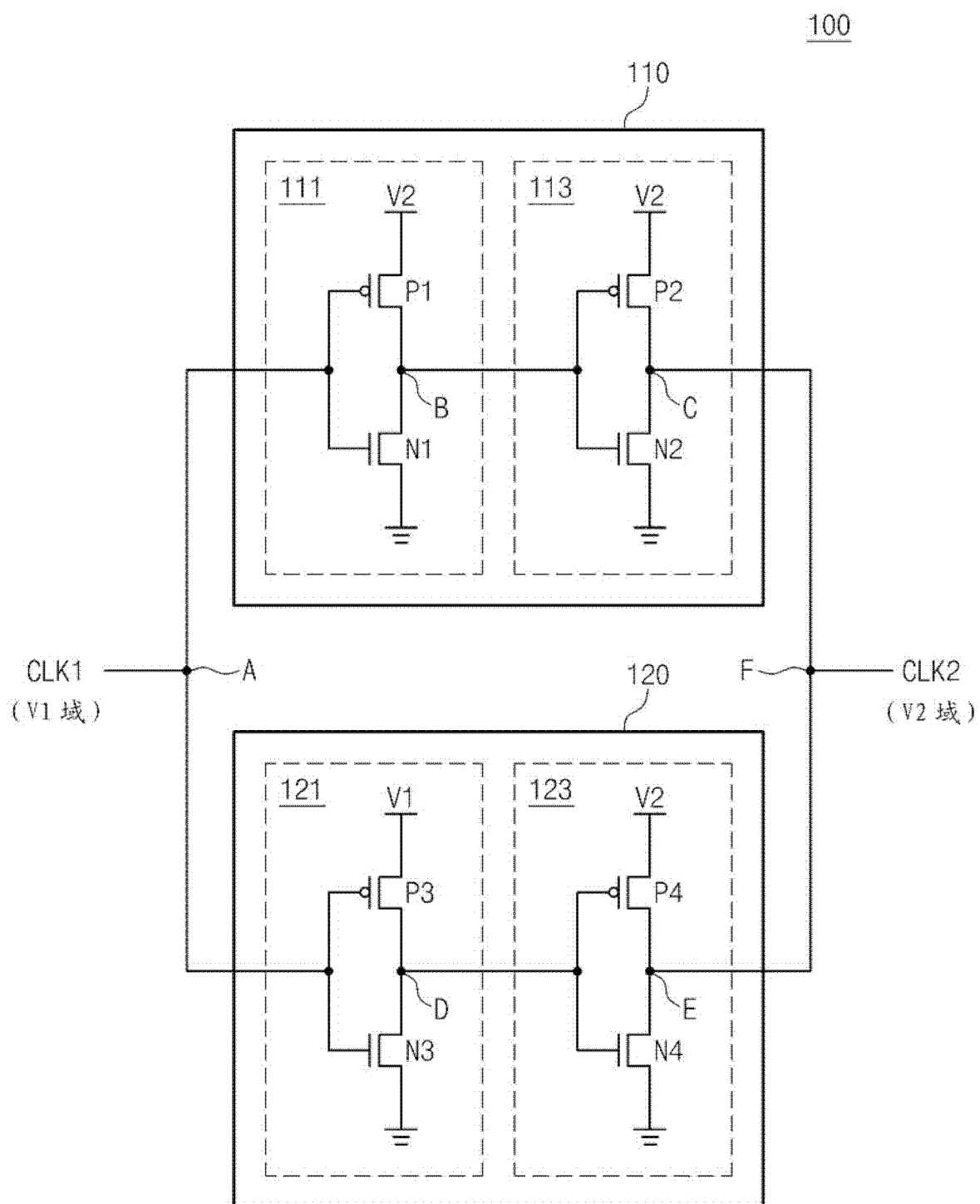


图 2

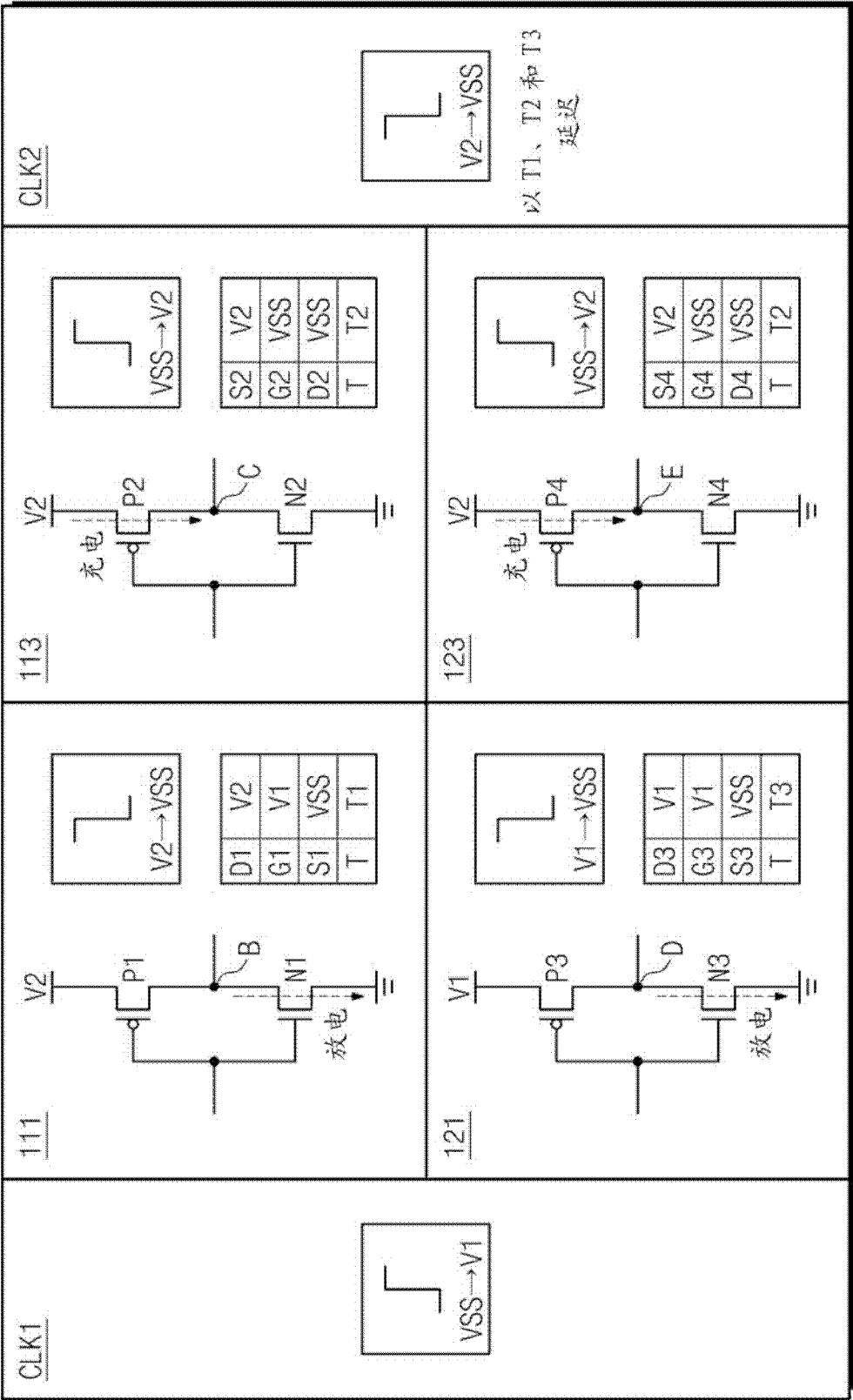


图 3

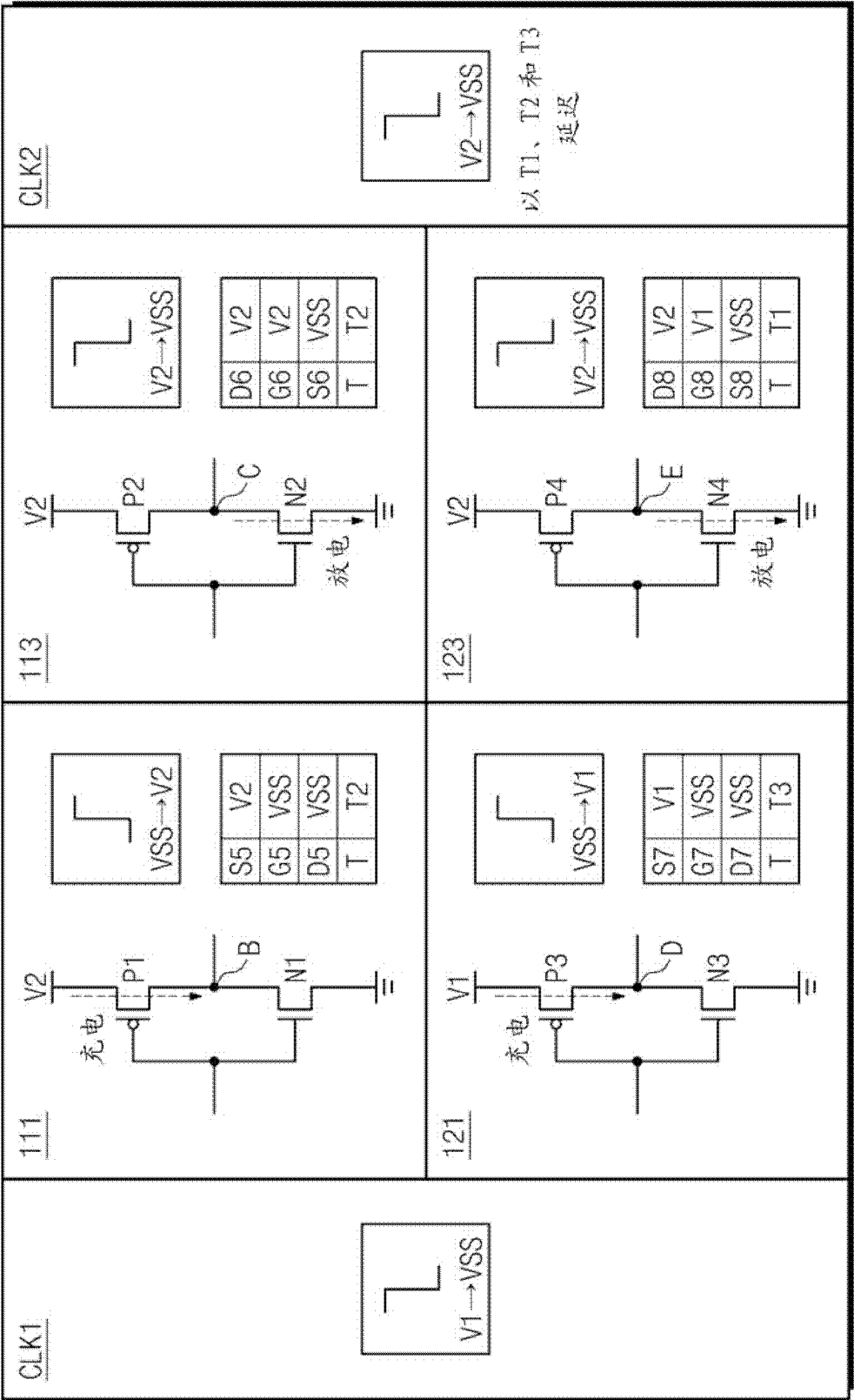


图 4

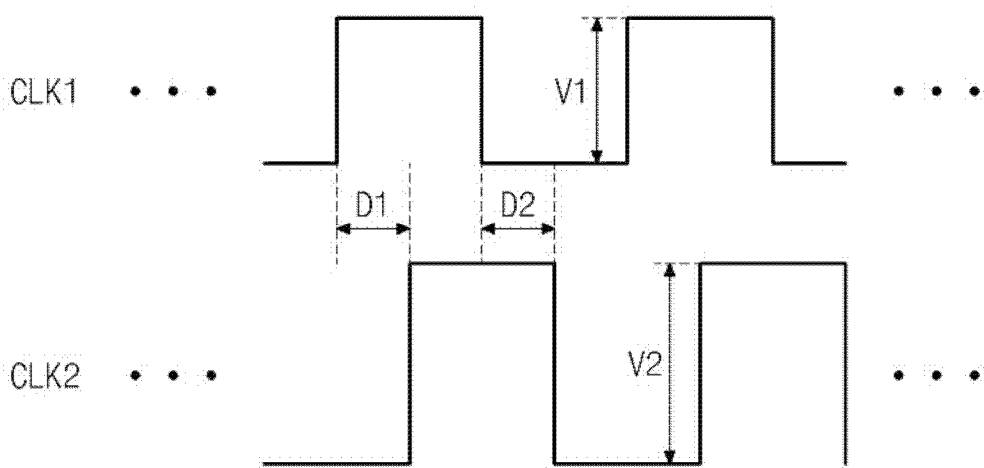


图 5

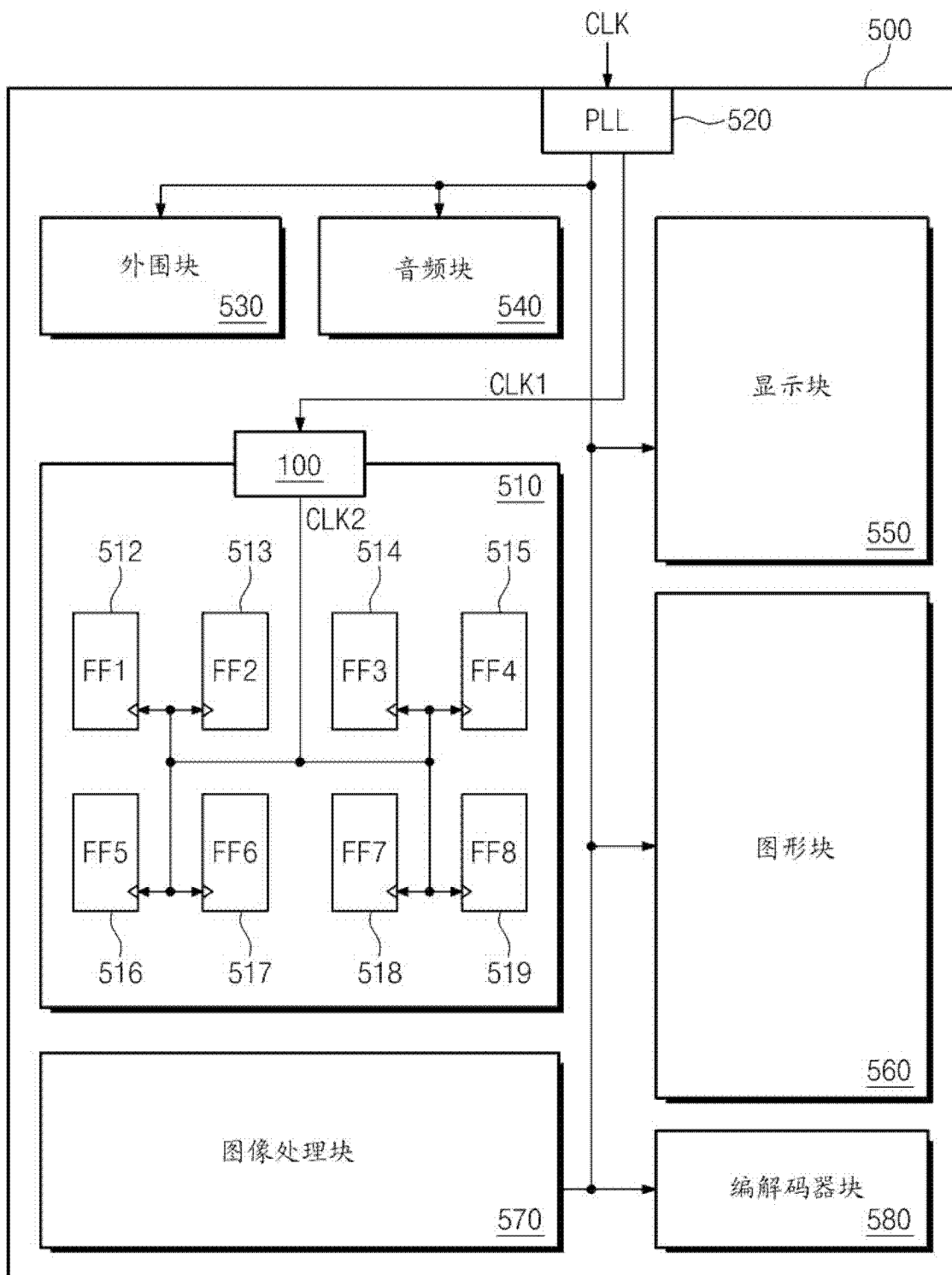


图 6

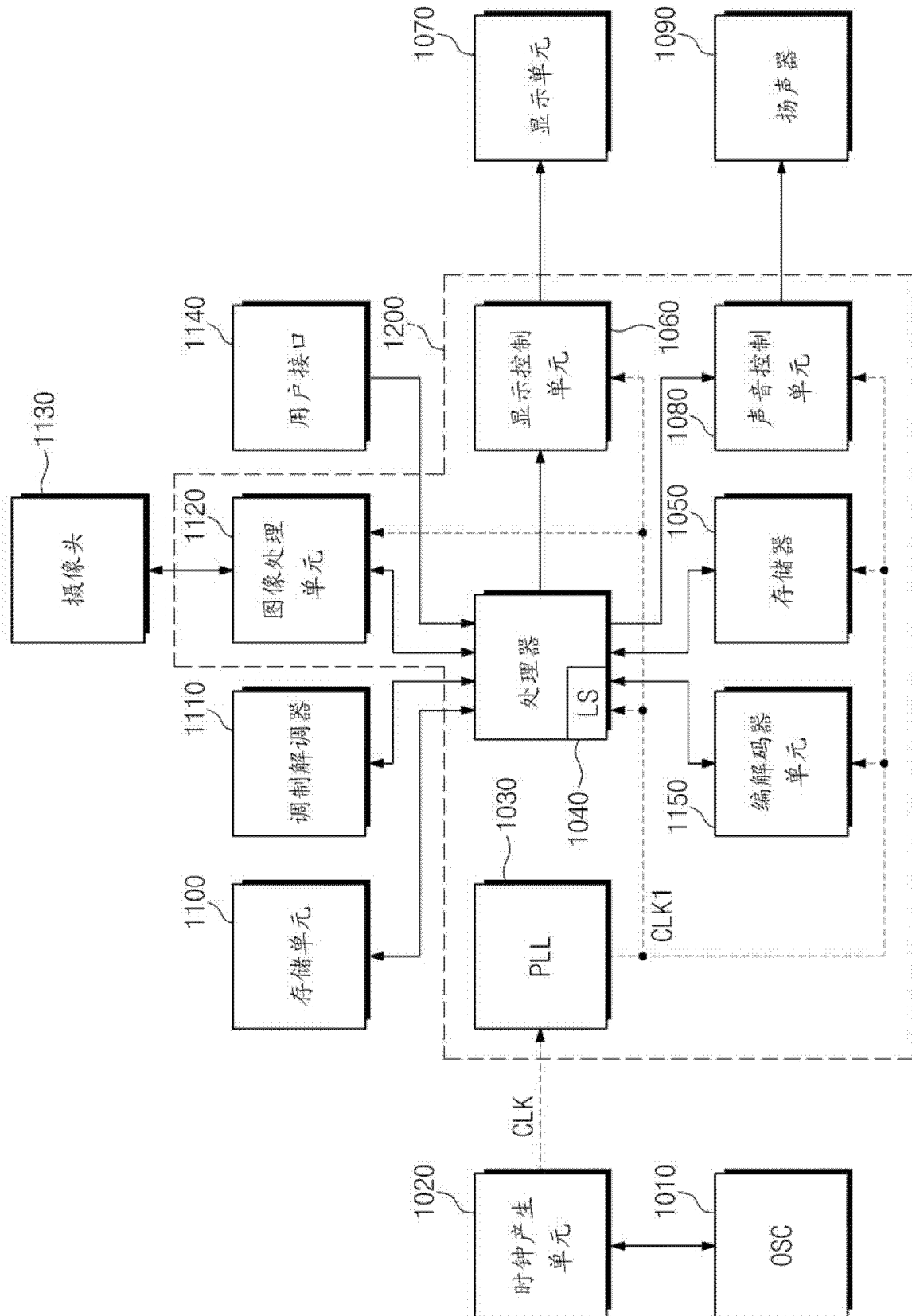


图 7

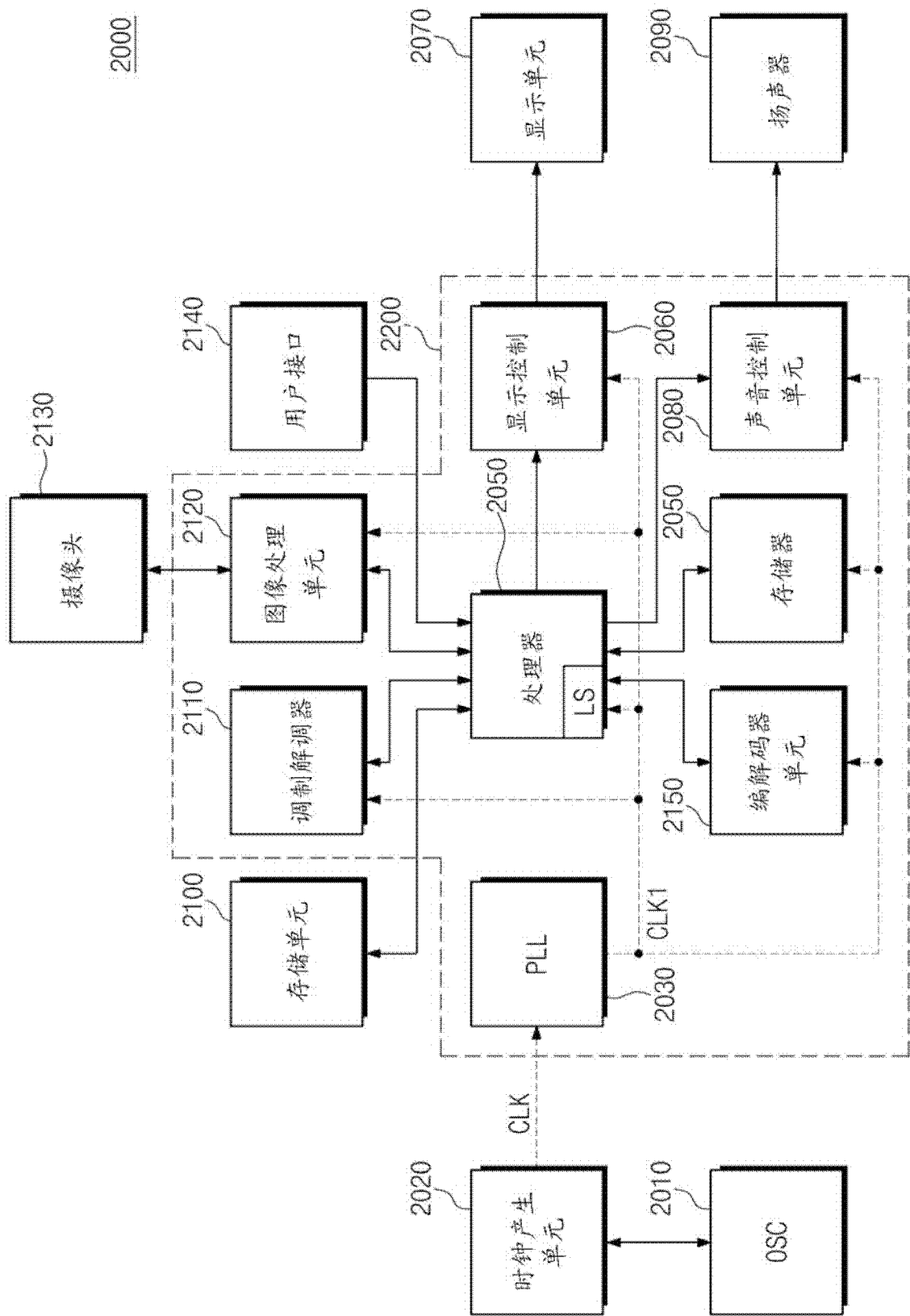


图 8

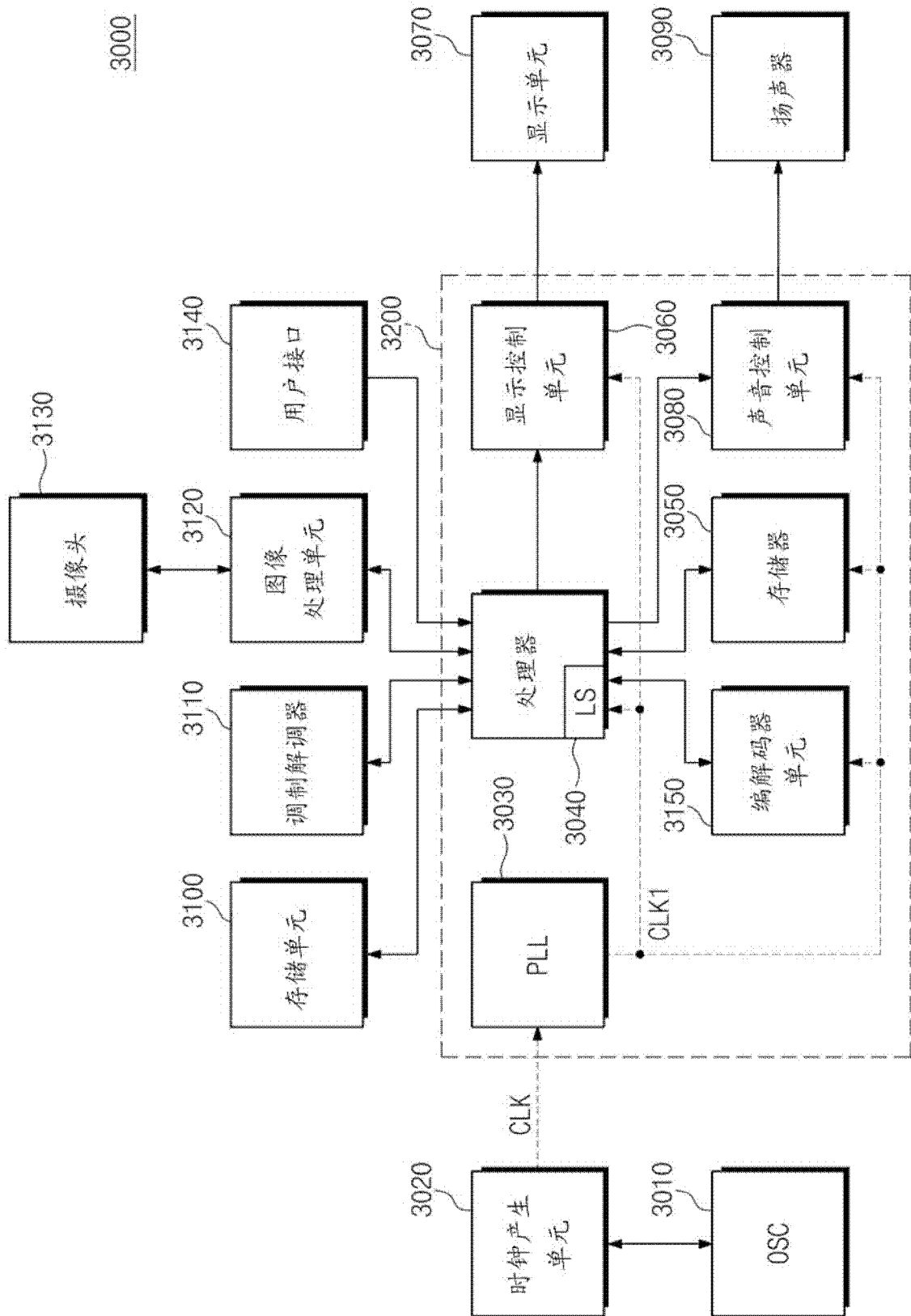


图 9

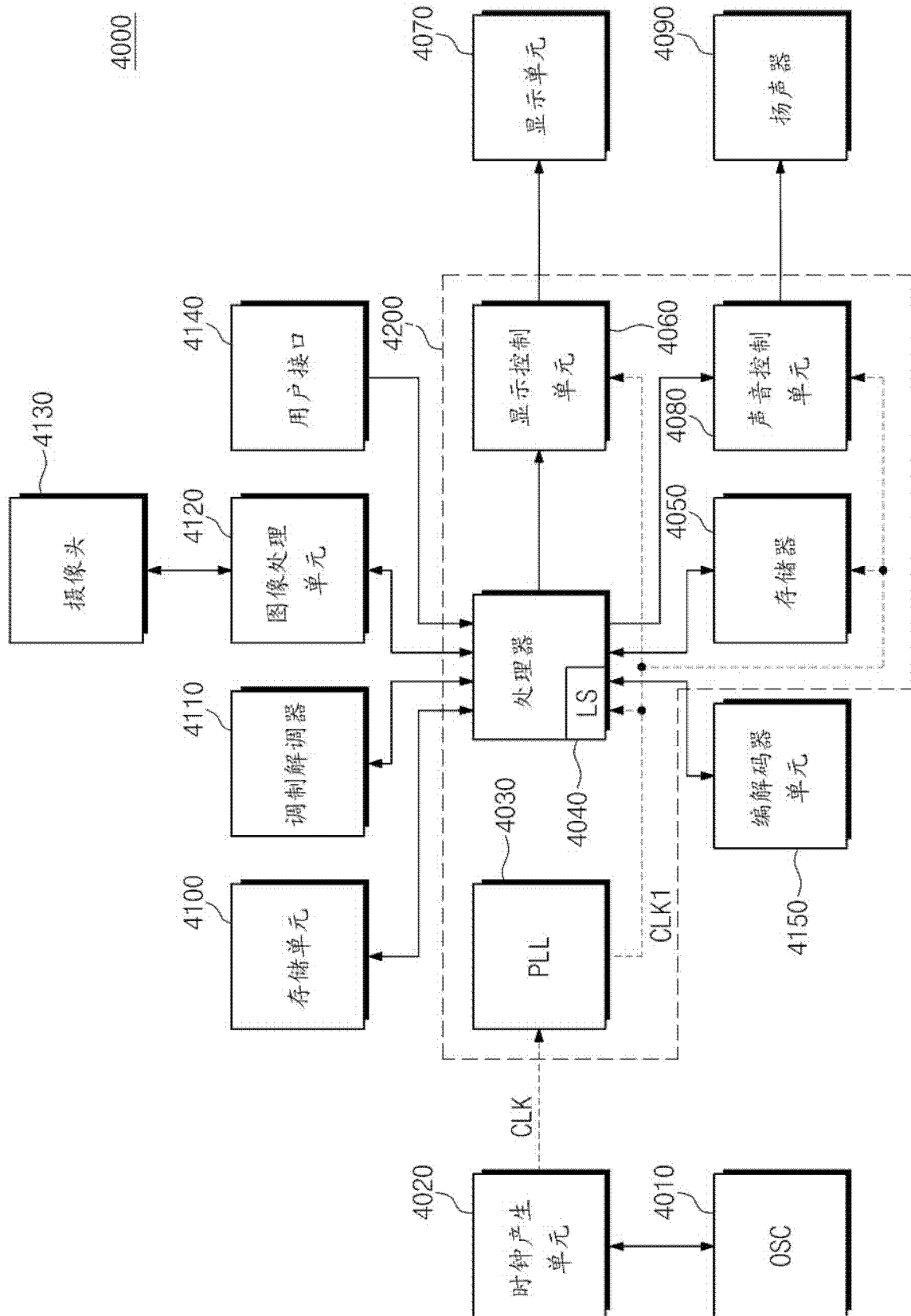


图 10

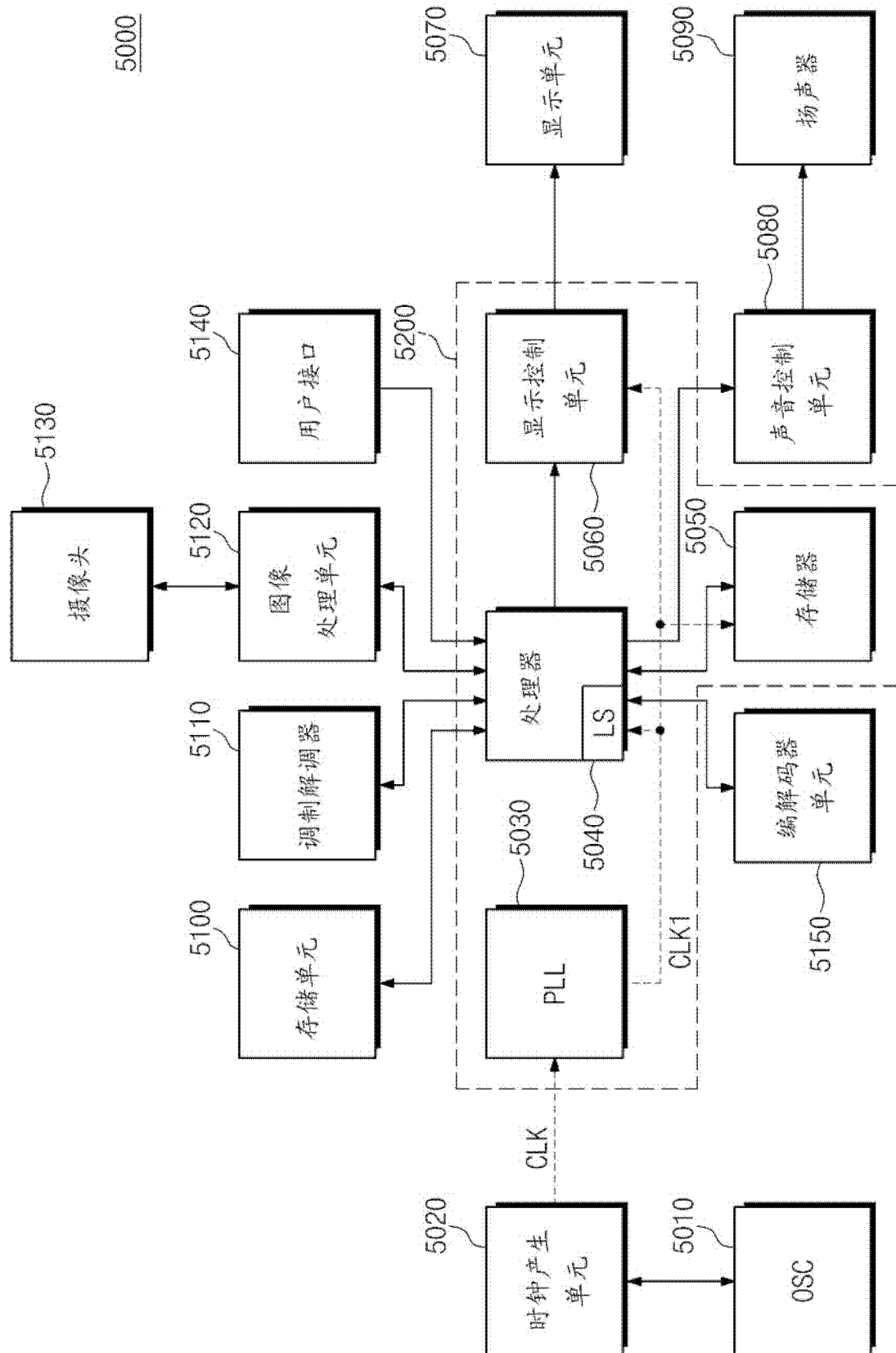


图 11

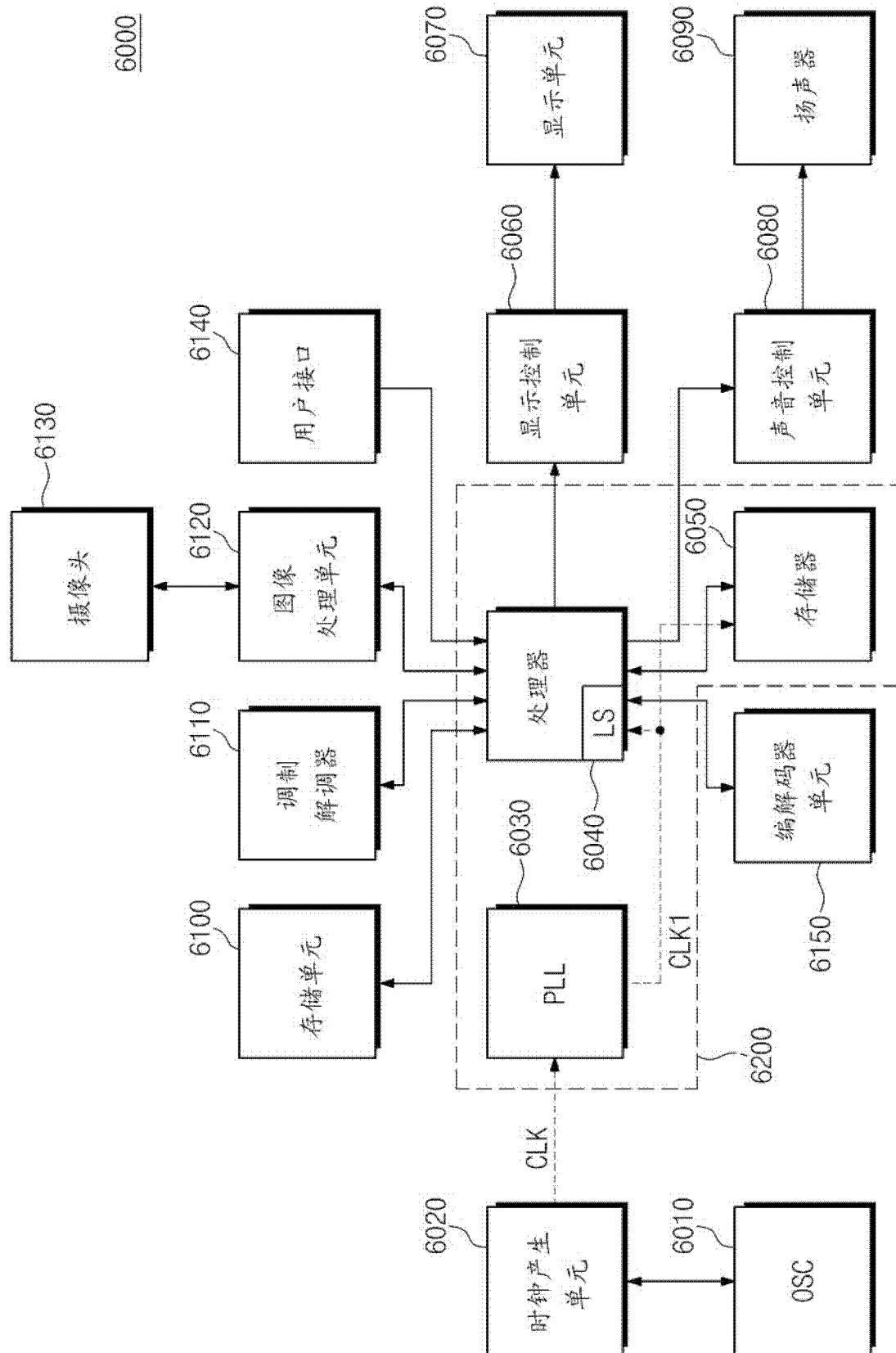


图 12

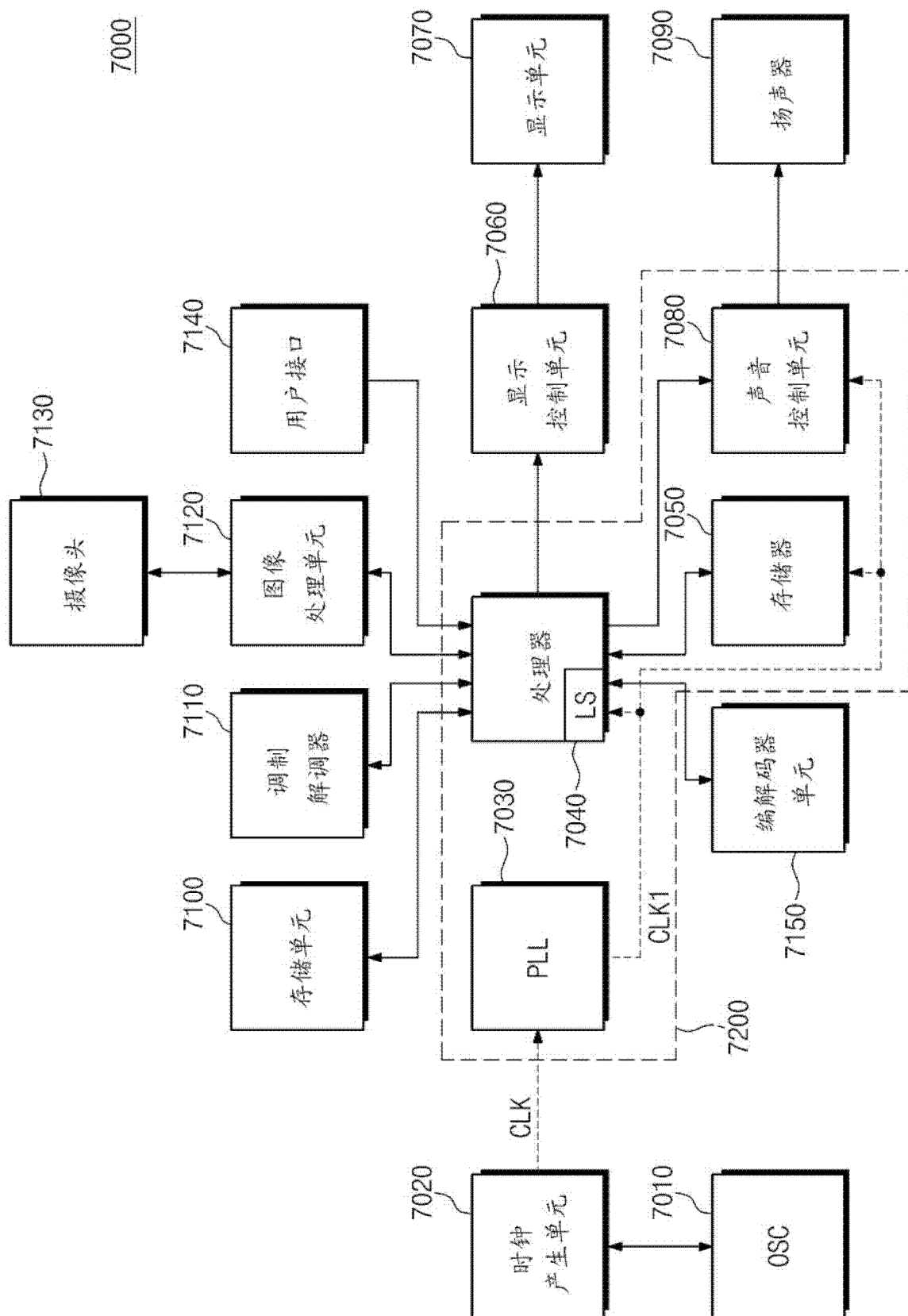


图 13

8000

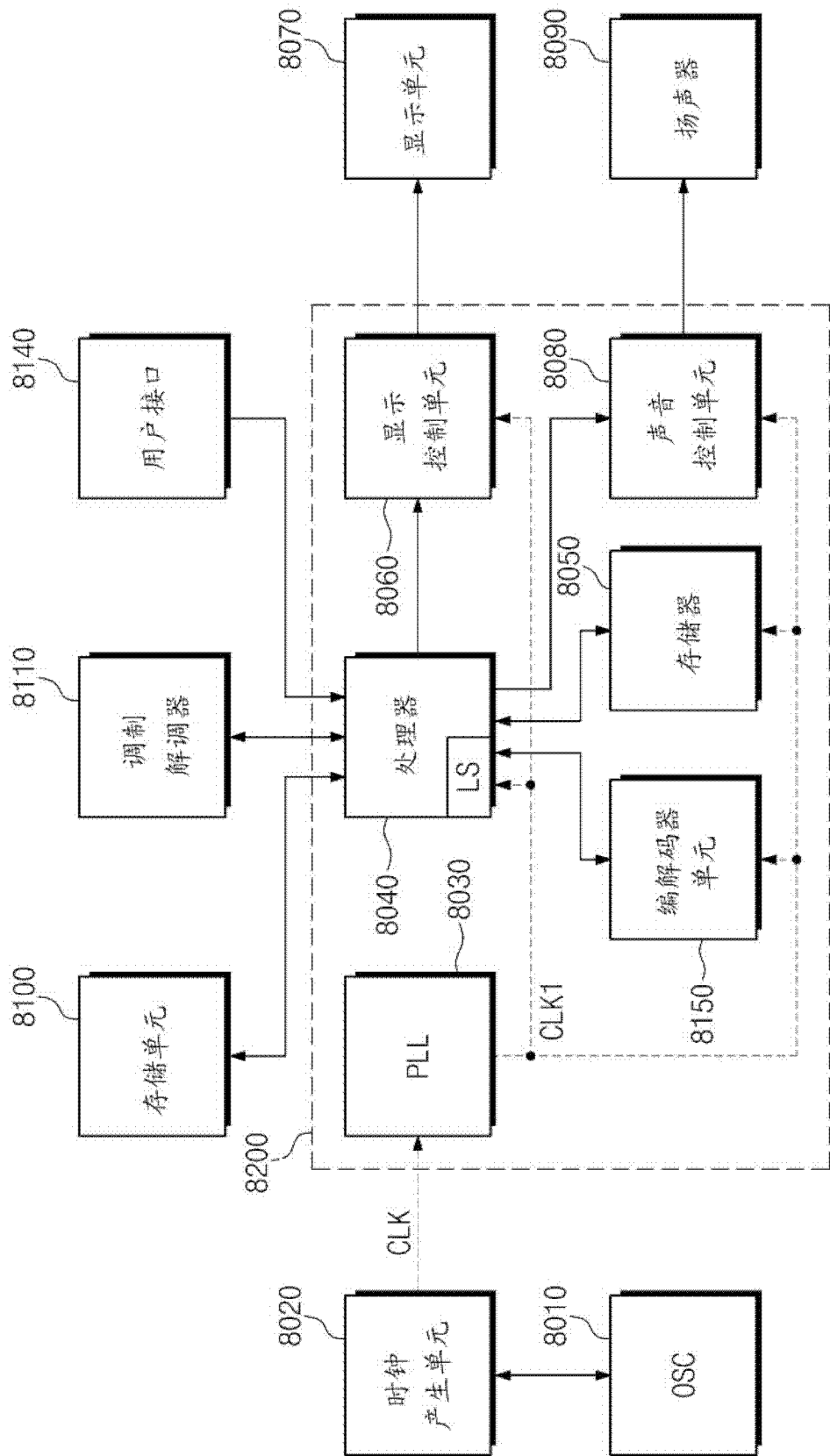


图 14

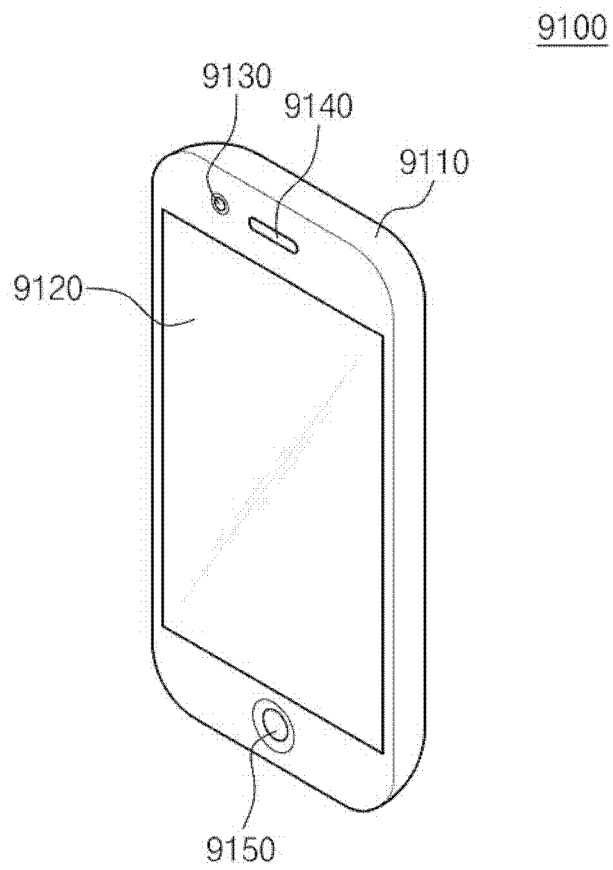


图 15

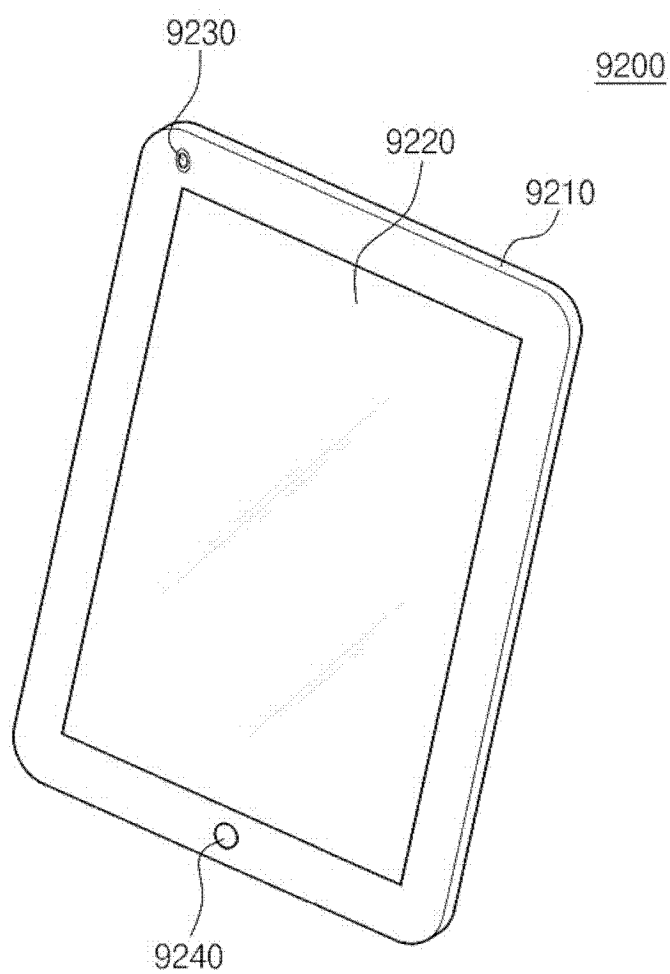


图 16

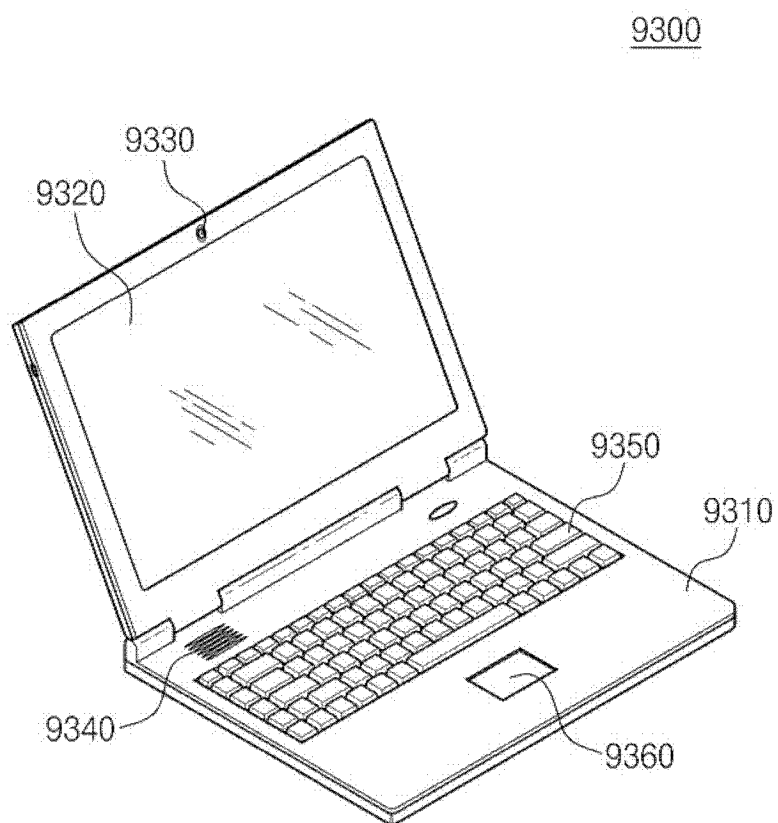


图 17

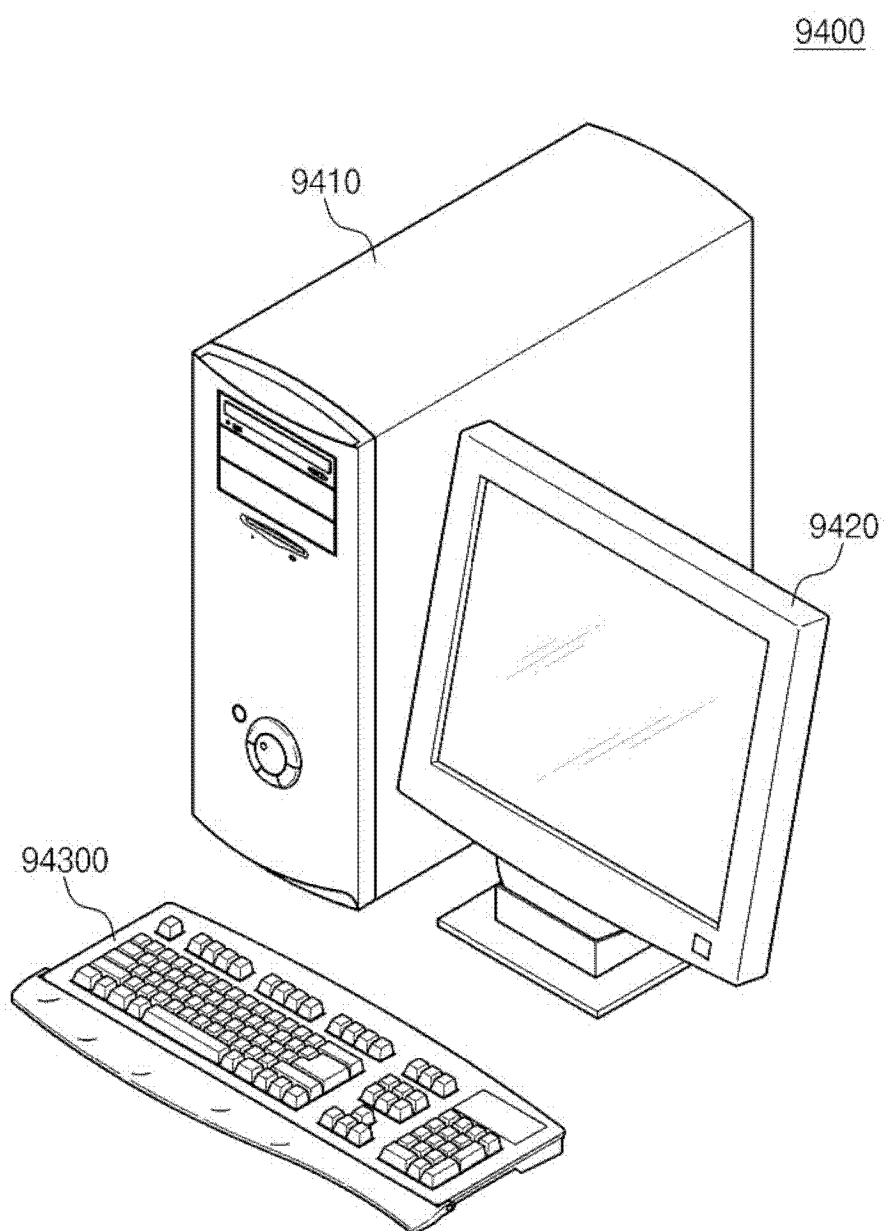


图 18

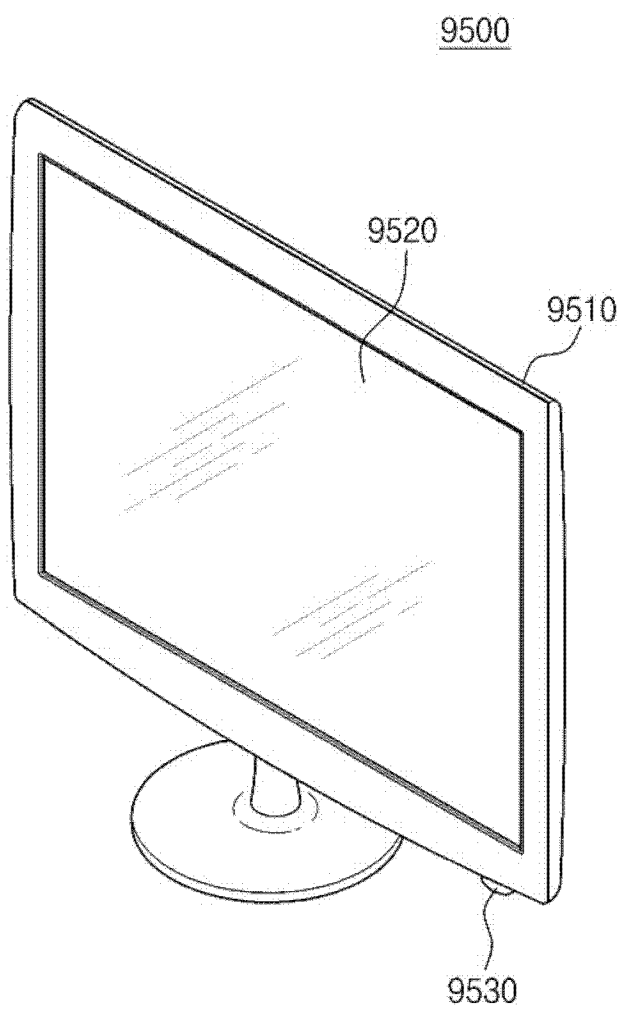


图 19