



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년08월23일

(11) 등록번호 10-1770548

(24) 등록일자 2017년08월17일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0074596

(22) 출원일자 2010년08월02일

심사청구일자 2015년07월29일

(65) 공개번호 10-2011-0015373

(43) 공개일자 2011년02월15일

(30) 우선권주장

JP-P-2009-185300 2009년08월07일 일본(JP)

(56) 선행기술조사문헌

JP2004047566 A\*

JP2006245031 A\*

JP2009021612 A\*

KR1020090018587 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 사까타 쥬니치로

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 (뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 11 항

심사관 : 류정현

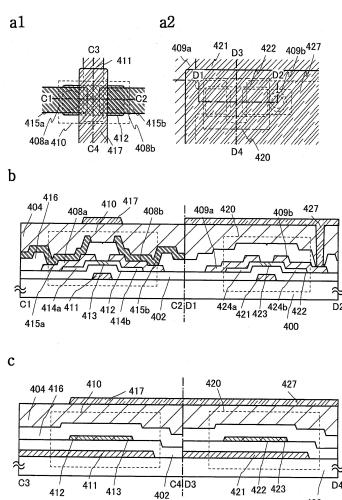
(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

### (57) 요약

반도체 장치의 개구율을 향상시킨다.

동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로 및 제 2 박막 트랜지스터를 갖는 화소를 갖고, 상기 제 1 박막 트랜지스터는, 제 1 게이트 전극층과, 게이트 절연층과, 제 1 산화물 반도체층과, 제 1 산화물 도전층 및 제 2 산화물 도전층과, 상기 제 1 산화물 반도체층의 일부에 접하고, 또 상기 제 1 산화물 도전층 및 상기 제 2 산화물 도전층의 주연 및 측면에 접하는 산화물 절연층과, 제 1 소스 전극층과, 제 1 드레인 전극층을 갖고, 상기 제 2 박막 트랜지스터는, 제 2 게이트 전극층과, 제 2 산화물 반도체층과, 투광성을 갖는 재료에 의해 구성된 제 2 소스 전극층 및 제 2 드레인 전극층을 갖는다.

### 대 표 도 - 도 1



(72) 발명자

**호소바 미유끼**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오파이 에네루기 켄큐쇼 내

---

**다카하시 타츠야**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오파이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

절연 표면 위에 제 1 트랜지스터를 포함하는 구동 회로, 제 2 트랜지스터 및 화소 전극층을 포함하는 화소, 및 용량부 각각을 포함하고,

상기 제 1 트랜지스터는,

상기 절연 표면 위의 제 1 게이트 전극층;

상기 제 1 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층을 개재하여 상기 제 1 게이트 전극층 위에 제 1 채널 형성 영역을 포함하는 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 1 산화물 도전층 및 제 2 산화물 도전층;

상기 제 1 채널 형성 영역과 접하고 상기 제 1 산화물 도전층 및 상기 제 2 산화물 도전층의 주연 (peripheries) 및 측면에 접하는 산화물 절연층;

상기 제 1 산화물 도전층과 접하는 제 1 소스 전극층;

상기 제 2 산화물 도전층과 접하는 제 1 드레인 전극층; 및

상기 제 1 채널 형성 영역과 중첩하는 도전층을 포함하고,

상기 제 2 트랜지스터는,

상기 절연 표면 위의 제 2 게이트 전극층;

상기 게이트 절연층을 개재하여 상기 제 2 게이트 전극층 위에 제 2 채널 형성 영역을 포함하는 제 2 산화물 반도체층; 및

상기 제 2 산화물 반도체층 위의 제 2 소스 전극층 및 제 2 드레인 전극층을 포함하고,

상기 용량부는 용량 배선층 및 상기 용량 배선층과 중첩하는 용량 전극층을 포함하고,

상기 제 2 게이트 전극층, 상기 제 2 산화물 반도체층, 상기 제 2 소스 전극층, 상기 제 2 드레인 전극층, 상기 용량 배선층, 및 상기 용량 전극층 각각은 투광성을 갖고,

상기 화소 전극층 및 상기 도전층 각각은 평탄화 절연층 위에 있고 상기 평탄화 절연층과 접하고,

상기 평탄화 절연층은 상기 제 1 소스 전극층, 상기 제 1 드레인 전극층, 상기 제 2 소스 전극층, 및 상기 제 2 드레인 전극층 위에 위치하고,

상기 화소 전극층은 상기 평탄화 절연층의 제 1 콘택트 홀 및 상기 산화물 절연층의 제 2 콘택트 홀을 통해 상기 용량 전극층에 전기적으로 접속되는, 반도체 장치.

#### 청구항 2

절연 표면 위에 제 1 트랜지스터를 포함하는 구동 회로, 제 2 트랜지스터 및 화소 전극층을 포함하는 화소, 및 용량부 각각을 포함하고,

상기 제 1 트랜지스터는,

상기 절연 표면 위의 제 1 게이트 전극층;

상기 제 1 게이트 전극층 위의 게이트 절연층;

상기 게이트 절연층을 개재하여 상기 제 1 게이트 전극층 위에 제 1 채널 형성 영역을 포함하는 제 1

산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 1 산화물 도전층 및 제 2 산화물 도전층;

상기 제 1 채널 형성 영역과 접하고 상기 제 1 산화물 도전층의 단부 및 상기 제 2 산화물 도전층의 단부를 덮는 산화물 절연층;

상기 산화물 절연층 위에, 상기 제 1 산화물 도전층과 접하는 제 1 소스 전극층; 및

상기 산화물 절연층 위에, 상기 제 2 산화물 도전층과 접하는 제 1 드레인 전극층; 및

상기 제 1 채널 형성 영역과 중첩하는 도전층을 포함하고,

상기 제 2 트랜지스터는,

상기 절연 표면 위의 제 2 게이트 전극층;

상기 게이트 절연층을 개재하여 상기 제 2 게이트 전극층 위에 제 2 채널 형성 영역을 포함하는 제 2 산화물 반도체층; 및

상기 제 2 산화물 반도체층 위의 제 2 소스 전극층 및 제 2 드레인 전극층을 포함하고,

상기 용량부는 용량 배선층 및 상기 용량 배선층과 중첩하는 용량 전극층을 포함하고,

상기 제 2 게이트 전극층, 상기 제 2 산화물 반도체층, 상기 제 2 소스 전극층, 상기 제 2 드레인 전극층, 상기 용량 배선층, 및 상기 용량 전극층 각각은 투광성을 갖고,

상기 화소 전극층 및 상기 도전층 각각은 평탄화 절연층 위에 있고 상기 평탄화 절연층과 접하고,

상기 평탄화 절연층은 상기 제 1 소스 전극층, 상기 제 1 드레인 전극층, 상기 제 2 소스 전극층, 및 상기 제 2 드레인 전극층 위에 위치하고,

상기 화소 전극층은 상기 평탄화 절연층의 제 1 콘택트 홀 및 상기 산화물 절연층의 제 2 콘택트 홀을 통해 상기 용량 전극층에 전기적으로 접속되는, 반도체 장치.

### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 화소 전극층은 상기 제 1 콘택트 홀을 통해 상기 제 2 드레인 전극층과 직접 접하는, 반도체 장치.

### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 각각은 Al, Cr, Cu, Ta, Ti, Mo, 및 W 중 적어도 하나를 포함하는, 반도체 장치.

### 청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층 각각은 산화인듐, 산화인듐 산화주석 합금, 산화인듐 산화아연 합금, 또는 산화아연을 포함하는, 반도체 장치.

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 도전층 및 상기 제 2 산화물 도전층은 상기 제 2 소스 전극층 및 상기 제 2 드레인 전극층과 동일한 재료를 포함하는, 반도체 장치.

### 청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 산화물 절연층과 상기 제 1 소스 전극층 및 상기 제 1 드레인 전극층 각각의 사이에 보호층을 더 포함하는, 반도체 장치.

### 청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 도전층 및 상기 제 2 산화물 도전층 각각은 상기 제 1 산화물 반도체층의 단부를 덮는, 반도체 장치.

### 청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 반도체층은 제 1 고저항 소스 영역 및 제 1 고저항 드레인 영역을 포함하고,

상기 제 1 채널 형성 영역은 상기 제 1 고저항 소스 영역 및 상기 제 1 고저항 드레인 영역 사이에 형성되고,

상기 제 1 고저항 소스 영역 및 상기 제 1 고저항 드레인 영역 각각은 상기 제 1 채널 형성 영역보다 저저항인, 반도체 장치.

### 청구항 12

절연 표면 위에 제 1 게이트 전극층, 제 2 게이트 전극층 및 용량 배선층을 형성하는 단계;

상기 제 1 게이트 전극층, 상기 제 2 게이트 전극층 및 상기 용량 배선층 위에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 개재하여 상기 제 1 게이트 전극층 위에 제 1 산화물 반도체층을 형성하고 상기 게이트 절연층을 개재하여 상기 제 2 게이트 전극층 위에 제 2 산화물 반도체층을 형성하는 단계;

상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층의 수소 농도를 감소시키기 위해 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층 상에 열처리를 행하는 단계;

상기 열처리를 행한 후에, 상기 제 1 산화물 반도체층 위에 제 1 산화물 도전층 및 제 2 산화물 도전층을 형성하고, 상기 제 2 산화물 반도체층 위에 제 2 소스 전극층 및 제 2 드레인 전극층을 형성하고, 상기 용량 배선층과 중첩하는 용량 전극층을 형성하는 단계;

상기 제 1 산화물 도전층 및 상기 제 2 산화물 도전층 위에 산화물 절연층을 형성하여, 상기 산화물 절연층이 상기 제 1 산화물 도전층 및 상기 제 2 산화물 도전층 사이의 상기 제 1 산화물 반도체층의 일부와 접하고, 상기 제 1 산화물 도전층의 일부 및 상기 제 2 산화물 도전층의 일부가 노출되도록 하는 단계;

상기 제 1 산화물 도전층 위에 제 1 소스 전극층 및 상기 제 2 산화물 도전층 위에 제 1 드레인 전극층을 형성하는 단계;

상기 제 1 소스 전극층, 상기 제 1 드레인 전극층, 상기 제 2 소스 전극층, 및 상기 제 2 드레인 전극층 위에 평탄화 절연층을 형성하는 단계; 및

상기 평탄화 절연층 위에, 상기 평탄화 절연층과 접하는 도전층 및 화소 전극층을 형성하는 단계를 포함하고,

상기 제 2 게이트 전극층, 상기 제 2 산화물 반도체층, 상기 제 2 소스 전극층, 상기 제 2 드레인 전극층, 상기 용량 배선층, 및 상기 용량 전극층 각각은 투광성을 갖고,

상기 화소 전극층은 상기 평탄화 절연층의 제 1 콘택트 홀 및 상기 산화물 절연층의 제 2 콘택트 홀을 통해 상기 용량 전극층에 전기적으로 접속되는, 반도체 장치 제조 방법.

### 청구항 13

제 12 항에 있어서,

다계조 마스크를 사용하여 레지스트 마스크가 형성되어, 상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 제 1 산화물 도전층, 상기 제 2 산화물 도전층, 상기 제 2 소스 전극층, 및 상기 제 2 드레인 전극층은 상기 레지스트 마스크를 사용하여 에칭함으로써 형성되는, 반도체 장치 제조 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

## 발명의 설명

### 기술 분야

[0001]

산화물 반도체를 사용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

[0002]

또한, 본 명세서 중에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 표시 장치 등의 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

## 배경 기술

[0003]

최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(두께 수 내지 수백nm 정도)을 사용하여 박막 트랜지스터(TFT: Thin Film Transistor라고도 함)를 구성하는 기술이 주목을 끌고 있다. 박막 트랜지스터는, IC나 전기 광학 장치와 같은 전자 디바이스에 널리 응용되고, 특히 화상 표시 장치의 스위칭 소자로서의 개발이 시급해지고 있다. 또한, 금속 산화물은, 다양하게 존재하고 다양한 용도로 사용되고 있다. 예를 들어, 산화인듐은, 잘 알려진 재료이며, 액정 표시 장치 등에 필요하게 되는 투명 전극 재료로서 사용되고 있다.

[0004]

금속 산화물 중에는, 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는 예를 들어, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 이미 알려져 있다(특허문헌 1 및 특허문헌 2).

## 선행기술문헌

### 특허문헌

- [0005] (특허문헌 0001) 일본 공개특허공보 2007-123861호  
 (특허문헌 0002) 일본 공개특허공보 2007-96055호

### 발명의 내용

#### 해결하려는 과제

- [0006] 절연 표면 위에 복수의 박막 트랜지스터를 제작하는 경우, 예를 들어 게이트 배선과 소스 배선에서 교차하는 부분이 있다. 교차하는 부분에는, 게이트 배선과, 상기 게이트 배선과 전위가 다른 소스 배선의 사이에 절연층이 형성되고, 상기 절연층이 유전체로 되어 용량이 생긴다. 이 용량은, 배선 간의 기생 용량이라고도 불리며, 신호 파형의 일그러짐이 생길 우려가 있다. 또한, 기생 용량이 크면 신호의 전달이 늦어질 우려가 있다.
- [0007] 또한, 기생 용량의 증가는, 배선 간에서 전기 신호가 누설되어 버리는 크로스토크 현상이나, 소비 전력의 증대로 연결된다.
- [0008] 또한, 액티브 매트릭스형의 표시 장치에 있어서, 특히 영상 신호를 공급하는 신호 배선과, 다른 배선 또는 전극 사이에 큰 기생 용량이 형성되면, 표시 품질이 저하할 우려가 있다.
- [0009] 또한, 회로의 미세화를 도모하는 경우에 있어서도, 배선 간격이 좁아져, 배선 간의 기생 용량이 증가할 우려가 있다.
- [0010] 본 발명의 일 형태는, 배선 간의 기생 용량을 충분히 저감할 수 있는 구성을 구비한 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0011] 또한, 절연 표면 위에 구동 회로를 형성하는 경우, 구동 회로에 사용하는 박막 트랜지스터의 동작 속도는, 빠른 쪽이 바람직하다.
- [0012] 예를 들어, 박막 트랜지스터의 채널 길이(L이라고도 함)를 짧게 하거나, 또는 채널 폭(W라고도 함)을 넓게 하면 동작 속도가 고속화된다. 그러나, 채널 길이를 짧게 하면, 스위칭 특성, 예를 들어 온 오프비가 작아지는 문제가 있다. 또한, 채널 폭 W를 넓게 하면 박막 트랜지스터 자체의 용량 부하를 상승시키는 문제가 있다.
- [0013] 또한, 채널 길이가 짧아도, 안정된 전기 특성을 갖는 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것도 과제의 하나로 한다.
- [0014] 또한, 절연 표면 위에 복수의 다른 회로를 형성하는 경우, 예를 들어, 화소부와 구동 회로를 동일 기판 위에 형성하는 경우에는, 화소부에 사용하는 박막 트랜지스터는, 우수한 스위칭 특성, 예를 들어 온 오프비가 큰 것이 요구되고, 구동 회로에 사용하는 박막 트랜지스터에는 동작 속도가 빠른 것이 요구된다. 특히, 표시 장치의 정세도가 고정세일수록, 표시 화상의 기록 시간은 짧은 것이 요구되기 때문에, 구동 회로에 사용하는 박막 트랜지스터는 빠른 동작 속도로 하는 것이 바람직하다.
- [0015] 또한, 본 발명의 일 형태는 복잡한 공정으로 되는 것을 막고, 제조 비용의 증대를 막아 동일 기판 위에 복수종의 회로를 형성하고, 복수종의 회로의 특성에 각각 맞춘 복수종의 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

#### 과제의 해결 수단

- [0016] 본 발명의 일 형태는, 동일 기판 위에 구동 회로 및 화소부를 갖고, 구동 회로 및 화소부에 각각 박막 트랜지스터를 갖는 것이다. 동일 기판 위에 구동 회로 및 화소부를 제작함으로써 제조 비용의 저감을 도모한다.
- [0017] 본 발명의 일 형태에 있어서, 구동 회로의 박막 트랜지스터(제 1 박막 트랜지스터라고도 함) 및 화소부의 박막 트랜지스터(제 2 박막 트랜지스터라고도 함)는, 보텀 게이트형 구조의 박막 트랜지스터이며, 각각 게이트 전극(게이트 전극층이라고도 함), 소스 전극(소스 전극층이라고도 함), 및 드레인 전극(드레인 전극층이라고도 함), 및 채널 형성 영역을 갖는 반도체층을 갖는다.

- [0018] 본 발명의 일 형태에 있어서, 화소부의 박막 트랜지스터의 게이트 전극, 소스 전극, 및 드레인 전극은, 투광성을 갖는 도전층에 의해 구성되고, 반도체층은, 투광성을 갖는 반도체층에 의해 구성된다. 즉, 화소부의 박막 트랜지스터는, 투광성을 갖는 재료에 의해 구성된다. 이로써 화소부의 개구율의 향상을 도모한다.
- [0019] 또한, 본 발명의 일 형태에 있어서, 구동 회로의 박막 트랜지스터의 게이트 전극은, 화소부의 박막 트랜지스터의 게이트 전극과 같은 재료 또는 화소부의 박막 트랜지스터의 게이트 전극에 사용되는 재료보다 저항값이 낮은 재료를 사용하여 구성되고, 구동 회로의 박막 트랜지스터의 소스 전극 및 드레인 전극은, 화소부의 박막 트랜지스터의 소스 전극 및 드레인 전극보다 저항값이 낮은 재료를 사용하여 구성된다. 따라서, 화소부의 박막 트랜지스터의 소스 전극 및 드레인 전극의 저항값은, 구동 회로의 박막 트랜지스터의 소스 전극 및 드레인 전극의 저항값보다 높다.
- [0020] 또한, 본 발명의 일 형태에 있어서, 구동 회로의 박막 트랜지스터는, 반도체층과 소스 전극층의 사이 및 반도체층과 드레인 전극의 사이에 도전층을 갖는 구조이다. 상기 도전층의 저항값은, 반도체층보다도 낮고, 소스 전극층 및 드레인 전극층보다도 높은 것이 바람직하다. 이로써, 구동 회로의 동작 속도의 향상을 도모한다.
- [0021] 또한, 본 발명의 일 형태에 있어서, 구동 회로의 박막 트랜지스터는, 반도체층의 일부에 접하고, 또 반도체층과 소스 전극의 사이 및 반도체층과 드레인 전극의 사이의 도전층의 주연(周緣) 및 측면에 접하는 산화물 절연층을 갖는 구조이다. 상기 산화물 절연층을 갖는 구조로 함으로써, 게이트 전극층과, 그 상방 또는 주변에 형성되는 배선층(소스 배선층이나 용량 배선층 등)과의 거리가 커짐으로써 기생 용량의 저감을 도모한다. 기생 용량을 저감함으로써 신호 파형의 일그러짐을 억제할 수 있다. 또한 구동 회로의 박막 트랜지스터에 있어서는, 소스 전극과, 반도체층과 소스 전극의 사이에 형성된 도전층, 및 드레인 전극과, 반도체층과 드레인 전극의 사이에 형성된 도전층이 각각 접한다.
- [0022] 본 발명의 일 형태는, 동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로 및 제 2 박막 트랜지스터를 갖는 화소를 갖고, 제 1 박막 트랜지스터는, 제 1 게이트 전극층과, 제 1 게이트 전극층 위에 형성된 게이트 절연층과, 게이트 절연층을 끼워서 제 1 게이트 전극층 위에 형성되고, 제 1 채널 형성 영역을 갖는 제 1 산화물 반도체층과, 제 1 산화물 반도체층 위에 형성된 제 1 산화물 도전층 및 제 2 산화물 도전층과, 산화물 반도체층의 일부에 접하고, 또 제 1 산화물 도전층 및 제 2 산화물 도전층의 주연 및 측면에 접하는 산화물 절연층과, 제 1 산화물 도전층에 접하는 제 1 소스 전극층과, 제 2 산화물 도전층에 접하는 제 1 드레인 전극층을 갖고, 제 2 박막 트랜지스터는, 투광성을 갖는 재료에 의해 구성된 제 2 게이트 전극층과, 게이트 절연층을 끼워서 제 2 게이트 전극층 위에 형성되고, 제 2 채널 형성 영역을 갖는 제 2 산화물 반도체층과, 제 2 산화물 반도체층 위에 형성되고, 투광성을 갖는 재료에 의해 구성된 제 2 소스 전극층 및 제 2 드레인 전극층을 갖는 반도체 장치이다.
- [0023] 본 발명의 일 형태는, 제 1 박막 트랜지스터의 소스 전극층 및 드레인 전극층이, Al, Cr, Cu, Ta, Ti, Mo, W로 부터 선택된 원소를 주성분으로 하는 도전층, 또는 이들을 조합한 적층으로 이루어지는 반도체 장치가 좋다.
- [0024] 본 발명의 일 형태는, 제 2 박막 트랜지스터의 소스 전극층, 드레인 전극층이, 산화인듐, 산화인듐 산화주석 합금, 산화인듐 산화아연 합금, 또는 산화아연인 반도체 장치라도 좋다.
- [0025] 본 발명의 일 형태는, 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터와 동일 기판 위에 용량부를 갖고, 용량부는, 용량 배선 및 상기 용량 배선과 중첩하는 용량 전극을 갖고, 용량 배선 및 용량 전극은, 투광성을 갖는 반도체 장치라도 좋다.
- [0026] 본 발명의 일 형태는, 제 1 박막 트랜지스터의 산화물 절연층 위에 제 1 산화물 반도체층의 채널 형성 영역과 중첩하는 도전층을 갖는 반도체 장치라도 좋다.
- [0027] 본 발명의 일 형태는, 제 1 산화물 도전층 및 제 2 산화물 도전층이, 제 2 박막 트랜지스터의 소스 전극층 및 드레인 전극층과 같은 재료에 의해 구성되는 반도체 장치라도 좋다.
- [0028] 본 발명의 일 형태는, 동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로와 제 2 박막 트랜지스터를 갖는 화소부를 갖는 반도체 장치의 제작 방법으로서, 제 1 게이트 전극층 및 제 2 게이트 전극층을 형성하고, 제 1 게이트 전극층 및 제 2 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층을 끼워서 제 1 게이트 전극층 위에 제 1 산화물 반도체층을 형성하고, 또 게이트 절연층을 끼워서 제 2 게이트 전극층 위에 제 2 산화물 반도체층을 형성하고, 제 1 산화물 반도체층 및 제 2 산화물 반도체층을 탈수화 또는 탈수소화한 후, 제 1 산화물 반도체층 및 제 2 산화물 반도체층 위에 산화물 도전막을 형성하고, 산화물 도전막의 일부를 제거함으로써

제 1 산화물 반도체층 위에 제 1 산화물 도전층 및 제 2 산화물 도전층을 형성하고, 또 제 2 산화물 반도체층 위에 제 2 소스 전극층 및 제 2 드레인 전극층을 형성하고, 제 1 산화물 도전층 및 제 2 산화물 도전층, 및 제 2 소스 전극층 및 제 2 드레인 전극층 위에 산화물 절연층을 형성하고, 산화물 절연층의 일부를 제거하고, 제 1 산화물 도전층의 일부 및 제 2 산화물 도전층의 일부를 노출시키고, 노출된 제 1 산화물 도전층에 접하는 제 1 소스 전극층을 형성하고, 또한 노출된 제 2 산화물 도전층에 접하는 제 1 드레인 전극층을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0029] 본 발명의 일 형태는, 다계조 마스크를 사용하여 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 에칭을 행함으로써, 제 1 산화물 반도체층, 제 2 산화물 반도체층, 제 1 산화물 도전층, 제 2 산화물 도전층, 제 2 소스 전극층, 및 제 2 드레인 전극층을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이라도 좋다.

[0030] 또한, 본 명세서 중에서 사용하는 산화물 반도체로서는, 예를 들어  $InMO_3(ZnO)m(m>0)$ 으로 표기되는 금속 산화물이 있다. 상기 금속 산화물을 포함하는 박막을 형성하고, 그 박막을 산화물 반도체층으로서 사용한 박막 트랜지스터를 제작한다. 또한, M은, Ga, Fe, Ni, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서, Ga의 경우가 있는 것 외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소의 이외에, 불순물 원소로서 Fe, Ni 그 이외의 전이 금속 원소, 또는 상기 전이 금속의 산화물이 포함되어 있는 것이 있다. 본 명세서에 있어서는,  $InMO_3(ZnO)m(m>0$ , 또, m은 정수가 아님)으로 표기되는 구조의 산화물 반도체층 중, M으로서 Ga를 포함하는 구조의 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, 그 박막을 In-Ga-Zn-O계 반도체막이라고도 한다.

[0031] 또한, 산화물 반도체층에 적용하는 금속 산화물로서 상기 이외에도, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있다. 또한 상기 금속 산화물로 이루어지는 산화물 반도체층에 산화실리콘을 포함시켜도 좋다.

[0032] 산화물 반도체는, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는, In, 및 Ga를 함유하는 산화물 반도체이다. 산화물 반도체층을 I형(진성)으로 하기 때문에, 탈수화 또는 탈수소화는 유효하다.

[0033] 또한, 상기 반도체 장치의 제작 공정에 있어서, 질소, 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기 하에서의 가열 처리를 행한 경우, 산화물 반도체층은, 가열 처리에 의해 산소 결핍형으로 되어 저저항화, 즉 N형화(N^-화 등) 하고, 그 후, 산화물 반도체층에 접하는 산화물 절연층의 형성을 행하고, 산화물 반도체층을 산소과잉 상태로 함으로써, 산화물 반도체층을 고저항화, 즉 I형화시킬 수 있다. 이로써, 전기 특성이 양호하고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제작하여, 제공하는 것이 가능해진다.

[0034] 또한, 상기 반도체 장치의 제작 공정에 있어서, 탈수화 또는 탈수소화로서, 질소, 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기하에서의 350°C 이상, 바람직하게는 400°C 이상 기판의 변형점 미만, 예를 들어 400°C 이상 700°C 이하, 보다 바람직하게는 420°C 이상 570°C 이하의 가열 처리를 행하고, 산화물 반도체층의 함유 수분 등의 불순물을 저감한다.

[0035] 탈수화 또는 탈수소화를 행한 산화물 반도체층은, 승온 이탈 분광법(TDS라고도 함)으로 450°C까지 측정하여도, 물의 2개의 피크, 적어도 300°C 부근에 나타나는 1개의 피크는 검출되지 않는다. 따라서, 탈수화 또는 탈수소화가 행해진 산화물 반도체층을 사용한 박막 트랜지스터에 대하여 TDS에서 450°C까지 측정하여도 적어도 300°C 부근에 나타나는 물의 피크는 검출되지 않는다.

[0036] 그리고, 상기 반도체 장치의 제작 공정에 있어서, 산화물 반도체층을 대기에 접촉시키지 않고, 산화물 반도체층에 물 또는 수소를 다시 흔입시키지 않는 것이 중요하다. 탈수화 또는 탈수소화를 행하고, 산화물 반도체층을 저저항화, 즉 N형화(N^-화 등)시킨 후, 산소를 공급하여 I형으로 하고, 고저항화시킨 산화물 반도체층을 사용하여 박막 트랜지스터를 제작하면, 박막 트랜지스터의 임계값 전압값을 플러스로 할 수 있고, 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다. 박막 트랜지스터의 게이트 전압이 0V에 가능한 한 가까운 정(正)의 임계값 전압으로 채널이 형성되는 것이 바람직하다. 또한, 박막 트랜지스터의 임계값 전압값이 마이너스이면, 게이트 전압이 0V라도 소스 전극과 드레인 전극의 사이에 전류가 흐르는, 소위 노멀리 온으로 되기 쉽다. 예를 들어, 액티브 매트릭스형의 표시 장치에 있어서는, 회로를 구성하는 박막 트랜지스터의 전기 특성이 중요하며, 이 전기 특

성이 표시 장치의 성능을 좌우한다. 특히, 박막 트랜지스터의 전기 특성 중, 임계값 전압( $V_{th}$ )이 중요하다. 예를 들어, 박막 트랜지스터가 높은 전계 효과 이동도 특성을 가져도 임계값 전압값이 높거나, 또는 임계값 전압값이 마이너스이면, 회로로서 제어하는 것이 곤란하다. 또한, 임계값 전압값이 높은 박막 트랜지스터의 경우에는, 구동 전압이 낮은 상태에서는 TFT로서의 스위칭 기능을 달성할 수 없고, 부하가 될 우려가 있다. 예를 들어, n채널형의 박막 트랜지스터의 경우, 게이트 전극에 정의 전압을 인가하여 비로소 채널이 형성되고, 드레인 전류가 흐르는 트랜지스터가 바람직하다. 구동 전압을 높게 하지 않으면 채널이 형성되지 않는 트랜지스터나, 부(負)의 전압 상태라도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는, 회로에 사용하는 박막 트랜지스터로서는 적합하지 않다.

[0037] 또한, 가열 온도  $T$ 로부터 온도를 낮추는 가스 분위기는, 가열 온도  $T$ 까지 승온한 가스 분위기와 다른 가스 분위기로 바꾸어도 좋다. 예를 들어, 탈수화 또는 탈수소화를 행한 같은 노(爐)에서 대기에 접촉시키지 않고, 노속을 고순도의 산소 가스 또는  $N_2O$  가스로 채워서 냉각한다.

[0038] 탈수화 또는 탈수소화를 행하는 가열 처리에 의해 막 중의 함유 수분을 저감시킨 후, 수분을 포함하지 않는 분위기(노점(露点)이  $-40^{\circ}C$  이하, 바람직하게는  $-60^{\circ}C$  이하)하에서 서냉(또는 냉각)한 산화물 반도체막을 사용하여, 박막 트랜지스터의 전기 특성을 향상시키는 동시에, 양산성과 고성능의 양쪽을 구비한 박막 트랜지스터를 실현한다.

[0039] 본 명세서에서는, 질소, 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기하에서의 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리라고 한다. 본 명세서에서는, 이 가열 처리에 의해  $H_2$ 를 이탈시키고 있는 것만을 탈수소화라고 부르는 것은 아니며,  $H$ ,  $OH$  등을 이탈하는 것을 포함시켜서 탈수화 또는 탈수소화라고 편의상 말하기로 한다.

[0040] 상기 반도체 장치의 제작 공정에 있어서, 질소, 또는 희가스(아르곤, 헬륨 등)의 불활성 기체 분위기하에서의 가열 처리를 행한 경우, 산화물 반도체층은, 가열 처리에 의해 산소 결핍 형태로 되어 저저항화, 즉 N형화(N화 등) 된다. 그 결과, 산화물 반도체층에 있어서, 소스 전극층과 중첩하는 산소 결핍형인 고저항 소스 영역(HRS(High Resistance Sorce) 영역이라고도 함)이 형성되고, 드레인 전극층과 중첩하는 산소 결핍형인 고저항 드레인 영역(HRD(High Resistance Drain)영역이라고도 함)이 형성된다.

[0041] 구체적으로는, 고저항 드레인 영역의 캐리어 농도는,  $1 \times 10^{18}/cm^3$  이상이며, 적어도 채널 형성 영역의 캐리어 농도( $1 \times 10^{18}/cm^3$  미만)보다도 높다. 또한, 본 명세서의 캐리어 농도는, 실온에서 홀(Hall) 효과 측정으로부터 구한 캐리어 농도의 값을 가리킨다.

[0042] 또한, 금속 재료로 이루어지는 드레인 전극층과, 산화물 반도체층의 사이에 저저항 소스 영역(LRS(Low Resistance Sorce) 영역이라고도 함) 및 저저항 드레인 영역(LRD(Low Resistance Drain) 영역이라고도 함)을 형성하여도 좋다. 구체적으로는, 저저항 드레인 영역의 캐리어 농도는, 고저항 드레인 영역(HRD 영역)보다도 크고, 예를 들어  $1 \times 10^{20}/cm^3$  이상  $1 \times 10^{21}/cm^3$  이하의 범위 내이다.

[0043] 그리고, 탈수화 또는 탈수소화한 산화물 반도체층의 적어도 일부를 산소 과잉 상태로 함으로써, 산화물 반도체층을 더욱 고저항화, 즉 I형화시켜 채널 형성 영역을 형성한다. 또한, 탈수화 또는 탈수소화한 산화물 반도체층을 산소 과잉인 상태로 하는 방법으로서는, 예를 들어 탈수화 또는 탈수소화한 산화물 반도체층에 접하도록, 예를 들어 스퍼터링법에 의해, 산화물 절연층을 형성하는 방법 등을 들 수 있다. 또한, 상기 산화물 절연층 형성 후에 가열 처리(예를 들어 산소를 포함하는 분위기에서의 가열 처리), 불활성 가스 분위기하에서 가열한 후에 산소 분위기에서 냉각하는 처리, 또는 초건조 에어(노점이  $-40^{\circ}C$  이하, 바람직하게는  $-60^{\circ}C$  이하)로 냉각하는 처리 등을 행하여도 좋다.

[0044] 또한, 탈수화 또는 탈수소화한 산화물 반도체층의 적어도 일부(게이트 전극층과 중첩하는 부분)를 채널 형성 영역으로 하기 때문에, 선택적으로 산소 과잉 상태로 함으로써, 산화물 반도체층을 고저항화, 즉 I형화시킬 수도 있다. 또한, 탈수화 또는 탈수소화한 산화물 반도체층 위에 접하여 Ti 등의 금속 전극으로 이루어지는 소스 전극층이나 드레인 전극층을 형성하고, 소스 전극층이나 드레인 전극층에 중첩하지 않는 산화물 반도체층의 노출 영역을 선택적으로 산소 과잉인 상태로 하여 채널 형성 영역을 형성할 수 있다. 산화물 반도체층을 선택적으로 산소 과잉인 상태로 하는 경우, 소스 전극층에 중첩하는 고저항 소스 영역과, 드레인 전극층에 중첩하는 고저항 드레인 영역이 형성되고, 고저항 소스 영역과 고저항 드레인 영역 사이의 영역이 채널 형성 영역이 된다. 즉,

채널 형성 영역이, 소스 전극층 및 드레인 전극층의 사이에 자기 정합적으로 형성된다.

[0045] 본 발명의 일 형태에 의해, 전기 특성이 양호하여 신뢰성이 높은 박막 트랜지스터를 갖는 반도체 장치를 제작하여, 제공하는 것이 가능해진다.

[0046] 또한, 드레인 전극층(및 소스 전극층)과 중첩한 산화물 반도체층에 있어서 고저항 드레인 영역(및 고저항 소스 영역)을 형성함으로써, 구동 회로의 신뢰성의 향상을 도모할 수 있다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 트랜지스터의 드레인 전극층으로부터 고저항 드레인 영역, 채널 형성 영역에 걸쳐서, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 따라서, 드레인 전극층을 고전원 전위 VDD를 공급하는 배선에 전기적으로 접속하여 동작시키는 경우, 게이트 전극층과 드레인 전극층의 사이에 고전계가 인가되어도 고저항 드레인 영역이 벼파가 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 내압을 향상시킬 수 있다.

[0047] 또한, 고저항 드레인 영역(및 고저항 소스 영역)을 형성함으로써, 구동 회로의 누설 전류의 저감을 도모할 수 있다. 구체적으로는, 고저항 소스 영역 및 고저항 드레인 영역을 형성함으로써, 드레인 전극층과 소스 전극층 사이에 흐르는 트랜지스터의 누설 전류는, 드레인 전극층, 고저항 드레인 영역, 채널 형성 영역, 고저항 소스 영역, 소스 전극층을 통과한다. 이 때 채널 형성 영역에서는, 고저항 드레인 영역으로부터 채널 형성 영역으로 흐르는 누설 전류를, 트랜지스터가 오프 상태일 때에 고저항이 되는 게이트 절연층과 채널 형성 영역의 계면 근방에 집중시킬 수 있고, 백 채널부(게이트 전극층으로부터 멀어져 있는 채널 형성 영역의 표면의 일부)에서의 누설 전류를 저감할 수 있다.

[0048] 또한, 소스 전극층에 중첩하는 고저항 소스 영역과, 드레인 전극층에 중첩하는 고저항 드레인 영역은, 게이트 전극층의 폭에도 의하지만, 게이트 절연층을 사이에 두고 게이트 전극층의 일부가 중첩하는 구조로 함으로써, 보다 효과적으로 드레인 전극층의 단부 근방의 전계 강도를 완화시킬 수 있다.

[0049] 또한, 제 1, 제 2로서 불이는 서수사는 편의상 사용하는 것이며, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유한 명칭을 나타내는 것은 아니다.

[0050] 또한, 구동 회로를 갖는 표시 장치로서는, 액정 표시 장치 이외에, 발광 소자를 사용한 발광 표시 장치나, 전기 영동 표시 소자를 사용한 전자 패이퍼라고도 불리는 표시 장치를 들 수 있다.

[0051] 발광 소자를 사용한 발광 표시 장치에 있어서는, 화소부에 복수의 박막 트랜지스터를 갖고, 화소부에 있어서도 어떤 박막 트랜지스터의 게이트 전극과 다른 트랜지스터의 소스 배선(소스 배선층이라고도 함), 또는 드레인 배선(드레인 배선층이라고도 함)을 접속시키는 개소를 갖는다. 또한, 발광 소자를 사용한 발광 표시 장치의 구동 회로에 있어서는, 박막 트랜지스터의 게이트 전극과 그 박막 트랜지스터의 소스 배선, 또는 드레인 배선을 접속시키는 개소를 갖는다.

[0052] 또한, 액정 표시 장치에 있어서, 동일 기판 위에 화소부와 구동 회로를 형성하는 경우, 구동 회로에 있어서, 인버터 회로, NAND 회로, NOR 회로, 래치 회로와 같은 논리 게이트를 구성하는 박막 트랜지스터나, 센스 앰플리파이어, 정전압 발생 회로, VCO와 같은 아날로그 회로를 구성하는 박막 트랜지스터는, 소스 전극과 드레인 전극간에 양극성만, 또는 음극성만이 인가된다. 따라서, 내압이 요구되는 고저항 드레인 영역의 폭을 고저항 소스 영역의 폭보다도 넓게 설계하여도 좋다. 또한, 고저항 소스 영역, 및 고저항 드레인 영역이 게이트 전극층과 중첩하는 폭을 넓게 하여도 좋다.

[0053] 또한, 구동 회로에 배치되는 박막 트랜지스터는 싱글 게이트 구조의 박막 트랜지스터를 사용하여 설명하였지만, 필요에 따라서, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.

[0054] 또한, 액정 표시 장치는, 액정의 열화를 막기 위해서, 교류 구동이 행해지고 있다. 이 교류 구동에 의해, 일정한 기간마다 화소 전극층에 인가되는 신호 전위의 극성이 양극성 또는 음극성으로 반전한다. 화소 전극층에 전기적으로 접속하는 TFT는, 한 쌍의 전극이 교대로 소스 전극층과 드레인 전극층의 역할을 한다. 본 명세서에서는, 편의상, 화소의 박막 트랜지스터의 한 쌍의 전극의 한쪽을 소스 전극층이라고 부르고, 다른 한쪽을 드레인 전극층이라고 하지만, 실제로는, 교류 구동 시에 한쪽의 전극이 교대로 소스 전극층과 드레인 전극층으로서 기능한다. 또한, 누설 전류의 저감을 도모하기 위해서, 화소에 배치하는 박막 트랜지스터의 게이트 전극층의 폭을 구동 회로의 박막 트랜지스터의 게이트 전극층의 폭보다도 좁게 하여도 좋다. 또한, 누설 전류의 저감을 도모하기 위해서, 화소에 배치하는 박막 트랜지스터의 게이트 전극층이 소스 전극층 또는 드레인 전극층과 중첩하지 않도록 설계하여도 좋다.

## 발명의 효과

[0055] 본 발명의 일 형태에 의해, 안정된 전기 특성을 갖는 박막 트랜지스터를 제작하여, 제공할 수 있다. 따라서, 전기 특성이 양호하고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

### 도면의 간단한 설명

[0056] 도 1은 반도체 장치를 설명하는 도면.

도 2는 반도체 장치의 제작 방법을 설명하는 도면.

도 3은 반도체 장치의 제작 방법을 설명하는 도면.

도 4는 반도체 장치의 제작 방법을 설명하는 도면.

도 5는 반도체 장치의 제작 방법을 설명하는 도면.

도 6은 반도체 장치를 설명하는 도면.

도 7은 반도체 장치를 설명하는 도면.

도 8은 반도체 장치를 설명하는 도면.

도 9은 반도체 장치를 설명하는 도면.

도 10은 반도체 장치를 설명하는 도면.

도 11은 반도체 장치를 설명하는 도면.

도 12는 반도체 장치의 화소 등가 회로를 설명하는 도면.

도 13은 반도체 장치를 설명하는 도면.

도 14는 반도체 장치를 설명하는 블록도.

도 15는 신호선 구동 회로의 구성 및 동작을 설명하기 위한 도면.

도 16은 시프트 레지스터의 구성을 도시하는 회로도.

도 17은 시프트 레지스터의 구성 및 동작을 설명하기 위한 도면.

도 18은 반도체 장치를 설명하는 도면.

도 19는 반도체 장치를 설명하는 도면.

도 20은 전자 서적의 일례를 도시하는 외관도.

도 21은 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외관도.

도 22는 게임기의 예를 도시하는 외관도.

도 23은 휴대형 컴퓨터 및 휴대전화기의 일례를 도시하는 외관도.

도 24는 반도체 장치를 설명하는 도면.

도 25는 반도체 장치를 설명하는 도면.

도 26은 반도체 장치를 설명하는 도면.

도 27은 반도체 장치를 설명하는 도면.

도 28은 반도체 장치를 설명하는 도면.

도 29는 반도체 장치를 설명하는 도면.

도 30은 반도체 장치를 설명하는 도면.

도 31은 반도체 장치를 설명하는 도면.

도 32는 반도체 장치를 설명하는 도면.

도 33은 반도체 장치를 설명하는 도면.

- 도 34는 반도체 장치를 설명하는 도면.
- 도 35는 반도체 장치를 설명하는 도면.
- 도 36은 반도체 장치를 설명하는 도면.
- 도 37은 반도체 장치를 설명하는 도면.
- 도 38은 반도체 장치를 설명하는 도면.
- 도 39는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 40은 반도체 장치의 제작 방법을 설명하는 도면.
- 도 41은 반도체 장치의 제작 방법을 설명하는 도면.
- 도 42는 반도체 장치를 설명하는 도면.
- 도 43은 반도체 장치를 설명하는 도면.
- 도 44는 반도체 장치의 제작 방법을 설명하는 도면.
- 도 45는 반도체 장치를 설명하는 도면.
- 도 46은 반도체 장치의 제작 방법을 설명하는 도면.
- 도 47은 반도체 장치를 설명하는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0057] 실시형태에 대해서, 도면을 사용하여 상세하게 설명한다. 단, 이하의 설명에 한정되지 않고, 축지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면 간에서 공통으로 사용하고, 그 반복 설명은 생략한다.
- [0058] 또한, 각 실시형태에 나타내는 내용은, 서로 적절하게 조합, 또는 치환할 수 있다.
- [0059] (실시형태 1)
- [0060] 반도체 장치 및 반도체 장치의 제작 방법을 도 1 내지 도 3을 사용하여 설명한다. 도 1에는 동일 기판 위에 제작된 2개의 박막 트랜지스터의 단면 구조의 일례를 도시한다. 도 1에 도시하는 박막 트랜지스터(410) 및 박막 트랜지스터(420)는, 보텀 게이트 구조의 트랜지스터이다.
- [0061] 도 1a1은 구동 회로에 배치되는 박막 트랜지스터(410)의 평면도이며, 도 1a2는 화소에 배치되는 박막 트랜지스터(420)의 평면도이며, 도 1b는 도 1a1의 선 C1-C2에 있어서의 단면 구조 및 도 1a2의 선 D1-D2에 있어서의 단면 구조를 도시하는 단면도이며, 또한, 도 1c는 도 1a1의 선 C3-C4에 있어서의 단면 구조 및 도 1a2의 선 D3-D4에 있어서의 단면 구조를 도시하는 단면도이다.
- [0062] 구동 회로에 배치되는 박막 트랜지스터(410)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(411)과, 게이트 절연층(402)과, 적어도 채널 형성 영역(413), 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)을 갖는 산화물 반도체층(412)과, 저저항 소스 영역(408a), 저저항 드레인 영역(408b), 소스 전극층(415a), 및 드레인 전극층(415b)을 포함한다. 또한, 박막 트랜지스터(410)는, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 주연 및 측면, 및 산화물 반도체층(412)에 접하는 산화물 절연층(416)을 포함한다.
- [0063] 또한, 고저항 소스 영역(414a)은, 저저항 소스 영역(408a)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 고저항 드레인 영역(414b)은, 저저항 드레인 영역(408b)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(413)은, 산화물 절연층(416)과 접하고, 고저항 소스 영역(414a) 및 고저항 드레인 영역(414b)보다도 고저항의 영역(I형 영역)으로 한다.
- [0064] 소스 전극층(415a)은, 저저항 소스 영역(408a)에 접하고, 드레인 전극층(415b)은, 저저항 드레인 영역(408b)에 접한다.
- [0065] 소스 전극층(415a) 및 드레인 전극층(415b)으로서는, 배선을 저저항화하기 위해서 금속 재료를 사용하는 것이

바람직하다.

[0066] 또한, 저저항 소스 영역(408a), 저저항 드레인 영역(408b)을 형성함으로써, 쇼트키 접합과 비교하여 열적으로도 안정된 동작을 갖게 한다. 이렇게, 산화물 반도체층보다도 캐리어 농도가 높은 저저항 드레인 영역을 의도적으로 형성함으로써 오믹성의 콘택트를 형성한다.

[0067] 또한, 채널 형성 영역(413) 상방에 채널 형성 영역(413)에 중첩하는 도전층(417)을 갖는다. 도전층(417)을 게이트 전극층(411)과 전기적으로 접속하고, 동전위로 함으로써, 게이트 전극층(411)과 도전층(417)의 사이에 배치된 산화물 반도체층(412)에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 게이트 전극층(411)과 도전층(417)을 다른 전위, 예를 들어 고정 전위, GND 전위, OV로 하는 경우에는, TFT의 전기 특성, 예를 들어 임계값 전압 등을 제어할 수 있다. 즉, 게이트 전극층(411) 및 도전층(417)의 한쪽을 제 1 게이트 전극층으로서 기능시키고, 게이트 전극층(411) 및 도전층(417)의 다른쪽을 제 2 게이트 전극층으로서 기능시킴으로써, 박막 트랜지스터(410)를 4단자의 박막 트랜지스터로서 사용할 수 있다.

[0068] 또한, 도전층(417)과, 소스 전극층(415a) 및 드레인 전극층(415b) 및 산화물 절연층(416)의 사이에 평탄화 절연층(404)이 형성된다.

[0069] 화소에 배치되는 박막 트랜지스터(420)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(421)과, 게이트 절연층(402)과, 적어도 채널 형성 영역(423), 고저항 소스 영역(424a), 및 고저항 드레인 영역(424b)을 갖는 산화물 반도체층(422)과, 소스 전극층(409a)과, 드레인 전극층(409b)을 포함한다. 또한, 박막 트랜지스터(420)는, 산화물 반도체층(422)에 접하는 산화물 절연층(416)을 포함한다.

[0070] 또한, 고저항 소스 영역(424a)은, 소스 전극층(409a)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 고저항 드레인 영역(424b)은, 드레인 전극층(409b)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(423)은, 산화물 절연층(416)과 접하고, 고저항 소스 영역(424a) 및 고저항 드레인 영역(424b)보다도 고저항의 영역(I형 영역)으로 한다.

[0071] 또한, 산화물 반도체층(412)은, 소스 전극층(415a) 및 드레인 전극층(415b)에 일부 중첩하고 있다. 또한, 산화물 반도체층(412)은, 게이트 절연층(402)을 사이에 두고 게이트 전극층(411)과 중첩하고 있다. 즉, 게이트 전극층(411)은, 게이트 절연층(402)을 끼우고 산화물 반도체층(412) 하에 형성된다. 또한, 산화물 반도체층(422)은, 소스 전극층(409a), 및 드레인 전극층(409b)에 일부 중첩하고 있다. 또한, 산화물 반도체층(422)은, 게이트 절연층(402)을 사이에 두고 게이트 전극층(421)과 중첩하고 있다. 즉, 게이트 전극층(421)은, 게이트 절연층(402)을 끼우고 산화물 반도체층(422) 하에 형성된다.

[0072] 또한, 소스 전극층(409a), 및 드레인 전극층(409b)으로서는, 투광성을 갖는 박막 트랜지스터로서 고개구율을 갖는 표시 장치를 실현하기 위해서 투광성을 갖는 재료를 사용한다. 또한, 소스 전극층(415a) 및 드레인 전극층(415b)으로서는, 소스 전극층(409a) 및 드레인 전극층(409b)보다 저항값이 낮은 재료를 사용하는 것이 바람직하다.

[0073] 또한, 게이트 전극층(421)에도 투광성을 갖는 재료를 사용한다.

[0074] 또한, 박막 트랜지스터(420)가 배치되는 화소에 있어서, 화소 전극층(427), 그 이외의 전극층(용량 전극층 등)이나, 배선층(용량 배선층 등)으로서, 가시광에 대하여 투광성을 갖는 도전층을 사용하여, 고개구율을 갖는 표시 장치를 실현한다. 물론, 게이트 절연층(402), 산화물 절연층(416), 및 평탄화 절연층(404)도 가시광에 대하여 투광성을 갖는 막을 사용하여 형성하는 것이 바람직하다.

[0075] 또한, 화소 전극층(427)과, 소스 전극층(409a) 및 드레인 전극층(409b) 및 산화물 절연층(416)의 사이에 평탄화 절연층(404)이 형성된다.

[0076] 화소 전극층(427)은, 산화물 절연층(416)에 형성된 개구부(콘택트 홀이라고도 함) 및 평탄화 절연층(404)에 형성된 개구부를 통하여 드레인 전극층(409b)에 접한다.

[0077] 또한, 산화물 반도체층(412) 및 산화물 반도체층(422)의 형성에 사용되는 산화물 반도체막의 성막 이후에 불순물인 수분 등을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)가 행해진다. 탈수화 또는 탈수소화를 위한 가열 처리 및 서냉을 행한 후, 형성한 산화물 반도체층(412) 및 산화물 반도체층(422)에 접하는 산화물 절연층의 형성 등을 행하여 산화물 반도체층의 캐리어 농도를 저감하는 것이, 박막 트랜지스터(410) 및 박막 트랜지스터(420)의 전기 특성의 향상 및 신뢰성 향상으로 연결된다.

- [0078] 또한, 본 명세서에 있어서, 가시광에 대하여 투광성을 갖는 막이란, 가시광의 투과율이 75 내지 100%로 되는 막 두께를 갖는 막을 가리키고, 그 막이 도전성을 갖는 경우는 투명한 도전막이라고도 한다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 그 이외의 전극층이나, 배선층을, 가시광에 대하여 반투명의 도전막을 사용하여 형성하여도 좋다. 가시광에 대하여 반투명이란, 가시광의 투과율이 50 내지 75%인 것을 가리킨다.
- [0079] 또한, 도 1에 도시하는 반도체 장치에서는, 일례로서 박막 트랜지스터(410) 및 박막 트랜지스터(420)의 채널 길이가 같지만, 본 발명은 이것에 한정되지 않는다. 예를 들어 구동 회로용의 박막 트랜지스터는, 화소용의 박막 트랜지스터보다 고속 동작이 요구되기 때문에, 박막 트랜지스터(410)의 채널 길이는, 박막 트랜지스터(420)의 채널 길이보다 좁게 하여도 좋다. 이 때, 예를 들어 박막 트랜지스터(410)의 채널 길이는  $1\text{ }\mu\text{m}$  내지  $5\text{ }\mu\text{m}$  정도인 것이 바람직하고, 박막 트랜지스터(420)의 채널 길이는  $5\text{ }\mu\text{m}$  내지  $20\text{ }\mu\text{m}$ 인 것이 바람직하다.
- [0080] 이상과 같이, 도 1에 도시하는 반도체 장치는, 동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로 및 제 2 박막 트랜지스터를 갖는 화소를 갖는 구조이며, 제 2 박막 트랜지스터는, 투광성을 갖는 재료에 의해 구성되고, 제 1 박막 트랜지스터는, 투광성을 갖는 재료보다 저항값이 낮은 재료를 사용하여 구성된다. 이로써, 화소에서는, 개구율을 향상시킬 수 있고, 또 구동 회로의 동작 속도를 향상시킬 수 있다. 또한, 동일 기판 위에 구동 회로 및 화소를 형성함으로써, 구동 회로와 화소를 전기적으로 접속시키는 배선수의 저감 및 구동 회로와 화소를 전기적으로 접속시키는 배선 전체의 길이를 단축시킬 수 있기 때문에, 반도체 장치의 소형화, 및 저가격화가 가능하다.
- [0081] 또한, 도 1에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 소스 전극층 및 드레인 전극층과, 채널 형성 영역이 형성되는 산화물 반도체층과의 사이에 저저항 소스 영역 및 저저항 드레인 영역을 갖는 구조이다. 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 금속 전극층과 산화물 반도체층의 직접 접촉과 비교하여, 금속 전극층과 저저항 소스 영역 및 저저항 드레인 영역의 접촉은, 접촉 저항을 낮출 수 있기 때문이다. 또한, 몰리브덴을 사용한 전극층(예를 들어, 몰리브덴층, 알루미늄층, 몰리브덴층의 적층 등)은, 산화물 반도체층과의 접촉 저항이 높고, 이것은, 예를 들어 티타늄에 비하여 몰리브덴이 산화하기 어렵기 때문에, 산화물 반도체층으로부터 산소를 추출하는 작용이 약하고, 몰리브덴층과 산화물 반도체층의 접촉 계면이 n형화하지 않기 때문이다. 그러나, 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 저저항 소스 영역 및 저저항 드레인 영역을 개재시킴으로써 접촉 저항을 저감할 수 있고, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 또한, 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 박막 트랜지스터의 채널 길이가, 저저항 소스 영역 및 저저항 드레인 영역이 되는 층의 애칭 시에 정해지기 때문에, 보다 채널 길이를 짧게 할 수 있다.
- [0082] 또한, 도 1에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 반도체층의 일부 위, 및 소스 전극층 및 드레인 전극층에 접하는 산화물 도전층의 주연 및 측면에 산화물 절연층이 접하는 구조이다. 상기 구조로 함으로써, 박막 트랜지스터의 주변부에 게이트 전극층과 동일층의 배선과, 소스 전극층 및 드레인 전극층과 동일층의 배선이 절연층을 끼워서 교차하는 부분(교차부라고도 함)을 갖는 경우에 게이트 전극층과 동일층의 배선과 소스 전극층 및 드레인 전극층과 동일층의 배선의 간격을 넓힐 수 있기 때문에, 기생 용량을 저감할 수 있다.
- [0083] 또한, 도 1에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 절연층 및 평탄화 절연층을 끼워서 채널 형성 영역과 중첩하고, 투광성을 갖는 재료에 의해 구성된 도전층을 갖는 구조로 할 수 있고, 이로써 박막 트랜지스터의 임계값 전압을 제어할 수 있다.
- [0084] 또한 본 실시형태의 트랜지스터는, 도 6에 도시하는 구조로 할 수도 있다. 도 6에 도시하는 반도체 장치는, 도 1에 도시하는 반도체 장치와 비교하여, 게이트 절연층이 복수의 절연층의 적층에 의해 구성되고, 반도체층에 접하는 산화물 절연층 위에 보호 절연층을 갖는 점에 있어서 다르다. 즉, 도 6에 도시하는 반도체 장치는, 도 1에 도시하는 게이트 절연층(402)의 대신에 게이트 절연층(402a) 및 게이트 절연층(402b)의 적층을 갖고, 도 1에 도시하는 산화물 절연층(416) 위에 보호 절연층(403)을 갖는 구조이다. 그 이외에 도 6에 도시하는 반도체 장치의 구성에 있어서, 도 1에 도시하는 반도체 장치와 공통되는 부분은, 도 1에 도시하는 반도체 장치의 설명을 적절하게 원용하고, 여기에서의 설명은 생략한다.
- [0085] 게이트 절연층(402a) 및 게이트 절연층(402b)으로서는, 예를 들어 도 1에 도시하는 게이트 절연층(402)에 적용 가능한 재료를 사용할 수 있고, 게이트 절연층(402a)으로서는, 예를 들어 질화물 절연층을 사용할 수 있고, 게

이트 절연층(402b)으로서는, 예를 들어 산화물 절연층을 사용할 수 있다.

[0086] 이하, 도 2a 내지 도 2e, 및 도 3a 내지 도 3d를 사용하여, 박막 트랜지스터(410) 및 박막 트랜지스터(420)의 제작 공정의 일례를 설명한다.

[0087] 우선, 절연 표면을 갖는 기판(400) 위에 투광성을 갖는 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 도전막의 일부 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 도전막을 에칭함으로써, 게이트 전극층(411, 421)을 형성한다. 또한, 화소부에는 게이트 전극층(411, 421)과 같은 재료, 같은 제 1 포토리소그래피 공정에 의해 용량 배선(용량 배선층이라고도 함)을 형성한다. 또한, 화소뿐만 아니라 구동 회로에 용량이 필요한 경우에는, 구동 회로에도 용량 배선을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0088] 절연 표면을 갖는 기판(400)에 사용되는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있는 정도의 내열성을 갖는 것이 필요하게 된다. 절연 표면을 갖는 기판(400)으로서는, 예를 들어 유리 기판 등을 사용할 수 있다.

[0089] 또한, 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730°C 이상인 것을 사용하면 좋다. 또한, 유리 기판으로서는, 예를 들어, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료가 사용된다. 또한, 붕산과 비교하여 산화바륨(BaO)을 많이 포함시킴으로써, 보다 실용적인 내열 유리가 얻어진다. 따라서, B<sub>2</sub>O<sub>3</sub>보다 BaO를 많이 포함하는 유리 기판을 사용하는 것이 바람직하다.

[0090] 또한, 상기 유리 기판 대신에, 기판(400)으로서 세라믹 기판, 석영기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용하여도 좋다. 그 이외에도, 기판(400)으로서 결정화 유리 등을 사용할 수 있다.

[0091] 또한, 하지막이 되는 절연막을 기판(400)과 게이트 전극층(411, 421) 사이에 형성하여도 좋다. 하지막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막으로부터 선택된 하나의 막 또는 복수의 막에 의한 적층막에 의해 형성할 수 있다.

[0092] 게이트 전극층(411, 421)의 재료로서는, 가시광에 대하여 투광성을 갖는 도전 재료, 예를 들어 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Sn-O계, In-O계, Sn-O계, Zn-O계의 도전성 금속 산화물을 적용할 수 있고, 게이트 전극층(411, 421)의 막 두께를 50nm 이상 300nm 이하의 범위 내로 한다. 게이트 전극층(411, 421)에 사용하는 도전막의 성막 방법으로서는, 스퍼터링법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 사용한다. 또한, 스퍼터링법을 사용하는 경우, SiO<sub>2</sub>를 2중량% 이상 10중량% 이하 포함하는 타깃을 사용하여 성막을 하고, 형성되는 투광성을 갖는 도전막에 결정화를 저해하는 SiO<sub>x</sub>(x>0)를 포함시켜도 좋다. 이로써, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화되어 버리는 것을 억제할 수 있다.

[0093] 다음에, 레지스트 마스크를 제거하고, 게이트 전극층(411) 및 게이트 전극층(421) 위에 게이트 절연층(402)을 형성한다.

[0094] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 또는 질화산화실리콘층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 산화질화실리콘층을 형성하는 경우, 성막 가스로서, SiH<sub>4</sub>, 산소 및 질소를 사용하여 플라즈마 CVD법에 의해 산화질화실리콘층을 형성하면 좋다. 또한, 게이트 절연층(402)의 막 두께는, 100nm 이상 500nm 이하로 하고, 적층의 경우는, 예를 들어, 막 두께 50nm 이상 200nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위에 막 두께 5nm 이상 300nm 이하의 제 2 게이트 절연층의 적층으로 한다.

[0095] 본 실시형태에서는, 플라즈마 CVD법에 의해 질화실리콘층인 막 두께 200nm 이하의 게이트 절연층(402)으로 한다.

[0096] 다음에, 게이트 절연층(402) 위에, 막 두께 2nm 이상 200nm 이하의 산화물 반도체막(430)을 형성한다(도 2a 참조). 산화물 반도체막(430)의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도, 후에 형성되는 산화물 반도체층을 비정질인 상태로 하기 위해서, 막 두께를 50nm 이하로 얇게 하는 것이 바람직하다. 산화물 반도체막(430)의 막 두께를 얇게 함으로써 산화물 반도체막(430)의 형성 후에 가열 처리한 경우에, 후에 형성되

는 산화물 반도체층이 결정화되어 버리는 것을 억제할 수 있다.

[0097] 또한, 산화물 반도체막(430)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여, 게이트 절연층의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터링이란, 타깃측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기를 대신하여 질소, 헬륨, 산소 등을 사용하여도 좋다.

[0098] 산화물 반도체막(430)으로서는, In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Sn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 사용한다. 본 실시형태에서는, In-Ca-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법에 의해 성막한다. 또한, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 스퍼터링법에 의해 산화물 반도체막(430)을 형성할 수 있다. 또한, 스퍼터링법을 사용하는 경우,  $SiO_2$ 를 2중량% 이상 10중량% 이하 포함하는 타깃을 사용하여 산화물 반도체막(430)의 성막을 행하고, 산화물 반도체막(430)에 결정화를 저해하는  $SiO_x$ ( $x > 0$ )를 포함시켜도 좋다. 이로써, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에, 후에 형성되는 산화물 반도체층이 결정화되어 버리는 것을 억제할 수 있다.

[0099] 다음에, 산화물 반도체막(430) 위에 제 2 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여, 선택적으로 에칭을 행함으로써, 산화물 반도체막(430)을 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0100] 다음에, 레지스트 마스크를 제거하여, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 400°C 이상 기판의 변형점 미만, 예를 들어 400°C 이상 700°C 이하, 바람직하게는 425°C 이상 700°C 이하로 한다. 또한, 425°C 이상 700°C 이하이면 열처리 시간은 1시간 이하라도 좋지만, 425°C 미만이면 가열 처리 시간은, 1시간보다도 장시간 행하는 것으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 상부에 산화물 반도체층이 형성된 기판(400)을 도입하고, 산화물 반도체층에 대하여 질소 분위기하에 있어서 가열 처리를 행한 후, 대기에 접촉하지 않고, 산화물 반도체층으로의 물이나 수소의 재흡입을 막고, 저저항화한 산화물 반도체층(431, 432)을 얻는다(도 2b 참조.). 본 실시형태에서는, 산화물 반도체층의 탈수화 또는 탈수소화를 행하는 가열 온도 T로부터, 다시 물이나 수소가 들어가지 않는 충분한 온도까지 같은 노(爐)를 사용하여, 구체적으로는 가열 온도 T보다도 100°C 이상 저하될 때까지 질소 분위기하에서 서냉한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 아르곤 등의 희가스 분위기하에 있어서 탈수화 또는 탈수소화를 행하여도 좋다.

[0101] 또한, 제 1 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, 즉 가열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤 등의 희가스의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다.

[0102] 또한, 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화하고, 미결정층 또는 다결정층이 되는 경우도 있다.

[0103] 또한, 제 1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막에 행할 수도 있다. 그 경우에는, 제 1 가열 처리 후에, 가열 장치로부터 기판을 추출하여, 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 선택적으로 에칭을 행함으로써 산화물 반도체막을 가공한다.

[0104] 또한, 산화물 반도체막의 성막전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등의 희가스)하, 산소 분위기에 있어서 가열 처리(400°C 이상 기판의 변형점 미만)를 행하고, 게이트 절연층 내에 포함되는 수소 및 물 등의 불순물을 제거하여도 좋다.

[0105] 다음에, 산화물 반도체층(431, 432) 및 게이트 절연층(402) 위에, 산화물 도전막을 형성하고, 제 3 포토리소그래피 공정에 의해 레지스트 마스크(433a 및 433b)를 형성하고, 선택적으로 에칭을 행하여 산화물 도전층(406,

407)을 형성한다(도 2c 참조). 산화물 도전막의 재료로서는, 가시광에 대하여 투광성을 갖는 도전 재료, 예를 들어 In-Sn-Zn-0계, In-Al-Zn-0계, Sn-Ga-Zn-0계, Al-Ga-Zn-0계, Sn-Al-Zn-0계, In-Zn-0계, Sn-Zn-0계, Al-Zn-0계, In-Sn-0계, Al-Zn-0-N계, In-0계, Sn-0계의 도전성 금속 산화물을 적용할 수 있고, 산화물 도전막의 막 두께를 50nm 이상 300nm 이하의 범위 내에서 적절하게 선택한다. 또한, 산화물 도전막의 성막 방법으로서, 스퍼터링법을 사용하는 경우,  $SiO_2$ 를 2중량% 이상 10중량% 이하 포함하는 타깃을 사용하여 성막을 행하고, 투광성을 갖는 도전막에 결정화를 저해하는  $SiO_x$ ( $x > 0$ )를 포함시켜도 좋다. 이로써, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에, 후에 형성되는 산화물 도전층(406, 407)이 결정화되어 버리는 것을 억제할 수 있다.

[0106] 또한, 본 실시형태의 반도체 장치의 제작 방법에서는, 상기에 나타내는 산화물 반도체층의 탈수화 또는 탈수소화(제 1 가열 처리)를 산화물 도전막 또는 산화물 도전층(406 및 407)을 형성한 후에 행할 수도 있다.

[0107] 여기서는, In, Ga, 및 Zn을 포함하는 산화물 반도체 타깃( $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수비],  $In:Ga:Zn=1:1:0.5$ [atom비])을 사용하여, 기판과 타깃 사이의 거리를 100mm, 압력 0.2Pa, 직류(DC) 전원 0.5kW, 아르곤 및 산소(아르곤:산소=30sccm:20sccm 산소 유량 비율 40%) 분위기하에서 산화물 반도체막(430)을 성막한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. In-Ga-Zn-0계 비단결정막의 막 두께는, 5nm 내지 200nm로 한다. 본 실시형태에서는, 산화물 반도체막으로서, In-Ga-Zn-0계 산화물 반도체 타깃을 사용하여 스퍼터링법에 의해 막 두께 20nm의 In-Ga-Zn-0계 비단결정막을 성막한다. 또한, 산화물 반도체 타깃 재료로서는, 예를 들어  $In:Ga:Zn=1:1:1$ , 또는  $In:Ga:Zn=1:1:4$  등의 타깃 재료를 사용할 수도 있다.

[0108] 또한, 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 또한 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 사용된다.

[0109] 또한, 재료의 다른 타깃을 복수 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 다른 재료막을 적층 성막할 수도 있고, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜서 성막할 수도 있다.

[0110] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터링 장치가 있다.

[0111] 또한, 스퍼터링법을 사용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터링 가스 성분을 화학 반응시켜서 이들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법도 있다.

[0112] 다음에, 레지스트 마스크(433a) 및 레지스트 마스크(433b)를 제거하고, 제 4 포토리소그래피 공정에 의해 레지스트 마스크(436a) 및 레지스트 마스크(436b)를 형성하고, 선택적으로 에칭을 행하여 산화물 도전층에 의해 구성되는 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b) 및 소스 전극층(409a) 및 드레인 전극층(409b)을 형성한다(도 2d 참조). 또한, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b) 및 소스 전극층(409a) 및 드레인 전극층(409b)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0113] 또한, 이 때의 에칭 공정은, 하층의 산화물 반도체층(431) 및 산화물 반도체층(432)이 에칭되지 않도록, 에칭 조건을 적절하게 설정하는 것이 바람직하다. 예를 들어, 에칭 시간을 제어하면 좋다.

[0114] 또한, 산화물 반도체층(431 및 432)을 구성하는 재료, 및 산화물 도전층(406 및 407)을 구성하는 재료로서, 에칭 선택비가 높은 재료를 각각 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체층(431 및 432)을 구성하는 재료로서, Sn을 포함하는 금속 산화물 재료(예를 들어  $SnZnO_x$ ( $x > 0$ ), 또는  $SnGaZnO_x$ ( $x > 0$ ) 등)를 사용하고, 산화물 도전층(406 및 407)을 구성하는 재료로서 Al-Zn-0계 재료, Al-Zn-0-N계 재료, Zn-0계 재료 등을 사용하면 좋다. 이러한 산화아연을 주성분으로 하는 재료는, 예를 들어 알칼리성 용액을 사용하여 에칭할 수 있다. 또한, Al-Zn-0계 재료, Al-Zn-0-N계 재료 등 알루미늄이 포함되는 재료를 사용하는 경우에는, 에칭에 사용된 레지스트 마스크를 제거할 때에 산화물 도전층이 함께 제거되지 않는 방법을 사용하여 레지스트 마스크를 제거하는 것이 바람직하다. 예를 들어 드라이 에칭에 의해 레지스트 마스크를 제거함으로써, 산화물 도전층이 제거되지

않고 레지스트 마스크를 제거할 수 있다.

[0115] 다음에, 산화물 반도체층(431) 및 산화물 반도체층(432)의 노출면에 접하는 산화물 절연층(416)을 형성한다.

[0116] 산화물 절연층(416)은, 적어도 1nm 이상의 막 두께로 하고, 스퍼터링법 등, 산화물 절연층(416)에 물, 수소 등의 불순물을 흡입시키지 않는 방법을 적절하게 사용하여 형성할 수 있다. 본 실시형태에서는, 스퍼터링법을 사용하여 막 두께 300nm의 산화실리콘막을 성막함으로써 산화물 절연층(416)을 형성한다. 성막 시의 기판 온도는, 실온 이상 300°C 이하로 하면 좋고, 본 실시형태에서는 100°C로 한다. 산화실리콘막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 행할 수 있다. 또한, 타깃으로서 산화실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어, 실리콘 타깃을 사용하여, 산소, 및 질소 분위기하에서 스퍼터링법에 의해 산화실리콘막을 형성할 수 있다. 저저항화한 산화물 반도체층(431 및 432)에 접하는 산화물 절연층(416)으로서는, 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하여 형성하고, 대표적으로는 산화실리콘막, 질화산화실리콘막, 산화알루미늄막, 또는 산화질화알루미늄막 등을 사용하여 형성한다. 또한, 산화물 절연층(416)으로서, 봉소가 도프된 실리콘 타깃 재료를 사용하여 성막된 산화실리콘막을 사용함으로써 불순물(수분이나, 수소 이온이나, OH<sup>-</sup> 등)의 침입을 억제할 수 있다.

[0117] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 가열 처리(바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하)를 행한다. 예를 들어, 질소 분위기하에서 250°C, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층(431) 및 산화물 반도체층(432)의 일부가 산화물 절연층(416)과 접한 상태로 가열된다.

[0118] 이상의 공정을 거침으로써, 산화물 반도체층(431 및 432)을 저저항화하고, 산화물 반도체층(431 및 432)의 일부를 선택적으로 산소 파이인 상태로 한다. 그 결과, 게이트 전극층(411)과 중첩하는 채널 형성 영역(413)은, I형으로 되고, 게이트 전극층(421)과 중첩하는 채널 형성 영역(423)은, I형으로 되고, 소스 전극층(415a)에 중첩하는 산화물 반도체층(431)의 부분에 고저항 소스 영역(414a)이 자기 정합적으로 형성되고, 드레인 전극층(415b)에 중첩하는 산화물 반도체층(431)의 부분에 고저항 드레인 영역(414b)이 자기 정합적으로 형성되고, 소스 전극층(409a)에 중첩하는 산화물 반도체층(432)의 부분에 고저항 소스 영역(424a)이 자기 정합적으로 형성되고, 드레인 전극층(409b)에 중첩하는 산화물 반도체층(432)의 부분에 고저항 드레인 영역(424b)이 자기 정합적으로 형성된다(도 2e 참조).

[0119] 또한, 저저항 드레인 영역(408b)(및 저저항 소스 영역(408a))과 중첩한 산화물 반도체층(431)에 있어서 고저항 드레인 영역(414b)(또는 고저항 소스 영역(414a))을 형성함으로써, 구동 회로의 신뢰성의 향상을 도모할 수 있다. 구체적으로는, 고저항 드레인 영역(414b)을 형성함으로써, 트랜지스터를, 드레인 전극층(415b)으로부터 고저항 드레인 영역(414b), 채널 형성 영역(413)에 걸쳐서, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 따라서, 드레인 전극층을 고전원 전위 VDD를 공급하는 배선에 전기적으로 접속하여 트랜지스터를 동작시키는 경우, 게이트 전극층(411)과 드레인 전극층(415b) 사이에 고전계가 인가되어도 고저항 드레인 영역(414b)(또는 고저항 소스 영역(414a))이 버퍼로 되어 국소적인 전계 접중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킬 수 있다.

[0120] 또한, 저저항 드레인 영역(408b)(및 저저항 소스 영역(408a))과 중첩한 산화물 반도체층(431)에 있어서 고저항 드레인 영역(414b)(또는 고저항 소스 영역(414a))을 형성함으로써, 구동 회로에 있어서의 트랜지스터의 누설 전류의 저감을 도모할 수 있다.

[0121] 또한, 드레인 전극층(409b)(및 소스 전극층(409a))과 중첩한 산화물 반도체층(432)에 있어서 고저항 드레인 영역(424b)(또는 고저항 소스 영역(424a))을 형성함으로써, 화소의 신뢰성 향상을 도모할 수 있다. 구체적으로는, 고저항 드레인 영역(424b)을 형성함으로써, 트랜지스터를, 드레인 전극층(409b)으로부터 고저항 드레인 영역(424b), 채널 형성 영역(423)에 걸쳐서, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 따라서, 드레인 전극층(409b)을 고전원 전위 VDD를 공급하는 배선에 전기적으로 접속하여 트랜지스터를 동작시키는 경우, 게이트 전극층(421)과 드레인 전극층(409b) 사이에 고전계가 인가되어도 고저항 드레인 영역(424b)이 버퍼로 되어 국소적인 전계 접중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킬 수 있다.

[0122] 또한, 드레인 전극층(409b)(및 소스 전극층(409a))과 중첩한 산화물 반도체층(432)에 있어서 고저항 드레인 영역(424b)(또는 고저항 소스 영역(424a))을 형성함으로써, 화소에 있어서의 트랜지스터의 누설 전류의 저감을 도

모할 수 있다.

[0123] 또한, 본 실시형태의 반도체 장치에서는, 산화물 절연층(416) 위에 보호 절연층을 형성할 수도 있다. 보호 절연층을 형성하는 경우, 본 실시형태에서는, RF 스퍼터링법을 사용하여 질화실리콘막을 형성함으로써 보호 절연층을 형성하는 것이 바람직하다. RF 스퍼터링법은, 양산성이 좋기 때문에, 보호 절연층의 성막 방법으로서 바람직하다. 보호 절연층은, 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하고, 예를 들어, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 산화질화알루미늄막 등을 사용한다. 물론, 보호 절연층은 투광성을 갖는 절연막이다.

[0124] 다음에, 제 5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 산화물 절연층(416)을 에칭함으로써 저저항 소스 영역(408a)의 일부가 노출된 영역(418), 저저항 드레인 영역(408b)의 일부가 노출된 영역(419), 및 드레인 전극층(409b)에 달하는 콘택트 홀(426)을 형성하고, 산화물 절연층(416)이 산화물 반도체층(431)의 상면, 및 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 주연 및 측면에 접하는 구조를 형성한다(도 3a 참조.). 또한, 여기에서의 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0125] 다음에, 레지스트 마스크를 제거한 후, 적어도 노출된 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b) 위 및 산화물 절연층(416) 위에 도전막을 형성하고, 제 6 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크(438a 및 438b)를 형성하고, 도전막을 선택적으로 에칭하여 소스 전극층(415a) 및 드레인 전극층(415b)을 형성한다.(도 3b 참조).

[0126] 소스 전극층(415a) 및 드레인 전극층(415b)을 형성하기 위한 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금 등이 있다.

[0127] 도전막으로서는, 티타늄막, 상기 티타늄막 위에 형성된 알루미늄막, 및 상기 알루미늄막 위에 형성된 티타늄막의 3층의 적층막, 또는 몰리브덴막, 상기 몰리브덴막 위에 형성된 알루미늄막, 및 상기 알루미늄막 위에 형성된 몰리브덴 막의 3층의 적층막을 사용하는 것이 바람직하다. 물론, 금속 도전막으로서 단층막, 2층의 적층막, 또는 4층 이상의 적층막을 사용하여도 좋다. 또한, 도전막으로서, 티타늄막, 알루미늄막 및 티타늄막의 적층 도전막을 사용한 경우는, 염소 가스를 사용한 드라이 에칭법으로 에칭할 수 있다.

[0128] 또한, 도전층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0129] 다음에, 산화물 절연층(416) 위에 평탄화 절연층(404)을 형성한다. 평탄화 절연층(404)으로서는, 폴리이미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인봉소 유리) 등을 평탄화 절연층(404)으로서 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(404)을 형성하여도 좋다.

[0130] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 또한, 실록산계 수지는, 치환기로서는 게임기(예를 들어 알킬기나 아릴기)나 플루오르기를 사용하여도 좋다. 또한, 게임기는 플루오르기를 가져도 좋다.

[0131] 평탄화 절연층(404)의 형성법으로서는, 특히 한정되지 않고, 그 재료에 따라서, 스퍼터링법, SOG법, 스팬 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 등)이나, 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 기구를 사용할 수 있다.

[0132] 다음에, 제 7 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(404)의 에칭에 의해 드레인 전극층(409b)에 달하는 콘택트 홀(441)을 형성한다(도 3c 참조). 또한, 여기에서의 에칭에 의해 게이트 전극층(411, 421)에 도달하는 콘택트 홀도 형성한다. 또한, 드레인 전극층(409b)에 달하는 콘택트 홀(441)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0133] 다음에, 레지스트 마스크를 제거한 후, 투광성을 갖는 도전막을 성막한다. 예를 들어, 산화인듐(In<sub>2</sub>O<sub>3</sub>)막이나 산화인듐산화주석 합금(In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>, ITO라고 약기함)막 등을 스퍼터링법이나 진공 증착법 등을 사용하여 성막함으로써 투광성을 갖는 도전막을 형성한다. 투광성을 갖는 도전막으로서, 질소를 포함시킨 Al-Zn-O계 비단결정

막, 즉 Al-Zn-O-N계 비단결정막이나, Zn-O-N계 비단결정막이나, Sn-Zn-O-N계 비단결정막을 사용하여도 좋다. 또한, Al-Zn-O-N계 비단결정막의 아연의 조성비(원자%)는, 47원자% 이하로 하고, 비단결정막중의 알루미늄의 조성비(원자%)보다 크고, Al-Zn-O-N계 비단결정막 중의 알루미늄의 조성비(원자%)는, Al-Zn-O-N계 비단결정막 중의 질소의 조성비(원자%)보다 크다. 이러한 재료의 막의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO막의 에칭은 잔사(殘渣)가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화인듐산화아연 합금( $In_2O_3-ZnO$ )을 사용하여도 좋다.

[0134] 또한, 투광성을 갖는 도전막의 조성비의 단위는 원자%로 하고, 전자선 마이크로 애널라이저(EPMA: Electron Probe X-ray Micro Analyzer)를 사용한 분석에 의해, 투광성을 갖는 도전막의 조성비를 평가하는 것으로 한다.

[0135] 다음에, 제 8 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 투광성을 갖는 도전막의 불필요한 부분을 제거하여 화소 전극층(427) 및 도전층(417)을 형성하고, 레지스트 마스크를 제거한다(도 3d 참조.).

[0136] 이상의 공정에 의해, 8장의 마스크를 사용하여, 동일 기판 위에 박막 트랜지스터(410) 및 박막 트랜지스터(420)를 각각 구동 회로 또는 화소부로 나누어 제작할 수 있기 때문에, 화소부와 구동 회로를 별도의 공정에서 제작하는 경우와 비교하여 제조 비용을 저감할 수 있다. 구동 회로용의 트랜지스터인 박막 트랜지스터(410)는, 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 및 채널 형성 영역(413)을 갖는 산화물 반도체층(412)을 포함하는 박막 트랜지스터이며, 화소용의 트랜지스터인 박막 트랜지스터(420)는, 고저항 소스 영역(424a), 고저항 드레인 영역(424b), 및 채널 형성 영역(423)을 갖는 산화물 반도체층(422)을 포함하는 박막 트랜지스터이다. 박막 트랜지스터(410) 및 박막 트랜지스터(420)는, 고전계가 인가되어도 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 고저항 소스 영역(424a), 및 고저항 드레인 영역(424b)이 벼퍼로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킨 구조으로 되어 있다.

[0137] 또한, 도 2 및 도 3에 도시하는 반도체 장치의 제작 방법에서는, 게이트 절연층(402)을 유전체로 하고, 용량 배선과 용량 전극(용량 전극층이라고도 함)으로 형성되는 유지 용량도 박막 트랜지스터(410) 및 박막 트랜지스터(420)와 동일 기판 위에 형성할 수 있다. 박막 트랜지스터(420)와 유지 용량을 개개의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터(410)를 갖는 구동 회로를 배치함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기판으로 할 수 있다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판이라고 한다.

[0138] 또한, 화소 전극층(427)은, 평탄화 절연층(404)에 형성된 콘택트 홀(441) 및 산화물 절연층(416)에 형성된 콘택트 홀(426)을 통하여 용량 전극층과 전기적으로 접속한다. 복수의 콘택트 홀을 형성하여 하층의 전극층과 상층의 전극층을 전기적으로 접속시킴으로써, 절연층의 막 두께를 두껍게 하여도 콘택트 홀을 용이하게 형성할 수 있기 때문에, 콘택트 불량을 억제할 수 있다. 또한, 용량 전극층은, 소스 전극층(409a), 드레인 전극층(409b)과 같은 재료, 같은 공정에서 형성할 수 있다.

[0139] 또한, 도전층(417)을 산화물 반도체층의 채널 형성 영역(413)과 중첩하는 위치에 형성함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT시험이라고 함)에 있어서, BT 시험 전후에 있어서의 박막 트랜지스터(410)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(417)은, 전위가 게이트 전극층(411)과 같아도 좋고, 달라도 좋으며, 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(417)은, GND 상태, 0V의 전위가 주어진 상태, 또는 플로팅 상태라도 좋다.

[0140] 또한, 도전층(417) 및 화소 전극층(427)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0141] (실시형태 2)

[0142] 본 실시형태에서는, 제 1 가열 처리가 실시형태 1과 다른 예를 도 4에 도시한다. 도 2 및 도 3과 공정이 일부 다른 점 이외는 같기 때문에, 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다.

[0143] 도 4a 내지 도 4c에 2개의 박막 트랜지스터의 제작 공정의 단면도를 도시한다.

[0144] 우선, 실시형태 1에 나타내는 제작 공정에 따라서, 절연 표면을 갖는 기판(400) 위에 게이트 전극층(411, 421)을 형성한다.

- [0145] 다음에, 게이트 전극층(411, 421) 위에 게이트 절연층(402)을 형성한다.
- [0146] 다음에, 게이트 절연층(402) 위에, 막 두께 2nm 이상 200nm 이하의 산화물 반도체막(430)을 형성한다(도 4a참조.). 또한, 여기까지의 공정은, 실시형태 1과 동일하고, 도 4a는 도 2a와 대응한다.
- [0147] 계속하여, 불활성 가스 분위기하 또는 감압하에 있어서, 산화물 반도체막(480)의 틸수화 또는 탈수소화를 행한다. 틸수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 350°C 이상 기판의 변형점 미만, 바람직하게는 400°C 이상으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체막에 대하여 질소 분위기하에 있어서 가열 처리를 행한 후, 대기에 접촉되지 않고, 산화물 반도체막으로의 물이나 수소의 재흡입을 막고, 산화물 반도체막을 산소 결핍형으로서 저저항화, 즉 N형화(N<sup>-</sup>화 등)시킨다. 그 후, 같은 노에 고순도의 산소 가스 또는 고순도의 N<sub>2</sub>O 가스, 또는, 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하)를 도입하여 냉각을 한다. 산소 가스 또는 N<sub>2</sub>O 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N<sub>2</sub>O 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 산소 가스 또는 N<sub>2</sub>O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0148] 또한, 틸수화 또는 탈수소화를 행하는 제 1 가열 처리 후에 200°C 이상 400°C 이하, 바람직하게는 200°C 이상 300°C 이하의 온도로 산소 가스 분위기하, 또는 N<sub>2</sub>O 가스 분위기하, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하) 분위기하에서의 가열 처리를 행하여도 좋다.
- [0149] 이상의 공정을 거침으로써 산화물 반도체막(430) 전체를 산소 파이 상태로 함으로써, 고저항화, 즉 I형화시키고, 산화물 반도체막(434)을 형성한다(도 4b 참조). 이 결과, 후에 형성되는 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0150] 또한, 본 실시형태에서는, 산화물 반도체막의 성막 후에, 틸수화 또는 탈수소화를 행하는 예를 나타내었지만, 특히 한정되지 않고, 제 1 가열 처리는, 실시형태 1과 마찬가지로 섬 형상의 산화물 반도체층에 가공한 후에 행할 수도 있다.
- [0151] 또한, 불활성 가스 분위기하에 있어서, 산화물 반도체막의 틸수화 또는 탈수소화를 행하고, 불활성 가스 분위기하에서 냉각한 후, 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 산화물 반도체막(434)을 선택적으로 에칭함으로써, 섬 형상의 산화물 반도체층인 산화물 반도체층을 형성하고, 그 후 200°C 이상 400°C 이하, 바람직하게는 200°C 이상 300°C 이하의 온도로 산소 가스 분위기하, N<sub>2</sub>O 가스 분위기하, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하) 분위기하에서 가열 처리를 행하여도 좋다.
- [0152] 또한, 산화물 반도체막(434)의 성막전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등)하, 산소 분위기, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하) 분위기에 있어서 가열 처리(400°C 이상 기판의 변형점 미만)를 행하고, 게이트 절연층 내에 포함되는 수소 및 물 등의 불순물을 제거하여도 좋다.
- [0153] 다음에, 산화물 반도체막(434)을 제 2 포토리소그래피 공정에 의해 산화물 반도체막(434) 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 산화물 반도체막(434)을 선택적으로 에칭함으로써, 섬 형상의 산화물 반도체층인 산화물 반도체층(443, 445)을 형성한다.
- [0154] 후에는, 레지스트 마스크를 제거하고, 실시형태 1의 도 2c, 도 2d, 도 2e, 도 3a, 도 3b, 도 3c와 마찬가지로, 산화물 반도체층(443)에 접하는 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)을 형성하고, 산화물 반도체층(443)의 상면, 및 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 주연 및 측면에 접하는 산화물 절연층(416)을 형성한다. 한편, 화소부에 있어서는, 산화물 반도체층(445)에 접하고, 투광성을 갖는 도전층인 소스 전극층(409a) 및 드레인 전극층(409b)을 형성하고, 산화물 반도체층(445)에 접하는 산화물 절연층(416)을 형성한다.
- [0155] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 가열 처리를 행한다. 제 2 가열 처리의 조건으로서는, 실시형태 1에 나타내는 반도체 장치의 제작 방법과 같은 조건을 사용할 수 있다. 예를 들어, 질소 분위기하에서 250°C, 1시간의 제 2 가열 처리를 행한다.
- [0156] 다음에, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 일부를 노출시키고, 산화물 절연층(416)에 드

레인 전극층(409b)에 달하는 콘택트 홀을 형성한다. 또한, 산화물 절연층(416) 위에 도전막을 형성하고, 도전막을 선택적으로 예칭하여 저저항 소스 영역(408a)에 접하는 소스 전극층(415a)과 저저항 드레인 영역(408b)에 접하는 드레인 전극층(415b)을 형성한다. 다음에, 산화물 절연층(416)에 접하여 평탄화 절연층(404)을 형성하고, 평탄화 절연층(404)에 드레인 전극층(409b)에 달하는 콘택트 홀을 형성하고, 콘택트 홀 및 평탄화 절연층(404) 위에 투광성을 갖는 도전막을 성막한다. 투광성을 갖는 도전막을 선택적으로 예칭하여 드레인 전극층(409b)과 전기적으로 접속하는 화소 전극층(427) 및 도전층(417)을 형성한다(도 4c 참조).

[0157] 이상의 공정에 의해, 8장의 마스크를 사용하여, 동일 기판 위에 산화물 반도체층 전체가 I형인 박막 트랜지스터(449) 및 박막 트랜지스터(451)를 각각 구동 회로 또는 화소부로 나누어 제작할 수 있다. 구동 회로용의 박막 트랜지스터(449)는, 전체가 I형화한 산화물 반도체층(443)을 포함하는 박막 트랜지스터이며, 화소용의 박막 트랜지스터(451)도, 전체가 I형화한 산화물 반도체층(445)을 포함하는 박막 트랜지스터이다.

[0158] 또한, 게이트 절연층(402)을 유전체로 하고, 용량 배선과 용량 전극으로 형성되는 유지 용량도 박막 트랜지스터(449) 및 박막 트랜지스터(451)와 동일 기판 위에 형성할 수 있다. 박막 트랜지스터(451)와 유지 용량을 개개의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터(449)를 갖는 구동 회로를 배치함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기판으로 할 수 있다.

[0159] 또한, 도전층(417)을 산화물 반도체층(443)의 채널 형성 영역과 중첩하는 위치에 형성함으로써, BT 시험에 있어서, BT 시험 전후에 있어서의 박막 트랜지스터(449)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(417)은, 전위가 게이트 전극층(411)과 같아도 좋고, 달라도 좋으며, 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(417)은, GND 상태, 0V의 전위가 주어진 상태, 또는 플로팅 상태라도 좋다.

[0160] (실시형태 3)

[0161] 실시형태 1과 다른 반도체 장치의 제작 방법을 도 5를 사용하여 설명한다. 실시형태 1과 동일 부분 또는 같은 기능을 갖는 부분, 및 공정은, 실시형태 1과 마찬가지로 행할 수 있고, 반복되는 설명은 생략한다.

[0162] 도 5a 내지 도 5c에 2개의 박막 트랜지스터의 제작 공정의 단면도를 도시한다.

[0163] 우선 실시형태 1의 도 2a와 마찬가지로, 절연 표면을 갖는 기판(400) 위에 게이트 전극층(411), 게이트 전극층(421)을 형성하고, 게이트 전극층(411) 및 게이트 전극층(421) 위에 게이트 절연층(402)을 형성하고, 게이트 절연층(402) 위에, 산화물 반도체막(430)을 형성한다(도 5a 참조).

[0164] 다음에, 제 2 포토리소그래피 공정에 의해 산화물 반도체막(430) 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 산화물 반도체막(430)을 선택적으로 예칭함으로써 섬 형상의 산화물 반도체층인 산화물 반도체층을 형성한다.

[0165] 다음에, 레지스트 마스크를 제거하고, 실시형태 1의 도 2b과 마찬가지로 제 1 가열 처리를 행함으로써 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 조건으로서는, 실시형태 1에 나타내는 반도체 장치의 제작 방법과 같은 조건을 적용할 수 있다. 여기에서는, 가열 처리 장치의 하나인 전기로에 산화물 반도체층이 형성된 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기하에 있어서 가열 처리를 행한 후, 대기해 접촉하지 않고, 산화물 반도체층으로의 물이나 수소의 재흡입을 막고, 산화물 반도체층(431, 432)을 얻는다(도 5b 참조..).

[0166] 다음에, 산화물 반도체층(431, 432) 및 게이트 절연층(402) 위에, 산화물 도전막을 형성한 후, 제 3 포토리소그래피 공정에 의해 레지스트 마스크(445a 및 445b)를 형성하고, 레지스트 마스크(445a 및 445b)를 사용하여 선택적으로 예칭함으로써, 저저항 소스 영역(408a), 저저항 드레인 영역(408b), 소스 전극층(409a), 및 드레인 전극층(409b)을 형성한다(도 5c 참조). 산화물 도전막의 재료로서는, 실시형태 1과 동일한 재료를 사용할 수 있다.

[0167] 또한, 이 때의 예칭 공정은, 하층의 산화물 반도체층(431) 및 산화물 반도체층(432)이 예칭되지 않는 것이 바람직하고, 예칭되지 않도록, 예칭 조건을 적절하게 설정하면 좋다. 예를 들어, 예칭 시간을 제어하면 좋다.

[0168] 또한, 산화물 반도체층(431 및 432)을 구성하는 재료 및 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b), 소스 전극층(409a), 드레인 전극층(409b)을 구성하는 재료로서, 예칭 선택비가 높은 재료를 각각 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체층을 구성하는 재료로서, Sn을 포함하는 금속 산화물 재료(예를 들어

$\text{SnZnO}_x$  ( $x > 0$ ), 또는  $\text{SnGaZnO}_x$  ( $x > 0$ ) 등을 사용하여, 산화물 도전층을 구성하는 재료로서 Al-Zn-O계 재료, Al-Zn-O-N계 재료, Zn-O계 재료 등을 사용하면 좋다. 이러한 산화아연을 주성분으로 하는 재료는, 예를 들어 알칼리성 용액을 사용하여 에칭할 수 있다. 또한, Al-Zn-O계 재료, Al-Zn-O-N계 재료 등 알루미늄이 포함되는 재료를 사용하는 경우에는, 에칭에 사용된 레지스트 마스크를 제거할 때 산화물 도전층이 함께 제거되지 않는 방법을 사용하여 레지스트 마스크를 제거하는 것이 바람직하다. 예를 들어 드라이 에칭에 의해 레지스트 마스크를 제거함으로써, 산화물 도전층이 제거되지 않고 레지스트 마스크를 제거할 수 있다.

[0169] 산화물 반도체층은, 비정질 상태를 유지하기 위해서 막 두께 50nm 이하로 하는 것이 바람직하다. 예를 들어, 최종적으로 제작된 박막 트랜지스터의 평균 막 두께는 5nm 이상 20nm 이하로 하는 것이 바람직하다.

[0170] 다음에, 실시형태 1의 도 2e와 마찬가지로, 산화물 반도체층(431) 및 산화물 반도체층(432)에 접하는 산화물 절연층(416)을 형성하고, 제 2 가열 처리를 행하고, 게이트 전극층(411)과 중첩하는 채널 형성 영역(413)을 I형으로 하고, 게이트 전극층(421)과 중첩하는 채널 형성 영역(423)을 I형으로 하고, 저저항 소스 영역(408a)에 중첩하는 고저항 소스 영역(414a)이 자기 정합적으로 형성되고, 저저항 드레인 영역(408b)에 중첩하는 고저항 드레인 영역(414b)이 자기 정합적으로 형성되고, 소스 전극층(409a)에 중첩하는 고저항 소스 영역(424a)이 자기 정합적으로 형성되고, 드레인 전극층(409b)에 중첩하는 고저항 드레인 영역(424b)이 자기 정합적으로 형성된다. 제 2 가열 처리의 조건으로서는, 실시형태 1에 나타내는 반도체 장치의 제작 방법과 같은 조건을 사용할 수 있다.

[0171] 다음에, 실시형태 1의 도 3a과 마찬가지로, 제 4 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 산화물 절연층(416)을 에칭함으로써 저저항 소스 영역(408a)의 일부가 노출된 영역(418) 및 저저항 드레인 영역(408b)의 일부가 노출된 영역(419), 및 드레인 전극층(409b) 위에 콘택트 홀(426)을 형성하고, 산화물 절연층(416)을 산화물 반도체층(431)의 일부, 및 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 주연 및 측면에 접하는 구조로 한다.

[0172] 다음에, 실시형태 1의 도 3b와 마찬가지로, 레지스트 마스크를 제거한 후, 적어도 노출된 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b) 위, 콘택트 홀(426) 위, 및 산화물 절연층(416) 위에 도전막을 형성하고, 제 5 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크(438a 및 438b)를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(415a) 및 드레인 전극층(415b)을 형성한다.

[0173] 다음에, 실시형태 1의 도 3c과 마찬가지로, 레지스트 마스크(438a 및 438b)를 제거한 후, 소스 전극층(415a) 및 드레인 전극층(415b) 및 산화물 절연층(416) 위에 평탄화 절연층(404)을 형성하고, 제 6 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(404)의 에칭에 의해 드레인 전극층(409b)에 달하는 콘택트 홀(441)을 형성한다.

[0174] 다음에, 실시형태 1의 도 3d과 마찬가지로 콘택트 홀을 형성한 후, 투광성을 갖는 도전막을 성막하고, 제 7 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(427) 및 도전층(417)을 형성한다.

[0175] 이상의 공정에 의해, 7장의 마스크를 사용하여, 동일 기판 위에 박막 트랜지스터(410) 및 박막 트랜지스터(420)를 각각 구동 회로 또는 화소부로 나누어서 제작할 수 있고, 또 실시형태 1의 제작 공정보다 마스크수를 저감할 수 있다. 구동 회로의 박막 트랜지스터(410)는, 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 및 채널 형성 영역(413)을 갖는 산화물 반도체층(412)을 포함하는 박막 트랜지스터이며, 화소부의 박막 트랜지스터(420)는, 고저항 소스 영역(424a), 고저항 드레인 영역(424b), 및 채널 형성 영역(423)을 갖는 산화물 반도체층(422)을 포함하는 박막 트랜지스터이다. 박막 트랜지스터(410) 및 박막 트랜지스터(420)는, 고전계가 인가되어도 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 고저항 소스 영역(424a), 및 고저항 드레인 영역(424b)이 버퍼로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킨 구조로 된다.

[0176] (실시형태 4)

[0177] 실시형태 1과 다른 반도체 장치 및 반도체 장치의 제작 방법을 도 38 내지 도 40을 사용하여 설명한다. 도 38b 및 도 38c에는 동일 기판 위에 제작된 다른 구조의 2개의 박막 트랜지스터의 단면 구조의 일례를 도시한다. 도 38에 도시하는 박막 트랜지스터(460) 및 박막 트랜지스터(470)는, 보텀 게이트 구조의 트랜지스터이다.

[0178] 도 38a1은 구동 회로에 배치되는 박막 트랜지스터(460)의 평면도이며, 도 38a2는, 화소에 배치되는 박막 트랜지스터(470)의 평면도이며, 도 38b는 도 38a1의 선 G1-G2에 있어서의 단면 구조 및 도 38a2의 선 H1-H2에 있어서

의 단면 구조를 도시하는 단면도이며, 또한, 도 38c는 도 38a1의 선 G3-G4에 있어서의 단면 구조 및 도 38a2의 선 H3-H4에 있어서의 단면 구조를 도시하는 단면도이다.

[0179] 구동 회로에 배치되는 박막 트랜지스터(460)는, 절연 표면을 갖는 기판(450) 위에, 게이트 전극층(461), 게이트 절연층(452), 적어도 채널 형성 영역(463), 고저항 소스 영역(464a) 및 고저항 드레인 영역(464b)을 갖는 산화물 반도체층(462), 저저항 소스 영역(446a), 저저항 드레인 영역(446b), 소스 전극층(465a), 및 드레인 전극층(465b)을 포함한다. 또한, 박막 트랜지스터(460)는, 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 주연 및 측면, 및 산화물 반도체층(462)의 일부에 접하는 산화물 절연층(466)이 형성되어 있는 구조이다.

[0180] 또한, 고저항 소스 영역(464a)은, 저저항 소스 영역(446a)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 고저항 드레인 영역(464b)은, 저저항 드레인 영역(446b)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(463)은, 산화물 절연층(466)과 접하고, 고저항 소스 영역(464a) 및 고저항 드레인 영역(464b)보다도 고저항의 영역(I형 영역)으로 한다.

[0181] 소스 전극층(465a)은, 저저항 소스 영역(446a)에 접하고, 드레인 전극층(465b)은, 저저항 드레인 영역(446b)에 접한다.

[0182] 또한, 박막 트랜지스터(460)는, 저저항 소스 영역(446a), 저저항 드레인 영역(446b)을 형성함으로써, 쇼트키 접합과 비교하여 열적으로도 안정적인 동작을 갖게 한다. 이렇게, 산화물 반도체층보다도 캐리어 농도가 높은 저저항 소스 영역 및 저저항 드레인 영역을 의도적으로 형성함으로써 오믹성의 콘택트를 형성한다.

[0183] 또한, 박막 트랜지스터(460)의 배선을 저저항화하기 위해서 소스 전극층(465a) 및 드레인 전극층(465b)으로서 금속 재료를 사용하는 것이 바람직하다.

[0184] 또한, 채널 형성 영역(463) 상방에, 채널 형성 영역(463)에 중첩하는 도전층(467)을 형성한다. 도전층(467)을 게이트 전극층(461)과 전기적으로 접속하고, 동전위로 함으로써, 게이트 전극층(461)과 도전층(467)의 사이에 배치된 산화물 반도체층(462)에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 게이트 전극층(461)과 도전층(467)을 다른 전위, 예를 들어 고정 전위, GND전위, 0V로 하는 경우에는, TFT의 전기 특성, 예를 들어 임계값 전압 등을 제어할 수 있다. 즉, 게이트 전극층(461) 및 도전층(467)의 한쪽을 제 1 게이트 전극층으로서 기능시키고, 게이트 전극층(461) 및 도전층(467)의 다른쪽을 제 2 게이트 전극층으로서 기능시킴으로써, 박막 트랜지스터(460)를 4단자의 박막 트랜지스터로서 사용할 수 있다.

[0185] 또한, 도전층(467)과 소스 전극층(465a) 및 드레인 전극층(465b) 및 산화물 절연층(466)의 사이에, 평탄화 절연층(454)을 적층한다.

[0186] 화소에 배치되는 박막 트랜지스터(470)는, 절연 표면을 갖는 기판(450) 위에, 게이트 전극층(471), 게이트 절연층(452), 적어도 채널 형성 영역(473), 고저항 소스 영역(474a) 및 고저항 드레인 영역(474b)을 갖는 산화물 반도체층(472), 소스 전극층(447a), 및 드레인 전극층(447b)을 포함한다.

[0187] 또한, 고저항 소스 영역(474a)은, 소스 전극층(447a)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 고저항 드레인 영역(474b)은, 드레인 전극층(447b)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(473)은, 산화물 절연층(466)과 접하고, 고저항 소스 영역(474a), 및 고저항 드레인 영역(474b)보다도 고저항의 영역(I형 영역)으로 한다.

[0188] 또한, 산화물 반도체층(462)은, 소스 전극층(465a) 및 드레인 전극층(465b)의 하방에 형성되고, 일부 중첩하고 있다. 또한, 산화물 반도체층(462)은, 게이트 전극층(461)과 게이트 절연층(452)을 사이에 두고 중첩하고 있다. 즉 게이트 전극층(461)은, 게이트 절연층(452)을 끼워서 산화물 반도체층 하에 형성되어 있다. 또한, 산화물 반도체층(472)은, 소스 전극층(447a) 및 드레인 전극층(447b)의 하방에 형성하고, 일부 중첩하고 있다. 또한, 산화물 반도체층(472)은, 게이트 전극층(471)과 게이트 절연층(452)을 사이에 두고 중첩하고 있다. 즉, 게이트 전극층(471)은, 게이트 절연층(452)을 사이에 두고 산화물 반도체층(472) 하에 형성되어 있다.

[0189] 또한 개구율을 갖는 표시 장치를 실현하기 위해서, 박막 트랜지스터(470)의 소스 전극층(447a) 및 드레인 전극층(447b)은, 투광성을 갖는 도전막을 사용하여 형성된다.

[0190] 또한, 박막 트랜지스터(470)의 게이트 전극층(471)도 투광성을 갖는 도전막을 사용하여 형성된다.

[0191] 또한, 박막 트랜지스터(470)가 배치되는 화소에 있어서, 화소 전극층(477), 그 이외의 전극층(용량 전극층 등)이나, 배선층(용량 배선층 등)을, 가시광에 대하여 투광성을 갖는 도전막을 사용하여 형성함으로써, 고개구율을

갖는 표시 장치를 실현한다. 물론, 게이트 절연층(452), 산화물 절연층(466)도 가시광에 대하여 투광성을 갖는 막을 사용하는 것이 바람직하다.

[0192] 화소 전극층(477)은, 산화물 절연층(466)에 형성된 개구부 및 평탄화 절연층(454)에 형성된 개구부를 사이에 두고 드레인 전극층(447b)에 접한다. 또한, 산화물 절연층(466)에 형성된 개구부는, 반드시 형성할 필요는 없다.

[0193] 또한, 산화물 반도체층(462) 및 산화물 반도체층(472)은, 적어도 산화물 반도체막의 성막 후에 불순물인 수분 등을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)가 행해진다. 탈수화 또는 탈수소화를 위한 가열 처리 및 서냉을 행한 후, 산화물 반도체층에 접하여 산화물 절연막의 형성 등을 행하여 산화물 반도체층의 캐리어 농도를 저감하는 것이, 박막 트랜지스터(460) 및 박막 트랜지스터(470)의 전기 특성의 향상 및 신뢰성의 향상으로 연결된다.

[0194] 또한, 도 38에 도시하는 반도체 장치에서는, 일례로서 박막 트랜지스터(460) 및 박막 트랜지스터(470)의 채널 길이가 같지만, 이것에 한정되지 않는다. 예를 들어 구동 회로의 박막 트랜지스터는, 화소부의 박막 트랜지스터보다 고속 동작이 요구되기 때문에, 박막 트랜지스터(460)의 채널 길이는, 박막 트랜지스터(470)의 채널 길이보다 좁게 하여도 좋다. 이 때, 예를 들어 박막 트랜지스터(460)의 채널 길이는  $1\text{ }\mu\text{m}$  내지  $5\text{ }\mu\text{m}$  정도인 것이 바람직하고, 박막 트랜지스터(470)의 채널 길이는  $5\text{ }\mu\text{m}$  내지  $20\text{ }\mu\text{m}$  정도인 것이 바람직하다.

[0195] 이상과 같이, 도 38에 도시하는 반도체 장치는, 동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로 및 제 2 박막 트랜지스터를 갖는 화소를 갖는 구조이며, 제 2 박막 트랜지스터는, 투광성을 갖는 재료에 의해 구성되고, 제 1 박막 트랜지스터는, 투광성을 갖는 재료보다 저항값이 낮은 재료를 사용하여 구성된다. 이로써, 화소부에서는, 개구율을 향상시킬 수 있고, 또 구동 회로의 동작 속도를 향상시킬 수 있다. 또한, 동일 기판 위에 구동 회로 및 화소부를 형성함으로써, 구동 회로와 화소부를 접속시키는 배선수의 저감 및 배선의 길이를 단축 할 수 있기 때문에, 반도체 장치의 소형화, 및 저가격화가 가능하다.

[0196] 또한, 도 38에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 소스 전극층 및 드레인 전극층과, 채널 형성 영역이 형성되는 산화물 반도체층의 사이에 저저항 소스 영역 및 저저항 드레인 영역을 갖는 구조이다. 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 금속 전극층과 산화물 반도체층의 접촉과 비교하여, 금속 전극층과 저저항 소스 영역 및 저저항 드레인 영역의 접촉은, 접촉 저항을 낮출 수 있기 때문이다. 또한, 몰리브덴을 사용한 전극층(예를 들어, 몰리브덴층, 알루미늄층, 몰리브덴층의 적층 등)은, 산화물 반도체층과의 접촉 저항이 높고, 이것은, 티타늄에 비하여 몰리브덴은 산화하기 어렵기 때문에 산화물 반도체층으로부터 산소를 추출하는 작용이 약하고, 몰리브덴층과 산화물 반도체층의 접촉 계면이  $n$ 형화하지 않기 때문이다. 그러나, 산화물 반도체층과 소스 전극층 및 드레인 전극층의 사이에 저저항 소스 영역 및 저저항 드레인 영역을 개재시킴으로써 접촉 저항을 저감할 수 있고, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 또한, 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 박막 트랜지스터의 채널 길이를, 저저항 소스 영역 및 저저항 드레인 영역이 되는 층의 에칭 시에 정해지기 때문에, 보다 채널 길이를 좁게 할 수 있다.

[0197] 또한, 도 38에 도시하는 반도체 장치는, 제 1 박막 트랜지스터의 산화물 반도체층의 단부가 저저항 소스 영역 및 저저항 드레인 영역의 단부보다 돌출하고, 제 2 박막 트랜지스터의 산화물 반도체층의 단부가 소스 전극층 및 드레인 전극층의 단부보다도 돌출하는 구조이다.

[0198] 또한, 도 38에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 반도체층의 일부 위, 및 소스 전극층 및 드레인 전극층에 접하는 산화물 도전층의 주연 및 측면에 산화물 절연층이 접하는 구조이다. 상기 구조로 함으로써, 박막 트랜지스터의 주변부에 게이트 전극층과 동일층의 배선과, 소스 전극 및 드레인 전극과 동일층의 배선이 절연층을 끼워서 교차하는 부분(교차부라고도 함)을 가지는 경우에 게이트 전극층과 동일층의 배선과 소스 전극 및 드레인 전극과 동일층의 배선과의 간격을 넓힐 수 있기 때문에, 기생 용량을 저감할 수 있다.

[0199] 또한 본 실시형태의 트랜지스터는, 도 42에 도시하는 구조로 할 수도 있다. 도 42에 도시하는 반도체 장치는, 도 38b에 도시하는 반도체 장치와 비교하여, 게이트 절연층이 복수의 절연층의 적층에 의해 구성되고, 반도체층에 접하는 산화물 절연층 위에 보호 절연층을 갖는 점에 있어서 다르다. 즉, 도 42에 도시하는 반도체 장치는, 도 38에 도시하는 게이트 절연층(452) 대신에 게이트 절연층(452a) 및 게이트 절연층(452b)의 적층을 갖고, 도 38에 도시하는 산화물 절연층(466) 위에 보호 절연층(453)을 갖는 구조이다. 그 이외에 도 42에 도시하는 반도체 장치는, 도 38에 도시하는 반도체 장치와 비교하여, 게이트 절연층이 복수의 절연층의 적층에 의해 구성되고, 반도체층에 접하는 산화물 절연층 위에 보호 절연층을 갖는 점에 있어서 다르다. 즉, 도 42에 도시하는 반도체 장치는, 도 38에 도시하는 게이트 절연층(452) 대신에 게이트 절연층(452a) 및 게이트 절연층(452b)의 적층을 갖고, 도 38에 도시하는 산화물 절연층(466) 위에 보호 절연층(453)을 갖는 구조이다. 그 이외에 도 42에 도시하는 반도체 장치는, 도 38에 도시하는 반도체 장치와 비교하여, 게이트 절연층이 복수의 절연층의 적층에 의해 구성되고, 반도체층에 접하는 산화물 절연층 위에 보호 절연층을 갖는 점에 있어서 다르다. 즉, 도 42에 도시하는 반도체 장치는, 도 38에 도시하는 게이트 절연층(452) 대신에 게이트 절연층(452a) 및 게이트 절연층(452b)의 적층을 갖고, 도 38에 도시하는 산화물 절연층(466) 위에 보호 절연층(453)을 갖는 구조이다.

체 장치의 구성에 있어서, 도 38에 도시하는 반도체 장치와 공통되는 부분은, 도 38에 도시하는 반도체 장치의 설명을 적절하게 원용하고, 여기에서의 설명은 생략한다.

[0200] 게이트 절연층(452a) 및 게이트 절연층(452b)으로서는, 예를 들어 도 38에 도시하는 게이트 절연층(452)에 적용 가능한 재료를 사용할 수 있고, 게이트 절연층(452a)으로서는, 예를 들어 질화물 절연층을 사용할 수 있고, 게이트 절연층(452b)으로서는, 예를 들어 산화물 절연층을 사용할 수 있다.

[0201] 보호 절연층(453)은, 산화물 절연층(466)의 하방에 형성하는 게이트 절연층(452a) 또는 하지가 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기판의 측면 근방으로부터의 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물이 침입하는 것을 차단한다. 특히, 산화물 절연층(466)과 접하는 게이트 절연층(452a) 또는 하지가 되는 절연막을 질화실리콘막으로 하면 유효하다. 즉, 산화물 반도체층의 하면, 상면, 및 측면을 둘러싸도록 질화실리콘층을 형성하면, 반도체 장치의 신뢰성이 향상된다.

[0202] 이하, 도 39a 내지 도 39e, 및 도 40a 내지 도 40d를 사용하여, 동일 기판 위에 박막 트랜지스터(460) 및 박막 트랜지스터(470)의 제작 공정을 설명한다.

[0203] 우선, 절연 표면을 갖는 기판(450) 위에 투광성을 갖는 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 선택적으로 에칭을 행함으로써, 게이트 전극층(461, 471)을 형성한다. 또한, 화소부에는 게이트 전극층(461, 471)과 같은 재료, 같은 제 1 포토리소그래피 공정에 의해 용량 배선을 형성한다. 또한, 화소부 뿐만 아니라 구동 회로에 용량이 필요한 경우에는, 구동 회로에도 용량 배선을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 절감할 수 있다.

[0204] 절연 표면을 갖는 기판(450)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 것이 필요하게 된다. 절연 표면을 갖는 기판(450)에는 예를 들어 유리 기판 등을 사용할 수 있다.

[0205] 또한, 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730°C 이상인 것을 사용하면 좋다. 또한, 유리 기판에는, 예를 들어, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료가 사용된다. 또한, 봉산과 비교하여 산화바륨(BaO)을 많이 포함시킴으로써, 보다 실용적인 내열 유리가 얻어진다. 따라서, B<sub>2</sub>O<sub>3</sub>보다 BaO를 많이 포함하는 유리 기판을 사용하는 것이 바람직하다.

[0206] 또한, 상기 유리 기판 대신에, 기판(450)으로서, 세라믹 기판, 석영기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 사용하여도 좋다. 그 이외에도, 기판(450)으로서는, 결정화 유리 등을 사용할 수 있다.

[0207] 또한, 하지막이 되는 절연막을 기판(450)과 게이트 전극층(461, 471)의 사이에 형성하여도 좋다. 하지막은, 기판(450)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막으로부터 선택된 하나의 막 또는 복수의 막에 의한 적층막에 의해 형성할 수 있다.

[0208] 게이트 전극층(461, 471)의 재료로서는, 가시광에 대하여 투광성을 갖는 도전 재료, 예를 들어 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Sn-O계, In-O계, Sn-O계, Zn-O계의 도전성 금속 산화물을 적용할 수 있고, 게이트 전극층(461, 471)의 막 두께를 50nm 이상 300nm 이하의 범위 내로 한다. 게이트 전극층(461, 471)에 사용하는 도전막의 성막 방법으로서는, 스팍터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 사용한다. 또한, 스팍터링법을 사용하는 경우, SiO<sub>2</sub>를 2중량% 이상 10중량% 이하 포함하는 타깃을 사용하여 성막을 행하고, 형성되는 투광성을 갖는 도전막에 결정화를 저해하는 SiO<sub>x</sub>(x>0)를 포함시켜도 좋다. 이로써, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 결정화하여 버리는 것을 억제할 수 있다.

[0209] 다음에, 레지스트 마스크를 제거하고, 게이트 전극층(461) 위에 게이트 절연층(452)을 형성한다.

[0210] 게이트 절연층(452)은, 플라즈마 CVD법 또는 스팍터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 또는 질화산화실리콘층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 산화질화실리콘층을 형성하는 경우에는, 성막 가스로서, SiH<sub>4</sub>, 산소 및 질소를 사용하여 플라즈마 CVD법에 의해 산화질화실리콘층을

형성하면 좋다.

- [0211] 게이트 절연층(452)의 막 두께는, 100nm 이상 500nm 이하로 하고, 적층의 경우는, 예를 들어, 막 두께 50nm 이상 200nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위에 막 두께 5nm 이상 300nm 이하의 제 2 게이트 절연층의 적층으로 한다.
- [0212] 본 실시형태에서는, 플라즈마 CVD법에 의해 질화실리콘층인 막 두께 200nm 이하의 게이트 절연층(452)으로 한다.
- [0213] 다음에, 게이트 절연층(452) 위에, 막 두께 2nm 이상 200nm 이하의 산화물 반도체막(480)을 형성한다(도 39a 참조). 산화물 반도체막(480)의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도, 후에 형성되는 산화물 반도체층을 비정질 상태로 하기 위해서, 막 두께를 50nm 이하로 얇게 하는 것이 바람직하다. 산화물 반도체막(480)의 막 두께를 얇게 함으로써 산화물 반도체막(480)의 형성 후에 가열 처리한 경우에, 후에 형성되는 산화물 반도체층이 결정화되어 버리는 것을 억제할 수 있다.
- [0214] 또한, 산화물 반도체막(480)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하고, 게이트 절연층(452)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역 스퍼터란, 타깃측으로 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 사용하여도 좋다.
- [0215] 산화물 반도체막(480)은, In-Ga-Zn-O계 비단결정막, 또는 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Sn-O계, In-O계, Sn-O계, 또는 Zn-O계의 산화물 반도체막을 사용한다. 본 실시형태에서는, In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여 스퍼터링법에 의해 산화물 반도체막(480)을 성막한다. 또한, 산화물 반도체막(480)은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 스퍼터링법에 의해, 산화물 반도체막(480)을 형성할 수 있다. 또한, 스퍼터링법을 사용하는 경우, SiO<sub>2</sub>를 2중량% 이상 10중량% 이하 포함하는 타깃을 사용하여 산화물 반도체막(480)의 성막을 행하고, 산화물 반도체막(480)에 결정화를 저해하는 SiO<sub>x</sub>(x>0)를 포함시켜도 좋다. 이로써, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 후에 형성되는 산화물 반도체층이 결정화되어 버리는 것을 억제할 수 있다.
- [0216] 다음에, 산화물 반도체막(480)의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 400°C 이상 기판의 변형점 미만, 예를 들어 400°C 이상 700°C 이하, 바람직하게는 425°C 이상 700°C 이하로 한다. 또한, 425°C 이상 700°C 이하이면 열처리 시간은 1시간 이하로 좋지만, 425°C 미만이면 가열 처리 시간은, 1시간보다도 장시간 행하는 것으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 상부에 산화물 반도체막이 형성된 기판(450)을 도입하고, 산화물 반도체막에 대하여 질소 분위기하에 있어서 가열 처리를 행한 후, 대기에 접촉되지 않고, 산화물 반도체막으로의 물이나 수소의 재흡입을 막고, 저저항화한 산화물 반도체막을 얻는다(도 39b 참조). 본 실시형태에서는, 산화물 반도체막(480)의 탈수화 또는 탈수소화를 행하는 가열 온도 T로부터, 다시 물이나 수소가 들어가지 않는 충분한 온도까지 동일 노를 사용하여, 구체적으로는 가열 온도 T보다도 100°C 이상 저하될 때까지 질소 분위기하에서 서냉한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 아르곤 등의 희가스 분위기 하에 있어서 탈수화 또는 탈수소화를 행하여도 좋다.
- [0217] 또한, 제 1 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.
- [0218] 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체막(480)의 재료에 따라서는, 결정화하여, 미결정막 또는 다결정막으로 되는 경우도 있다.
- [0219] 또한, 산화물 반도체막(480)의 성막전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등)하, 산소 분위기에 있어서 가열 처리(400°C 이상 기판의 변형점 미만)를 행하고, 게이트 절연층(452) 내에 포함되는 수소 및 물 등의 불순물을 제거하여도 좋다.
- [0220] 다음에, 산화물 반도체막(480) 위에, 산화물 도전막을 형성하고, 제 2 포토리소그래피 공정에 의해 레지스트 마스크(482a 및 482b)를 형성하고, 레지스트 마스크(482a) 및 레지스트 마스크(482b)를 사용하여, 산화물 도전막,

및 산화물 반도체막(480)을 선택적 동시에 예칭을 행하고, 센 형상의 산화물 반도체층인 산화물 반도체층(462, 472)과, 산화물 도전층(442, 444)을 형성한다(도 38c 참조). 또한, 레지스트 마스크(482a 및 482b)를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0221] 산화물 도전막의 성막 방법으로서는, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 사용한다. 산화물 도전막의 재료로서는, 산화물 반도체막(480)보다도 저항이 높고, 소스 전극층(465a) 및 드레인 전극층(465b)보다도 저항이 낮은 재료를 사용할 수 있고, 예를 들어 In-Sn-Zn-0계, In-Al-Zn-0계, Sn-Ga-Zn-0계, Al-Ga-Zn-0계, Sn-Al-Zn-0계, In-Zn-0계, Sn-Zn-0계, Al-Zn-0계, In-Sn-0계, In-0계, Sn-0계, Zn-0계의 도전성 금속 산화물을 적용할 수 있다. 또한, 산화물 도전막의 막 두께를 50nm 이상 300nm 이하의 범위 내에서 적절하게 선택한다. 또한, 스퍼터링법을 사용하는 경우,  $\text{SiO}_2$ 를 2중량% 이상 10중량% 이하 포함하는 타깃을 사용하여 성막을 행하고, 투광성을 갖는 도전막에 결정화를 저해하는  $\text{SiO}_x$ ( $x > 0$ )를 포함시켜도 좋다. 산화물 도전막이 결정화하여 버리는 것을 억제할 수 있다.

[0222] 여기서는, In, Ga, 및 Zn을 포함하는 산화물 반도체 타깃( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol수비],  $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [atom비])를 사용하여, 기판(450)과 타깃 사이의 거리를 100mm, 압력 0.2Pa, 직류(DC) 전원 0.5kW, 아르곤 및 산소(아르곤:산소=30sccm:20sccm 산소 유량 비율 40%) 분위기하에서 산화물 도전막을 성막한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. In-Ga-Zn-0계 비단결정막의 막 두께는, 5nm 내지 200nm로 한다. 본 실시형태에서는, 산화물 반도체 막으로서, In-Ga-Zn-0계 산화물 반도체 타깃을 사용하여 스퍼터링법에 의해 막 두께 20nm의 In-Ga-Zn-0계 비단결정막을 성막한다. 또한, 산화물 반도체 타깃 재료로서는, 예를 들어  $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ , 또는  $\text{In}:\text{Ga}:\text{Zn}=1:1:4$  등의 타깃 재료를 사용할 수도 있다.

[0223] 또한, 본 실시형태에 있어서의 레지스트 마스크(482a) 및 레지스트 마스크(482b)는, 오목부 또는 볼록부를 갖는 레지스트 마스크이다. 바꾸어 말하면, 두께가 다른 복수의 영역(여기서는, 2개의 영역)으로 이루어지는 레지스트 마스크라고도 할 수 있다. 레지스트 마스크(482a) 또는 레지스트 마스크(482b)에 있어서, 두꺼운 영역을 레지스트 마스크(482a) 또는 레지스트 마스크(482b)의 볼록부라고 하고, 얇은 영역을 레지스트 마스크(482a) 또는 레지스트 마스크(482b)의 오목부라고 한다.

[0224] 레지스트 마스크(482a) 및 레지스트 마스크(482b)에 있어서, 하부에 소스 전극층 및 드레인 전극층이 형성되는 부분에는 볼록부가 형성되고, 후에 하부에 채널 형성 영역이 형성되는 부분에는 오목부가 형성된다.

[0225] 레지스트 마스크(482a) 및 레지스트 마스크(482b)를, 다계조 마스크를 사용함으로써 형성할 수 있다. 다계조 마스크란, 다단계의 광량으로 노광을 행할 수 있는 마스크이며, 대표적으로는, 노광 영역, 반노광 영역 및 미노광 영역의 3단계의 광량으로 노광을 행하는 것을 말한다. 다계조 마스크를 사용함으로써, 한번의 노광 및 현상 공정에 의해, 복수(대표적으로는 2종류)의 두께를 갖는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수를 줄일 수 있다.

[0226] 다계조 마스크를 사용하여 노광하여 현상을 행함으로써, 두께가 다른 영역을 갖는 레지스트 마스크(482a) 및 레지스트 마스크(482b)를 형성할 수 있다. 단, 이것에 한정되지 않고, 다계조 마스크를 사용하지 않고 레지스트 마스크(482a) 및 레지스트 마스크(482b)를 형성하여도 좋다.

[0227] 다음에, 레지스트 마스크(482a 및 482b)를 후퇴(축소)시킴으로써, 레지스트 마스크(487a, 487b)를 형성한다. 레지스트 마스크를 후퇴(축소)시키기 위해서는, 산소 플라즈마에 의한 애칭 등을 행하면 좋다. 레지스트 마스크를 후퇴(축소)시킴으로써, 산화물 반도체층(462) 및 산화물 반도체층(472)의 일부가 노출된다.

[0228] 다음에, 레지스트 마스크(487a) 및 레지스트 마스크(487b)를 사용하여 선택적으로 예칭함으로써, 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b), 및 소스 전극층(447a), 드레인 전극층(447b)을 형성한다(도 39d).

[0229] 또한, 도 39d에 도시하는 바와 같이, 레지스트 마스크(482a, 482b)를 후퇴(축소)시킨 레지스트 마스크(487a) 및 레지스트 마스크(487b)를 사용한 예칭에 의해, 산화물 반도체층(462)의 단부가 저저항 소스 영역(446a), 저저항 드레인 영역(446b)의 단부보다도 돌출하고, 산화물 반도체층(472)의 단부가 소스 전극층(447a), 드레인 전극층(447b)의 단부보다도 돌출한다.

[0230] 또한, 이 때의 예칭 공정은, 하층의 산화물 반도체층(462) 및 산화물 반도체층(472)이 잔존하도록, 예칭 조건을 적절하게 설정하면 좋다. 예를 들어, 예칭 시간을 제어하면 좋다.

- [0231] 또한, 산화물 반도체층(462 및 472)을 구성하는 재료 및 산화물 도전층(442 및 444)을 구성하는 재료로서, 예치 선택비가 높은 재료를 각각 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체층을 구성하는 재료로서, Sn을 포함하는 금속 산화물 재료(예를 들어  $\text{SnZnO}_x$  ( $x > 0$ ), 또는  $\text{SnGaZnO}_x$  ( $x > 0$ ) 등)를 사용하여, 산화물 도전층을 구성하는 재료로서, Al-Zn-O계 재료, Al-Zn-O-N계 재료, Zn-O계 재료 등을 사용하면 좋다. 이러한 산화아연을 주성분으로 하는 재료는, 예를 들어 알칼리성 용액을 사용하여 예치할 수 있다. 또한, Al-Zn-O계 재료, Al-Zn-O-N계 재료 등 알루미늄이 포함되는 재료를 사용하는 경우에는, 예치에 사용된 레지스트 마스크를 제거할 때에 산화물 도전층이 함께 제거되지 않는 방법을 사용하여 레지스트 마스크를 제거하는 것이 바람직하다. 예를 들어 드라이 예치에 의해 레지스트 마스크를 제거함으로써, 산화물 도전층이 제거되지 않고 레지스트 마스크를 제거할 수 있다.
- [0232] 다음에, 레지스트 마스크(487a) 및 레지스트 마스크(487b)를 제거한 후, 산화물 반도체층(462) 및 산화물 반도체층(472)의 일부에 접하는 산화물 절연층(466)을 형성한다.
- [0233] 산화물 절연층(466)은, 적어도 1nm 이상의 막 두께로 하고, 스피터링법 등, 산화물 절연층(466)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절하게 사용하여 산화물 절연층(466)을 형성할 수 있다. 본 실시형태에서는, 산화물 절연층(466)으로서 막 두께 300nm의 산화실리콘막을 스피터링법을 사용하여 성막한다. 성막 시의 기판 온도는, 실온 이상 300°C 이하로 하면 좋고, 본 실시형태에서는 100°C로 한다. 산화실리콘막의 스피터링 법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에 있어서 행할 수 있다. 또한, 타깃으로서 산화실리콘 타깃 또는 실리콘 타깃을 사용할 수 있다. 예를 들어, 실리콘 타깃을 사용하여, 산소, 및 질소 분위기하에서 스피터링법에 의해 산화실리콘막을 형성할 수 있다. 산화물 반도체층(462) 및 산화물 반도체층(472)에 접하는 산화물 절연층(466)은, 수분이나, 수소 이온이나,  $\text{OH}^-$  등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하여 형성하고, 대표적으로는 산화실리콘막, 질화산화실리콘막, 산화알루미늄막, 또는 산화질화알루미늄막 등을 사용하여 형성한다. 또한, 산화물 절연층(466)을, 봉소가 도프된 실리콘 타깃 재료를 사용하여 성막된 산화실리콘막을 사용하여 형성함으로써 불순물(수분이나, 수소 이온이나,  $\text{OH}^-$  등)의 침입을 억제할 수 있다.
- [0234] 다음에, 제 2 가열 처리(바람직하게는 200°C 이상 400°C 이하, 예(250°C 이상 350°C 이하)를 행한다. 예를 들어, 질소 분위기하에서 250°C, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층(462) 및 산화물 반도체층(472)의 일부가 산화물 절연층(466)에 접한 상태로 가열된다.
- [0235] 이상의 공정을 거침으로써, 산화물 반도체층(462) 및 산화물 반도체층(472)을 저저항화하고, 산화물 반도체층(462) 및 산화물 반도체층(472)의 일부를 선택적으로 산소 과잉인 상태로 한다. 그 결과, 게이트 전극층(461)과 중첩하는 채널 형성 영역(463)은, I형이 되고, 게이트 전극층(471)과 중첩하는 채널 형성 영역(473)은, I형이 되고, 저저항 소스 영역(446a)에 중첩하는 산화물 반도체층(462)의 부분에 고저항 소스 영역(464a)이 자기 정합적으로 형성되고, 저저항 드레인 영역(446b)에 중첩하는 산화물 반도체층(462)의 부분에 고저항 드레인 영역(464b)이 자기 정합적으로 형성되고, 소스 전극층(447a)에 중첩하는 산화물 반도체층(472)의 부분에 고저항 소스 영역(474)이 자기 정합적으로 형성되어 드레인 전극층(447b)에 중첩하는 산화물 반도체층(472)의 부분에 고저항 드레인 영역(474b)이 자기 정합적으로 형성된다(도 39e 참조.).
- [0236] 또한, 저저항 소스 영역(446a)(및 저저항 드레인 영역(446b))과 중첩한 산화물 반도체층(462)에 있어서 고저항 드레인 영역(464b)(또는 고저항 소스 영역(464a))을 형성함으로써, 구동 회로의 신뢰성 향상을 도모할 수 있다. 구체적으로는, 고저항 드레인 영역(464b)을 형성함으로써, 트랜지스터를 드레인 전극층(465b)으로부터 고저항 드레인 영역(464b), 채널 형성 영역(463)에 걸쳐서, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 따라서, 드레인 전극층을 고전원 전위 VDD를 공급하는 배선에 전기적으로 접속하여 트랜지스터를 동작시키는 경우, 게이트 전극층(461)과 드레인 전극층(465b) 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킬 수 있다.
- [0237] 또한, 저저항 소스 영역(446a)(및 저저항 드레인 영역(446b))과 중첩한 산화물 반도체층(462)에 있어서, 고저항 드레인 영역(464b)(또는 고저항 소스 영역(464a))을 형성함으로써, 구동 회로에 있어서의 트랜지스터의 누설 전류의 저감을 도모할 수 있다.
- [0238] 또한, 드레인 전극층(447b)(및 소스 전극층(447a))과 중첩한 산화물 반도체층(472)에 있어서, 고저항 드레인 영역(474b)(또는 고저항 소스 영역(474a))을 형성함으로써, 화소의 신뢰성을 향상시킬 수 있다. 구체적으로는, 고저항 드레인 영역(474b)을 형성함으로써, 트랜지스터를, 드레인 전극층(447b)으로 고저항 드레인 영역(474b),

채널 형성 영역(473)에 걸쳐서, 도전성을 단계적으로 변화시킬 수 있는 구조로 할 수 있다. 따라서, 드레인 전극층(447b)을 고전원 전위 VDD를 공급하는 배선에 전기적으로 접속하여 동작시키는 경우, 게이트 전극층(471)과 드레인 전극층(447b) 사이에 고전계가 인가되어도 고저항 드레인 영역(474b)이 버퍼로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 내압을 향상시킨 구조으로 할 수 있다.

[0239] 또한, 드레인 전극층(447b)(및 소스 전극층(447a))과 중첩한 산화물 반도체층(472)에 있어서 고저항 드레인 영역(474b)(및 고저항 소스 영역(474a))을 형성함으로써, 화소에 있어서의 트랜지스터의 누설 전류의 저감을 도모할 수 있다.

[0240] 또한, 본 실시형태의 반도체 장치에서는, 산화물 절연층(466) 위에 보호 절연층을 형성할 수도 있다. 보호 절연층을 형성하는 경우, 본 실시형태에서는, RF 스퍼터링법을 사용하여 질화실리콘막을 형성한다. RF 스퍼터링법은, 양산성이 좋기 때문에, 보호 절연층의 성막 방법으로서 바람직하다. 예를 들어, 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 사용하여 보호 절연층을 형성할 수 있고, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 산화질화알루미늄막 등을 사용하여 보호 절연층을 형성할 수 있다. 물론, 보호 절연층은 투광성을 갖는 절연층이다.

[0241] 다음에, 제 3 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 산화물 절연층(466)의 예칭에 의해 저저항 소스 영역(446a)의 일부가 노출된 영역(428), 저저항 드레인 영역(446b)의 일부가 노출된 영역(429), 및 드레인 전극층(447b)에 달하는 콘택트 홀(437)을 형성하고, 산화물 절연층(466)이 산화물 반도체층(462)의 상면, 및 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 주연 및 측면에 접하는 구조를 형성한다(도 40a 참조.). 또한, 여기에서의 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0242] 다음에, 레지스트 마스크를 제거한 후, 적어도 노출된 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b) 위 및 산화물 절연층(466) 위에 도전막을 형성하고, 제 4 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크(491a 및 491b)를 형성하고, 선택적으로 도전막의 예칭을 행하여 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다.(도 40b 참조).

[0243] 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하기 위한 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금 등이 있다.

[0244] 도전막으로서는, 티타늄막, 상기 티타늄막 위에 형성된 알루미늄막, 및 상기 알루미늄막 위에 형성된 티타늄막의 3층의 적층막, 또는 몰리브덴막, 상기 몰리브덴 막 위에 형성된 알루미늄막, 및 상기 알루미늄막 위에 형성된 몰리브덴막의 3층의 적층막을 사용하는 것이 바람직하다. 물론, 도전막으로서 단층막, 2층의 적층막, 또는 4층 이상의 적층막을 사용하여도 좋다. 또한, 도전막으로서, 티타늄막, 알루미늄막 및 티타늄막의 적층 도전막을 사용한 경우는, 염소 가스를 사용한 드라이 에칭법으로 에칭할 수 있다.

[0245] 다음에, 산화물 절연층(466) 위에 평탄화 절연층(454)을 형성한다. 평탄화 절연층(454)으로서는, 폴리이미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인봉소 유리) 등을 평탄화 절연층(454)으로서 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(454)을 형성하여도 좋다.

[0246] 평탄화 절연층(454)의 형성법으로서는, 특히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스판 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 등)이나, 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 기구를 사용할 수 있다.

[0247] 다음에, 제 5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(454)의 예칭에 의해 드레인 전극층(447b)에 달하는 콘택트 홀(494)을 형성한다(도 39b 참조). 또한, 여기에서의 예칭에 의해 게이트 전극층(461, 471)에 도달하는 콘택트 홀도 형성한다. 또한, 드레인 전극층(447b)에 달하는 콘택트 홀을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0248] 다음에, 레지스트 마스크를 제거한 후, 투광성을 갖는 도전막을 성막한다. 예를 들어, 산화인듐( $In_2O_3$ )이나 산화인듐 산화주석 합금( $In_2O_3-SnO_2$ , ITO와 약기함) 등을 스퍼터링법이나 진공 증착법 등을 사용하여 성막함으로써 투광성을 갖는 도전막을 형성한다. 또한, 투광성을 갖는 도전막으로서, 질소를 포함시킨 Al-Zn-O계

비단결정막, 즉 Al-Zn-O-N계 비단결정막이나, Zn-O-N계 비단결정막이나, Sn-Zn-O-N계 비단결정막을 사용하여도 좋다. 또한, Al-Zn-O-N계 비단결정막의 아연의 조성비(원자%)는, 47원자% 이하로 하고, Al-Zn-O-N계 비단결정막 중의 알루미늄의 조성비(원자%)보다 크고, Al-Zn-O-N계 비단결정막 중의 알루미늄의 조성비(원자%)는, Al-Zn-O-N계 비단결정막 중의 질소의 조성비(원자%)보다 크다. 이러한 재료를 갖는 막의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화인듐 산화아연합금( $In_2O_3-ZnO$ )을 사용하여도 좋다.

[0249] 다음에, 제 6 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 투광성을 갖는 도전막의 불필요한 부분을 제거하여 레지스트 마스크를 제거함으로써, 화소 전극층(477) 및 도전층(467)을 형성한다(도 39d 참조.).

[0250] 이상의 공정에 의해, 6장의 마스크를 사용하여, 동일 기판 위에 박막 트랜지스터(460) 및 박막 트랜지스터(470)를 각각 구동 회로 또는 화소부로 나누어서 제작할 수 있다. 구동 회로용의 박막 트랜지스터(460)는, 고저항 소스 영역(464a), 고저항 드레인 영역(464b), 및 채널 형성 영역(463)을 갖는 산화물 반도체층(462)을 포함하는 박막 트랜지스터이며, 화소용의 박막 트랜지스터(470)는, 고저항 소스 영역(474a), 고저항 드레인 영역(474b), 및 채널 형성 영역(473)을 갖는 산화물 반도체층(472)을 포함하는 박막 트랜지스터이다. 박막 트랜지스터(460) 및 박막 트랜지스터(470)는, 고전계가 인가되어도 고저항 소스 영역(464a), 고저항 드레인 영역(464b), 고저항 소스 영역(474a), 및 고저항 드레인 영역(474b)이 벼파로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킨 구조으로 되어 있다.

[0251] 또한, 도 39 및 도 40에 도시하는 반도체 장치의 제작 방법에서는, 게이트 절연층(452)을 유전체로 하고, 용량 배선과 용량 전극으로 형성되는 유지 용량도 박막 트랜지스터(460) 및 박막 트랜지스터(470)와 동일 기판 위에 형성할 수 있다. 박막 트랜지스터(470)와 유지 용량을 각각의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터(460)를 갖는 구동 회로를 배치함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기판으로 할 수 있다.

[0252] 또한, 화소 전극층(477)은, 평탄화 절연층(454)에 형성된 콘택트 훌(494), 및 산화물 절연층(466)에 형성된 콘택트 훌(437)을 통하여 용량 전극층과 전기적으로 접속한다. 또한, 용량 전극층은, 소스 전극층(447a), 드레인 전극층(447b)과 같은 재료, 같은 공정으로 형성할 수 있다.

[0253] 또한, 도전층(467)을 산화물 반도체층(462)의 채널 형성 영역(463)과 중첩하는 위치에 형성함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT시험이라고 함)에 있어서, BT 시험 전후에 있어서의 박막 트랜지스터(460)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(467)은, 전위가 게이트 전극층(461)과 같아도 좋고, 달라도 좋으며, 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(467)은, GND 상태, 0V의 전위가 주어진 상태, 또는 플로팅 상태라도 좋다.

[0254] 또한, 화소 전극층(477) 및 도전층(467)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0255] (실시형태 5)

[0256] 본 실시형태에서는, 제 1 가열 처리가 실시형태 4와 다른 예를 도 41에 도시한다. 도 39 내지 도 40과 공정이 일부 다른 점 이외에는 같기 때문에, 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다.

[0257] 도 41a 내지 도 41c에 2개의 박막 트랜지스터의 제작 공정의 단면도를 도시한다.

[0258] 우선, 실시형태 4에 따라서, 절연 표면을 갖는 기판(450) 위에 게이트 전극층(461, 471)을 형성한다.

[0259] 다음에, 게이트 전극층(461, 471) 위에 게이트 절연층(452)을 형성한다.

[0260] 다음에, 게이트 절연층(452) 위에, 막 두께 2nm 이상 200nm 이하의 산화물 반도체막(480)을 형성한다(도 41a 참조.). 또한, 여기까지의 공정은, 실시형태 4와 동일하고, 도 41a는 도 39a와 대응한다.

[0261] 계속해서, 불활성 가스 분위기하 또는 감압하에 있어서, 산화물 반도체막(480)의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는, 350°C 이상 기판의 변형점 미만, 바람직하게는 400°C 이상으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체막에 대

하여 질소 분위기하에 있어서 가열 처리를 행한 후, 대기애 접촉되지 않고, 산화물 반도체막으로의 물이나 수소의 재흡입을 막고, 산화물 반도체막을 산소 결핍형으로서 저저항화, 즉 N형화(N<sup>-</sup>화 등)시킨다. 그 후, 같은 노에 고순도의 산소 가스 또는 고순도의 N<sub>2</sub>O 가스, 또는, 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하)를 도입하여 냉각한다. 산소 가스 또는 N<sub>2</sub>O 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N<sub>2</sub>O 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 산소 가스 또는 N<sub>2</sub>O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.

[0262] 또한, 탈수화 또는 탈수소화를 행하는 제 1 가열 처리 후에 200°C 이상 400°C 이하, 바람직하게는 200°C 이상 300°C 이하의 온도에서 산소 가스 분위기하, 또는 N<sub>2</sub>O 가스 분위기하, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하) 분위기하에서의 가열 처리를 행하여도 좋다.

[0263] 이상의 공정을 거침으로써, 산화물 반도체층 전체를 산소 과잉인 상태로 하고, 고저항화, 즉 I형화시켜, 산화물 반도체막(496)을 형성한다(도 41b 참조). 이 결과, 후에 형성되는 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0264] 또한, 불활성 가스 분위기하에 있어서, 산화물 반도체막의 탈수화 또는 탈수소화를 행하고, 불활성 가스 분위기하에서 냉각한 후, 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 사용하여 산화물 반도체막(496)을 선택적으로 에칭함으로써, 섬 형상의 산화물 반도체층인 산화물 반도체층을 형성하고, 그 후에 200°C 이상 400°C 이하, 바람직하게는 200°C 이상 300°C 이하의 온도에서, 또 산소 가스 분위기하, N<sub>2</sub>O 가스 분위기하, 또는 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하) 분위기하에서 가열 처리를 하여도 좋다.

[0265] 또한, 산화물 반도체막(480)의 성막전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등)하, 산소 분위기, 초건조 에어(노점이 -40°C 이하, 바람직하게는 -60°C 이하) 분위기에서 있어서 가열 처리(400°C 이상 기판의 변형점 미만)를 행하고, 게이트 절연층 내에 포함되는 수소 및 물 등의 불순물을 제거하여도 좋다.

[0266] 후에는, 실시형태 4의 도 39c, 도 39d, 도 39e, 도 40a, 도 40b, 도 40c와 마찬가지로, 산화물 반도체층(497 및 498)을 형성하고, 산화물 반도체층(497)에 접하는 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)을 형성하고, 산화물 반도체층(497)의 일부 및 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 주연 및 측면에 접하는 산화물 절연층(466)을 형성한다. 한편, 화소부에 있어서는, 산화물 반도체층(498)에 접하고, 투광성을 갖는 도전층인 소스 전극층(447a) 및 드레인 전극층(447b)을 형성하고, 산화물 반도체층(498)의 일부에 접하는 산화물 절연층(466)을 형성한다.

[0267] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 가열 처리(바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하)를 행한다. 제 2 가열 처리의 조건으로서는, 실시형태 4에 나타내는 반도체 장치의 제작 방법과 같은 조건을 사용할 수 있다. 예를 들어, 질소 분위기하에서 250°C, 1시간의 제 2 가열 처리를 행한다.

[0268] 다음에, 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 일부를 노출시키고, 산화물 절연층(466)에 드레인 전극층(447b)에 달하는 콘택트 홀을 형성하고, 산화물 절연층(466) 위에 도전막을 형성하고, 도전막을 선택적으로 에칭하여 저저항 소스 영역(446a)에 접하는 소스 전극층(465a)과 저저항 드레인 영역(446b)에 접하는 드레인 전극층(465b)을 형성하고, 산화물 절연층(466)에 접하여 평탄화 절연층(454)을 형성하고, 평탄화 절연층(454)에 드레인 전극층(447b)에 달하는 콘택트 홀을 형성하고, 콘택트 홀 및 평탄화 절연층(454) 위에 투광성을 갖는 도전막을 성막한다. 투광성을 갖는 도전막을 선택적으로 에칭하여 드레인 전극층(447b)과 전기적으로 접속하는 화소 전극층(477)을 형성하고, 또한 도전층(467)을 형성한다(도 41c 참조).

[0269] 이상의 공정에 의해, 6장의 마스크를 사용하여 동일 기판 위에 산화물 반도체층 전체가 I형인 박막 트랜지스터(492) 및 박막 트랜지스터(493)를 각각 구동 회로 또는 화소부로 나누어 제작할 수 있다. 구동 회로용의 박막 트랜지스터(492)는, 전체가 I형화한 산화물 반도체층(497)을 포함하는 박막 트랜지스터이며, 화소용의 박막 트랜지스터(493)는, 전체가 I형화한 산화물 반도체층(498)을 포함하는 박막 트랜지스터이다.

[0270] 또한, 게이트 절연층(452)을 유전체로 하여, 용량 배선층과 용량 전극으로 형성되는 유지 용량도 박막 트랜지스터(492) 및 박막 트랜지스터(493)와 동일 기판 위에 형성할 수 있다. 박막 트랜지스터(493)와 유지 용량을 각

각의 화소에 대응하여 매트릭스 형상으로 배치하여 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터(492)를 갖는 구동 회로를 배치함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기판으로 할 수 있다.

[0271] 또한, 도전층(467)을 산화물 반도체층(497)의 채널 형성 영역과 중첩하는 위치에 형성함으로써, BT 시험에 있어서, BT 시험 전후에 있어서의 박막 트랜지스터(492)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(467)은, 전위가 게이트 전극층(461)과 같아도 좋고, 달라도 좋으며, 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(467)은, GND 상태, 0V의 전위가 주어진 상태 또는 플로팅 상태라도 좋다.

[0272] (실시형태 6)

[0273] 실시형태 1과 다른 반도체 장치 및 반도체 장치의 제작 방법을 도 43 및 도 44를 사용하여 설명한다.

[0274] 도 43에 도시하는 반도체 장치는, 도 1에 도시하는 반도체 장치와 비교하여, 구동 회로의 박막 트랜지스터의 소스 전극, 드레인 전극, 및 채널 형성 영역과 중첩하는 도전층의 구조가 다르다. 따라서 그 이외의 도 1에 도시하는 반도체 장치와 같은 부분에 대해서는, 도 1에 도시하는 반도체 장치의 설명을 적절하게 원용하고, 여기에서의 설명은 생략한다.

[0275] 도 43a1은 구동 회로에 배치되는 박막 트랜지스터(440)의 평면도이며, 도 43a2는 화소에 배치되는 박막 트랜지스터(420)의 평면도이며, 도 43b는 도 43a1의 선 C5-C6에 있어서의 단면 구조 및 도 43a2의 선 D5-D6에 있어서의 단면 구조를 도시하는 단면도이며, 또한, 도 43c는, 도 43a1의 선 C7-C8에 있어서의 단면 구조 및 도 43a2의 선 D7-D8에 있어서의 단면 구조를 도시하는 단면도이다.

[0276] 구동 회로에 배치되는 박막 트랜지스터(440)는, 도 1과 마찬가지로, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(411)과, 게이트 절연층(402)과, 적어도 채널 형성 영역(413), 고저항 소스 영역(414a) 및 고저항 드레인 영역(414b)을 갖는 산화물 반도체층(412)과, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)과, 소스 전극층(405a)과, 및 드레인 전극층(405b)을 포함한다. 또한, 박막 트랜지스터(440)는, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 주연 및 측면, 및 산화물 반도체층에 접하는 산화물 절연층(416)을 포함한다.

[0277] 또한, 고저항 소스 영역(414a)은, 저저항 소스 영역(408a)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 고저항 드레인 영역(414b)은, 저저항 드레인 영역(408b)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(413)은, 산화물 절연층(416)과 접하고, 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)보다도 고저항의 영역(I형 영역)으로 한다.

[0278] 또한, 도 43에 도시하는 반도체 장치는, 박막 트랜지스터의 산화물 반도체층에 고저항 소스 영역 및 고저항 드레인 영역을 갖는 구조이지만, 이것에 한정되지 않고, 고저항 소스 영역 및 고저항 드레인 영역을 형성하지 않고 산화물 반도체층이 모두 고저항의 영역(I형 영역)인 구조로 할 수도 있다.

[0279] 소스 전극층(405a)은, 저저항 소스 영역(408a)에 접하고, 드레인 전극층(405b)은, 저저항 드레인 영역(408b)에 접한다.

[0280] 또한, 도 43에 도시하는 구동 회로는, 채널 형성 영역(413) 상방에 채널 형성 영역(413)에 중첩하는 도전층(405c)을 갖는다. 도전층(405c)을 게이트 전극층(411)과 전기적으로 접속하고, 동전위로 함으로써, 게이트 전극층(411)과 도전층(405c)의 사이에 배치된 산화물 반도체층(412)에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 게이트 전극층(411)과 도전층(405c)을 다른 전위, 예를 들어 고정 전위, GND, 0V로 하는 경우에는, TFT의 전기 특성, 예를 들어 임계값 전압 등을 제어할 수 있다.

[0281] 소스 전극층(405a), 드레인 전극층(405b), 및 도전층(405c)은, 같은 재료를 사용하여 형성할 수 있고, 예를 들어 금속 재료를 사용하는 것이 바람직하다.

[0282] 또한, 구동 회로는, 도전층(405c)과, 소스 전극층(405a) 및 드레인 전극층(405b) 및 산화물 절연층(416) 위에 평탄화 절연층(404)이 형성된다.

[0283] 또한, 화소에 배치되는 박막 트랜지스터(420)의 구조는, 도 1에 도시하는 반도체 장치와 같기 때문에, 도 1에 도시하는 반도체 장치의 설명을 원용하고, 여기에서는 설명을 생략한다.

[0284] 또한, 도 43에 도시하는 반도체 장치에서는, 일례로서 박막 트랜지스터(440) 및 박막 트랜지스터(420)의 채널 길이가 같지만, 이것에 한정되지 않는다. 예를 들어 구동 회로의 박막 트랜지스터는, 화소부의 박막 트랜지스

터보다 고속 동작이 요구되기 때문에, 박막 트랜지스터(440)의 채널 길이는, 박막 트랜지스터(420)의 채널 길이보다 좁게 하여도 좋다. 이 때, 예를 들어 박막 트랜지스터(440)의 채널 길이는  $1\mu\text{m}$  내지  $5\mu\text{m}$  정도인 것이 바람직하고, 박막 트랜지스터(420)의 채널 길이는  $5\mu\text{m}$  내지  $20\mu\text{m}$  정도인 것이 바람직하다.

[0285] 이상과 같이, 도 43에 도시하는 반도체 장치는, 동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로 및 제 2 박막 트랜지스터를 갖는 화소부를 갖는 구조이며, 제 2 박막 트랜지스터는, 투광성을 갖는 재료에 의해 구성되고, 제 1 박막 트랜지스터는, 투광성을 갖는 재료보다 저항값이 낮은 재료를 사용하여 구성된다. 이로써, 화소부에서는, 개구율을 향상시킬 수 있고, 또한 구동 회로의 동작 속도를 향상시킬 수 있다. 또한, 동일 기판 위에 구동 회로 및 화소부를 형성함으로써, 구동 회로와 화소부를 접속시키는 배선수의 저감 및 배선의 길이를 단축할 수 있기 때문에, 반도체 장치의 소형화, 및 저가격화가 가능하다.

[0286] 또한, 도 43에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 반도체층의 일부 위, 및 소스 전극층 및 드레인 전극층에 접하는 산화물 도전층의 주연 및 측면에 산화물 절연층이 접하는 구조이다. 상기 구조로 함으로써, 박막 트랜지스터의 주변부에 게이트 전극층과 동일층의 배선과, 소스 전극 및 드레인 전극과 동일층의 배선이 절연층을 끼워서 교차하는 부분(교차부라고도 함)을 가지는 경우에 게이트 전극층과 동일층의 배선과 소스 전극 및 드레인 전극과 동일층의 배선의 간격을 넓힐 수 있기 때문에, 기생 용량을 저감할 수 있다.

[0287] 또한, 도 43에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 소스 전극층 및 드레인 전극층과, 채널 형성 영역이 형성되는 산화물 반도체층의 사이에 저저항 소스 영역 및 저저항 드레인 영역을 갖는 구조이다. 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 금속 전극층과 산화물 반도체층의 접촉과 비교하여, 금속 전극층과 저저항 소스 영역 및 저저항 드레인 영역의 접촉은, 접촉 저항을 낮출 수 있기 때문이다. 또한, 몰리브덴을 사용한 전극층(예를 들어, 몰리브덴층, 알루미늄층, 몰리브덴층의 적층 등)은, 산화물 반도체층과의 접촉 저항이 높고, 이것은, 티타늄에 비하여 몰리브덴은 산화하기 어렵기 때문에 산화물 반도체층으로부터 산소를 추출하는 작용이 약하고, 몰리브덴층과 산화물 반도체층의 접촉 계면이 n형화하지 않기 때문이다. 그러나, 산화물 반도체층과 소스 전극층 및 드레인 전극층의 사이에 저저항 소스 영역 및 저저항 드레인 영역을 개재시킴으로써 접촉 저항을 저감할 수 있고, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 또한, 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 박막 트랜지스터의 채널 길이(L)가, 저저항 소스 영역 및 저저항 드레인 영역이 되는 층의 예칭 시에 정해지기 때문에, 보다 채널 길이를 쉽게 할 수 있다.

[0288] 또한, 도 43에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 절연층을 끼워서 채널 형성 영역과 중첩하고, 소스 전극층 및 드레인 전극층과 같은 재료에 의해 구성된 도전층을 갖는 구조로 할 수 있고, 이로써 박막 트랜지스터의 임계값 전압을 제어할 수 있다. 또한, 도전층은, 구동 회로의 박막 트랜지스터의 소스 전극층 및 드레인 전극층과 같은 재료에 의해 구성되기 때문에, 배선 저항을 저감할 수 있다. 또한, 상기 도전층은, 소스 전극층 및 드레인 전극층과 동일층이기 때문에, 소스 전극층 또는 드레인 전극층과 접하지 않도록 배치되는 것이 바람직하다. 예를 들어 상기 도전층의 상층에 절연층을 개재하여 다른 도전층을 형성하고, 절연층에 형성된 콘택트 홀을 통하여 전기적으로 접속한 구조로 함으로써, 도전층을 리드(lead)할 수 있다.

[0289] 또한, 실시형태 1과 마찬가지로, 본 실시형태의 반도체 장치는, 박막 트랜지스터의 게이트 절연층을 2층 구조로 하고, 산화물 절연층 위에 보호 절연층을 갖는 구조로 할 수도 있다.

[0290] 이하, 도 44를 사용하여, 동일 기판 위에 박막 트랜지스터(440) 및 박막 트랜지스터(420)의 제작 방법의 일례를 설명한다.

[0291] 우선, 실시형태 1의 도 2a, 도 2b, 도 2c, 도 2d, 도 2e, 및 도 3a와 마찬가지로, 기판(400) 위에 게이트 전극 층(411) 및 게이트 전극 층(421)을 형성하고, 게이트 전극 층(411) 및 게이트 전극 층(421) 위에 게이트 절연층(402)을 형성하고, 게이트 절연층(402)을 끼워서 게이트 전극 층(411) 위에 산화물 반도체 층(412)을 형성하고, 또 게이트 절연층(402)을 끼워서 게이트 전극 층(421) 위에 산화물 반도체 층(422)을 형성하고, 제 1 가열 처리를 행하고, 산화물 반도체 층(412) 및 산화물 반도체 층(422)의 탈수화 또는 탈수소화를 행하고, 산화물 반도체 층(412) 위에 산화물 도전층에 의해 구성되는 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)을 형성하고, 또 산화물 반도체 층(422) 위에 산화물 도전층에 의해 구성되는 소스 전극 층(409a) 및 드레인 전극 층(409b)을 형성하고, 산화물 반도체 층(412)의 일부, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 주연 및 측면, 및 소스 전극 층(409a) 및 드레인 전극 층(409b)에 접하는 산화물 절연층(416)을 형성하고, 제 2 가열 처리를 행하고, 또한 산화물 절연층(416)의 일부를 제거하고, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b)의 일

부를 노출시키고, 또 산화물 절연층(416)에 드레인 전극층(409b)에 달하는 콘택트 홀(426)을 형성한다.

[0292] 또한, 산화물 절연층(416) 위에 도전막을 형성하고, 포토리소그래피 공정에 의해 레지스트 마스크(448a, 448b, 448c)를 형성하고, 레지스트 마스크(448a, 448b, 448c)를 사용하여 에칭을 행하여 소스 전극층(405a), 드레인 전극층(405b), 및 도전층(405c)을 형성한다(도 44a 참조).

[0293] 또한, 이 때의 에칭 공정은, 하층의 저저항 소스 영역(408a), 저저항 드레인 영역(408b), 소스 전극층(409a), 드레인 전극층(409b), 산화물 반도체층(412) 및 산화물 반도체층(422)이 에칭되지 않는 것이 바람직하고, 에칭되지 않도록, 에칭 조건을 적절하게 설정하면 좋다. 예를 들어, 에칭 시간을 제어하면 좋다.

[0294] 또한, 산화물 반도체층(412 및 422)을 구성하는 재료 및 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b), 소스 전극층(409a), 드레인 전극층(409b)을 구성하는 재료로서, 에칭 선택비가 높은 재료를 각각 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체층을 구성하는 재료로서, Sn을 포함하는 금속 산화물 재료(예를 들어  $\text{SnZnO}_x$  ( $x > 0$ ), 또는  $\text{SnGaZnO}_x$  ( $x > 0$ ) 등)를 사용하고, 산화물 도전층을 구성하는 재료로서  $\text{Al-Zn-O}$ 계 재료,  $\text{Al-Zn-O-N}$ 계 재료,  $\text{Zn-O}$ 계 재료 등을 사용하면 좋다. 이러한 산화아연을 주성분으로 하는 재료는, 예를 들어 알칼리성 용액을 사용하여 에칭할 수 있다. 또한,  $\text{Al-Zn-O}$ 계 재료,  $\text{Al-Zn-O-N}$ 계 재료 등 알루미늄이 포함되는 재료를 사용하는 경우에는, 에칭에 사용된 레지스트 마스크를 제거할 때에 산화물 도전층이 함께 제거되지 않는 방법을 사용하여 레지스트 마스크를 제거하는 것이 바람직하다. 예를 들어 드라이 에칭에 의해 레지스트 마스크를 제거함으로써, 산화물 도전층이 제거되지 않고 레지스트 마스크를 제거할 수 있다.

[0295] 다음에, 레지스트 마스크(448a 내지 448c)를 제거한 후 소스 전극층(405a), 드레인 전극층(405b), 및 도전층(405c) 및 산화물 절연층(416) 위에 평탄화 절연층(404)을 형성하고, 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(404)의 에칭에 의해 드레인 전극층(409b)에 달하는 콘택트 홀(441)을 형성한다(도 44b 참조).

[0296] 다음에, 레지스트 마스크를 제거한 후, 투광성을 갖는 도전막을 성막하고, 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(427)을 형성한다(도 44c 참조).

[0297] 또한, 본 실시형태의 반도체 장치의 제작 방법에서는, 도 44에 도시하는 바와 같이, 저저항 소스 영역(408a) 및 저저항 드레인 영역(408b), 및 소스 전극층(409a) 및 드레인 전극층(409b)을 1장의 마스크를 사용하여 형성할 수도 있다.

[0298] 이상의 공정에 의해, 7장 또는 8장의 마스크를 사용하여, 동일 기판 위에 박막 트랜지스터(440) 및 박막 트랜지스터(420)를 각각 구동 회로 또는 화소부로 나누어 제작할 수 있다. 구동 회로의 박막 트랜지스터(440)는, 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 및 채널 형성 영역(413)을 포함하는 산화물 반도체층(412)을 포함하는 박막 트랜지스터이며, 화소부의 박막 트랜지스터(420)는, 고저항 소스 영역(424a), 고저항 드레인 영역(424b), 및 채널 형성 영역(423)을 포함하는 산화물 반도체층(422)을 포함하는 박막 트랜지스터이다. 박막 트랜지스터(440) 및 박막 트랜지스터(420)는, 고전계가 인가되어도 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 고저항 소스 영역(424a), 및 고저항 드레인 영역(424b)이 버퍼로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킨 구조으로 되어 있다.

[0299] 또한, 본 실시형태의 반도체 장치의 제작 방법에서는, 구동 회로의 박막 트랜지스터에 있어서, 소스 전극층, 드레인 전극층과 동일 공정으로, 반도체층의 채널 형성 영역에 중첩하는 도전층을 형성할 수 있다. 이로써, 공정 수를 늘리지 않고 제작할 수 있다.

[0300] (실시형태 7)

[0301] 실시형태 6과 다른 반도체 장치 및 반도체 장치의 제작 방법을 도 45 및 도 46을 사용하여 설명한다.

[0302] 도 45에 도시하는 반도체 장치는, 실시형태 4의 도 38에 도시하는 반도체 장치와 비교하여, 구동 회로의 박막 트랜지스터의 소스 전극, 드레인 전극, 및 채널 형성 영역과 중첩하는 도전층의 구조가 다르다. 따라서 그 이외의 도 38에 도시하는 반도체 장치와 같은 부분에 대해서는, 도 38에 도시하는 반도체 장치의 설명을 적절하게 원용하고, 여기에서의 설명은 생략한다.

[0303] 도 45a1은 구동 회로에 배치되는 박막 트랜지스터(490)의 평면도이며, 도 45a2는 화소에 배치되는 박막 트랜지스터(470)의 평면도이며, 도 45b는 도 45a1의 선 G5-G6에 있어서의 단면 구조 및 도 45a2의 선 H5-H6에 있어서

의 단면 구조를 도시하는 단면도이며, 또한, 도 45c는, 도 45a1의 선 G7-G8에 있어서의 단면 구조 및 도 45a2의 선 H7-H8에 있어서의 단면 구조를 도시하는 단면도이다.

[0304] 구동 회로에 배치되는 박막 트랜지스터(490)는, 도 38과 마찬가지로, 절연 표면을 갖는 기판(450) 위에, 게이트 전극층(461), 게이트 절연층(452), 적어도 채널 형성 영역(463), 고저항 소스 영역(464a) 및 고저항 드레인 영역(464b)을 갖는 산화물 반도체층(462), 저저항 소스 영역(446a), 저저항 드레인 영역(446b), 소스 전극층(495a), 및 드레인 전극층(495b)을 포함한다. 또한, 박막 트랜지스터(490)는, 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 주연 및 측면, 및 산화물 반도체층(462)의 일부에 접하는 보호 절연층(453)이 형성되어 있는 구조이다.

[0305] 또한, 고저항 소스 영역(464a)은, 저저항 소스 영역(446a)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 고저항 드레인 영역(464b)은, 저저항 드레인 영역(446b)의 하면에 접하여 자기 정합적으로 형성되어 있다. 또한, 채널 형성 영역(463)은, 보호 절연층(453)과 접하고, 고저항 소스 영역(464a) 및 고저항 드레인 영역(464b)보다도 고저항의 영역(I형 영역)으로 한다.

[0306] 또한, 도 45에 도시하는 반도체 장치는, 박막 트랜지스터의 산화물 반도체층에 고저항 소스 영역 및 고저항 드레인 영역을 갖는 구조이지만, 이것에 한정되지 않고, 고저항 소스 영역 및 고저항 드레인 영역을 형성하지 않고 산화물 반도체층이 모두 고저항의 영역(I형 영역)인 구조로 할 수도 있다.

[0307] 소스 전극층(495a)은, 저저항 소스 영역(446a)에 접하고, 드레인 전극층(495b)은, 저저항 드레인 영역(446b)에 접한다.

[0308] 또한, 도 45에 도시하는 구동 회로는, 채널 형성 영역(463) 상방에 채널 형성 영역(463)에 중첩하는 도전층(495c)을 갖는다. 도전층(495c)을 게이트 전극층(461)과 전기적으로 접속하고, 동전위로 함으로써, 게이트 전극층(461)과 도전층(495c)의 사이에 배치된 산화물 반도체층(462)에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 게이트 전극층(461)과 도전층(495c)을 다른 전위, 예를 들어 고정 전위, GND, 0V로 하는 경우에는, TFT의 전기 특성, 예를 들어 임계값 전압 등을 제어할 수 있다.

[0309] 소스 전극층(495a), 드레인 전극층(495b), 및 도전층(495c)은, 같은 재료를 사용하여 형성할 수 있고, 예를 들어 금속 재료를 사용하는 것이 바람직하다.

[0310] 또한, 구동 회로는, 도전층(495c)과, 소스 전극층(495a) 및 드레인 전극층(495b) 및 산화물 절연층(466)의 사이에 평탄화 절연층(454)이 형성된다.

[0311] 또한, 도 45a2는 화소에 배치되는 박막 트랜지스터(470)의 평면도다. 박막 트랜지스터(420)의 구조는, 도 38에 도시하는 반도체 장치와 같기 때문에, 도 38에 도시하는 반도체 장치의 설명을 원용하고, 여기에서는 설명을 생략한다.

[0312] 또한, 도 45에 도시하는 반도체 장치에서는, 일례로서 박막 트랜지스터(490) 및 박막 트랜지스터(470)의 채널 길이가 같지만, 이것에 한정되지 않는다. 예를 들어 구동 회로의 박막 트랜지스터는, 화소부의 박막 트랜지스터보다 고속 동작이 요구되기 때문에, 박막 트랜지스터(490)의 채널 길이는, 박막 트랜지스터(470)의 채널 길이보다 좁게 하여도 좋다. 이 때, 예를 들어 박막 트랜지스터(490)의 채널 길이는  $1\text{ }\mu\text{m}$  내지  $5\text{ }\mu\text{m}$  정도인 것이 바람직하고, 박막 트랜지스터(470)의 채널 길이는  $5\text{ }\mu\text{m}$  내지  $20\text{ }\mu\text{m}$  정도인 것이 바람직하다.

[0313] 이상과 같이, 도 45에 도시하는 반도체 장치는, 동일 기판 위에 제 1 박막 트랜지스터를 갖는 구동 회로 및 제 2 박막 트랜지스터를 갖는 화소부를 갖는 구조이며, 제 2 박막 트랜지스터는, 투광성을 갖는 재료에 의해 구성되고, 제 1 박막 트랜지스터는, 투광성을 갖는 재료보다 저항값이 낮은 재료를 사용하여 구성된다. 이로써, 화소부에서는, 개구율을 향상시킬 수 있고, 또 구동 회로의 동작 속도를 향상시킬 수 있다. 또한, 동일 기판 위에 구동 회로 및 화소부를 형성함으로써, 구동 회로와 화소부를 접속시키는 배선수의 저감 및 배선의 길이를 단축할 수 있기 때문에, 반도체 장치의 소형화, 및 저가격화가 가능하다.

[0314] 또한, 도 45에 도시하는 반도체 장치는, 제 1 박막 트랜지스터의 산화물 반도체층의 단부가 저저항 소스 영역 및 저저항 드레인 영역의 단부보다 돌출하고, 제 2 박막 트랜지스터의 산화물 반도체층의 단부가 소스 전극층 및 드레인 전극층의 단부보다도 돌출하는 구조이다.

[0315] 또한, 도 45에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 소스 전극층 및 드레인 전극층과, 채널 형성 영역이 형성되는 산화물 반도체층의 사이에 저저항 소스 영역 및 저저항 드레인 영역을 갖는 구조이다. 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 주변 회로(구동 회로)의 주파수 특성을 향

상시킬 수 있다. 금속 전극층과 산화물 반도체층의 접촉과 비교하여, 금속 전극층과 저저항 소스 영역 및 저저항 드레인 영역의 접촉은, 접촉 저항을 낮출 수 있기 때문이다. 또한, 몰리브덴을 사용한 전극층(예를 들어, 몰리브덴층, 알루미늄층, 몰리브덴층의 적층 등)은, 산화물 반도체층과의 접촉 저항이 높고, 이것은, 티타늄과 비교하여 몰리브덴은 산화하기 어렵기 때문에 산화물 반도체층으로부터 산소를 추출하는 작용이 약하고, 몰리브덴층과 산화물 반도체층의 접촉 계면이 n형화하지 않기 때문이다. 그러나, 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 저저항 소스 영역 및 저저항 드레인 영역을 개재시킴으로써 접촉 저항을 저감할 수 있고, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다. 또한, 저저항 소스 영역 및 저저항 드레인 영역을 형성함으로써, 박막 트랜지스터의 채널 길이(L)가, 저저항 소스 영역 및 저저항 드레인 영역으로 되는 층의 예상 시에 정해지기 때문에, 보다 채널 길이를 짧게 할 수 있다.

[0316] 또한, 도 45에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 반도체층의 일부 위, 및 소스 전극층 및 드레인 전극층에 접하는 산화물 도전층의 주연 및 측면에 산화물 절연층이 접하는 구조이다. 상기 구조로 함으로써, 박막 트랜지스터의 주변부에 게이트 전극층과 동일층의 배선과, 소스 전극 및 드레인 전극과 동일층의 배선이 절연층을 끼워서 교차하는 부분(교차부라고도 함)을 갖는 경우에 게이트 전극층과 동일층의 배선과 소스 전극 및 드레인 전극과 동일층의 배선과의 간격을 넓힐 수 있기 때문에, 기생 용량을 저감할 수 있다.

[0317] 또한, 도 45에 도시하는 반도체 장치는, 구동 회로의 박막 트랜지스터에 있어서, 산화물 절연층을 끼워서 채널 형성 영역과 중첩하고, 소스 전극층 및 드레인 전극층과 같은 재료에 의해 구성된 도전층을 갖는 구조로 할 수 있고, 이로써 박막 트랜지스터의 임계치 전압을 제어할 수 있다. 또한, 도전층은, 구동 회로의 박막 트랜지스터의 소스 전극층 및 드레인 전극층과 같은 재료에 의해 구성되기 때문에, 배선 저항을 저감할 수 있다.

[0318] 또한, 실시형태 4와 마찬가지로, 본 실시형태의 반도체 장치는, 박막 트랜지스터의 게이트 절연층을 2층 구조로 하고, 산화물 절연층 위에 보호 절연층을 갖는 구조로 할 수도 있다.

[0319] 이하, 도 46을 사용하여, 동일 기판 위에 박막 트랜지스터(490) 및 박막 트랜지스터(470)의 제작 방법의 일례를 설명한다.

[0320] 우선, 실시형태 4의 도 39a, 도 39b, 도 39c, 도 39d, 도 39e, 및 도 40a와 마찬가지로, 기판(450) 위에 게이트 전극층(461) 및 게이트 전극층(471)을 형성하고, 게이트 전극층(461) 및 게이트 전극층(471) 위에 게이트 절연층(452)을 형성하고, 게이트 절연층(452) 위에 산화물 반도체막(480)을 형성하고, 제 1 가열 처리를 행하고, 산화물 반도체막의 탈수화 또는 탈수소화를 행하고, 산화물 반도체막(481)을 얻고, 또한 산화물 반도체막(481) 위에 산화물 도전막을 형성하고, 다계조 마스크를 사용하여 레지스트 마스크(482a) 및 레지스트 마스크(482b)를 형성하고, 상기 레지스트 마스크(482a) 및 레지스트 마스크(482b)를 사용하여 산화물 반도체막(481) 및 산화물 도전막을 에칭함으로써, 게이트 절연층(452)을 끼워서 게이트 전극층(461) 위에 산화물 반도체층(462)을 형성하고, 또 게이트 절연층(452)을 끼워서 게이트 전극층(471) 위에 산화물 반도체층(472)을 형성하고, 레지스트 마스크(482a) 및 레지스트 마스크(482b)를 제거하고, 산화물 반도체층(462) 위에 산화물 도전층에 의해 구성되는 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)을 형성하고, 또 산화물 반도체층(472) 위에 산화물 도전층에 의해 구성되는 소스 전극층(447a) 및 드레인 전극층(447b)을 형성하고, 산화물 반도체층의 일부, 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 주연 및 측면, 및 소스 전극층(447a) 및 드레인 전극층(447b)에 접하는 산화물 절연층(466)을 형성하고, 제 2 가열 처리를 행하고, 또한 산화물 절연층(466)의 일부를 제거하고, 저저항 소스 영역(446a) 및 저저항 드레인 영역(446b)의 일부를 노출시키고, 또 산화물 절연층(466)에 드레인 전극층(409b)에 달하는 콘택트 홀(437)을 형성한다.

[0321] 또한, 산화물 절연층(466) 위에 도전막을 형성하고, 포토리소그래피 공정에 의해 레지스트 마스크(455a, 455b, 455c)를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(495a), 드레인 전극층(495b), 및 도전층(495c)을 형성한다(도 46a 참조).

[0322] 또한, 이 때의 에칭 공정은, 하층의 저저항 소스 영역(446a), 저저항 드레인 영역(446b), 소스 전극층(447a), 드레인 전극층(447b), 산화물 반도체층(462) 및 산화물 반도체층(472)이 에칭되지 않는 것이 바람직하고, 에칭되지 않도록, 에칭 조건을 적절하게 설정하면 좋다. 예를 들어, 에칭 시간을 제어하면 좋다.

[0323] 또한, 산화물 반도체층(462 및 472)을 구성하는 재료 및 저저항 소스 영역(446a) 및 저저항 드레인 영역(446) 동시에, 소스 전극층(447a), 드레인 전극층(447b)을 구성하는 재료로서, 에칭 선택비가 높은 재료를 각각 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체층을 구성하는 재료로서, Sn을 포함하는 금속 산화물 재료(예

를 들어  $\text{SnZnO}_x$ , 또는  $\text{SnGaZnO}_x$  등)를 사용하여, 산화물 도전층을 구성하는 재료로서 Al-Zn-O계 재료, Al-Zn-O-N계 재료, Zn-O계 재료 등을 사용하면 좋다. 이러한 산화아연을 주성분으로 하는 재료는, 예를 들어 알칼리성 용액을 사용하여 에칭할 수 있다. 또한, Al-Zn-O계 재료, Al-Zn-O-N계 재료 등 알루미늄이 포함되는 재료를 사용하는 경우에는, 에칭에 사용된 레지스트 마스크를 제거할 때에 산화물 도전층이 함께 제거되지 않는 방법을 사용하여 레지스트 마스크를 제거하는 것이 바람직하다. 예를 들어 드라이 에칭에 의해 레지스트 마스크를 제거함으로써, 산화물 도전층이 제거되지 않고 레지스트 마스크를 제거할 수 있다.

[0324] 다음에, 레지스트 마스크(455a 내지 455c)를 제거한 후 소스 전극층(495a), 드레인 전극층(495b), 및 도전층(495c) 및 산화물 절연층(466) 위에 평탄화 절연층(454)을 형성하고, 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(454)의 에칭에 의해 드레인 전극층(447b)에 달하는 콘택트 홀(494)을 형성한다(도 46b 참조).

[0325] 다음에, 레지스트 마스크를 제거한 후, 투광성을 갖는 도전막을 성막하고, 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여 화소 전극층(477)을 형성한다.

[0326] 이상의 공정에 의해, 6장의 마스크를 사용하여, 동일 기판 위에 박막 트랜지스터(490) 및 박막 트랜지스터(470)를 각각 구동 회로 또는 화소부로 나누어 제작할 수 있고, 또 실시형태 6의 제작 공정보다 마스크수를 저감할 수 있다. 구동 회로의 박막 트랜지스터(490)는, 고저항 소스 영역(464a), 고저항 드레인 영역(464b), 및 채널 형성 영역(463)을 포함하는 산화물 반도체층(462)을 포함하는 박막 트랜지스터이며, 화소부의 박막 트랜지스터(470)는, 고저항 소스 영역(474a), 고저항 드레인 영역(474b), 및 채널 형성 영역(473)을 포함하는 산화물 반도체층(472)을 포함하는 박막 트랜지스터이다. 박막 트랜지스터(490) 및 박막 트랜지스터(470)는, 고전계가 인가되어도 고저항 소스 영역(464a), 고저항 드레인 영역(464b), 고저항 소스 영역(474a), 고저항 드레인 영역(474b)이 벼퍼로 되어 국소적인 전계 집중이 생기지 않고, 트랜지스터의 절연 내압을 향상시킨 구조으로 되어 있다.

[0327] 또한, 본 실시형태의 반도체 장치의 제작 방법에서는, 구동 회로의 박막 트랜지스터에 있어서, 소스 전극층, 드레인 전극층과 동일 공정으로, 반도체층의 채널 형성 영역에 중첩하는 도전층을 형성할 수 있다. 이로써, 공정 수를 늘리지 않고 제작할 수 있다. 또한, 본 실시형태는, 다른 실시형태와 적절하게 조합할 수 있다.

[0328] (실시형태 8)

[0329] 본 실시형태에서는, 실시형태 1에 나타낸 액티브 매트릭스 기판을 사용하여, 액티브 매트릭스형의 액정 표시 장치를 제작하는 일례를 나타낸다. 또한, 본 실시형태는 실시형태 2 내지 7에서 나타낸 액티브 매트릭스 기판에도 적용할 수 있다.

[0330] 액티브 매트릭스 기판의 단면 구조의 일례를 도 7a에 도시한다.

[0331] 실시형태 1 내지 실시형태 7에서는, 동일 기판 위에 구동 회로의 박막 트랜지스터와 화소부의 박막 트랜지스터를 나타내었지만, 본 실시형태에서는, 이를 박막 트랜지스터에 더하여, 유지 용량, 게이트 배선, 소스 배선의 단자부, 배선 교차부도 도시하여 설명한다. 용량, 게이트 배선, 소스 배선의 단자부, 배선 교차부는, 실시형태 1 내지 실시형태 7에 나타내는 반도체 장치의 제작 공정의 어느 하나와 같은 공정에서 형성할 수 있고, 포토 마스크 매수의 증가나, 공정수의 증가 없이 제작할 수 있다. 또한, 화소부의 표시 영역으로 되는 부분에 있어서는, 게이트 배선, 소스 배선, 및 용량 배선층은 모두 투광성을 갖는 도전막으로 형성되어 있고, 높은 개구율을 실현할 수 있다. 또한, 표시 영역이 아닌 부분의 소스 배선층은, 배선 저항을 저저항으로 하기 때문에 금속 배선을 사용할 수 있다. 또한, 본 실시형태에서는, 구동 회로의 박막 트랜지스터의 일례로서 도 43에 도시하는 박막 트랜지스터(440)를 사용하는 경우에 대하여 설명하고, 화소부의 박막 트랜지스터의 일례로서 도 43에 도시하는 박막 트랜지스터(420)를 사용하는 경우에 대하여 설명하지만, 이것에 한정되지 않는다.

[0332] 도 7a에 있어서, 박막 트랜지스터(210)는, 구동 회로에 형성되는 박막 트랜지스터이며, 화소 전극층(227)과 전기적으로 접속하는 박막 트랜지스터(220)는, 화소부에 형성되는 박막 트랜지스터이다.

[0333] 기판(200) 상방에 형성되는 박막 트랜지스터(220)로서, 본 실시형태에서는, 도 43의 박막 트랜지스터(440)와 같은 구조를 사용한다.

[0334] 박막 트랜지스터(220)의 게이트 전극층과 같은 투광성을 갖는 재료, 및 같은 공정으로 형성되는 용량 배선층(230)은, 유전체가 되는 게이트 절연층(202)을 사이에 두고 용량 전극층(231)과 중첩하여, 유지 용량을 형성한다. 또한, 용량 전극층(231)은, 박막 트랜지스터(220)의 소스 전극층 또는 드레인 전극층과 같은 투광성을 갖

는 재료, 및 같은 공정으로 형성된다. 따라서, 박막 트랜지스터(220)가 투광성을 갖는 것에 더하여, 각각의 유지 용량도 투광성을 갖기 때문에, 개구율을 향상시킬 수 있다.

[0335] 유지 용량이 투광성을 갖는 것은, 개구율을 향상시키는 데에서 중요하다. 특히 10인치 이하의 소형의 액정 표시 패널에 있어서, 게이트 배선의 개수를 늘리는 등으로 표시 화상의 고정세화를 도모하기 때문에, 화소 치수를 미세화하여도, 높은 개구율을 실현할 수 있다. 또한, 박막 트랜지스터(220) 및 유지 용량의 구성 부재에 투광성을 갖는 막을 사용함으로써, 광시야각을 실현하기 때문에, 1화소를 복수의 서브 화소로 분할하여도 높은 개구율을 실현할 수 있다. 즉, 고밀도의 박막 트랜지스터군을 배치하여도 개구율을 크게 취할 수 있고, 표시 영역의 면적을 충분히 확보할 수 있다. 예를 들어, 하나의 화소 내에 2 내지 4개의 서브 화소 및 유지 용량을 갖는 경우, 박막 트랜지스터가 투광성을 가지고 있는 것에 더하여, 각각의 유지 용량도 투광성을 갖기 때문에, 개구율을 향상시킬 수 있다.

[0336] 또한, 유지 용량은, 화소 전극층(227)의 하방에 형성되고, 용량 전극층(231)이 화소 전극층(227)과 전기적으로 접속된다.

[0337] 본 실시형태에서는, 용량 전극층(231), 및 용량 배선층(230)을 사용하여 유지 용량을 형성하는 예를 나타내었지만, 유지 용량을 형성하는 구조에 대해서는 특히 한정되지 않는다. 예를 들어, 용량 배선층을 형성하지 않고, 화소 전극층을 이웃하는 화소의 게이트 배선과 평탄화 절연층, 산화물 절연층, 및 게이트 절연층을 사이에 두고 중첩하여 유지 용량을 형성하여도 좋다.

[0338] 또한, 도 7a에 있어서 유지 용량은, 큰 용량을 형성하기 위해서, 용량 배선과 용량 전극의 사이에 게이트 절연층(202)만으로 하고, 배선 교차부는, 기생 용량을 저감하기 위해서 게이트 배선층(232)과 그 상방에 형성되는 배선의 사이에 게이트 절연층(202)과 산화물 절연층(266)을 형성하고 있다. 또한, 유지 용량을 크게 하기 위해서는, 게이트 절연층의 막 두께를 얇게 하는 것이 바람직하기 때문에, 산화물 절연층(266)의 선택적인 에칭 시에 용량 배선 위의 게이트 절연층을 박막화시킨 구성으로 하여도 좋다.

[0339] 또한, 게이트 배선, 소스 배선, 및 용량 배선층은 화소 밀도에 따라서 복수개 형성되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 동전위의 단자 전극, 소스 배선과 동전위의 단자 전극, 용량 배선층과 동전위의 단자 전극 등이 복수 나란히 배열되어 배치된다. 각각의 단자 전극의 수는, 각각 임의의 수로 형성하면 좋은 것으로서, 실시자가 적절하게 결정하면 된다.

[0340] 단자부에 있어서, 게이트 배선과 동전위의 단자 전극은, 화소 전극층(227)과 같은 투광성을 갖는 재료로 형성할 수 있다. 게이트 배선과 동전위의 단자 전극은, 게이트 배선에 달하는 콘택트 홀을 통하여 게이트 배선과 전기적으로 접속된다. 게이트 배선에 달하는 콘택트 홀은, 박막 트랜지스터(220)의 드레인 전극층과, 화소 전극층(227)을 전기적으로 접속하기 위한 콘택트 홀과 같은 포토 마스크를 사용하고, 평탄화 절연층(204), 산화물 절연층(266), 게이트 절연층(202)을 선택적으로 에칭하여 형성한다.

[0341] 또한, 구동 회로의 박막 트랜지스터(210)의 게이트 전극층은, 산화물 반도체층의 상방에 형성된 도전층(405c)과 전기적으로 접속시키는 구조로 하여도 좋다. 그 경우에는, 박막 트랜지스터(220)의 드레인 전극층과, 화소 전극층(227)을 전기적으로 접속하기 위한 콘택트 홀과 같은 포토 마스크를 사용하고, 평탄화 절연층(204), 산화물 절연층(266), 게이트 절연층(202)을 선택적으로 에칭하여 콘택트 홀을 형성한다. 이 콘택트 홀을 통하여 도전층(405c)과 구동 회로의 박막 트랜지스터(210)의 게이트 전극층을 전기적으로 접속한다.

[0342] 또한, 구동 회로의 단자 전극층(234)과 동전위의 단자 전극층(235)은, 화소 전극층(227)과 같은 투광성을 갖는 재료로 형성할 수 있다. 단자 전극층(235)은, 단자 전극층(234)에 달하는 콘택트 홀을 통하여 단자 전극층(234)과 전기적으로 접속된다. 단자 전극층(234)은 금속 배선이며, 박막 트랜지스터(210)의 소스 전극층과 같은 재료, 같은 공정으로 형성되고, 동전위이다.

[0343] 또한, 용량 배선층(230)과 동전위의 제 3 단자 전극은, 화소 전극층(227)과 같은 투광성을 갖는 재료로 형성할 수 있다. 또한, 용량 배선층(230)에 달하는 콘택트 홀은, 용량 전극층(231)이 화소 전극층(227)과 전기적으로 접속하기 위한 콘택트 홀과 같은 포토 마스크, 같은 공정으로 형성할 수 있다.

[0344] 또한, 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극(대향 전극층이라고도 함)이 형성된 대향 기판과의 사이에 액정층을 형성하고, 액티브 매트릭스 기판과 대향 기판을 고정한다. 또한, 대향 기판에 형성된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 형성하고, 공통 전극과 전기적으로 접속하는 제 4 단자 전극을 단자부에 형성한다. 이 제 4 단자 전극은, 공통 전극을 고정 전위, 예를 들어 GND, OV 등으로 설정하기 위한 단자이다. 제 4 단자 전극은, 화소 전극층(227)과

같은 투광성을 갖는 재료로 형성할 수 있다.

[0345] 또한, 구동 회로의 박막 트랜지스터(210)의 게이트 전극층 또는 게이트 전극층과 동전위의 단자 전극과, 구동 회로의 박막 트랜지스터(210)의 드레인 전극층 또는 드레인 전극층과 동전위의 단자 전극은, 게이트 절연층(202)을 예칭하여 형성된 콘택트 홀을 사이에 두고 전기적으로 접속시킬 수 있다. 예를 들어 도 7에 도시하는 바와 같이, 전극(272)은, 게이트 절연층(202)에 형성된 콘택트 홀을 통하여 전극(271)에 전기적으로 접속시킬 수 있다. 이 때 산화물 절연층(266)의 일부를 제거해 두면 좋다. 이로써 양호한 콘택트를 얻을 수 있고, 접촉 저항을 저감할 수 있다. 따라서 개구 수의 저감, 개구 수의 저감에 의한 점유 면적의 축소를 도모할 수 있다.

[0346] 또한, 도 7에서는, 구동 회로의 박막 트랜지스터(210)의 게이트 전극층 또는 게이트 전극층과 동전위의 단자 전극과, 드레인 전극층 또는 드레인 전극층과 동전위의 단자 전극이, 게이트 절연층(202)에 형성된 콘택트 홀을 통하여 전기적으로 접속되는 예에 대하여 설명하였지만, 이것에 한정되지 않고, 화소부의 박막 트랜지스터(220)의 게이트 전극층 또는 게이트 전극층과 동전위의 단자 전극과, 드레인 전극층 또는 드레인 전극층과 동전위의 단자 전극이, 게이트 절연층(202)에 형성된 콘택트 홀을 통하여 전기적으로 접속되는 구조로 할 수 있다.

[0347] 또한, 박막 트랜지스터(220)의 소스 전극층과 박막 트랜지스터(210)의 소스 전극층을 전기적으로 접속하는 구성은 특히 한정되지 않고, 예를 들어, 박막 트랜지스터(220)의 소스 전극층과 박막 트랜지스터(210)의 소스 전극층을 접속하는 접속 전극을 화소 전극층(227)과 같은 공정으로 형성하여도 좋다. 또한, 표시 영역이 아닌 부분에 있어서, 박막 트랜지스터(220)의 소스 전극층과 박막 트랜지스터(210)의 소스 전극층을 접촉하여 중첩하는 구성으로 하여도 좋다.

[0348] 또한, 구동 회로의 게이트 배선층(232)의 단면 구조를 도 7a에 도시한다. 본 실시형태는, 10인치 이하의 소형의 액정 표시 패널의 예이기 때문에, 구동 회로의 게이트 배선층(232)은, 박막 트랜지스터(220)의 게이트 전극층과 같은 투광성을 갖는 재료를 사용하고 있다.

[0349] 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또는 그 이외의 전극층이나, 그 이외의 배선층에 같은 재료를 사용하면 공통의 스퍼터링 타깃이나 공통의 제조 장치를 사용할 수 있고, 그 재료 가격 및 예칭 시에 사용하는 애천트(또는 예칭 가스)에 필요한 가격을 저감할 수 있고, 결과로서 제조 비용을 낙감할 수 있다.

[0350] 또한, 도 7a의 구조에 있어서, 평탄화 절연층(204)으로서 감광성의 수지재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

[0351] 또한, 도 7b에, 도 7a와는 일부 다른 단면 구조를 도시한다. 도 7b는, 도 7a와 평탄화 절연층(204)이 존재하지 않는 점 이외는 같기 때문에, 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다. 도 7b에서는, 산화물 절연층(266)에 접하여 화소 전극층(227), 도전층(405c)을 형성하고, 단자전극층(234) 위에 단자 전극층(235)을 형성한다.

[0352] 도 7b의 구조로 하면, 평탄화 절연층(204)의 공정을 생략할 수 있다.

[0353] (실시형태 9)

[0354] 본 실시형태에서는, 액정 표시 패널의 사이즈가 10인치를 초과하고, 60인치, 또한 120인치로 하는 경우에는 투광성을 갖는 배선의 배선 저항이 문제로 될 우려가 있기 때문에, 게이트 배선의 일부를 금속 배선으로 하여 배선 저항을 저감하는 예를 나타낸다.

[0355] 또한, 도 8a는 도 7a와 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다. 또한, 본 실시형태는 실시형태 1 내지 7에서 나타낸 액티브 매트릭스 기판에 적용할 수 있다.

[0356] 도 8a는 구동 회로의 게이트 배선의 일부를 금속 배선으로 하고, 박막 트랜지스터(210)의 게이트 전극층과 같은 투광성을 갖는 배선과 접하여 형성하는 예이다. 또한, 금속 배선을 형성하기 위해서, 실시형태 8과 비교하여, 포토 마스크의 수는 늘어난다.

[0357] 우선, 기판(200) 위에 탈수화 또는 탈수소화를 위한 제 1 가열 처리를 견딜 수 있는 내열성 도전성 재료막(막 두께 100nm 이상 500nm 이하)을 형성한다.

[0358] 본 실시형태에서는, 막 두께 370nm의 텉스텐막과 막 두께 50nm의 질화탄탈막을 형성한다. 여기에서는 도전막을 질화탄탈막과 W막의 적층으로 하였지만, 특히 한정되지 않고, Ta, W, Ti, Mo, Al, Cu로부터 선택된 원소, 또는

상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물로 형성한다. 내열성 도전성 재료막은, 상술한 원소를 포함하는 단층에 한정되지 않고, 2층 이상의 적층을 사용할 수 있다.

[0359] 제 1 포토리소그래피 공정에 의해 금속 배선을 형성하고, 제 1 금속 배선층(236)과 제 2 금속 배선층(237)을 형성한다. 텅스텐막 및 질화탄탈막의 에칭에는 ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용하면 좋다. ICP 에칭법을 사용하여, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절하게 조절함으로써 원하는 테이퍼 형상으로 막을 에칭할 수 있다. 제 1 금속 배선층(236)과 제 2 금속 배선층(237)을 테이퍼 형상으로 함으로써 위에 접하여 형성하는 투광성을 갖는 도전막의 성막 불량을 저감할 수 있다.

[0360] 다음에, 투광성을 갖는 도전막을 형성한 후, 제 2 포토리소그래피 공정에 의해 게이트 배선층(238), 박막 트랜지스터(210)의 게이트 전극층, 박막 트랜지스터(220)의 게이트 전극층을 형성한다. 투광성을 갖는 도전막은, 실시형태 1에 기재된 가시광에 대하여 투광성을 갖는 도전 재료를 사용한다.

[0361] 또한, 투광성을 갖는 도전막의 재료에 따라서는, 예를 들어, 게이트 배선층(238)이 제 1 금속 배선층(236) 또는 제 2 금속 배선층(237)에 접하는 계면이 있으면, 후의 열처리 등에 의해 산화막이 형성되고, 접촉 저항이 높아질 우려가 있기 때문에, 제 2 금속 배선층(237)은 제 1 금속 배선층(236)의 산화를 막는 질화금속막을 사용하는 것이 바람직하다.

[0362] 다음에, 실시형태 1 내지 실시형태 7의 어느 하나의 공정과 같은 공정으로 게이트 절연층, 산화물 반도체층 등을 형성한다. 이후의 공정은, 실시형태 1에 따라서 액티브 매트릭스 기판을 제작한다.

[0363] 또한, 본 실시형태에서는, 평탄화 절연층(204)을 형성한 후, 포토 마스크를 사용하여 단자부의 평탄화 절연층을 선택적으로 제거하는 예를 나타낸다. 단자부에 있어서는, 평탄화 절연층이 존재하지 않는 쪽이, FPC와의 양호한 접속을 행함에 있어서 바람직하다.

[0364] 또한, 배선 교차부는, 기생 용량을 저감하기 위해서 게이트 배선층(238)과 그 상방에 형성되는 배선의 사이에 게이트 절연층(202)과 산화물 절연층(266)을 형성한다. 또한, 유지 용량을 크게 하기 위해서는, 게이트 절연층의 막 두께를 얇게 하는 것이 바람직하기 때문에, 산화물 절연층(266)의 선택적인 에칭 시에 용량 배선 위의 게이트 절연층을 박막화시킨 구성이라도 좋다.

[0365] 도 8a에서는, 단자 전극층(235)은 단자 전극층(234) 위에 형성된다. 또한, 도 8a에서는, 제 2 금속 배선층(237)의 일부와 중첩하는 게이트 배선층(238)을 도시하였지만, 제 1 금속 배선층(236) 및 제 2 금속 배선층(237)의 전부를 덮는 게이트 배선층으로 하여도 좋다. 즉, 제 1 금속 배선층(236) 및 제 2 금속 배선층(237)은, 게이트 배선층(238)을 저저항화하기 위한 보조 배선이라고 할 수 있다.

[0366] 또한, 단자부에 있어서, 게이트 배선과 동전위의 제 1 단자 전극층(234)은, 보호 절연층(203) 위에 형성되고, 제 2 금속 배선층(237)과 전기적으로 접속한다. 단자부로부터 리드하는 배선도 금속 배선으로 형성한다.

[0367] 또한, 표시 영역이 아닌 부분의 게이트 배선층, 용량 배선층은, 배선 저항을 저저항으로 하기 때문에 금속 배선, 즉, 제 1 금속 배선층(236) 및 제 2 금속 배선층(237)을 보조 배선으로서 사용할 수도 있다.

[0368] 또한, 구동 회로의 박막 트랜지스터의 게이트 전극층 또는 게이트 전극층과 동전위의 단자 전극과, 구동 회로의 박막 트랜지스터의 드레인 전극층 또는 드레인 전극층과 동전위의 단자 전극은, 게이트 절연층(202)을 에칭하여 형성된 콘택트 홀을 통하여 전기적으로 접속시킬 수 있다. 예를 들어 도 8에 도시하는 바와 같이 전극(272)은, 게이트 절연층(202)에 형성된 콘택트 홀을 통하여 상부에 게이트 배선층(283)이 형성된 금속 배선층(281) 및 금속 배선층(282)의 적층에 전기적으로 접속시킬 수 있다. 이 때 산화물 절연층(266)의 일부는, 미리 제거해 두어도 좋다. 이로써 양호한 콘택트를 얻을 수 있고, 접촉 저항을 저감할 수 있다. 따라서 개구 수의 저감, 개구 수의 저감에 의한 점유 면적의 축소를 도모할 수 있다.

[0369] 또한, 도 8에서는, 구동 회로의 박막 트랜지스터의 게이트 전극층 또는 게이트 전극층과 동전위의 단자 전극과, 드레인 전극층 또는 드레인 전극층과 동전위의 단자 전극이, 게이트 절연층(202)에 형성된 콘택트 홀을 통하여 전기적으로 접속되는 예에 대하여 설명하였지만, 이것에 한정되지 않고, 화소부의 박막 트랜지스터의 게이트 전극층 또는 게이트 전극층과 동전위의 단자 전극과, 드레인 전극층 또는 드레인 전극층과 동전위의 단자 전극이, 게이트 절연층(202)에 형성된 콘택트 홀을 통하여 전기적으로 접속되는 구조로 할 수도 있다.

[0370] 또한, 도 8b에, 도 8a과는 일부 다른 단면 구조를 도시한다. 도 8b는, 도 8a와 구동 회로의 박막 트랜지스터의

게이트 전극층의 재료가 다른 점 이외는 같기 때문에, 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다.

[0371] 도 8b는, 구동 회로의 박막 트랜지스터의 게이트 전극층을 금속 배선으로 하는 예이다. 구동 회로에 있어서는, 게이트 전극층은 투광성을 갖는 재료에 한정되지 않는다.

[0372] 도 8b에 있어서, 구동 회로의 박막 트랜지스터(240)는 금속 배선층(241) 위에 금속 배선층(242)이 적층된 게이트 전극층으로 한다. 또한, 금속 배선층(241)은, 금속 배선층(236)과 같은 재료, 같은 공정으로 형성할 수 있다. 또한, 금속 배선층(242)은, 제 2 금속 배선층(237)과 같은 재료, 같은 공정으로 형성할 수 있다.

[0373] 또한, 금속 배선층(241)을 도전층(405c)과 전기적으로 접속하는 경우, 금속 배선층(241)의 산화를 막기 위한 금속 배선층(242)이 질화금속막인 것이 바람직하다.

[0374] 본 실시형태에서는, 금속 배선을 일부 사용하여 배선 저항을 저감하고, 액정 표시 패널의 사이즈가 10인치를 초과하고, 60인치, 더욱이 120인치로 하는 경우라도 표시 화상의 고정세화를 도모하고, 높은 개구율을 실현할 수 있다.

[0375] (실시형태 10)

[0376] 본 실시형태에서는, 유지 용량의 구성에 대해서, 실시형태 8과 다른 예를 도 9a 및 도 9b에 도시한다. 도 9a는 도 7a와 유지 용량의 구성이 다른 점 이외에는 같기 때문에, 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다. 또한, 도 9a에서는 화소부의 박막 트랜지스터(220)와 유지 용량의 단면 구조를 도시한다.

[0377] 도 9a는, 유전체를 산화물 절연층(266), 보호 절연층(203), 및 평탄화 절연층(204)으로 하고, 화소 전극층(227)과, 상기 화소 전극층(227)과 중첩하는 용량 전극층(231)으로 유지 용량을 형성하는 예이다. 용량 전극층(231)은, 화소부의 박막 트랜지스터(220)의 소스 전극층과 같은 투광성을 갖는 재료, 및 같은 공정으로 형성되기 때문에, 박막 트랜지스터(220)의 소스 배선층과 중첩하지 않도록 레이아웃된다.

[0378] 도 9a에 도시하는 유지 용량은, 한 쌍의 전극 및 유전체가 투광성을 갖고 있고, 유지 용량 전체로서 투광성을 갖는다.

[0379] 또한, 도 9b는, 도 9a와 다른 유지 용량의 구성의 예이다. 도 9b도, 도 7a와 유지 용량의 구성이 다른 점 이외는 같기 때문에, 같은 개소에는 같은 부호를 사용하고, 같은 개소의 상세한 설명은 생략한다.

[0380] 도 9b는, 용량 배선층(230)과, 상기 용량 배선층(230)과 중첩하는 산화물 반도체층(251)과 용량 전극층(231)의 적층으로 유지 용량을 형성하는 예이다. 또한, 산화물 반도체층(251)은, 용량 전극층(231) 하에 접하여 적층되어 있고, 유지 용량의 한쪽의 전극으로서 기능한다. 또한, 용량 전극층(231)은, 박막 트랜지스터(220)의 소스 전극층 또는 드레인 전극층과 같은 투광성을 갖는 재료, 같은 공정으로 형성한다. 또한, 용량 배선층(230)은, 박막 트랜지스터(220)의 게이트 전극층과 같은 투광성을 갖는 재료, 같은 공정으로 형성되기 때문에, 박막 트랜지스터(220)의 게이트 배선층과 중첩하지 않도록 레이아웃된다.

[0381] 또한, 용량 전극층(231)은 화소 전극층(227)과 전기적으로 접속된다.

[0382] 도 9b에 도시하는 유지 용량도, 한 쌍의 전극 및 유전체가 투광성을 갖고, 유지 용량 전체로서 투광성을 갖는다.

[0383] 도 9a 및 도 9b에 도시하는 유지 용량은, 투광성을 갖고, 게이트 배선의 개수를 늘리는 등으로 표시 화상의 고정세화를 도모하기 때문에, 화소치수를 미세화하여도, 충분한 용량을 얻을 수 있고, 또, 높은 개구율을 실현할 수 있다.

[0384] 본 실시형태는 다른 실시형태와 적절하게 조합할 수 있다.

[0385] (실시형태 11)

[0386] 본 실시형태에서는, 동일 기판 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 반도체 장치의 예에 대하여 이하에 설명한다.

[0387] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 실시형태 7에 따라서 형성한다. 또한, 실시형태 1 내지 실시형태 7에 나타내는 박막 트랜지스터는 n채널형 TFT이기 때문에, 구동 회로 중, n채널형 TFT로 구성되는

구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.

[0388] 액티브 매트릭스형 표시 장치의 블록도의 일례를 도 14a에 도시한다. 표시 장치의 기판(5300) 위에는, 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 신호선 구동 회로(5304)를 갖는다. 화소부(5301)에는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연신하여 배치되고, 복수의 주사선이 제 1 주사선 구동 회로(5302), 및 제 2 주사선 구동 회로(5303)로부터 연신하여 배치되어 있다. 또한 주사선과 신호선의 교차 영역에는, 각각, 표시 소자를 갖는 화소가 매트릭스 형상으로 배치되어 있다. 또한, 표시 장치의 기판(5300)은, FPC(Flexible Printed Circuit) 등의 접속부를 통하여, 타이밍 제어 회로(5305)(컨트롤러, 제어 IC라고도 함)에 접속되어 있다.

[0389] 도 14a에서는, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303), 신호선 구동 회로(5304)는, 화소부(5301)와 같은 기판(5300) 위에 형성된다. 따라서, 외부에 형성하는 구동 회로 등의 부품의 수가 줄어들기 때문에, 비용 저감을 도모할 수 있다. 또한, 기판(5300) 외부에 구동 회로를 형성한 경우의 배선을 연신시키는 것에 의한 접속부에서의 접속수를 저감할 수 있고, 신뢰성의 향상, 또는 제조 수율의 향상을 도모할 수 있다.

[0390] 또한, 타이밍 제어 회로(5305)는, 제 1 주사선 구동 회로(5302)에 대하여, 일례로서, 제 1 주사선 구동 회로용 스타트 신호(GSP1), 제 1 주사선 구동 회로용 클록 신호(GCK1)를 공급한다. 또한, 타이밍 제어 회로(5305)는, 제 2 주사선 구동 회로(5303)에 대하여, 일례로서, 제 2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 함), 제 2 주사선 구동 회로용 클록 신호(GCK2)를 공급한다. 또한, 타이밍 제어 회로(5305)는, 신호선 구동 회로(5304)에 대하여, 일례로서, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클록 신호(SCK), 비디오 신호용 데이터(DATA)(단지 비디오 신호라고도 함), 래치 신호(LAT)를 공급한다. 또 각 클록 신호는, 주기가 벗어난 복수의 클록 신호라도 좋고, 클록 신호를 반전시킨 신호(CKB)와 함께 공급되는 것이라도 좋다. 또한, 제 1 주사선 구동 회로(5302)와 제 2 주사선 구동 회로(5303)의 한쪽을 생략할 수 있다.

[0391] 도 14b에서는, 구동 주파수가 낮은 회로(예를 들어, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303))를 화소부(5301)와 같은 기판(5300)에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)와는 다른 기판에 형성하는 구성에 대하여 도시한다. 상기 구성에 의해, 단결정 반도체를 사용한 트랜지스터와 비교하면 전계 효과 이동도가 작은 박막 트랜지스터에 의해, 기판(5300)에 형성하는 구동 회로를 구성할 수 있다. 따라서, 표시 장치의 대형화, 공정수의 삭감, 가격의 저감, 또는 제조 수율의 향상 등을 도모할 수 있다.

[0392] 또한, 실시형태 1 내지 실시형태 7에 나타내는 박막 트랜지스터는, n채널형 TFT이다. 도 15a, 도 15b에서는 n채널형 TFT로 구성하는 신호선 구동 회로의 구성, 동작에 대하여 일례를 도시하여 설명한다.

[0393] 신호선 구동 회로는, 시프트 레지스터(5601), 및 스위칭 회로(5602)를 갖는다. 스위칭 회로(5602)는, 복수의 스위칭 회로를 갖는다. 스위칭 회로(5602\_1 내지 5602\_N)(N은 2 이상의 자연수)는, 각각, 박막 트랜지스터(5603\_1 내지 5603\_k)(k는 2 이상의 자연수)로 하는 복수의 트랜지스터를 갖는다. 박막 트랜지스터(5603\_1 내지 5603\_k)인, N채널형 TFT인 예를 설명한다.

[0394] 신호선 구동 회로의 접속 관계에 대하여, 스위칭 회로(5602\_1)를 예로서 설명한다. 박막 트랜지스터(5603\_1 내지 5603\_k)의 제 1 단자는, 각각, 배선(5604\_1 내지 5604\_k)과 접속된다. 박막 트랜지스터(5603\_1 내지 5603\_k)의 제 2 단자는, 각각, 신호선(S1 내지 Sk)과 접속된다. 박막 트랜지스터(5603\_1 내지 5603\_k)의 게이트는, 배선(5605\_1)과 접속된다.

[0395] 시프트 레지스터(5601)는, 배선(5605\_1 내지 5605\_N)에 순서대로 H 레벨(H신호, 고전원 전위 레벨이라고도 함)의 신호를 출력하고, 스위칭 회로(5602\_1 내지 5602\_N)를 순서대로 선택하는 기능을 갖는다.

[0396] 스위칭 회로(5602\_1)는, 배선(5604\_1 내지 5604\_k)과 신호선(S1 내지 Sk)의 도통 상태(제 1 단자와 제 2 단자 사이의 도통)를 제어하는 기능, 즉 배선(5604\_1 내지 5604\_k)의 전위를 신호선(S1 내지 Sk)으로 공급하는지의 여부를 제어하는 기능을 갖는다. 이렇게, 스위칭 회로(5602\_1)는, 셀렉터로서의 기능을 갖는다. 또 박막 트랜지스터(5603\_1 내지 5603\_k)는, 각각, 배선(5604\_1 내지 5604\_k)과 신호선(S1 내지 Sk)의 도통 상태를 제어하는 기능, 즉 배선(5604\_1 내지 5604\_k)의 전위를 신호선(S1 내지 Sk)에 공급하는 기능을 갖는다. 이렇게, 박막 트랜지스터(5603\_1 내지 5603\_k)는, 각각, 스위치로서의 기능을 갖는다.

[0397] 또한, 배선(5604\_1 내지 5604\_k)에는, 각각, 비디오 신호용 데이터(DATA)가 입력된다. 비디오 신호용 데이터(DATA)는, 화상 정보 또는 화상 신호에 따른 아날로그 신호인 경우가 많다.

- [0398] 다음에, 도 15a의 신호선 구동 회로의 동작에 대하여, 도 15b의 타이밍 차트를 참조하여 설명한다. 도 15b에는, 신호(Sout\_1 내지 Sout\_N), 및 신호(Vdata\_1 내지 Vdata\_k)의 일례를 도시한다. 신호(Sout\_1 내지 Sout\_N)는, 각각, 시프트 레지스터(5601)의 출력 신호의 일례이며, 신호(Vdata\_1 내지 Vdata\_k)는, 각각, 배선(5604\_1 내지 5604\_k)에 입력되는 신호의 일례이다. 또한, 신호선 구동 회로의 1 동작 기간은, 표시 장치에 있어서의 1 게이트 선택 기간에 대응한다. 1 게이트 선택 기간은, 일례로서, 기간(T1) 내지 기간(TN)으로 분할된다. 기간(T1 내지 TN)은, 각각, 선택된 행에 속하는 화소에 비디오 신호용 데이터(DATA)를 기록하기 위한 기간이다.
- [0399] 또한, 본 실시형태의 도면 등에 있어서 도시하는 각 구성의, 신호 파형의 일그러짐 등은, 명료화를 위해 과장하여 표기하는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는 것을 부기한다.
- [0400] 기간(T1) 내지 기간(TN)에 있어서, 시프트 레지스터(5601)는, H 레벨의 신호를 배선(5605\_1 내지 5605\_N)에 순서대로 출력한다. 예를 들어, 기간(T1)에 있어서, 시프트 레지스터(5601)는, 하이 레벨의 신호를 배선(5605\_1)에 출력한다. 그렇게 하면, 박막 트랜지스터(5603\_1 내지 5603\_k)는 온으로 되므로, 배선(5604\_1 내지 5604\_k)과, 신호선(S1 내지 Sk)이 도통 상태로 된다. 이 때, 배선(5604\_1 내지 5604\_k)에는, Data(S1) 내지 Data(Sk)가 입력된다. Data(S1) 내지 Data(Sk)는, 각각, 박막 트랜지스터(5603\_1 내지 5603\_k)를 통하여, 선택되는 행에 속하는 화소 중, 1열째 내지 k열째의 화소에 기록된다. 이렇게 하여, 기간(T1 내지 TN)에 있어서, 선택된 행에 속하는 화소에, k열씩 순서대로 비디오 신호용 데이터(DATA)가 기록된다.
- [0401] 상술한 바와 같이, 비디오 신호용 데이터(DATA)가 복수의 열씩 화소에 기록됨으로써, 비디오 신호용 데이터(DATA)의 수, 또는 배선의 수를 저감할 수 있다. 따라서, 외부 회로와의 접속수를 저감할 수 있다. 또한, 비디오 신호가 복수의 열씩 화소에 기록됨으로써, 기록 시간을 길게 할 수 있어, 비디오 신호의 기록 부족을 방지할 수 있다.
- [0402] 또한, 시프트 레지스터(5601) 및 스위칭 회로(5602)로서는, 실시형태 1 내지 실시형태 7에 나타내는 박막 트랜지스터로 구성되는 회로를 사용할 수 있다. 이 경우, 시프트 레지스터(5601)가 갖는 모든 트랜지스터의 극성을 N채널형, 또는 P채널형의 어느 하나의 극성만으로 구성할 수 있다.
- [0403] 또한, 주사선 구동 회로 및 신호선 구동 회로의 일부, 또는 주사선 구동 회로 또는 신호선 구동 회로의 일부에 사용하는 시프트 레지스터의 일례에 대하여 설명한다.
- [0404] 주사선 구동 회로는, 시프트 레지스터를 갖는다. 또한 경우에 따라서는 레벨 시프터나 버퍼 등을 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 그리고, 1라인 분의 화소의 트랜지스터를 일제히 ON으로 해야 하기 때문에, 버퍼는 큰 전류를 흘려보낼 수 있는 것이 사용된다.
- [0405] 또한, 주사선 구동 회로 및 신호선 구동 회로의 일부, 또는 주사선 구동 회로 또는 신호선 구동 회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대하여 도 16 및 도 17을 사용하여 설명한다.
- [0406] 시프트 레지스터는, 제 1 펄스 출력 회로(10\_1) 내지 제 N 펄스 출력 회로(10\_N)(N은 3 이상의 자연수)를 가진다(도 16a 참조). 도 16a에 도시하는 시프트 레지스터의 제 1 펄스 출력 회로(10\_1) 내지 제 N 펄스 출력 회로(10\_N)에는, 제 1 배선(11)으로부터 제 1 클록 신호(CK1), 제 2 배선(12)으로부터 제 2 클록 신호(CK2), 제 3 배선(13)으로부터 제 3 클록 신호(CK3), 제 4 배선(14)으로부터 제 4 클록 신호(CK4)가 공급된다. 또 제 1 펄스 출력 회로(10\_1)에서는, 제 5 배선(15)으로부터의 스타트 펄스(SP1)(제 1 스타트 펄스)가 입력된다. 또 2단 째 이후의 제 n 펄스 출력 회로(10\_n)(n은, 2 이상 N 이하의 자연수)에서는, 1단 전단의 펄스 출력 회로(10\_(n-1))로부터의 신호(전단 신호 OUT(n-1)이라고 함)가 입력된다. 또 제 1 펄스 출력 회로(10\_1)에서는, 2단 후단의 제 3 펄스 출력 회로(10\_3)로부터의 신호가 입력되고, 2단 째 이후의 제 n 펄스 출력 회로(10\_n)에서는, 2단 후단의 제 (n+2) 펄스 출력 회로(10\_(n+2))로부터의 신호(후단 신호(OUT(n+2))라고 함)가 입력된다. 따라서, 각 단의 펄스 출력 회로로부터는, 후단 및/또는 2단 전단의 펄스 출력 회로에 입력하기 위한 제 1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR)), 다른 회로 등에 입력되는 제 2 출력 신호(OUT(1) 내지 OUT(N))가 출력된다. 또한, 도 16a에 도시하는 바와 같이, 시프트 레지스터의 최종단의 2개의 단에는, 후단 신호(OUT(n+2))가 입력되지 않기 때문에, 일례로서는, 별도 제 2 스타트 펄스(SP2), 제 3 스타트 펄스(SP3)를 각각 입력하는 구성으로 하면 좋다.
- [0407] 또한, 클록 신호(CK)는, 일정한 간격으로 H 레벨과 L 레벨(L 신호, 저전원 전위 레벨이라고도 함)을 반복하는

신호이다. 여기에서, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)는, 순차로 1/4 주기분 지연한다. 본 실시형태에서는, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)를 이용하여, 펠스 출력 회로의 구동의 제어 등을 행한다. 또한, 클록 신호는, 입력되는 구동 회로에 따라서, GCK, SCK라는 것도 있지만, 여기에서는 CK로서 설명한다.

[0408] 제 1 입력 단자(21), 제 2 입력 단자(22), 및 제 3 입력 단자(23)는, 제 1 배선(11) 내지 제 4 배선(14)의 어느 하나와 전기적으로 접속된다. 예를 들어, 도 16a에 있어서, 제 1 펠스 출력 회로(10\_1)는, 제 1 입력 단자(21)가 제 1 배선(11)과 전기적으로 접속되고, 제 2 입력 단자(22)가 제 2 배선(12)과 전기적으로 접속되고, 제 3 입력 단자(23)가 제 3 배선(13)과 전기적으로 접속된다. 또한, 제 2 펠스 출력 회로(10\_2)는, 제 1 입력 단자(21)가 제 2 배선(12)과 전기적으로 접속되고, 제 2 입력 단자(22)가 제 3 배선(13)과 전기적으로 접속되고, 제 3 입력 단자(23)가 제 4 배선(14)과 전기적으로 접속된다.

[0409] 제 1 펠스 출력 회로(10\_1) 내지 제 N 펠스 출력 회로(10\_N)의 각각은, 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 제 2 출력 단자(27)를 갖는 것으로 한다(도 16b 참조). 제 1 펠스 출력 회로(10\_1)에 있어서, 제 1 입력 단자(21)에 제 1 클록 신호(CK1)가 입력되고, 제 2 입력 단자(22)에 제 2 클록 신호(CK2)가 입력되고, 제 3 입력 단자(23)에 제 3 클록 신호(CK3)가 입력되고, 제 4 입력 단자(24)에 스타트 펠스가 입력되고, 제 5 입력 단자(25)에 후단 신호(OUT(3))가 입력되고, 제 1 출력 단자(26)로부터 제 1 출력 신호(OUT(1)(SR))가 출력되고, 제 2 출력 단자(27)보다 제 2 출력 신호(OUT(1))가 출력된다.

[0410] 또한 제 1 펠스 출력 회로(10\_1) 내지 제 N 펠스 출력 회로(10\_N)는, 3단자의 박막 트랜지스터(TFT: Thin Film Transistor라고도 함)의 이외에, 상기 실시형태에서 설명한 4단자의 박막 트랜지스터를 사용할 수 있다. 또한, 본 명세서에 있어서, 박막 트랜지스터가 반도체층을 사이에 두고 2개의 게이트 전극을 갖는 경우, 반도체층보다 하방의 게이트 전극을 쪽의 게이트 전극이라고도 부른다.

[0411] 산화물 반도체를 박막 트랜지스터의 채널 형성 영역을 포함하는 반도체층을 사용한 경우, 제조 공정에 의해, 임계값 전압이 마이너스측, 또는 플러스측으로 시프트하는 경우가 있다, 따라서 채널 형성 영역을 포함하는 반도체층에 사용한 경우 박막 트랜지스터에서는, 임계값 전압의 제어를 행할 수 있는 구성이 적합하다. 4단자의 박막 트랜지스터의 임계값 전압은, 박막 트랜지스터의 채널 형성 영역의 상하에 게이트 절연막을 사이에 두고 게이트 전극을 형성하고, 상방 및/또는 하방의 게이트 전극의 전위를 제어함으로써 원하는 값으로 제어할 수 있다.

[0412] 다음에, 펠스 출력 회로의 구체적인 회로 구성의 일례에 대하여, 도 16c로 설명한다.

[0413] 제 1 펠스 출력 회로(10\_1)는, 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43)를 갖는다. 또한, 상술한 제 1 입력 단자(21) 내지 제 5 입력 단자(25), 및 제 1 출력 단자(26), 제 2 출력 단자(27)에 더하여, 제 1 고전원 전위 VDD가 공급되는 전원선(51), 제 2 고전원 전위 VCC가 공급되는 전원선(52), 제 3 저전원 전위 VSS가 공급되는 전원선(53)으로부터, 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43)에 신호, 또는 전원 전위가 공급된다. 여기서 도 16(2)에 있어서의 각 전원선의 전원 전위의 대소 관계는, 제 1 전원 전위 VDD는 제 2 전원 전위 VCC이상의 전위로 하고, 제 2 전원 전위 VCC는 제 3 전원 전위 VSS보다 큰 전위로 한다. 또한, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)는, 일정한 간격으로 H 레벨과 L 레벨을 반복하는 신호이지만, H 레벨 일 때의 전위가 VDD, L 레벨일 때의 전위가 VSS라고 한다. 또한, 전원선(51)의 전위 VDD를, 전원선(52)의 전위 VCC보다 높게 함으로써, 동작에 영향을 주지 않고, 트랜지스터의 게이트 전극에 인가되는 전위를 낮게 억제할 수 있고, 트랜지스터의 임계값의 시프트를 저감하고, 열화를 억제할 수 있다. 또한, 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43) 중, 제 1 트랜지스터(31), 제 6 트랜지스터(36) 내지 제 9 트랜지스터(39)에는, 4단자의 트랜지스터를 사용하는 것이 바람직하다. 제 1 트랜지스터(31), 제 6 트랜지스터(36) 내지 제 9 트랜지스터(39)의 동작은, 트랜지스터(33)의 게이트 전극 및 트랜지스터(40)의 게이트 전극의 전위를, 제어 신호에 의해 바꾸는 것이 요구되는 트랜지스터이며, 게이트 전극에 입력되는 제어 신호에 대한 응답이 빠름(온 전류의 상승이 급준)으로써 보다 펠스 출력 회로의 오동작을 저감할 수 있다. 따라서, 4단자의 트랜지스터를 사용함으로써 임계값 전압을 제어할 수 있고, 오동작을 보다 저감할 수 있는 펠스 출력 회로로 할 수 있다.

[0414] 또한, 박막 트랜지스터란, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 또한, 박막 트랜지스터는, 게이트와 중첩한 영역에 채널 영역이 형성되는 반도체 영역(채널 형성 영역이라고도 함)을 갖고, 게이트의 전위를 제어함으로써, 채널 영역을 사이에 두고 드레인과 소스의 사이에 흐르는 전류를 제어할 수 있다. 여기에서, 소스와 드레인은, 박막 트랜지스터의 구조나 동작 조건 등에 따라 변하기 때문에, 어느 것

이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 그래서, 소스 및 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제 1 단자, 제 2 단자라고 표기하는 경우가 있다.

[0415] 도 16c에 있어서 제 1 트랜지스터(31)는, 제 1 단자가 전원선(51)에 전기적으로 접속되고, 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)이 제 4 입력 단자(24)에 전기적으로 접속된다. 제 2 트랜지스터(32)는, 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 단자가 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 게이트 전극이 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 3 트랜지스터(33)는, 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속된다. 제 4 트랜지스터(34)는, 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속된다. 제 5 트랜지스터(35)는, 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 게이트 전극이 제 4 입력 단자(24)에 전기적으로 접속된다. 제 6 트랜지스터(36)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되어 있다. 제 7 트랜지스터(37)는, 제 1 단자가 전원선(52)에 전기적으로 접속되고, 제 2 단자가 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되고, 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)이 제 3 입력 단자(23)에 전기적으로 접속된다. 제 8 트랜지스터(38)는, 제 1 단자가 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)이 제 2 입력 단자(22)에 전기적으로 접속된다. 제 9 트랜지스터(39)는, 제 1 단자가 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)이 전원선(52)에 전기적으로 접속된다. 제 10 트랜지스터(40)는, 제 1 단자가 제 1 입력 단자(21)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트 전극이 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속된다. 제 11 트랜지스터(41)는, 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트 전극이 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 12 트랜지스터(42)는, 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 단자가 제 2 출력 단자(27)에 전기적으로 접속되고, 게이트 전극이 제 7 트랜지스터(37)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 전기적으로 접속된다. 제 13 트랜지스터(43)는, 제 1 단자가 전원선(53)에 전기적으로 접속되고, 제 2 단자가 제 1 출력 단자(26)에 전기적으로 접속되고, 게이트 전극이 제 7 트랜지스터(37)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 전기적으로 접속된다.

[0416] 도 16c에 있어서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극, 및 제 9 트랜지스터(39)의 제 2 단자의 접속 개소를 노드 A로 한다. 또한, 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트 전극의 접속 개소를 노드 B로 한다.

[0417] 또한, 도 16c, 도 17a에 있어서, 노드 A를 부유 상태로 함으로써 부트스트랩 동작을 행하기 위한, 용량 소자를 별도로 형성하여도 좋다. 또한 노드 B의 전위를 유지하기 위해서, 한쪽의 전극을 노드 B에 전기적으로 접속한 용량 소자를 별도 형성하여도 좋다.

[0418] 여기서, 도 17a에 도시한 펄스 출력 회로를 복수 구비하는 시프트 레지스터의 타이밍 차트에 대하여 도 17b에 도시한다. 또한, 시프트 레지스터가 주사선 구동 회로인 경우, 도 17b 중의 기간(61)은 수직 귀선 기간이며, 기간(62)은 게이트 선택 기간에 상당한다.

[0419] 또한, 도 17a에 도시하는 바와 같이, 게이트 전극에 제 2 전원 전위 VCC가 인가되는 제 9 트랜지스터(39)를 형성해 둠으로써, 부트스트랩 동작의 전후에 있어서, 이하와 같은 이점이 있다.

[0420] 게이트 전극에 제 2 전위 VCC가 인가되는 제 9 트랜지스터(39)가 없는 경우, 부트스트랩 동작에 의해 노드 A의 전위가 상승하면, 제 1 트랜지스터(31)의 제 2 단자인 소스의 전위가 상승해 가고, 제 1 전원 전위 VDD보다 커진다. 그리고, 제 1 트랜지스터(31)의 소스가 제 1 단자측, 즉 전원선(51)측으로 바뀐다. 따라서, 제 1 트랜지스터(31)에 있어서는, 게이트와 소스 사이, 게이트와 드레인 사이 모두, 큰 바이어스 전압이 인가되기 때문에 큰 스트레스가 가해져, 트랜지스터의 열화의 요인이 될 수 있다. 그래서, 게이트 전극에 제 2 전원 전위 VCC가

인가되는 제 9 트랜지스터(39)를 형성해 둠으로써, 부트스트랩 동작에 의해 노드 A의 전위는 상승하지만, 제 1 트랜지스터(31)의 제 2 단자의 전위의 상승을 일으키지 않도록 할 수 있다. 즉, 제 9 트랜지스터(39)를 형성함으로써, 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 부의 바이어스 전압의 값을 작게 할 수 있다. 따라서, 본 실시형태의 회로 구성으로 함으로써, 제 1 트랜지스터(31)의 게이트와 소스의 사이에 인가되는 부의 바이어스 전압도 작게 할 수 있기 때문에, 스트레스에 의한 제 1 트랜지스터(31)의 열화를 억제할 수 있다.

[0421] 또한, 제 9 트랜지스터(39)를 형성하는 개소에 대해서는, 제 1 트랜지스터(31)의 제 2 단자와 제 3 트랜지스터(33)의 게이트의 사이에 제 1 단자와 제 2 단자를 통하여 접속되도록 형성하는 구성이라면 좋다. 또한, 본 실시형태에서의 펄스 출력 회로를 복수 구비하는 시프트 레지스터의 경우, 주사선 구동 회로보다 단수가 많은 신호선 구동 회로에서는, 제 9 트랜지스터(39)를 생략하여도 좋고, 이로써 트랜지스터수를 삭감할 수 있다.

[0422] 또한, 제 1 트랜지스터(31) 내지 제 13 트랜지스터(43)의 반도체층으로서, 산화물 반도체를 사용함으로써, 박막 트랜지스터의 오프 전류를 저감하는 동시에, 온 전류 및 전계 효과 이동도를 높일 수 있는 동시에, 열화의 정도를 저감할 수 있기 때문에, 회로 내의 오동작을 저감할 수 있다. 또 산화물 반도체를 사용한 트랜지스터, 아모퍼스 실리콘을 사용한 트랜지스터와 비교하여, 게이트 전극에 고전위가 인가되는 것에 의한 트랜지스터의 열화의 정도가 작다. 따라서, 제 2 전원 전위 VCC를 공급하는 전원선에, 제 1 전원 전위 VDD를 공급하여도 같은 동작을 얻을 수 있고, 또 회로간을 리드(lead)하는 전원선의 수를 저감할 수 있기 때문에, 회로의 소형화를 도모할 수 있다.

[0423] 또한, 제 7 트랜지스터(37)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 제 3 입력 단자(23)에 의해 공급되는 클록 신호, 제 8 트랜지스터(38)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 제 2 입력 단자(22)에 의해 공급되는 클록 신호는, 제 7 트랜지스터(37)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 제 2 입력 단자(22)에 의해 공급되는 클록 신호, 제 8 트랜지스터(38)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 제 3 입력 단자(23)에 의해 공급되는 클록 신호가 되도록, 결선 관계를 바꾸어도 같은 작용을 나타낸다. 이 때, 도 17a에 도시하는 시프트 레지스터에 있어서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 양쪽 모두 온 상태로부터, 제 7 트랜지스터(37)가 오프 상태, 제 8 트랜지스터(38)가 온 상태, 다음으로 제 7 트랜지스터(37)가 오프 상태, 제 8 트랜지스터(38)가 오프 상태로 됨으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위가 저하함으로써 생기는, 노드 B의 전위의 저하가 제 7 트랜지스터(37)의 게이트 전극의 전위의 저하, 및 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하에 기인하여 2회 생기게 된다. 한편, 도 17a에 도시하는 시프트 레지스터에 있어서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 함께 온 상태로부터, 제 7 트랜지스터(37)가 온 상태, 제 8 트랜지스터(38)가 오프 상태, 다음에, 제 7 트랜지스터(37)가 오프 상태, 제 8 트랜지스터(38)가 오프 상태로 됨으로써, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위가 저하함으로써 생기는 노드 B의 전위의 저하를, 제 8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의한 1회로 저감할 수 있다. 따라서, 제 7 트랜지스터(37)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 제 3 입력 단자(23)로부터 클록 신호가 공급되고, 제 8 트랜지스터(38)의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)에 제 2 입력 단자(22)로부터 클록 신호가 공급되는 결선 관계로 하는 것이 적합하다. 왜냐하면, 노드 B의 전위의 변동 회수가 저감되고, 또한 노이즈를 저감할 수 있기 때문이다.

[0424] 이와 같이, 제 1 출력 단자(26) 및 제 2 출력 단자(27)의 전위를 L 레벨로 유지하는 기간에, 노드 B에 정기적으로 H 레벨의 신호가 공급되는 구성으로 함으로써, 펄스 출력 회로의 오동작을 억제할 수 있다.

[0425] (실시형태 12)

[0426] 박막 트랜지스터를 제작하고, 상기 박막 트랜지스터를 화소부, 또한 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 박막 트랜지스터를 갖는 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체로 형성하여 시스템 온 패널을 형성할 수 있다.

[0427] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0428] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 상기 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것으로서, 상기 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을

복수의 화소에 구비한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극(화소 전극층이라고도 함)만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 성막한 후이며, 예칭하여 화소 전극을 형성하기 전인 상태라도 좋고, 모든 형태가 적합하다.

[0429] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC(Flexible printed circuit), TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하기로 한다.

[0430] 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 10을 사용하여 설명한다. 도 10a1 및 도 10a2는, 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를, 제 1 기판(4001)과 제 2 기판(4006)의 사이에 층재(4005)에 의해 밀봉한, 패널의 평면도이며, 도 10b는 도 10a1, 10a2의 M-N에 있어서의 단면도에 상당한다.

[0431] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 층재(4005)가 형성되어 있다. 또 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성되어 있다. 따라서 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 층재(4005)와 제 2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉되어 있다. 또 제 1 기판(4001) 위의 층재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.

[0432] 또한, 별도로 형성한 구동 회로의 접속 방법은, 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 10a1은, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 10a2는, TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.

[0433] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는, 박막 트랜지스터를 복수 갖고, 도 10b에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 산화물 절연층(4041), 보호 절연층(4020), 및 절연층(4021)이 순서대로 형성되어 있다.

[0434] 박막 트랜지스터(4010, 4011)는, 실시형태 1 내지 7에서 나타낸 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 구동 회로용의 박막 트랜지스터(4011)로서는, 예를 들어 실시형태 1 내지 7에서 나타낸 박막 트랜지스터(410, 440, 449, 460, 490, 또는 492)를 사용할 수 있고, 화소용의 박막 트랜지스터(4010)로서는, 예를 들어 실시형태 1 내지 7에서 나타낸 박막 트랜지스터(420, 451, 470, 또는 493)를 사용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.

[0435] 절연층(4021) 위에 있어서, 구동 회로용의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4040)이 형성되어 있다. 도전층(4040)을 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 형성함으로써, BT 시험 전후에 있어서의 박막 트랜지스터(4011)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(4040)은, 전위가 박막 트랜지스터(4011)의 게이트 전극층과 같아도 좋고, 달라도 좋으며, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(4040)은 GND 상태, 0V의 전위가 주어진 상태, 또는 플로팅 상태라도 좋다.

[0436] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극층(4031)은, 제 2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩하고 있는 부분이, 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)에는, 각각 배향막으로서 기능하는 산화물 절연층(4032, 4033)이 형성되고, 산화물 절연층(4032, 4033)을 사이에 두고 액정층(4008)을 흡지한다.

[0437] 또한, 제 1 기판(4001), 제 2 기판(4006)로서는, 투광성 기판을 사용할 수 있고, 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플로라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다.

[0438] 또한 스페이서(4035)는, 절연막을 선택적으로 예칭함으로써 얻어지는 기둥 형상(柱狀)의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해서 형성되어 있다. 또한 스페이서(4035)로서 구 형상(球狀)의 스페이서를 사용하여도 좋다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동

일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 간에 배치되는 도전성 입자를 통하여 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 셀재(4005)에 함유시킨다.

[0439] 또한, 배향막을 사용하지 않는 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위해서 5중량% 이상의 키랄체(chiral agent)를 혼합시킨 액정 조성물을 사용하여 액정층(4008)에 사용한다. 블루상을 나타내는 액정과 키랄체를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 빠르고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0440] 또한, 본 실시형태의 액정 표시 장치를, 투과형 액정 표시 장치 또는 반투과형 액정 표시 장치로 하여도 적용할 수 있다.

[0441] 또한, 본 실시형태의 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 형성하고, 내측에 착색층(컬러 필터라고도 함) 표시 소자에 사용하는 전극층과 같은 순서로 형성하는 예를 나타내지만, 편광판은 기판의 내측에 설치하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 따라 적절하게 설정하면 좋다.

[0442] 박막 트랜지스터(4011)는, 채널 형성 영역을 포함하는 반도체층에 접하여 산화물 절연층(4041)이 형성되어 있다. 산화물 절연층(4041)은, 예를 들어 실시형태 1에서 나타낸 산화물 절연층(416)과 같은 재료 및 방법으로 형성하면 좋다. 여기에서는, 산화물 절연층(4041)으로서, 실시형태 1과 마찬가지로 스펀터링법에 의해 산화실리콘막을 형성한다.

[0443] 또한, 산화물 절연층(4041) 위에 보호 절연층(4020)이 형성되어 있다. 보호 절연층(4020)은, 실시형태 1에서 나타낸 보호 절연층(403)과 같은 재료 및 방법으로 형성할 수 있다. 여기에서는, 보호 절연층(4020)으로서, PCVD법에 의해 질화실리콘막을 형성한다.

[0444] 또한, 박막 트랜지스터의 표면 요철을 저감하기 위해서, 보호 절연층(4020) 위에 평탄화 절연막으로서 기능하는 절연층(4021)을 형성한다. 절연층(4021)으로서는, 실시형태 1에서 나타낸 평탄화 절연층(404)과 같은 재료 및 방법으로 형성하면 좋고, 폴리아미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성하여도 좋다.

[0445] 절연층(4021)의 형성법은, 특히 한정되지 않고, 그 재료에 따라서, 스펀터링법, SOG법, 스팍 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 등)이나, 닉터 나이프, 룰 코터, 커튼 코터, 나이프 코터 등의 기구를 사용할 수 있다. 절연층(4021)의 소성 공정과 반도체층의 어닐을 겸함으로써 효율적으로 반도체 장치를 제작하는 것이 가능해진다.

[0446] 화소 전극층(4030), 대향 전극층(4031)은, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 표기함.), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0447] 또한, 화소 전극층(4030), 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 시트 저항이 10000 $\Omega/\square$  이하, 과장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1  $\Omega \cdot \text{cm}$  이하인 것이 바람직하다.

[0448] 도전성 고분자로서는, 소위  $\pi$ 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피를 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0449] 또한 별도로 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급된다.

[0450] 접속 단자 전극(4015)은, 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극

(4016)은, 박막 트랜지스터(4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

[0451] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.

[0452] 또한 도 10에 있어서는, 신호선 구동 회로(4003)를 별도로 형성하여, 제 1 기판(4001)에 실장하고 있는 예를 도시하지만 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.

[0453] 도 19는 본 명세서에 개시하는 제작 방법에 의해 제작되는 TFT 기판(2600)을 사용한 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.

[0454] 도 19는 액정 표시 모듈의 일례이며, TFT 기판(2600)과 대향 기판(2601)이 셀재(2602)에 의해 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 형성되어 표시 영역이 형성된다. 착색층(2605)은, 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우는, 적색, 녹색, 청색 각 색에 대응한 착색층이 각 화소에 대응하여 형성된다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극판(2610)과 반사판(2611)에 의해 구성되고, 회로 기판(2612)은, 플렉시블 배선 기판(2609)에 의해 TFT 기판(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 내장된다. 또한 편광판과, 액정층 사이에 위상차판을 갖는 상태로 적층하여도 좋다.

[0455] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetricaligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0456] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.

[0457] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절하게 조합하여서 실시할 수 있다.

[0458] (실시형태 13)

[0459] 반도체 장치의 일 형태로서 전자 페이퍼의 예를 나타낸다.

[0460] 실시형태 1 내지 7의 박막 트랜지스터는, 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같이 읽기 쉬운 장점, 다른 표시 장치와 비교하여 저소비 전력, 薄고 가벼운 형상으로 할 수 있는 이점을 갖는다.

[0461] 전기 영동 디스플레이는, 다양한 형태를 생각할 수 있지만, 플러스 전하를 갖는 제 1 입자와, 마이너스 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜서 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없는 경우에 있어서 이동하지 않는다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다르다(무색을 포함함).

[0462] 이와 같이, 전기 영동 디스플레이는, 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에 필요한 편광판 및 대향 기판은, 필요 없어서 두께나 무게가 저감한다.

[0463] 상기 마이크로 캡슐을 용매 중으로 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는, 유리, 플라스틱, 직물, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.

[0464] 또한, 액티브 매트릭스 기판 위에 적절하게, 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면 액티브 매트릭스형의 표시 장치가 완성되어, 마이크로 캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들어, 실시형태 1 내지 7의 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.

[0465] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네센트 재료, 일렉트로크로믹 재료, 자기 영동 재료로 선택된 일종의 재

료, 또는 이들의 복합 재료를 사용하면 좋다.

[0466] 도 18은 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 도시한다. 박막 트랜지스터(581)는, 실시형태 1에서 나타내는 박막 트랜지스터와 동일하게 제작할 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 2 내지 7에서 나타내는 박막 트랜지스터도 박막 트랜지스터(581)로서 적용할 수도 있다.

[0467] 도 18의 전자 페이퍼는, 트위스트 볼 표시 방식을 사용한 예이다. 트위스트 볼 표시 방식이란, 백색과 흑색으로 나누어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시킨 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0468] 기판(580) 위에 형성된 박막 트랜지스터(581)는, 보텀 게이트 구조의 박막 트랜지스터이며, 반도체층에 접하는 절연층(583), 및 절연층(584)에 덮여 있다. 박막 트랜지스터(581)의 소스 전극층 또는 드레인 전극층은 제 1 전극층(587)과, 절연층(583), 절연층(584), 절연층(585)에 형성하는 개구에서 접하여 전기적으로 접속한다. 제 1 전극층(587)과 기판(596) 위에 형성된 제 2 전극층(588)의 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다. 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 간에 배치되는 도전성 입자를 통하여 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

[0469] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 정(正)으로 대전한 흰 미립자와 부(負)로 대전한 검은 미립자를 봉입한 직경  $10 \mu\text{m}$  내지  $200 \mu\text{m}$  정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층 사이에 형성되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의해, 전장이 주어지면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하고, 흰색 또는 검은색을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불린다. 전기 영동 표시 소자는, 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한 소비 전력이 작고, 어두운 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 상을 유지할 수 있기 때문에, 전파 발신원으로부터 표시 기능이 떨린 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우라도, 표시된 상을 보존해 둘 수 있게 된다.

[0470] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0471] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절하게 조합하여 실시할 수 있다.

[0472] (실시형태 14)

[0473] 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기에서는 일렉트로루미네센스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 부른다.

[0474] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때에 발광한다. 이러한 메커니즘 때문에, 이와 같은 발광 소자는, 전류 여기형의 발광 소자라고 불린다.

[0475] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너 억셉터-재결합형 발광이다. 무기 EL 소자는, 발광층을 유전체층으로 끼우고, 더욱이 그것을 전극으로 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0476] 도 12는 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시하는 도면이다.

[0477] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기에서는 산화물

반도체층을 채널 형성 영역에 사용하는 n채널형의 트랜지스터를 1개의 화소에 2개 사용하는 예를 나타낸다.

[0478] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는, 게이트 전극이 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)이 구동용 트랜지스터(6402)의 게이트 전극에 접속된다. 구동용 트랜지스터(6402)는, 게이트 전극이 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은, 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.

[0479] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))은, 저전원 전위가 설정되어 있다. 또한, 저전원 전위는, 전원선(6407)으로 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 충족시키는 전위이며, 저전원 전위로서는 예를 들어 GND, OV 등이 설정되어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여, 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 때문에, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0480] 또한, 용량 소자(6403)는, 구동용 트랜지스터(6402)의 게이트 용량을 대용하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 형성 영역과 게이트 전극 사이에서 용량이 형성되어 있어도 좋다.

[0481] 여기서, 전압 입력 전압 구동 방식의 경우, 구동용 트랜지스터(6402)의 게이트 전극에는, 구동용 트랜지스터(6402)가 충분히 온으로 하는지, 오프로 하는지의 2개 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는, 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는, 선형 영역에서 동작시키기 때문에, 전원선(6407)의 전압보다도 높은 전압을 구동용 트랜지스터(6402)의 게이트 전극에 인가한다. 또한, 신호선(6405)에는, (전원선 전압+구동용 트랜지스터(6402)의  $V_{th}$ ) 이상의 전압을 인가한다.

[0482] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도 12와 같은 화소 구성을 사용할 수 있다.

[0483] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트 전극에 발광 소자(6404)의 순방향 전압+구동용 트랜지스터(6402)의  $V_{th}$  이상의 전압을 가한다. 발광 소자(6404)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다도 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.

[0484] 또한, 도 12에 도시하는 화소 구성은, 이것에 한정되지 않는다. 예를 들어, 도 12에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.

[0485] 다음에, 발광 소자의 구성에 대해서, 도 13을 사용하여 설명한다. 여기에서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 13a, 도 13b, 도 13c의 반도체 장치에 사용된 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 1 내지 실시형태 7에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다.

[0486] 박막 트랜지스터 및 발광 소자는, 기판 위에 형성된다. 발광 소자는, 발광을 추출하기 위해서 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 발광 소자로서는, 기판과는 반대 측의 면으로부터 발광을 추출하는 상면 사출 구조의 발광 소자나, 기판 측의 면으로부터 발광을 추출하는 하면 사출 구조의 발광 소자나, 기판 측 및 기판과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자에도 도 12에 도시하는 화소 구성을 적용할 수 있다.

[0487] 하면 사출 구조의 발광 소자에 대하여 도 13a를 사용하여 설명한다.

[0488] TFT(7011)가 n형이며, 발광 소자(7012)로부터 발생되는 광이 음극(7013) 측으로 사출하는 경우의, 화소의 단면도를 도시한다. 도 13a에서는, TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순서대로 적층되어 있다. 또한, 투광성을 갖는 도전막(7017)은, 산화물 절연층(7031), 보호 절연층(7035) 및 절연층(7032)에 형성된 콘택

트 홀을 통하여 TFT(7011)의 드레인 전극층과 전기적으로 접속되어 있다.

[0489] 투광성을 갖는 도전막(7017)으로서는, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 표기함.), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전막을 사용할 수 있다.

[0490] 또한, 음극(7013)은 여러 가지 재료를 사용할 수 있지만, 일 함수가 작은 재료, 예를 들어, 구체적으로는, Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이들을 포함하는 합금(Mg:Ag, Al:Li 등)의 이외에, Yb나 Er 등의 희토류 금속 등이 바람직하다. 도 13a에서는, 음극(7013)의 막 두께는, 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어 20nm의 막 두께를 갖는 알루미늄막을, 음극(7013)으로서 사용한다.

[0491] 또한, 투광성을 갖는 도전막과 알루미늄막을 적층 성막한 후, 선택적으로 에칭하여 투광성을 갖는 도전막(7017)과 음극(7013)을 형성하여도 좋고, 이 경우, 같은 마스크를 사용하여 에칭할 수 있어, 바람직하다.

[0492] 또한, 음극(7013)의 주연부(周緣部)는, 격벽(7019)으로 덮는다. 격벽(7019)은, 폴리이미드, 아크릴 수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 격벽(7019)은, 특히 감광성 수지재료를 사용하여, 음극(7013) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7019)으로서 감광성의 수지재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

[0493] 또한, 음극(7013) 및 격벽(7019) 위에 형성하는 발광층(7014)은, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 좋다. 발광층(7014)이 복수의 층으로 구성되어 있는 경우, 음극(7013) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층한다. 또한 이들의 층을 모두 형성할 필요는 없다.

[0494] 또한, 상기 적층순에 한정되지 않고, 음극(7013) 위에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서대로 적층하여도 좋다. 단, 소비 전력을 비교하는 경우, 음극(7013) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층하는 쪽이 소비 전력이 적기 때문에 바람직하다.

[0495] 또한, 발광층(7014) 위에 형성하는 양극(7015)으로서는, 여러 가지 재료를 사용할 수 있지만, 일 함수가 큰 재료, 예를 들어, 질화티타늄, ZrN, Ti, W, Ni, Pt, Cr 등이나, ITO, IZO(산화인듐산화아연), ZnO 등의 투명 도전성 재료가 바람직하다. 또한, 양극(7015) 위에 차폐막(7016)을, 예를 들어 광을 차광하는 금속, 광을 반사하는 금속 등을 사용하여 형성한다. 본 실시형태에서는, 양극(7015)으로서 ITO막을 사용하고, 차폐막(7016)으로서 Ti막을 사용한다.

[0496] 음극(7013) 및 양극(7015)으로, 발광층(7014)을 끼운 영역이 발광 소자(7012)에 상당한다. 도 13a에 도시한 소자 구조의 경우, 발광 소자(7012)로부터 발생되는 광은, 화살표로 도시하는 바와 같이 음극(7013)측으로 사출된다.

[0497] 또한, 도 13a에서는 게이트 전극층으로서 투광성을 갖는 도전막을 사용하는 예를 도시하고, 발광 소자(7012)로부터 발생되는 광은, 컬러 필터층(7033)을 통과하고, TFT(7011)의 게이트 전극층이나 소스 전극층을 통하여 사출시킨다. TFT(7011)의 게이트 전극층이나 소스 전극층으로서 투광성을 갖는 도전막을 사용하여, 개구율을 향상시킬 수 있다.

[0498] 컬러 필터층(7033)은 잉크젯법 등의 액적 토출법이나, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 각각 형성한다.

[0499] 또한, 컬러 필터층(7033)은 오버코트층(7034)으로 덮이고, 또한 보호 절연층(7035)에 의해 덮는다. 또한, 도 13a에서는 오버코트층(7034)은 얇은 막 두께로 도시하였지만, 오버코트층(7034)은, 컬러 필터층(7033)에 기인하는 요철을 평탄화하는 기능을 갖는다.

[0500] 또한, 산화물 절연층(7031), 보호 절연층(7035) 및 절연층(7032)에 형성되고, 또, 드레인 전극층에 달하는 콘택트 홀은, 격벽(7019)과 중첩하는 위치에 배치한다. 도 13a에서는, 드레인 전극층에 달하는 콘택트 홀과, 격벽(7019)을 중첩하는 레이아웃으로 함으로써 개구율의 향상을 도모할 수 있다.

[0501] 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 13b를 사용하여 설명한다.

- [0502] 도 13b에서는, TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순서대로 적층되어 있다. 또한, 투광성을 갖는 도전막(7027)은 산화물 절연층(7041), 보호 절연층(7045) 및 절연층(7042)에 형성된 콘택트 홀을 통하여 TFT(7021)의 드레인 전극층과 전기적으로 접속되어 있다.
- [0503] 투광성을 갖는 도전막(7027)으로서는, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 나타냄.), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전막을 사용할 수 있다.
- [0504] 또한, 음극(7023)은 여러 가지 재료를 사용할 수 있지만, 일 함수가 작은 재료, 예를 들어, 구체적으로는, Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이들을 포함하는 합금(Mg:Ag, Al:Li 등)의 외에, Yb나 Er 등의 희토류 금속 등이 바람직하다. 본 실시형태에서는, 음극(7023)의 막 두께는, 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm정도)로 한다. 예를 들어 20nm의 막 두께를 갖는 알루미늄막을, 음극(7023)으로서 사용한다.
- [0505] 또한, 투광성을 갖는 도전막과 알루미늄막을 적층 성막한 후, 선택적으로 에칭하여 투광성을 갖는 도전막(7027)과 음극(7023)을 형성하여도 좋고, 이 경우, 같은 마스크를 사용하여 에칭할 수 있어, 바람직하다.
- [0506] 또한, 음극(7023)의 주연부는, 격벽(7029)으로 덮는다. 격벽(7029)은, 폴리아미드, 아크릴 수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 격벽(7029)은 특히 감광성 수지재료를 사용하여, 음극(7023) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7029)으로서 감광성 수지재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.
- [0507] 또한, 음극(7023) 및 격벽(7029) 위에 형성하는 발광층(7024)은, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 좋다. 발광층(7024)이 복수의 층으로 구성되어 있는 경우, 음극(7023) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층한다. 또 이들의 층을 모두 형성할 필요는 없다.
- [0508] 또한, 상기 적층순에 한정되지 않고, 음극(7023) 위에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서대로 적층하여도 좋다. 단, 소비 전력을 비교하는 경우, 음극(7023) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층하는 쪽이 소비 전력이 적기 때문에 바람직하다.
- [0509] 또한, 발광층(7024) 위에 형성하는 양극(7025)으로서는, 여러 가지 재료를 사용할 수 있지만, 일 함수가 큰 재료, 예를 들어, ITO, IZO, ZnO 등의 투명 도전성 재료가 바람직하다. 본 실시형태에서는, 양극(7026)으로서 산화실리콘을 포함하는 ITO막을 사용한다.
- [0510] 음극(7023) 및 양극(7025)으로, 발광층(7024)을 끼운 영역이 발광 소자(7022)에 상당한다. 도 13b에 도시한 소자 구조의 경우, 발광 소자(7022)로부터 발생되는 광은, 화살표로 도시하는 바와 같이 양극(7025)측과 음극(7023)측의 양쪽으로 사출한다.
- [0511] 또한, 도 13b에서는 게이트 전극층으로서 투광성을 갖는 도전막을 사용하는 예를 도시하고, 발광 소자(7022)로부터 음극(7023)측으로 발생되는 광은, 컬러 필터층(7043)을 통과하고, TFT(7021)의 게이트 전극층이나 소스 전극층을 통과하여 사출시킨다. TFT(7021)의 게이트 전극층이나 소스 전극층으로서 투광성을 갖는 도전막을 사용함으로써, 양극(7025)측의 개구율과 음극(7023)측의 개구율을 거의 동일하게 할 수 있다.
- [0512] 컬러 필터층(7043)은 잉크젯법 등의 액적 토출법이나, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 각각 형성한다.
- [0513] 또한, 컬러 필터층(7043)은 오버코트층(7044)으로 덮이고, 또한 보호 절연층(7045)에 의해 덮는다.
- [0514] 또한, 산화물 절연층(7041), 보호 절연층(7045) 및 절연층(7042)에 형성되고, 또, 드레인 전극층에 달하는 콘택트 홀은, 격벽(7029)과 중첩하는 위치에 배치한다. 드레인 전극층에 달하는 콘택트 홀과, 격벽(7029)을 중첩하는 레이아웃으로 함으로써 양극(7025)측의 개구율과 음극(7023)측의 개구율을 거의 동일하게 할 수 있다.
- [0515] 또한, 보호 절연층(7045) 및 절연층(7042)에 형성되고, 또, 투광성을 갖는 도전막(7027)에 달하는 콘택트 홀은, 격벽(7029)과 중첩하는 위치에 배치한다.

- [0516] 단, 양면 사출 구조의 발광 소자를 사용하여, 어떤 표시면도 풀 컬러 표시로 하는 경우, 양극(7025)측으로부터의 광은 컬러 필터층(7043)을 통과하지 않기 때문에, 별도 컬러 필터층을 구비한 밀봉 기판을 양극(7025) 상방에 형성하는 것이 바람직하다.
- [0517] 다음에, 상면 사출 구조의 발광 소자에 대하여, 도 13c를 사용하여 설명한다.
- [0518] 도 13c에, 구동용 TFT인 TFT(7001)가 n형이며, 발광 소자(7002)로부터 발생되는 빛이 양극(7005)측으로 빠져나가는 경우의, 화소의 단면도를 도시한다. 도 13c에서는, TFT(7001)와 전기적으로 접속된 발광 소자(7002)의 음극(7003)이 형성되어 있고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순서대로 적층되어 있다.
- [0519] 또한, 음극(7003)으로서는, 여러 가지 재료를 사용할 수 있고, 예를 들어 일 함수가 작은 재료, 예를 들어, 구체적으로는, Li나 Cs 등의 알칼리 금속, 및 Mg, Ca, Sr 등의 알칼리 토류 금속, 및 이들을 포함하는 합금 (Mg:Ag, Al:Li 등) 외에, Yb나 Er 등의 희토류 금속 등이 바람직하다.
- [0520] 또한, 음극(7003)의 주연부는, 격벽(7009)으로 덮는다. 격벽(7009)은, 폴리이미드, 아크릴 수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 격벽(7009)은, 특히 감광성 수지재료를 사용하여, 음극(7003) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7009)으로서 감광성의 수지재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.
- [0521] 또한, 음극(7003) 및 격벽(7009) 위에 형성하는 발광층(7004)은, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 좋다. 발광층(7004)이 복수의 층으로 구성되어 있는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층한다. 또 이들의 층을 모두 형성할 필요는 없다.
- [0522] 또한, 상기 적층순에 한정되지 않고, 음극(7003) 위에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서대로 적층하여도 좋다. 이 순서대로 적층하는 경우는, 음극(7003)은 양극으로서 기능하게 된다.
- [0523] 도 13c에서는 Ti막, 알루미늄막, Ti막의 순서대로 적층한 적층막 위에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 전자 주입층의 순서대로 적층하고, 그 위에 Mg:Ag 합금 박막과 ITO의 적층을 형성한다.
- [0524] 단, 소비 전력을 비교하는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서대로 적층하는 쪽이 소비 전력이 적기 때문에 바람직하다.
- [0525] 양극(7005)은 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐주석 산화물, 인듐주석산화물, 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전막을 사용하여도 좋다.
- [0526] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 상당한다. 도 13c에 도시한 소자 구조의 경우, 발광 소자(7002)로부터 발생되는 광은, 화살표로 도시하는 바와 같이 양극(7005)측으로 사출한다.
- [0527] 또한, 도 13c에 있어서, TFT(7001)는 박막 트랜지스터(460)를 사용하는 예를 도시하지만, 특히 한정되지 않고, 다른 박막 트랜지스터를 사용할 수 있다. TFT(7001)로서 다른 박막 트랜지스터를 사용하는 경우, 음극(7003)과 드레인 전극층이 접하도록 전기적으로 접속시킨다.
- [0528] 또한, 도 13c에 있어서, TFT(7001)의 드레인 전극층은, 음극(7003)과 산화물 절연층(7051)을 개재하여 전기적으로 접속하고, 평탄화 절연층(7053)은, 폴리이미드, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의 수지재료를 사용할 수 있다. 또 상기 수지 재료의 이외에, 저유전율 재료(Low-k재료), 실록산계 수지, PSG(인 유리), BPSG(인봉소 유리) 등을 사용할 수 있다. 또한, 이를 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(7053)을 형성하여도 좋다. 평탄화 절연층(7053)의 형성법은, 특히 한정되지 않고, 그 재료에 따라서, 스펀터링법, SOG법, 스플 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 등)이나, 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등의 기구를 사용할 수 있다.
- [0529] 또한, 음극(7003)과, 서로 이웃하는 화소의 음극을 절연하기 위해서 격벽(7009)을 형성한다. 격벽(7009)은, 폴리이미드, 아크릴 수지, 폴리아미드, 에폭시 수지 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 격벽(7009)은, 특히 감광성 수지재료를 사용하여, 음극(7003) 위에 개구부를 형성하고, 그 개

구부의 측벽이 연속된 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다. 격벽(7009)으로서 감광성 수지재료를 사용하는 경우, 레지스트 마스크를 형성하는 공정을 생략할 수 있다.

[0530] 또한, 도 13c의 구조에 있어서는, 풀 컬러 표시를 행하는 경우, 예를 들어 발광 소자(7002)로서 녹색 발광 소자로 하고, 이웃하는 한쪽의 발광 소자를 적색 발광 소자로 하고, 다른 한쪽의 발광 소자를 청색 발광 소자로 한다. 또한, 3종류의 발광 소자뿐만 아니라 백색 발광 소자를 더한 4종류의 발광 소자로 풀 컬러 표시를 할 수 있는 발광 표시 장치를 제작하여도 좋다.

[0531] 또한, 도 13c의 구조에 있어서는, 배치하는 복수의 발광 소자를 모두 백색 발광 소자로 하고, 발광 소자(7002) 상방에 컬러 필터 등을 갖는 밀봉 기판을 배치하는 구성으로 하고, 풀 컬러 표시를 할 수 있는 발광 표시 장치를 제작하여도 좋다. 백색 등의 단색의 발광을 나타내는 재료를 형성하고, 컬러 필터나 색 변환층을 조합함으로써 풀 컬러 표시를 행할 수 있다.

[0532] 물론 단색 발광의 표시를 행하여도 좋다. 예를 들어, 백색 발광을 사용하여 조명 장치를 형성하여도 좋고, 단색 발광을 사용하여 에리어 컬러 타입의 발광 장치를 형성하여도 좋다.

[0533] 또한, 필요하다면, 원형 편광판 등의 편광 필름 등의 광학 필름을 형성하여도 좋다.

[0534] 또한, 여기에서는, 발광 소자로서 유기 EL 소자에 대하여 기술하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

[0535] 또한, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 나타내었지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성이라도 좋다.

[0536] 또한, 발광 소자, 및 격벽을 형성하지 않는 구성이라면 본 발명의 일 형태는 액정 표시 장치에도 적용할 수 있다. 액정 표시 장치의 경우에 대하여 도 47에 도시한다.

[0537] TFT(7071)가 n형인 경우에 대하여 나타낸다. 도 47에서는, TFT(7071)는 전기적으로 접속된 투광성을 갖는 도전막(7067)을 갖고, 투광성을 갖는 도전막(7067)은, 산화물 절연층(7061) 및 보호 절연층(7062)에 형성된 콘택트 훌을 통하여 TFT(7071)의 드레인 전극층과 전기적으로 접속되어 있다.

[0538] 투광성을 갖는 도전막(7067)으로서는, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 표기함.), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전막을 사용할 수 있다.

[0539] 또한, 도 47에서는 게이트 전극층으로서 투광성을 갖는 도전막을 사용하는 예를 도시하고, 백라이트 등으로부터 발생되는 광은, 컬러 필터층(7063)을 통과하여 사출시킨다. 따라서, TFT(7071)의 게이트 전극층이나 소스 전극층으로서 투광성을 갖는 도전막을 사용하여, 개구율을 향상시킬 수 있다.

[0540] 컬러 필터층(7063)은 잉크젯법 등의 액적 토출법이나, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등으로 각각 형성한다.

[0541] 또한, 컬러 필터층(7063)은 오버코트층(7064)으로 덮이고, 또한 보호 절연층(7065)에 의해 덮인다. 또한, 도 47에서는 오버코트층(7064)은 얇은 막 두께로 도시하였지만, 오버코트층(7064)은, 컬러 필터층(7063)에 기인하는 요철을 평탄화하는 기능을 갖는다.

[0542] 또한 투광성을 갖는 도전막(7067) 위에 액정층을 형성함으로써, 액정 표시 장치에도 적용할 수 있다.

[0543] 다음에, 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여, 도 11을 사용하여 설명한다. 도 11a는 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를, 제 2 기판과의 사이에 셀재에 의해 밀봉한, 패널의 평면도이며, 도 11b는 도 11a의 H-I에 있어서의 단면도에 상당한다.

[0544] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 하여, 셀재(4505)가 형성되어 있다. 또한 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성되어 있다. 따라서 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제 1 기판(4501)과 셀재(4505)와 제 2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이렇게 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버 재료로 패키징(봉입)하는 것이 바람직

하다.

[0545] 또한 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 박막 트랜지스터를 복수 갖고 있고, 도 11b에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.

[0546] 박막 트랜지스터(4509, 4510)는, 실시형태 1 내지 7에서 나타낸 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 구동 회로용의 박막 트랜지스터(4509)로서는, 박막 트랜지스터(410, 440, 449, 460, 490, 또는 492)를 사용할 수 있고, 화소용의 박막 트랜지스터(4510)로서는, 예를 들어 실시형태 1 내지 7에서 나타낸 박막 트랜지스터(420, 451, 470), 또는 트랜지스터(493)를 사용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.

[0547] 절연층(4544) 위에 있어서 구동 회로용의 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4540)이 형성되어 있다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 형성함으로써, BT 시험 전후에 있어서의 박막 트랜지스터(4509)의 임계값 전압의 변화량을 저감할 수 있다. 또한, 도전층(4540)은, 전위가 박막 트랜지스터(4509)의 게이트 전극층과 같아도 좋고, 달라도 좋으며, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(4540)의 전위가 GND, 0V, 또는 플로팅 상태라도 좋다.

[0548] 박막 트랜지스터(4509)는, 보호 절연막으로서 채널 형성 영역을 포함하는 반도체층에 접하여 산화물 절연층(4541)이 형성되어 있다. 산화물 절연층(4541)은, 실시형태 1에서 나타낸 산화물 절연층(416)과 같은 재료 및 방법으로 형성하면 좋다. 또한, 박막 트랜지스터의 표면 요철을 저감하기 위해서 평탄화 절연막으로서 기능하는 절연층(4544)으로 덮는 구성으로 되어 있다. 여기에서는, 산화물 절연층(4541)으로서, 실시형태 1을 사용하여 스퍼터링법에 의해 산화실리콘막을 형성한다.

[0549] 또한, 산화물 절연층(4541) 위에 보호 절연층(4543)이 형성되어 있다. 보호 절연층(4543)은 실시형태 1에서 나타낸 보호 절연층(403)과 같은 재료 및 방법으로 형성하면 좋다. 여기에서는, 보호 절연층(4543)으로서, PCVD 법에 의해 질화실리콘막을 형성한다.

[0550] 또한, 평탄화 절연막으로서 절연층(4544)을 형성한다. 절연층(4544)은, 실시형태 1에서 나타낸 평탄화 절연층(404)과 같은 재료 및 방법으로 형성하면 좋다. 여기에서는, 절연층(4544)으로서 아크릴 수지를 사용한다.

[0551] 또한, 발광 소자(4511)는, 화소 전극인 제 1 전극층(4517)이 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 나타낸 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성은 적절하게 바꿀 수 있다.

[0552] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 특히 감광성 재료를 사용하여, 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0553] 전계 발광층(4512)은, 단수의 층으로 구성되어 있어도 좋고, 복수의 층이 적층되도록 구성되어 있어도 좋다.

[0554] 또한, 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.

[0555] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급되어 있다.

[0556] 접속 단자 전극(4515)이, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전막으로 형성되고, 단자 전극(4516)은, 박막 트랜지스터(4510)가 갖는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.

[0557] 접속 단자 전극(4515)은, FPC(4518a)가 갖는 단자와, 이방성 도전막(4519)을 통하여 전기적으로 접속되어 있다.

[0558] 발광 소자(4511)로부터의 광의 추출 방향에 위치하는 기판은, 투광성이 아니면 안 된다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 기판으로서 사용한다.

- [0559] 또한, 충전재(4507)로서는, 질소나 아르곤 등의 불활성인 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌과 비닐아세테이트의 공중합체)를 사용할 수 있다. 예를 들어 충전재로서 질소를 사용하면 좋다.
- [0560] 또한, 필요하다면, 발광 소자(4511)의 광의 사출면에 편광판, 또는 원형 편광판(타원형 편광판을 포함함), 위상 차판 ( $\lambda/4$ 판,  $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절하게 형성하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의해 반사광을 확산하고, 글래어를 저감할 수 있는 안티글래어(anti-glare) 처리를 실시할 수 있다.
- [0561] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기판 위에 단결정 반도체 막 또는 다결정 반도체막에 의해 형성된 구동 회로로 실장되어 있어도 좋다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도 형성하여 실장하여도 좋으며, 도 11의 구성에 한정되지 않는다.
- [0562] 상술한 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0563] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절하게 조합하여 실시할 수 있다.
- [0564] (실시형태 15)
- [0565] 본 명세서에 개시하는 반도체 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 모든 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여, 전자 서적(전자 북), 포스터, 전자 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 20에 도시한다.
- [0566] 도 20은, 전자 서적의 일례를 도시한다. 예를 들어, 전자 서적(2700)은, 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)은, 축부(2711)에 의해 일체화되어, 상기 축부(2711)를 축으로 하여 개폐 동작을 할 수 있다. 이러한 구성에 의해, 종이 서적과 같은 동작을 행할 수 있다.
- [0567] 케이스(2701)에는, 표시부(2705)가 내장되고, 케이스(2703)에는, 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는, 연속된 화상을 표시하는 구성으로 하여도 좋고, 상이한 화상을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어 오른쪽의 표시부(도 20에서는 표시부(2705))에 문장 화상을 표시하고, 왼쪽의 표시부(도 20에서는 표시부(2707))에 다른 화상을 표시할 수 있다.
- [0568] 또한, 도 20에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비한다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은, 전자사전으로서의 기능을 갖게 한 구성으로 하여도 좋다.
- [0569] 또한, 전자 서적(2700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하여, 다운로드하는 구성으로 할 수도 있다.
- [0570] (실시형태 16)
- [0571] 본 명세서에 개시하는 반도체 장치는, 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코기 등의 대형 게임기 등을 들 수 있다.
- [0572] 도 21a는 텔레비전 장치의 일례를 도시한다. 텔레비전 장치(9600)는, 케이스(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의해, 영상을 표시할 수 있다. 또한, 여기에서는, 스탠드(9605)에 의해 (9601)을 지지한 구성을 나타낸다.
- [0573] 텔레비전 장치(9600)의 조작은, 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의해 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의해, 채널이나 음량을 조작할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에, 상기 리모트 컨트롤러(9610)

로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

[0574] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 간, 또는 수신자 간끼리 등)의 정보 통신을 행할 수도 있다.

[0575] 도 21b는 디지털 포토 프레임의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은, 케이스(9701)에 표시부(9703)가 내장된다. 표시부(9703)는, 각종 화상을 표시할 수 있고, 예를 들어 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 통상의 포토 프레임과 마찬가지로 기능시킬 수 있다.

[0576] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비한다. 이들은, 표시부와 동일면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임(9700)의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0577] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해, 원하는 화상 데이터를 취득하여, 표시시키는 구성으로 할 수도 있다.

[0578] 도 22a는, 휴대형 게임기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되고, 연결부(9893)에 의해, 개폐 가능하게 연결되어 있다. 케이스(9881)에는, 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장된다. 또한, 도 22a에 도시하는 휴대형 게임기는, 그 외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비한다. 물론, 휴대형 게임기의 구성은 상술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절하게 형성된 구성으로 할 수 있다. 도 22a에 도시하는 휴대형 게임기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 게임기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 22a에 도시하는 휴대형 게임기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0579] 도 22b는 대형 게임기인 슬롯 머신의 일례를 도시한다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 내장된다. 또한, 슬롯 머신(9900)은, 그 이외에, 스타트 레버나 스탶 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절하게 형성된 구성으로 할 수 있다.

[0580] 도 23a는 휴대형의 컴퓨터의 일례를 도시하는 사시도이다.

[0581] 도 23a의 휴대형의 컴퓨터는, 상부 케이스(9301)와 하부 케이스(9302)를 접속하는 힌지 유닛을 닫힌 상태로 하여 표시부(9303)를 갖는 상부 케이스(9301)와, 키보드(9304)를 갖는 하부 케이스(9302)를 중첩한 상태로 할 수 있고, 운반의 편리함과 동시에, 사용자가 키보드 입력하는 경우에는, 힌지 유닛을 열린 상태로 하여, 표시부(9303)를 보고 입력 조작을 행할 수 있다.

[0582] 또한, 하부 케이스(9302)는, 키보드(9304)의 외에 입력 조작을 행하는 포인팅 디바이스(9306)를 갖는다. 또한, 표시부(9303)를 터치 입력 패널로 하면, 표시부의 일부에 터치함으로써 입력 조작을 할 수도 있다. 또한, 하부 케이스(9302)는 CPU나 하드 디스크 등의 연산 기능부를 갖는다. 또한, 하부 케이스(9302)는 다른 기기, 예를 들어 USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 갖는다.

[0583] 상부 케이스(9301)에는, 또한 상부 케이스(9301) 내부에 슬라이드 시켜서 수납 가능한 표시부(9307)를 갖고, 넓은 표시 화면을 실현할 수 있다. 또한, 수납 가능한 표시부(9307)의 화면의 방향을 사용자는 조절할 수 있다. 또한, 수납 가능한 표시부(9307)를 터치 입력 패널로 하면, 수납 가능한 표시부의 일부에 터치(touch)함으로써 입력 조작을 행할 수 있다.

[0584] 표시부(9303) 또는 수납 가능한 표시부(9307)는, 액정 표시 패널, 또는 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 사용한다.

[0585] 또한, 도 23a의 휴대형의 컴퓨터는, 수신기 등을 구비한 구성으로서, 텔레비전 방송을 수신하여 영상을 표시부(9303) 또는 표시부(9307)에 표시할 수 있다. 또한, 상부 케이스(9301)와 하부 케이스(9302)를 접속하는 힌지

유닛을 닫힌 상태로 한 채로, 표시부(9307)를 슬라이드시켜서 화면 전면을 노출시키고, 화면 각도를 조절하여 사용자가 텔레비전 방송을 볼 수도 있다. 이 경우에는, 힌지 유닛을 열린 상태로 하여 표시부(9303)를 표시시키지 않고, 또한 텔레비전 방송을 표시할 뿐인 회로의 기동만을 행하기 때문에, 최소한의 소비 전력으로 할 수 있어, 배터리 용량이 한정되어 있는 휴대형 컴퓨터에서 유용하다.

[0586] 또한, 도 23b는, 손목 시계와 같이 사용자의 팔에 장착 가능한 형태를 가지고 있는 휴대전화의 일례를 도시하는 사시도이다.

[0587] 이 휴대전화는, 적어도 전화 기능을 갖는 통신 장치 및 배터리를 갖는 본체, 본체를 팔에 장착하기 위한 밴드부(9204), 팔에 대한 밴드부의 고정 상태를 조절하는 조절부(9205), 표시부(9201), 스피커(9207), 및 마이크(9208)로 구성되어 있다.

[0588] 또한, 본체는, 조작 스위치(9203)를 갖고, 전원 입력 스위치나, 표시 전환 스위치나, 활상 개시 지시 스위치 이외에, 예를 들어 버튼을 누르면 인터넷용의 프로그램이 기동되는 등, 각 기능을 대응시킬 수 있다.

[0589] 이 휴대전화의 입력 조작은, 표시부(9201)에 손가락이나 입력 펜 등으로 터치하는 것, 또는 조작 스위치(9203)의 조작, 또는 마이크(9208)에 대한 음성 입력에 의해 행해진다. 또한, 도 23b에서는, 표시부(9201)에 표시된 표시 버튼(9202)을 도시하고, 손가락 등으로 터치함으로써 입력할 수 있다.

[0590] 또한, 본체는, 활영 렌즈를 통하여 결상되는 피사체상을 전자 화상 신호로 변환하는 활상 수단을 갖는 카메라부(9206)를 갖는다. 또한, 특히 카메라부는 형성하지 않아도 좋다.

[0591] 또한, 도 23b에 도시하는 휴대전화는, 텔레비전 방송의 수신기 등을 구비한 구성으로서, 텔레비전 방송을 수신하여 영상을 표시부(9201)에 표시할 수 있고, 또한 메모리 등의 기억 장치 등을 구비한 구성으로서, 텔레비전 방송을 메모리에 녹화할 수 있다. 또한, 도 23b에 도시하는 휴대전화는, GPS 등의 위치 정보를 수집할 수 있는 기능을 가져도 좋다.

[0592] 표시부(9201)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 사용한다. 도 23b에 도시하는 휴대전화는, 소형이고, 또, 경량이기 때문에, 배터리 용량이 한정되어 있어, 표시부(9201)에 사용하는 표시 장치는 저소비 전력으로 구동할 수 있는 패널을 사용하는 것이 바람직하다.

[0593] 또한, 도 23b에서는, 팔에 장착하는 타입의 전자 기기를 도시하지만, 특히 한정되지 않고, 휴대할 수 있는 형상을 갖는 것이면 좋다.

[0594] (실시형태 17)

[0595] 본 실시형태에서는, 반도체 장치의 일 형태로서, 실시형태 1 내지 7에서 나타내는 박막 트랜지스터를 갖는 표시 장치의 예를 도 24 내지 도 37을 사용하여 설명한다. 본 실시형태는, 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도 24 내지 도 37을 사용하여 설명한다. 도 24 내지 도 37의 액정 표시 장치에 사용되는 TFT(628, 629)는, 실시형태 1 내지 7에서 나타내는 박막 트랜지스터를 적용할 수 있고, 실시형태 1 내지 7에서 나타내는 공정으로 마찬가지로 제작할 수 있는 전기 특성 및 신뢰성이 높은 박막 트랜지스터이다. TFT(628) 및 TFT(629)는, 산화물 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터이다. 도 24 내지 도 37에서는, 박막 트랜지스터의 일례로서 도 4에 도시하는 박막 트랜지스터를 사용하는 경우에 대하여 설명하지만, 이것에 한정되지 않는다.

[0596] 먼저 VA(Vertical Alignment)형의 액정 표시 장치에 대하여 나타낸다. VA형의 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시 장치는, 전압이 인가되지 않고 있을 때에 패널면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 본 실시형태에서는, 특히 화소(화소)를 몇 개의 영역(서브 화소)으로 나누고, 각각 다른 방향으로 분자를 쓰러뜨리도록 연구하고 있다. 이것을 멀티 도메인화 또는 멀티 도메인 설계라고 한다. 이하의 설명에서는, 멀티 도메인 설계가 고려된 액정 표시 장치에 대하여 설명한다.

[0597] 도 25 및 도 26은 각각 화소 전극 및 대향 전극을 도시한다. 또한, 도 25는 화소 전극이 형성되는 기판측의 평면도이며, 도면 중에 도시하는 절단선 E-F에 대응하는 단면 구조를 도 24에 도시한다. 또한, 도 26은 대향 전극이 형성되는 기판측의 평면도이다. 이하의 설명에서는 이들의 도면을 참조하여 설명한다.

[0598] 도 24는, TFT(628)와 그것에 접속하는 화소 전극층(624), 및 유지 용량부(630)가 형성된 기판(600)과, 대향 전

극충(640) 등이 형성되는 대향 기판(601)이 중첩하고, 액정이 주입된 상태를 도시한다.

[0599] 대향 기판(601)에는, 쥐색막(636), 대향 전극충(640)이 형성되고, 대향 전극충(640) 위에 돌기(644)가 형성되어 있다. 화소 전극충(624) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극충(640) 및 돌기(644) 위에도 배향막(646)이 형성되어 있다. 또한, 기판(600)과 대향 기판(601)의 사이에 액정충(650)이 형성되어 있다.

[0600] 스페이서는 여기에서는 기둥 형상 스페이서를 사용하여 나타내었지만 비즈 스페이서를 훌어 배치(散布)하여도 좋다. 또한, 스페이서를 기판(600) 위에 형성되는 화소 전극충(624) 위에 형성하여도 좋다.

[0601] 기판(600) 위에는, TFT(628)와 그것에 접속하는 화소 전극충(624), 및 유지 용량부(630)가 형성된다. 화소 전극충(624)은, TFT(628)와 접속하고, 유지 용량부(630)를 덮는 절연막(620), 절연막(620)을 덮는 절연막(696), 절연막(696)을 덮는 절연막(622)을 각각 관통하는 콘택트 홀(623)에서, 배선(618a) 및 배선(618b)과 접속한다. TFT(628)는, 실시형태 1 내지 7에서 나타내는 박막 트랜지스터를 적절하게 사용할 수 있다. 또한, 유지 용량부(630)는, TFT(628)의 게이트 배선(602)과 동시에 형성한 제 1 용량 배선인 용량 배선(604)과, 게이트 절연막(606)과, 배선(616)과 동시에 형성한 제 2 용량 배선인 용량 배선(617a 및 617b)으로 구성된다.

[0602] 화소 전극충(624)과 액정충(650)과 대향 전극충(640)이 중첩함으로써 액정 소자가 형성되어 있다.

[0603] 예를 들어 화소 전극충(624)을, 실시형태 1 내지 7에서 나타낸 재료를 사용하여 형성한다. 화소 전극충(624)에는 슬릿(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하는 기능을 갖는다.

[0604] 도 25에 도시하는 TFT(629)와 그것에 접속하는 화소 전극충(626) 및 유지 용량부(631)는, 각각 TFT(628), 화소 전극충(624) 및 유지 용량부(630)와 마찬가지로 형성할 수 있다. TFT(628)와 TFT(629)는 함께 배선(616)과 접속한다. 이 액정 표시 패널의 화소(화소)는, 화소 전극충(624)과 화소 전극충(626)을 사용하여 구성되어 있다. 화소 전극충(624)과 화소 전극충(626)은 서브 화소이다.

[0605] 도 26에 대향 기판측의 평면 구조를 도시한다. 대향 전극충(640)은, 화소 전극충(624)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극충(640) 위에는 액정의 배향을 제어하는 돌기(644)가 형성되어 있다. 또한, 도 26에서는, 화소 전극충(624) 및 화소 전극충(626)을 파선으로 도시하고, 대향 전극충(640)과, 화소 전극충(624) 및 화소 전극충(626)이 중첩하여 배치되어 있는 모양을 도시한다.

[0606] 이 화소 구조의 등가 회로를 도 27에 도시한다. TFT(628)와 TFT(629)는, 모두 게이트 배선(602), 배선(616)과 접속한다. 이 경우, 용량 배선(604)과 용량 배선(605)의 전위를 다르게 함으로써, 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 용량 배선(605)의 전위를 개별로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 넓히고 있다.

[0607] 또한, 슬릿(625)을 형성한 화소 전극충(624)에 전압을 인가하면, 슬릿(625)의 근방에는 전계의 변형(경사 전계)이 발생한다. 이 슬릿(625)과, 대향 기판(601)측의 돌기(644)를 교대로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜서 액정의 배향을 제어함으로써, 액정이 배향하는 방향을 장소에 따라 다르게 하고 있다. 즉, 멀티 도메인화하여 액정 표시 패널의 시야각을 넓히고 있다.

[0608] 다음에, 상기와는 다른 VA형의 액정 표시 장치에 대하여, 도 28 내지 도 31을 사용하여 설명한다.

[0609] 도 28과 도 29는, VA형 액정 표시 패널의 화소 구조를 도시한다. 도 29는, 기판(600)의 평면도이며, 도면 중에 도시하는 절단선 Y-Z에 대응하는 단면 구조를 도 28에 도시한다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.

[0610] 이 화소 구조는, 하나의 화소에 복수의 화소 전극이 있고, 각각의 화소 전극에 TFT가 접속되어 있다. 각 TFT는, 다른 게이트 신호로 구동되도록 구성되어 있다. 즉, 멀티 도메인 설계된 화소에 있어서, 각각의 화소 전극에 인가하는 신호를, 독립적으로 제어하는 구성을 갖는다.

[0611] 화소 전극충(624)은, 절연막(620), 절연막(621) 및 절연막(622)을 각각 관통하는 콘택트 홀(623)에 있어서, 배선(618)으로 TFT(628)와 접속한다. 또한, 화소 전극충(626)은, 절연막(620), 절연막(621) 및 절연막(622)을 각각 관통하는 콘택트 홀(627)에 있어서, 배선(619)으로 TFT(629)와 접속한다. TFT(628)의 게이트 배선(602)과, TFT(629)의 게이트 배선(603)에는, 다른 게이트 신호를 줄 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 배선(616)은, TFT(628)와 TFT(629)에서 공통으로 사용된다. TFT(628)와 TFT(629)는 실시형태 1 내지 7에서 나타내는 박막 트랜지스터를 적절하게 사용할 수 있다. 또한, 게이트 배선(602), 게이트 배선(603), 및 용량 배선(690) 위에는 제 1 게이트 절연막(606a), 제 2 게이트 절연막(606b)이 형성되어 있다.

- [0612] 화소 전극층(624)과 화소 전극층(626)의 형상은 다르고, 슬릿(625)에 의해 분리되어 있다. V자형으로 넓어지는 화소 전극층(624)의 외측을 둘러싸도록 화소 전극층(626)이 형성되어 있다. 화소 전극층(624)과 화소 전극층(626)에 인가하는 전압을, TFT(628) 및 TFT(629)에 의해 다르게 함으로써, 액정의 배향을 제어하고 있다. 이 화소 구조의 등가 회로를 도 31에 도시한다. TFT(628)는 게이트 배선(602)과 접속하고, TFT(629)는 게이트 배선(603)과 접속하고 있다. 또한, TFT(628)와 TFT(629)는, 모두 배선(616)과 접속하고 있다. 게이트 배선(602)과 게이트 배선(603)에 다른 게이트 신호를 줌으로써, TFT(628)와 TFT(629)의 동작 타이밍을 다르게 할 수 있다. 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, TFT(628)와 TFT(629)의 동작을 개별로 제어함으로써, 액정 소자(651)와 액정 소자(652)의 액정의 배향을 정밀하게 제어하여 시야각을 넓힐 수 있다.
- [0613] 또한, 대향 기판(601)에는, 착색막(636), 대향 전극층(640)이 형성되어 있다. 또한, 착색막(636)과 대향 전극층(640)의 사이에는 평탄화막(637)이 형성되고, 액정의 배향 혼란을 막는다. 도 30에 대향 기판측의 평면 구조를 도시한다. 대향 전극층(640)은, 다른 화소 간에서 공통화되어 있는 전극이지만, 슬릿(641)이 형성되어 있다. 이 슬릿(641)과, 화소 전극층(624) 및 화소 전극층(626)측의 슬릿(625)을 교대로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜 액정의 배향을 제어할 수 있다. 이로써, 액정이 배향하는 방향을 장소에 따라서 다르게 할 수 있고, 시야각을 넓히고 있다. 또한, 도 30에서는, 기판(600) 위에 형성되는 화소 전극층(624) 및 화소 전극층(626)을 파선으로 도시하고, 대향 전극층(640)과, 화소 전극층(624) 및 화소 전극층(626)이 중첩하여 배치되어 있는 모양을 도시한다.
- [0614] 화소 전극층(624)과 액정층(650)과 대향 전극층(640)이 중첩함으로써, 제 1 액정 소자가 형성되어 있다. 또한, 화소 전극층(626)과 액정층(650)과 대향 전극층(640)이 중첩함으로써, 제 2 액정 소자가 형성되어 있다. 또한, 도 28 내지 도 32에서 설명하는 표시 패널의 화소 구조는, 1 화소에 제 1 액정 소자와 제 2 액정 소자가 형성된 멀티 도메인 구조이다.
- [0615] 다음에, 횡전계 방식의 액정 표시 장치에 대하여 나타낸다. 횡전계 방식은, 셀 내의 액정 분자에 대하여 수평 방향으로 전계를 가함으로써 액정을 구동하여 계조 표현하는 방식이다. 이 방식에 따르면, 시야각을 약 180도로까지 넓힐 수 있다. 이하의 설명에서는, 횡전계 방식을 채용하는 액정 표시 장치에 대하여 설명한다.
- [0616] 도 32는, 전극층(607), TFT(628), TFT(628)에 접속하는 화소 전극층(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩하고, 배향을 주입한 상태를 도시한다. 대향 기판(601)에는, 착색막(636), 평탄화막(637) 등이 형성되어 있다. 또한, 대향 기판(601)측에는 대향 전극층이 형성되어 있지 않다. 또한, 기판(600)과 대향 기판(601)의 사이에 배향막(646) 및 배향막(648)을 사이에 두고 액정층(650)이 형성되어 있다.
- [0617] 기판(600) 위에는, 전극층(607) 및 전극층(607)에 접속하는 용량 배선(604), 및 실시형태 1 내지 7에서 나타내는 박막 트랜지스터인 TFT(628)가 형성된다. 용량 배선(604)은 TFT(628)의 게이트 배선(602)과 동시에 형성할 수 있다. TFT(628)로서는, 실시형태 1 내지 7에서 나타낸 박막 트랜지스터를 적용할 수 있다. 전극층(607)은, 실시형태 1 내지 7에서 나타내는 화소 전극층과 같은 재료를 사용할 수 있다. 또한, 전극층(607)은 대략 화소의 형상으로 구획화한 형상으로 형성한다. 또한, 전극층(607) 및 용량 배선(604) 위에는, 게이트 절연막(606)이 형성된다.
- [0618] TFT(628)의 배선(616), 배선(618)은, 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에 있어서 비디오 신호를 신는 데이터선이며, 일 방향으로 신장하는 배선인 동시에, TFT(628)의 소스 및 드레인의 한쪽의 전극이 된다. 배선(618)은 소스 및 드레인의 다른쪽의 전극이 되고, 제 2 화소 전극이 되는 화소 전극층(624)과 접속하는 배선이다.
- [0619] 또한, 배선(616), 배선(618) 위에 절연막(620)이 형성되고, 절연막(620) 위에 절연막(696)이 형성된다. 또한, 절연막(696) 위에는, 절연막(620) 및 절연막(696)에 형성되는 콘택트 홀(623)을 통하여, 배선(618)에 접속하는 화소 전극층(624)이 형성된다. 화소 전극층(624)은 실시형태 1 내지 실시형태 7에서 나타낸 화소 전극층과 같은 재료를 사용하여 형성한다.
- [0620] 이렇게 하여, 기판(600) 위에 TFT(628)와 그것에 접속하는 화소 전극층(624)이 형성된다. 또한, 유지 용량은, 전극층(607)과 화소 전극층(624)의 사이에서 형성되어 있다.
- [0621] 도 33은, 화소 전극의 구성을 도시하는 평면도이다. 도 33에 도시하는 절단선 0-P에 대응하는 단면 구조를 도 32에 도시한다. 화소 전극층(624)에는, 슬릿(625)이 형성된다. 슬릿(625)은, 액정의 배향을 제어하기 위한 것이다. 이 경우, 전계는 전극층(607)과 화소 전극층(624)의 사이에서 발생한다. 전극층(607)과 화소 전극층

(624)의 사이에는 게이트 절연막(606)이 형성되어 있지만, 게이트 절연막(606)의 두께는 50 내지 200nm이며, 2 내지 10  $\mu$ m인 액정층의 두께와 비교하여 충분히 얇으므로, 실질적으로 기판(600)과 평행한 방향(수평 방향)에 전계가 발생한다. 이 전계에 의해 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태라도 수평이기 때문에, 보는 각도에 의한 콘트라스트 등의 영향은 적고, 시야각이 넓어지게 된다. 또한, 전극층(607)과 화소 전극층(624)은, 모두 투광성의 전극이므로, 개구율을 향상시킬 수 있다.

[0622] 다음에, 횡전계 방식의 액정 표시 장치의 다른 일례에 대하여 나타낸다.

[0623] 도 34와 도 35는 IPS형의 액정 표시 장치의 화소 구조를 도시한다. 도 35는 평면도이며, 도면 중에 도시하는 절단선 V-W에 대응하는 단면 구조를 도 34에 도시한다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.

[0624] 도 34는 TFT(628)와 그것에 접속하는 화소 전극층(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩하고, 액정을 주입한 상태를 도시한다. 대향 기판(601)에는, 착색막(636), 평탄화막(637) 등이 형성되어 있다. 또한, 대향 기판(601)측에 대향 전극층은 형성되어 있지 않다. 기판(600)과 대향 기판(601)의 사이에, 배향막(646) 및 배향막(648)을 사이에 두고 액정층(650)이 형성되어 있다.

[0625] 기판(600) 위에는, 공통 전위선(609), 및 실시형태 1 내지 7에서 나타내는 TFT(628)가 형성된다. 공통 전위선(609)은, TFT(628)의 게이트 배선(602)과 동시에 형성할 수 있다. 또한, 제 1 화소 전극인 전극층(624)은 대략 화소의 형상으로 구획화한 형상으로 형성한다. TFT(628)로서는, 실시형태 1 내지 7에서 나타낸 박막 트랜지스터를 적용할 수 있다.

[0626] TFT(628)의 배선(616), 배선(618)은, 게이트 절연막(606) 위에 형성된다. 배선(616)은, 액정 표시 패널에 있어서 비디오 신호를 신는 데이터선이며 일 방향으로 신장하는 배선인 동시에, TFT(628)의 소스 및 드레인의 한쪽의 전극이 된다. 배선(618)은, 소스 및 드레인의 다른쪽의 전극이 되고, 화소 전극층(624)과 접속하는 배선이다.

[0627] 또한, 배선(616), 배선(618) 위에 절연막(620)이 형성되고, 절연막(620) 위에 절연막(696)이 형성된다. 또한, 절연막(696) 위에는, 절연막(620) 및 절연막(696)에 형성되는 콘택트 홀(623)을 통하여, 배선(618)에 접속하는 화소 전극층(624)이 형성된다. 화소 전극층(624)은 실시형태 1 내지 실시형태 7에서 나타낸 화소 전극층과 같은 재료를 사용하여 형성한다. 또한, 도 35에 도시하는 바와 같이, 화소 전극층(624)은, 공통 전위선(609)과 동시에 형성한 빗형의 전극과 횡전계가 발생하도록 형성된다. 또한, 화소 전극층(624)의 빗살 부분이 공통 전위선(609)과 동시에 형성한 빗형의 전극과 교대로 맞물리도록 형성된다.

[0628] 화소 전극층(624)에 인가되는 전위와 공통 전위선(609)의 전위 사이에 전계가 생기면, 이 전계에 의해 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어느 상태라도 수평하기 때문에, 보는 각도에 의한 콘트라스트 등의 영향은 적고, 시야각이 넓어지게 된다.

[0629] 이렇게 하여, 기판(600) 위에 TFT(628)와 그것에 접속하는 화소 전극층(624)이 형성된다. 유지 용량은 공통 전위선(609)과 용량 전극(615)의 사이에 게이트 절연막(606)을 형성하고, 이로써 형성되어 있다. 용량 전극(615)과 화소 전극층(624)은, 콘택트 홀(633)을 통하여 접속되어 있다.

[0630] 다음에, TN형의 액정 표시 장치의 형태에 대하여 나타낸다.

[0631] 도 36과 도 37은, TN형의 액정 표시 장치의 화소 구조를 도시한다. 도 37은 평면도이며, 도면 중에 도시하는 절단선 K-L에 대응하는 단면 구조를 도 36에 도시한다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.

[0632] 화소 전극층(624)은, 절연막(620), 절연막(696)에 형성되는 콘택트 홀(623) 및 배선(618)을 통하여 TFT(628)와 접속한다. 데이터선으로서 기능하는 배선(616)은, TFT(628)와 접속하고 있다. TFT(628)는, 실시형태 1 내지 7에 나타내는 TFT의 어느 하나를 적용할 수 있다.

[0633] 화소 전극층(624)은, 실시형태 1 내지 실시형태 7에서 나타내는 화소 전극층과 같은 재료를 사용하여 형성된다. 용량 배선(604)은, TFT(628)의 게이트 배선(602)과 동시에 형성할 수 있다. 게이트 배선(602) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다. 유지 용량은, 용량 배선(604), 용량 전극(615), 및 용량 배선(604) 및 용량 전극(615) 사이의 게이트 절연막(606)에 의해 형성되어 있다. 용량 전극(615)과 화소 전극층

(624)은, 콘택트 홀(633)을 통하여 접속되어 있다.

[0634] 대향 기판(601)에는, 착색막(636), 대향 전극층(640)이 형성되어 있다. 또한, 착색막(636)과 대향 전극층(640)의 사이에는 평탄화막(637)이 형성되고, 액정의 배향 혼란을 막는다. 액정층(650)은, 화소 전극층(624)과 대향 전극층(640)의 사이에 배향막(648) 및 배향막(646)을 사이에 두고 형성되어 있다.

[0635] 화소 전극층(624)과 액정층(650)과 대향 전극층(640)이 중첩함으로써, 액정 소자가 형성되어 있다.

[0636] 또한 착색막(636)은, 기판(600)측에 형성되어 있어도 좋다. 또한, 기판(600)의 박막 트랜지스터가 형성되어 있는 면과는 반대 면에 편광판을 접합하고, 또한 대향 기판(601)의 대향 전극층(640)이 형성되어 있는 면과는 반대 면에, 편광판을 서로 접합하여 둔다.

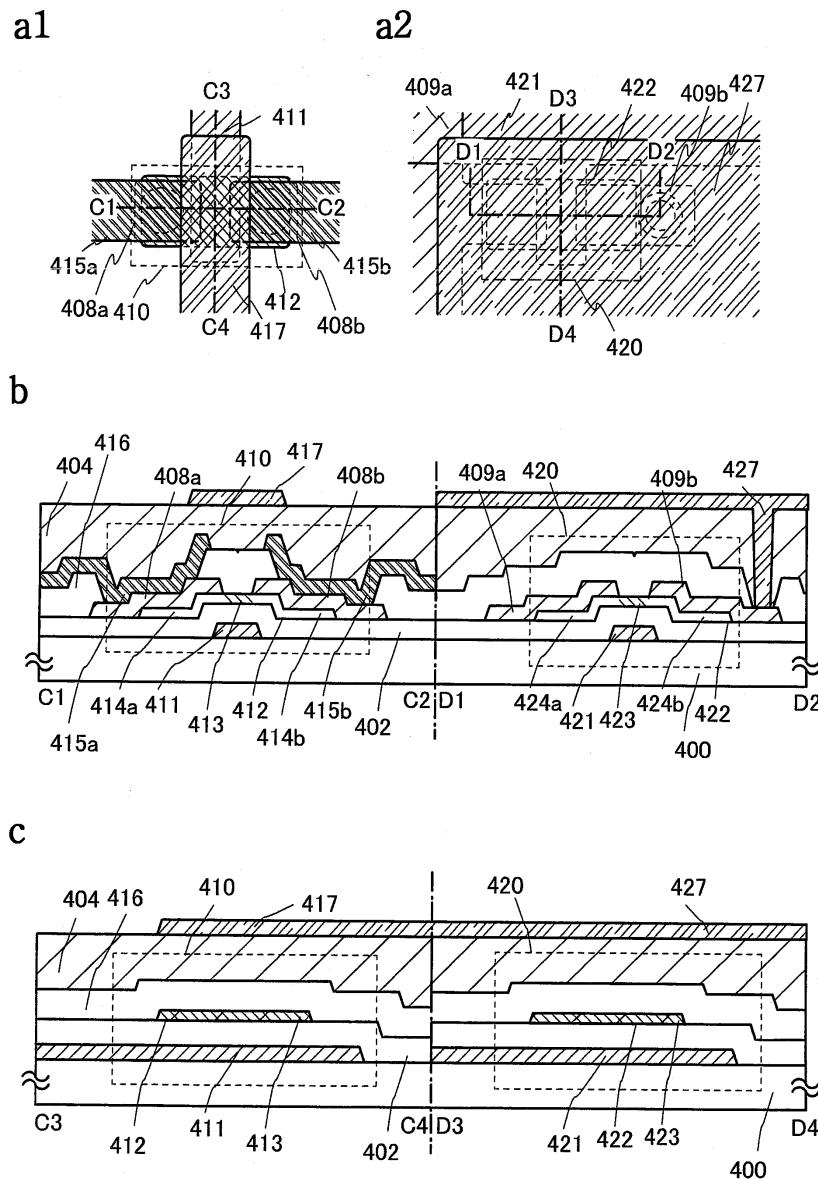
[0637] 이상의 공정에 의해, 표시 장치로서 액정 표시 장치를 제작할 수 있다. 본 실시형태의 액정 표시 장치는, 개구율이 높은 액정 표시 장치이다.

### 부호의 설명

10: 펄스 출력 회로	11: 배선
12: 배선	13: 배선
14: 배선	15: 배선
21: 입력 단자	22: 입력 단자
23: 입력 단자	24: 입력 단자
25: 입력 단자	26: 출력 단자
27: 출력 단자	28: 박막 트랜지스터

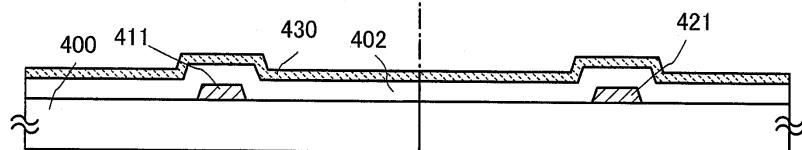
## 도면

## 도면1

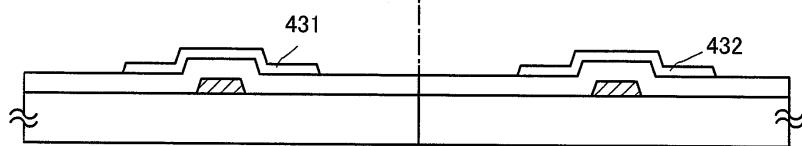


## 도면2

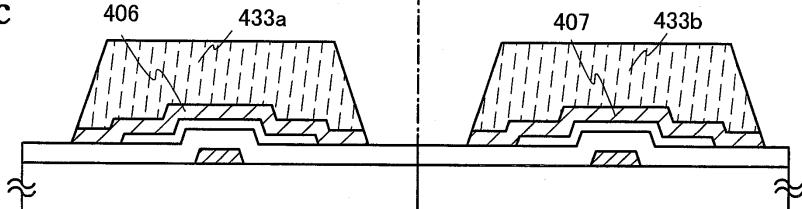
a



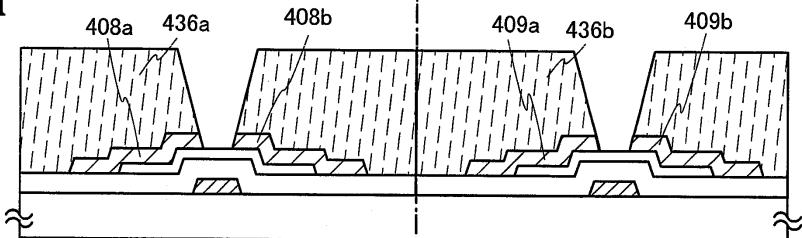
b



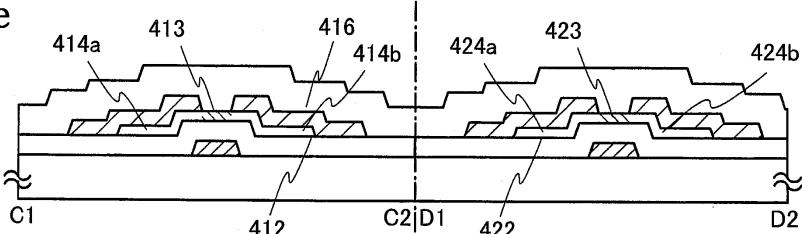
c



d

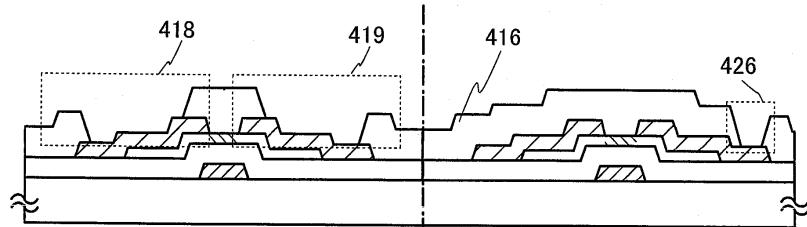


e

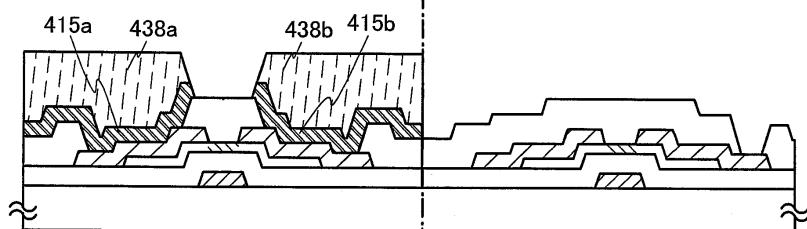


## 도면3

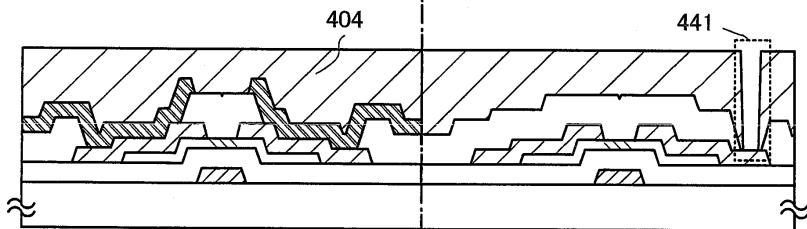
a



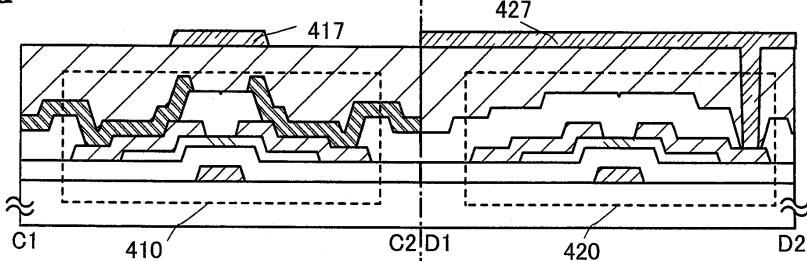
b



c

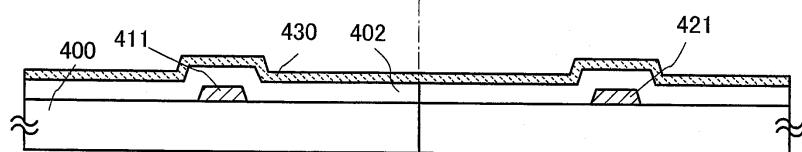


d



## 도면4

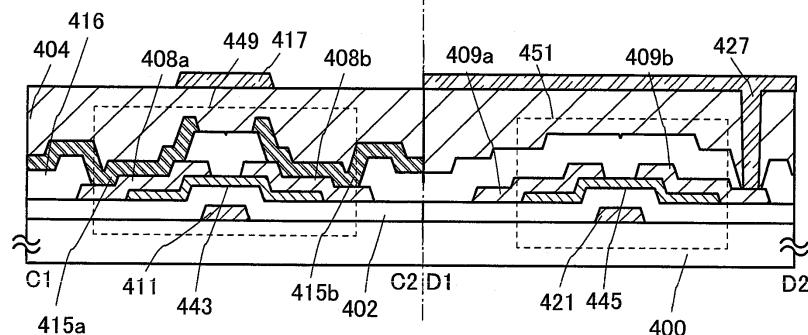
a



b

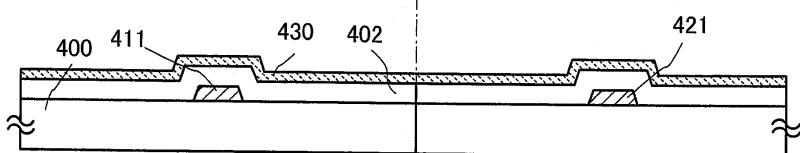


c

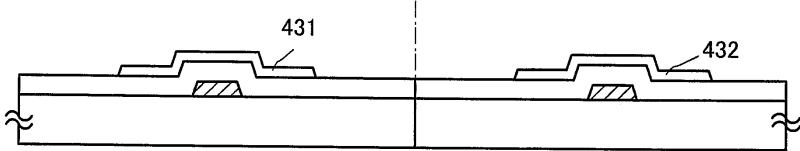


## 도면5

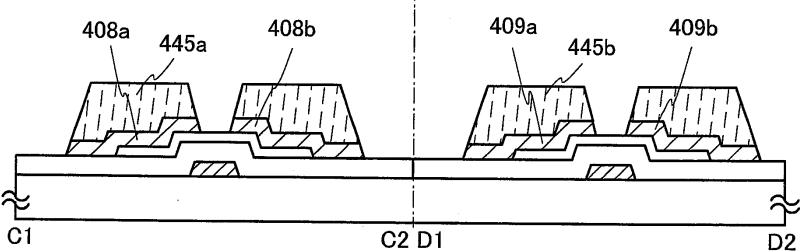
a



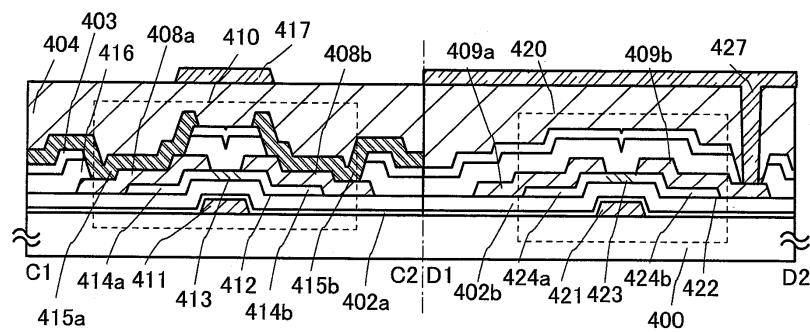
b



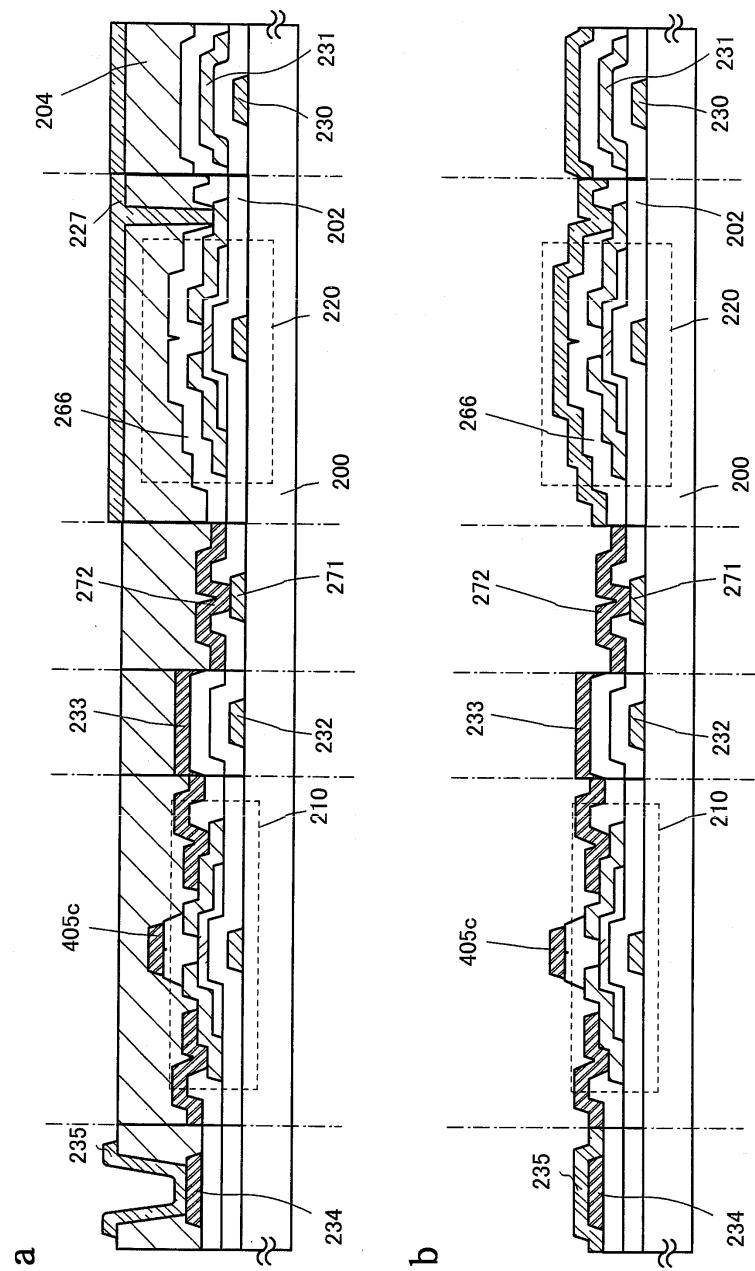
c



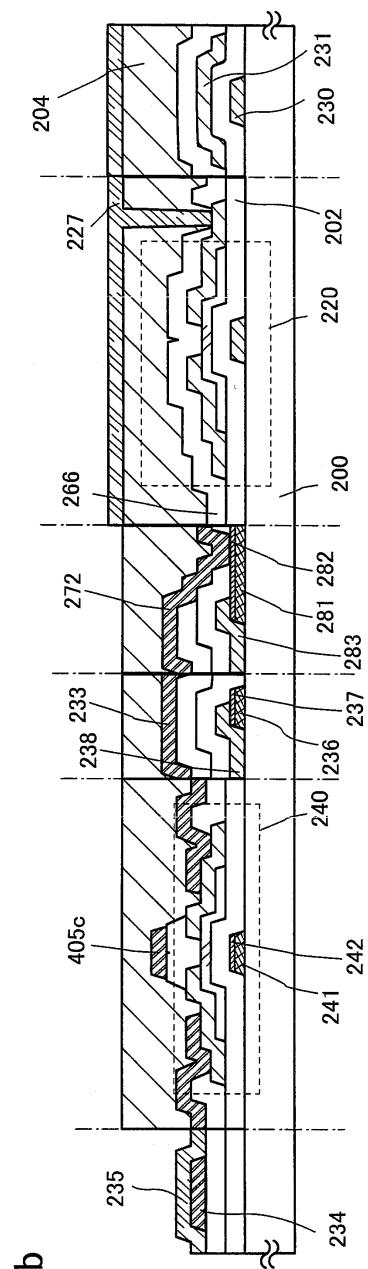
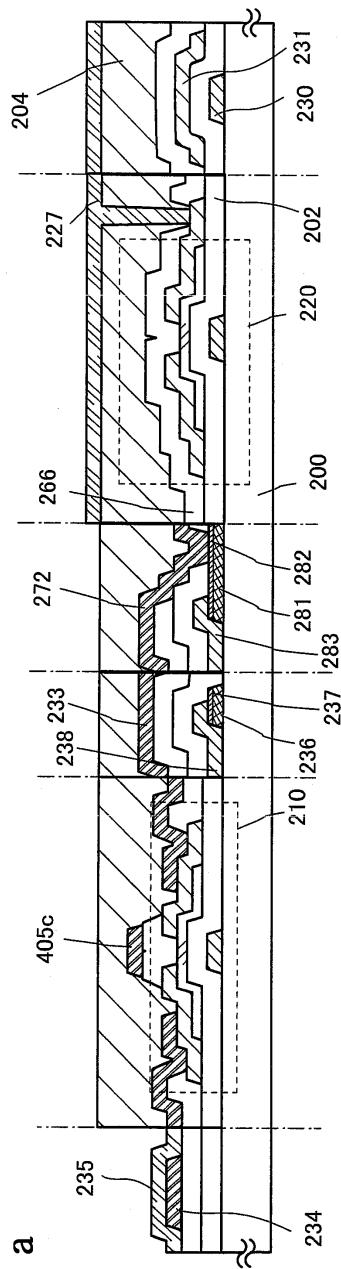
도면6



도면7

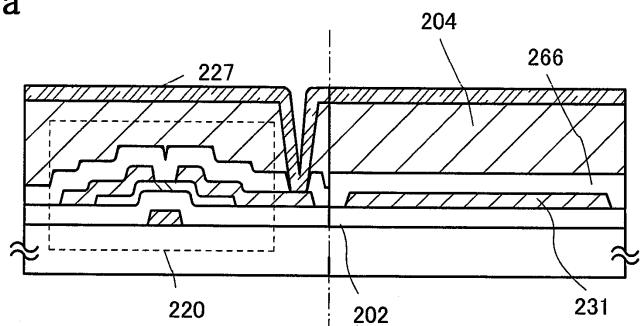


도면8

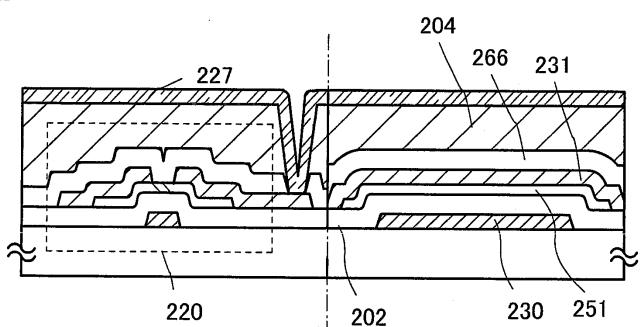


도면9

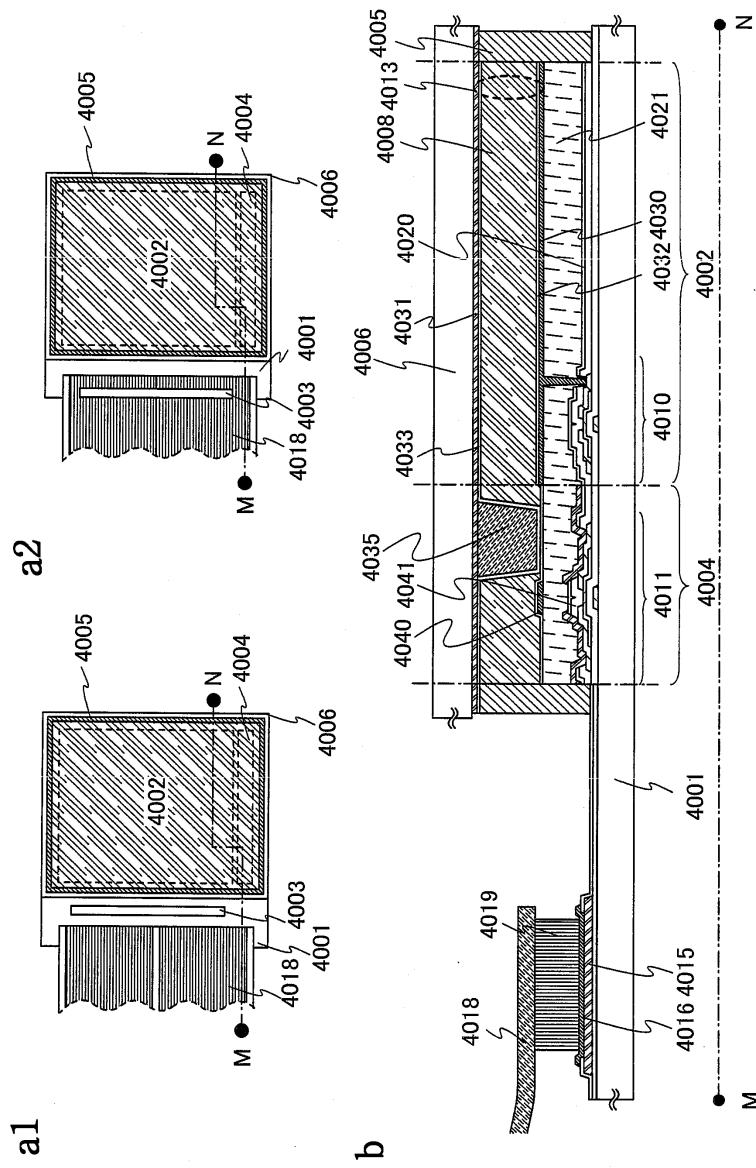
a



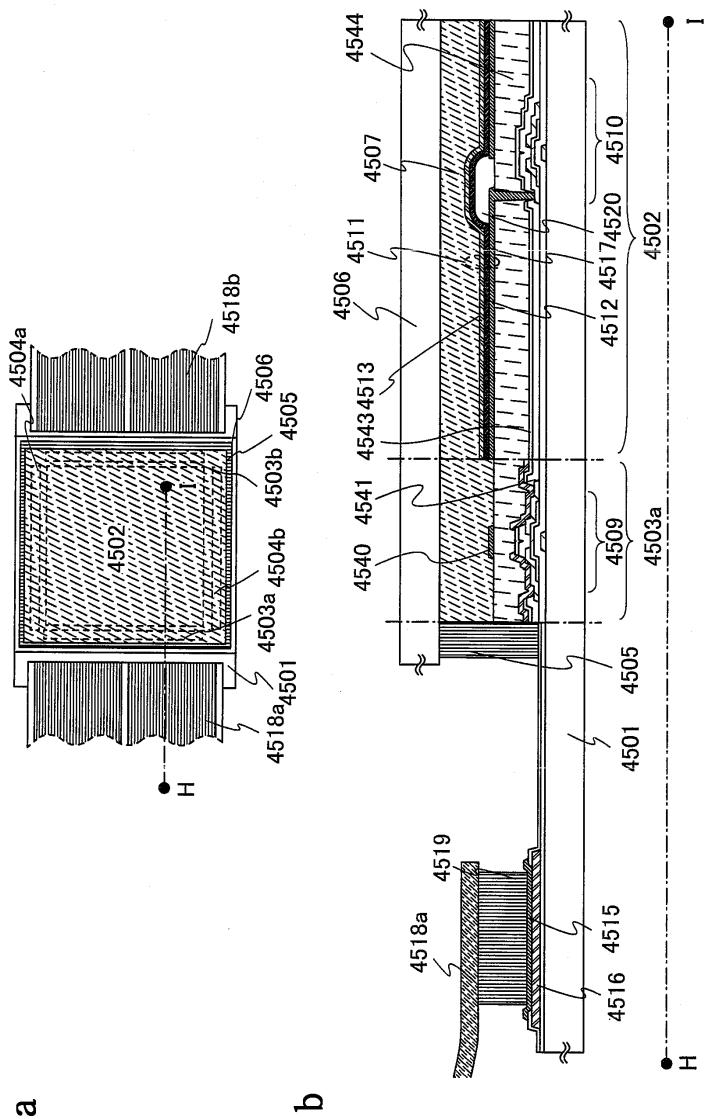
b



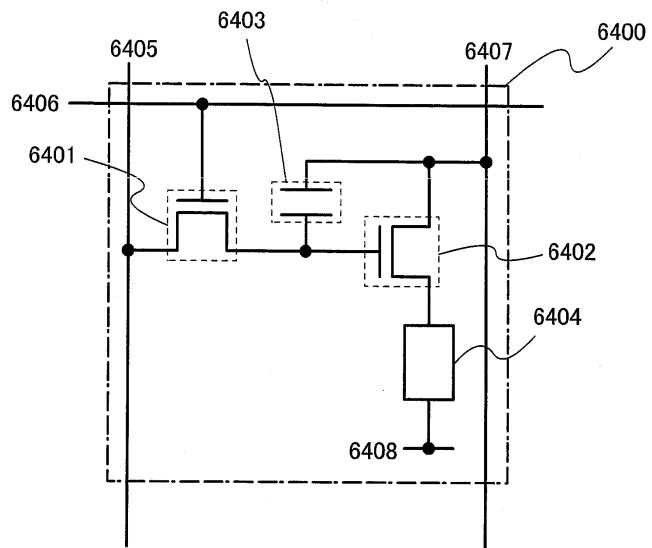
도면10



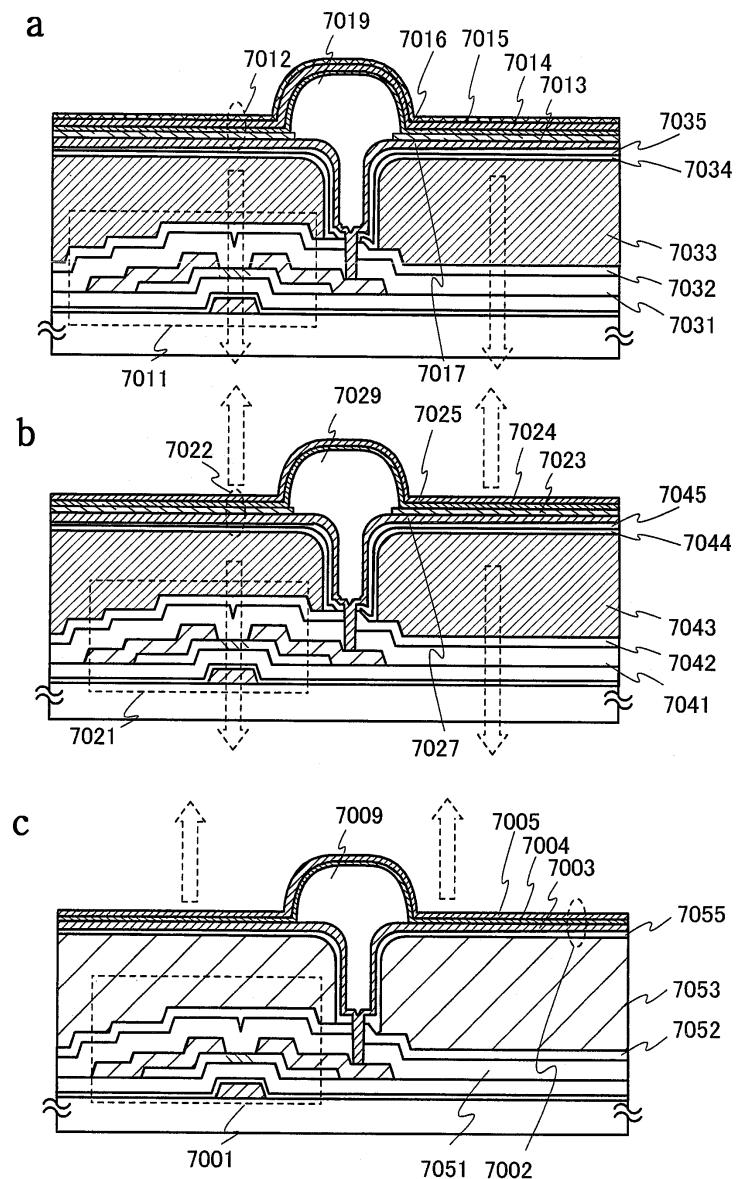
도면 11



## 도면12

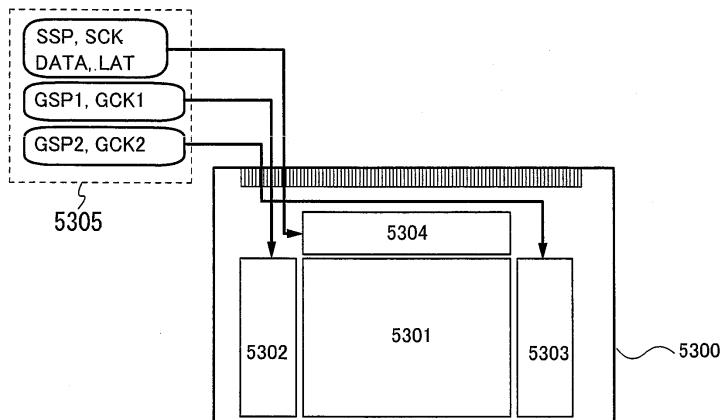


## 도면13

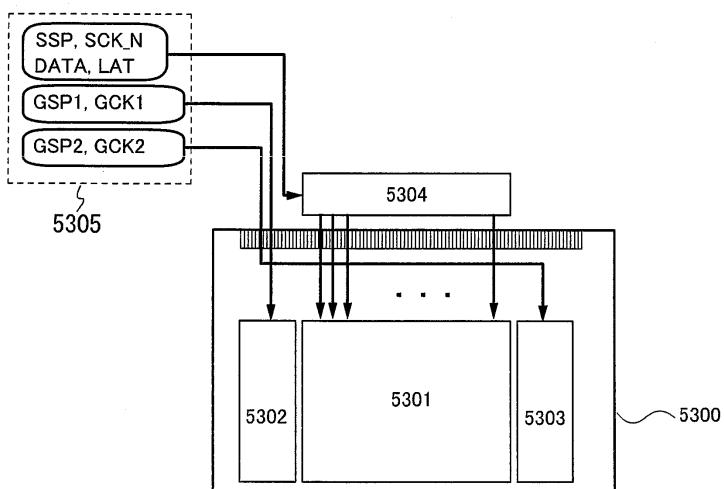


## 도면14

a

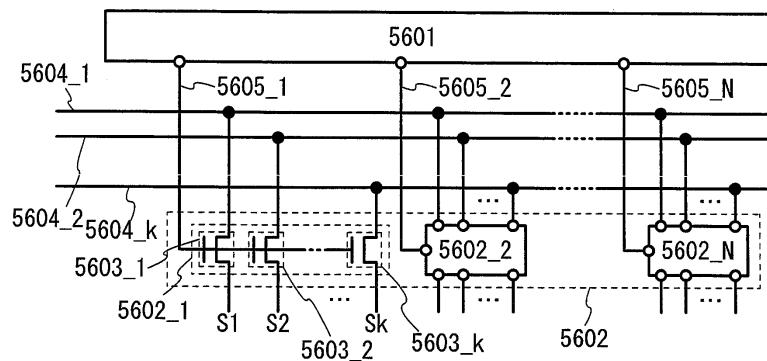


b

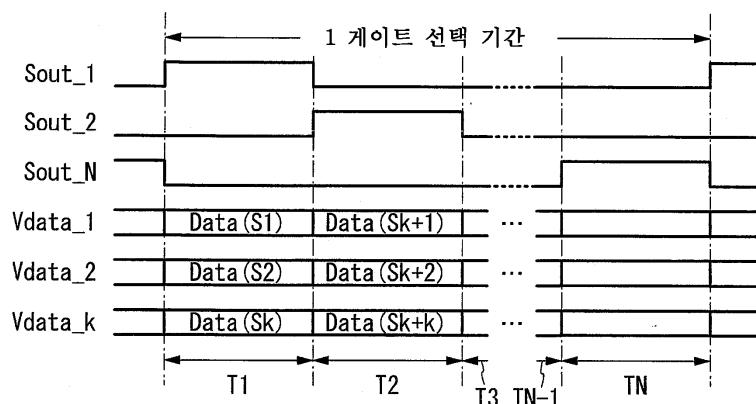


## 도면15

a

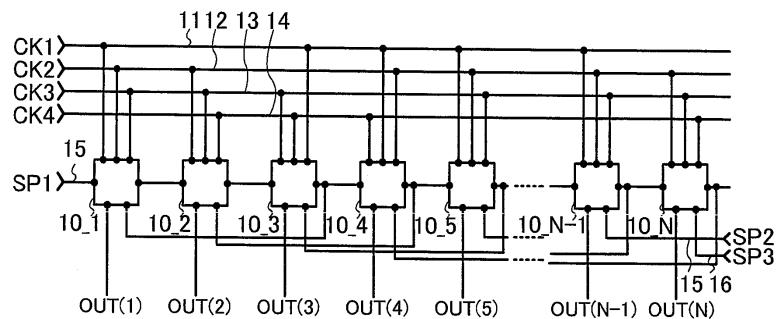


b

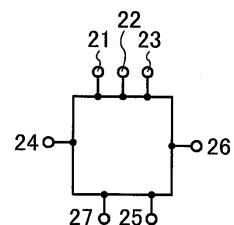


## 도면16

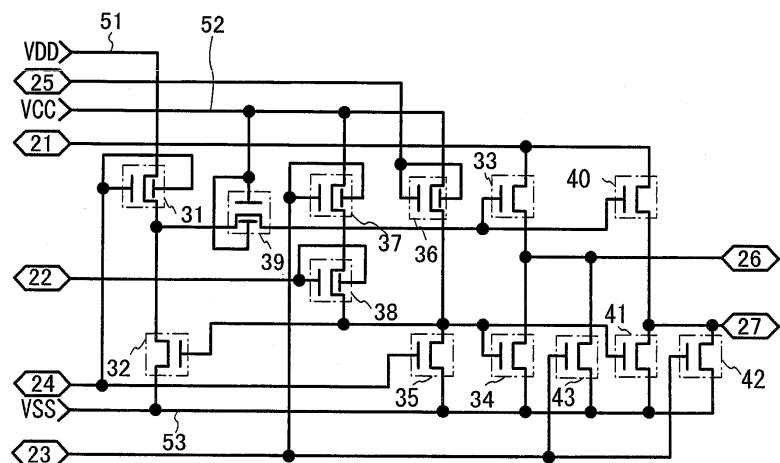
a



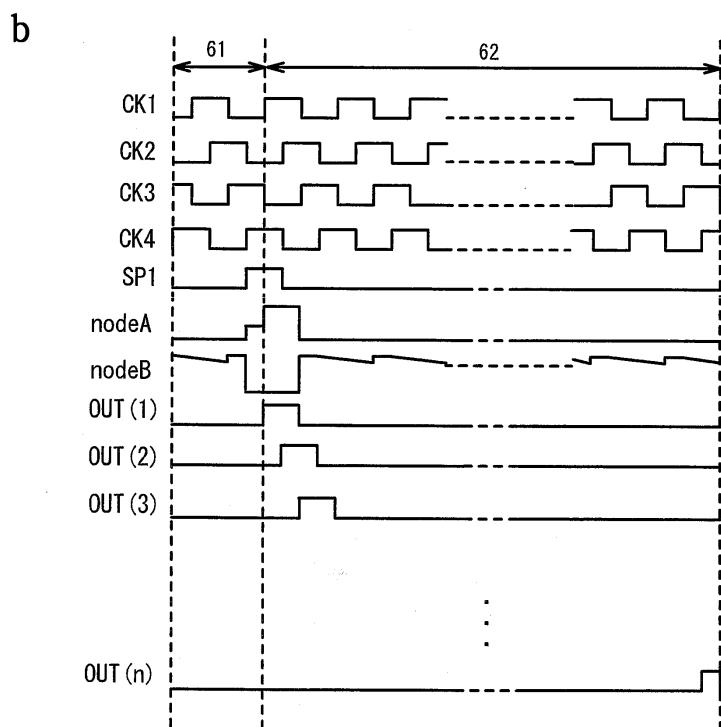
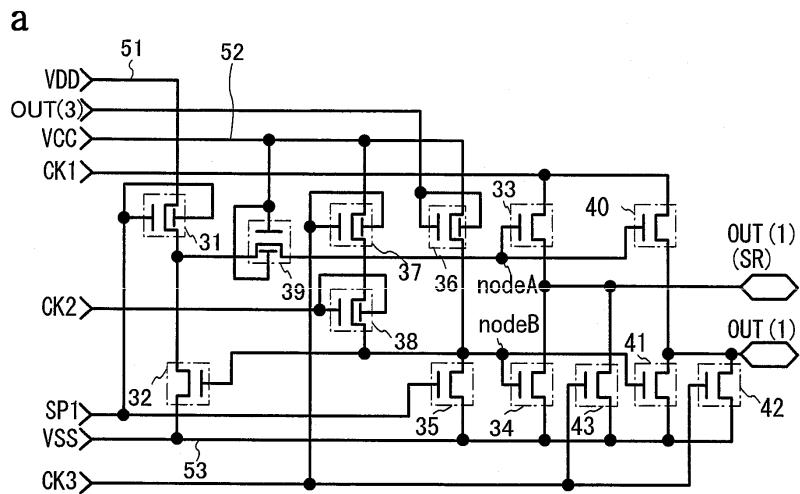
b



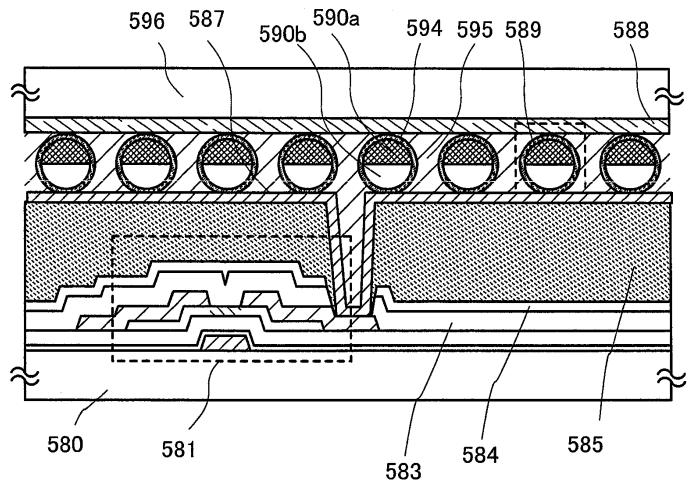
c



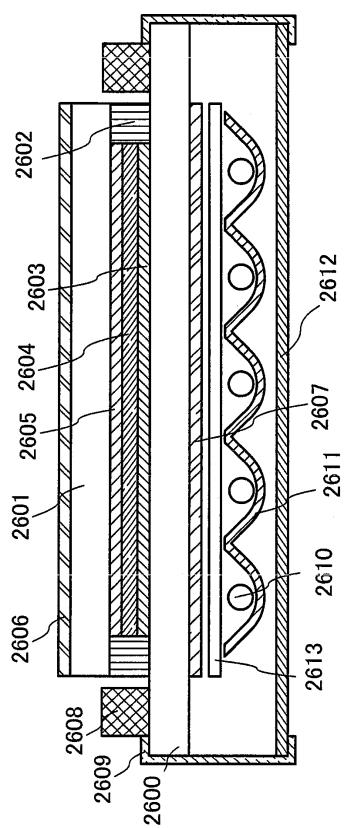
## 도면17



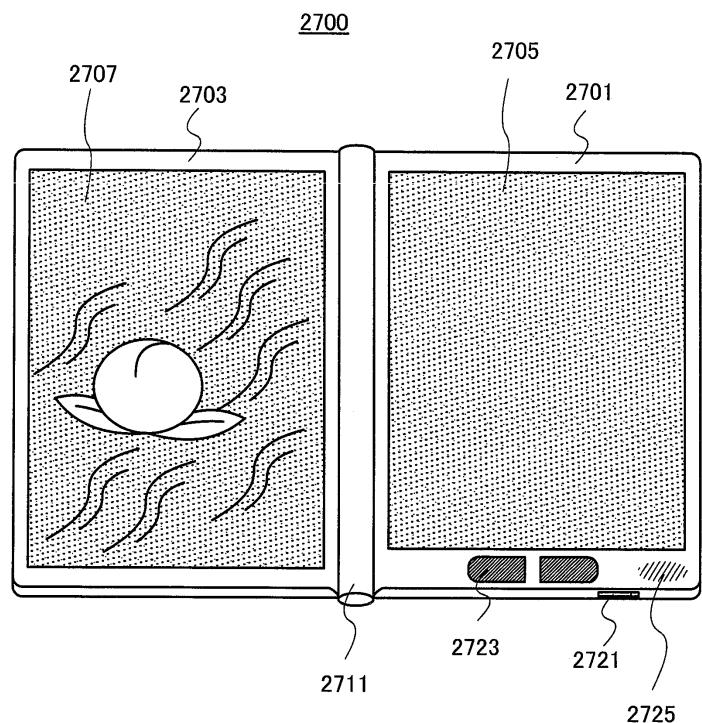
도면18



도면19

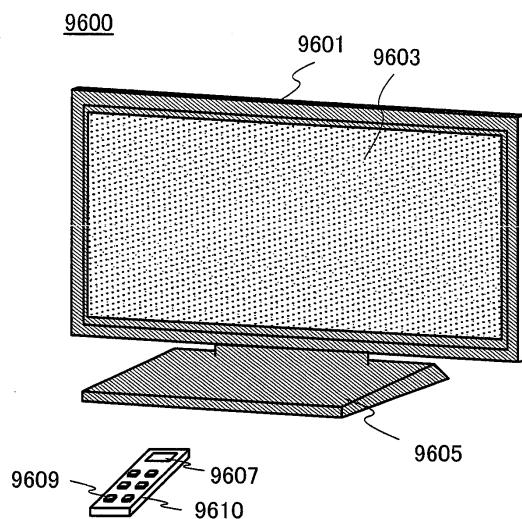


도면20

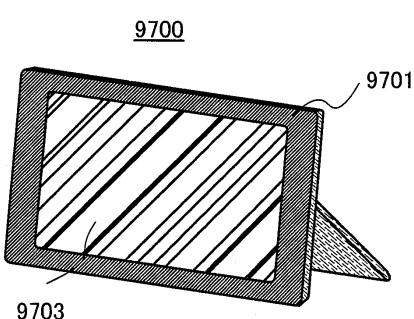


도면21

a

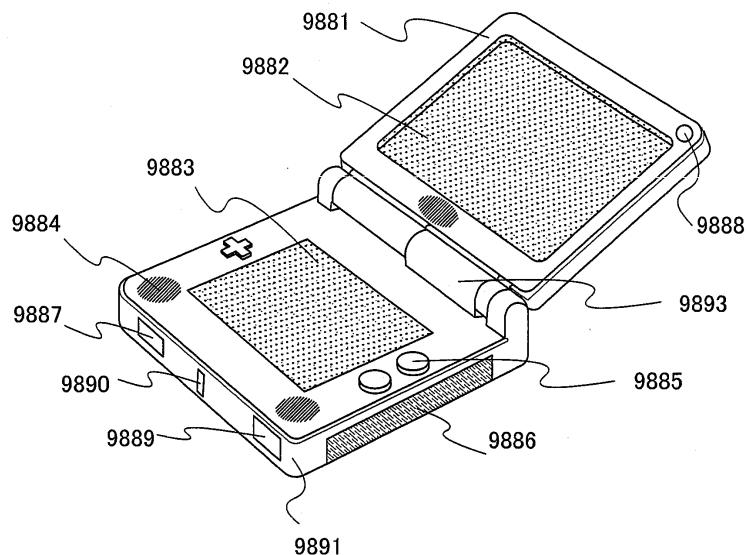


b

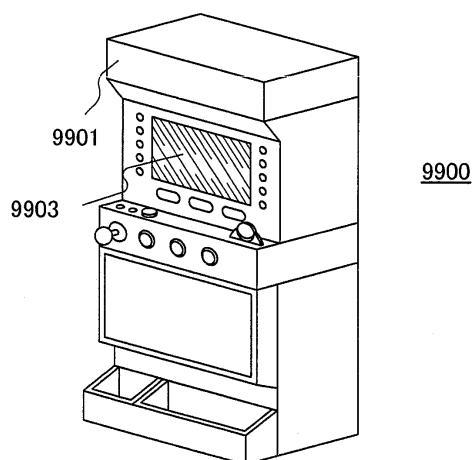


도면22

a

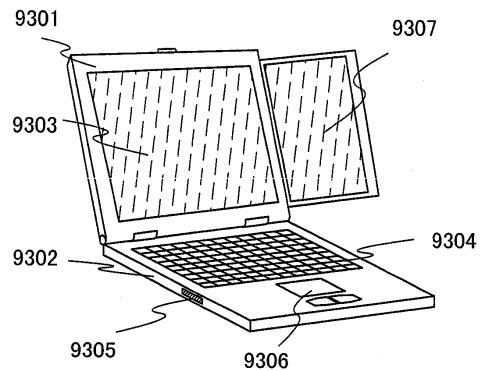


b

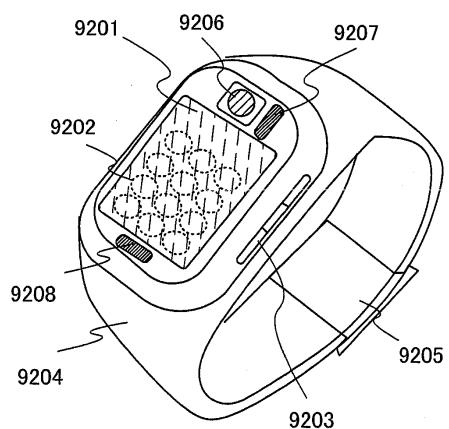


도면23

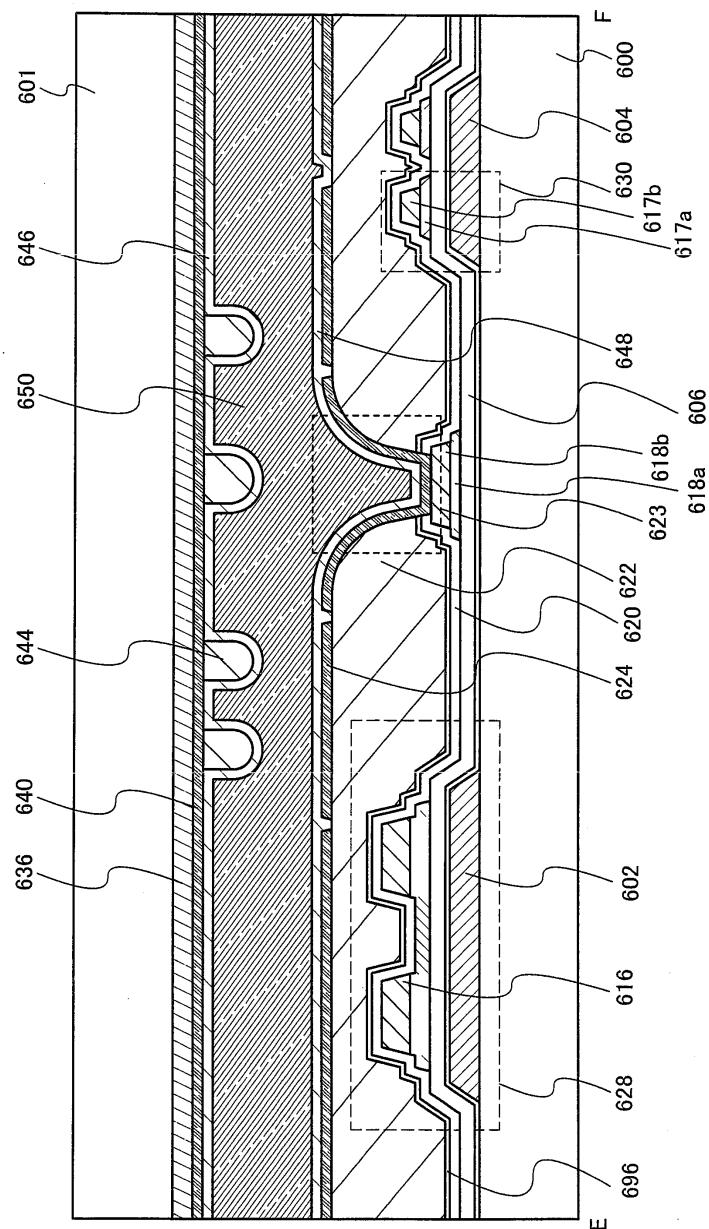
a



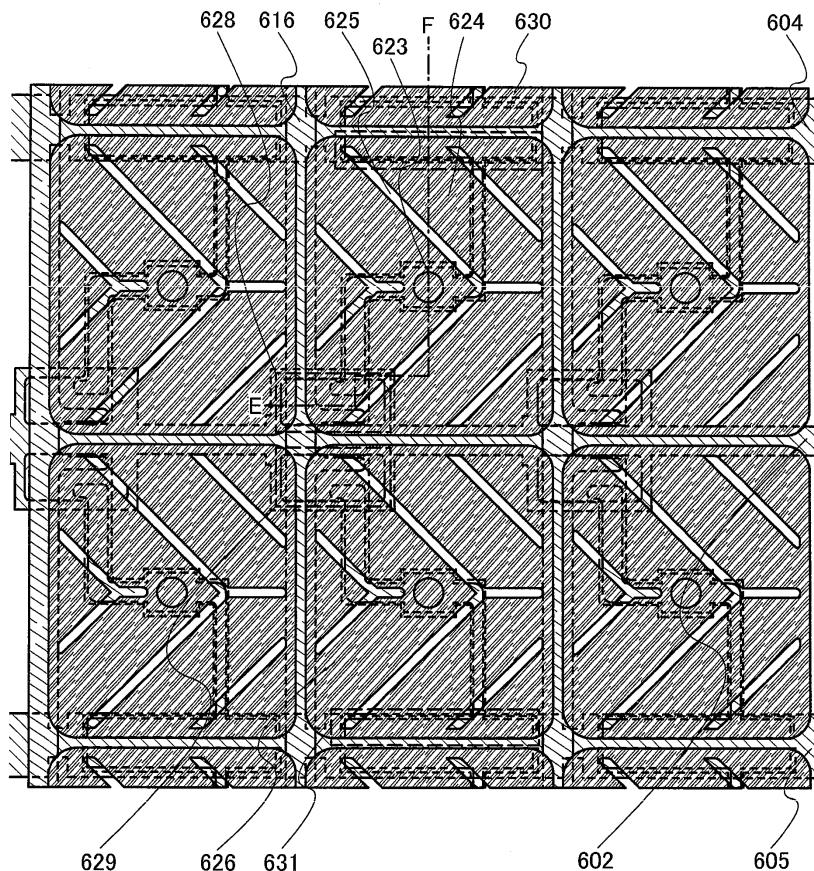
b



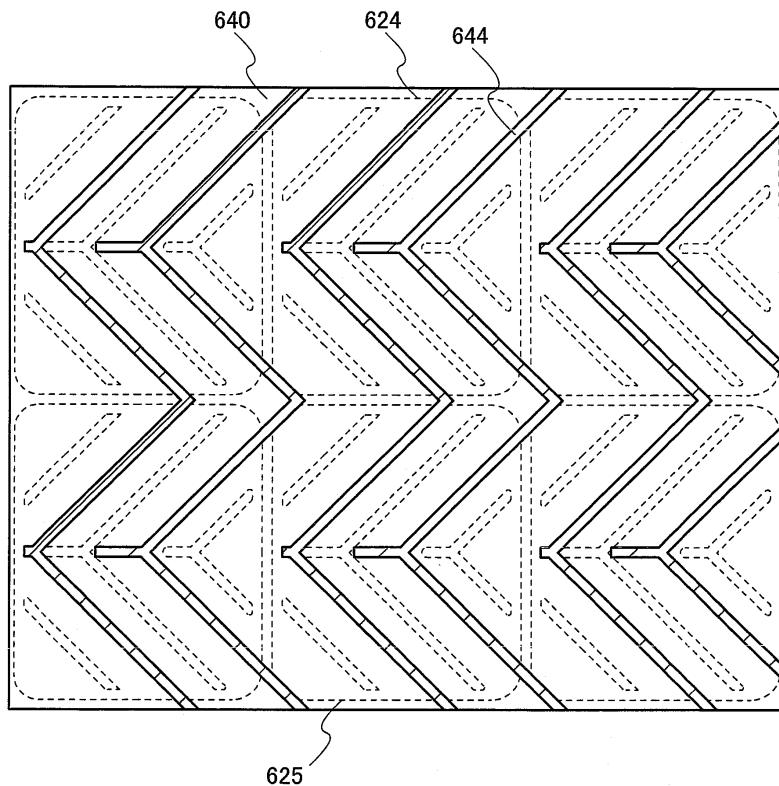
도면24



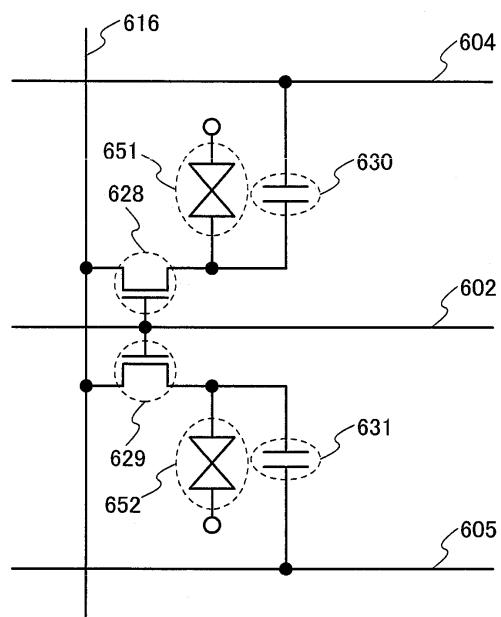
도면25



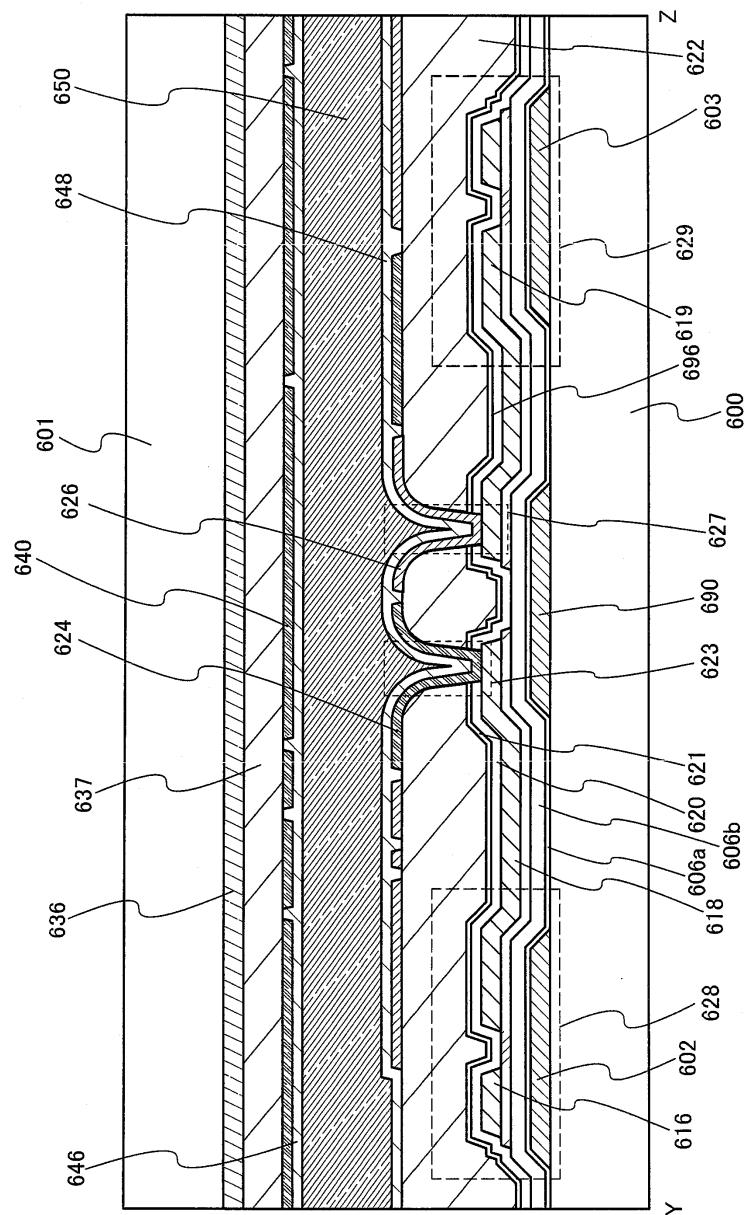
도면26



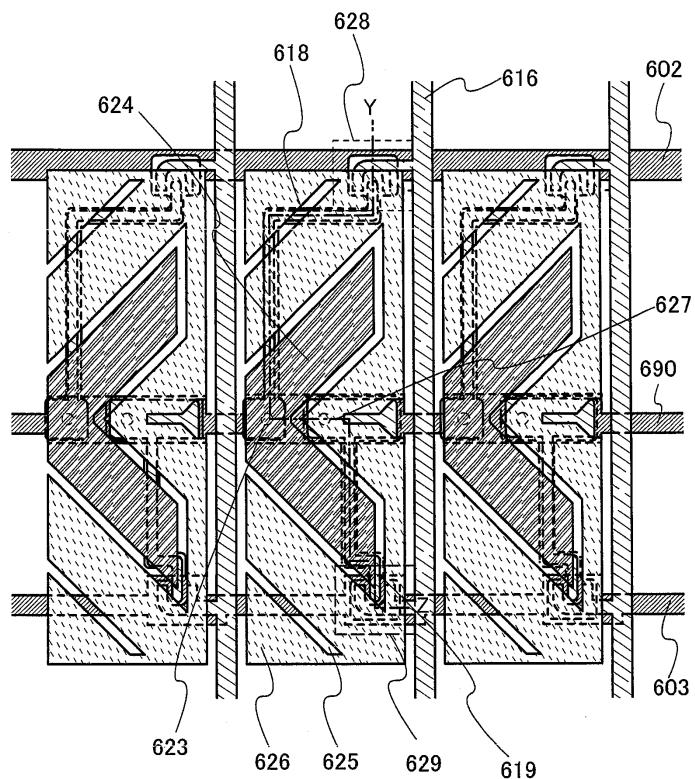
도면27



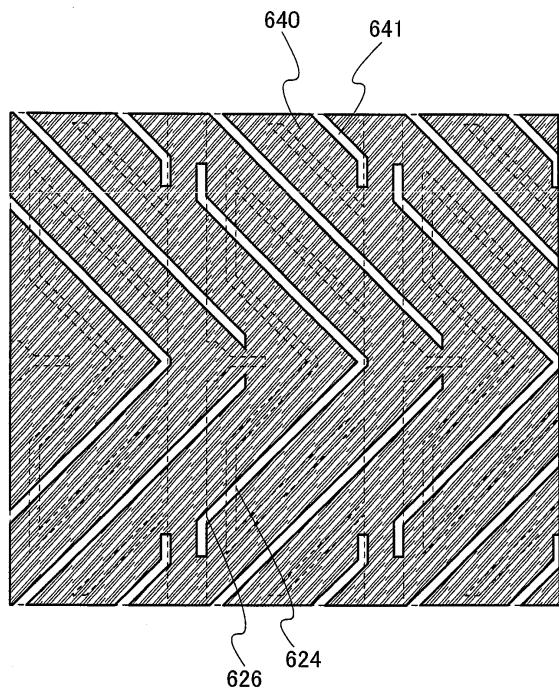
도면28



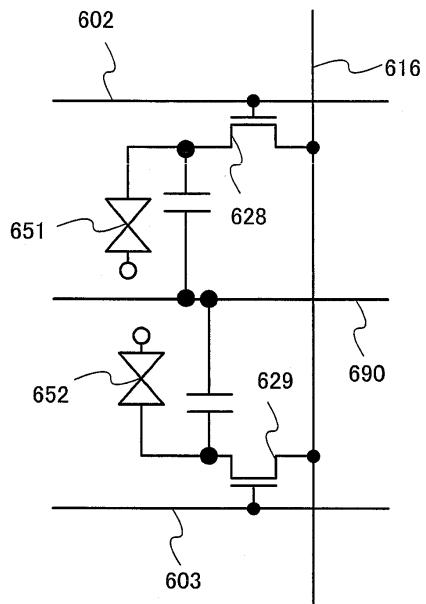
도면29



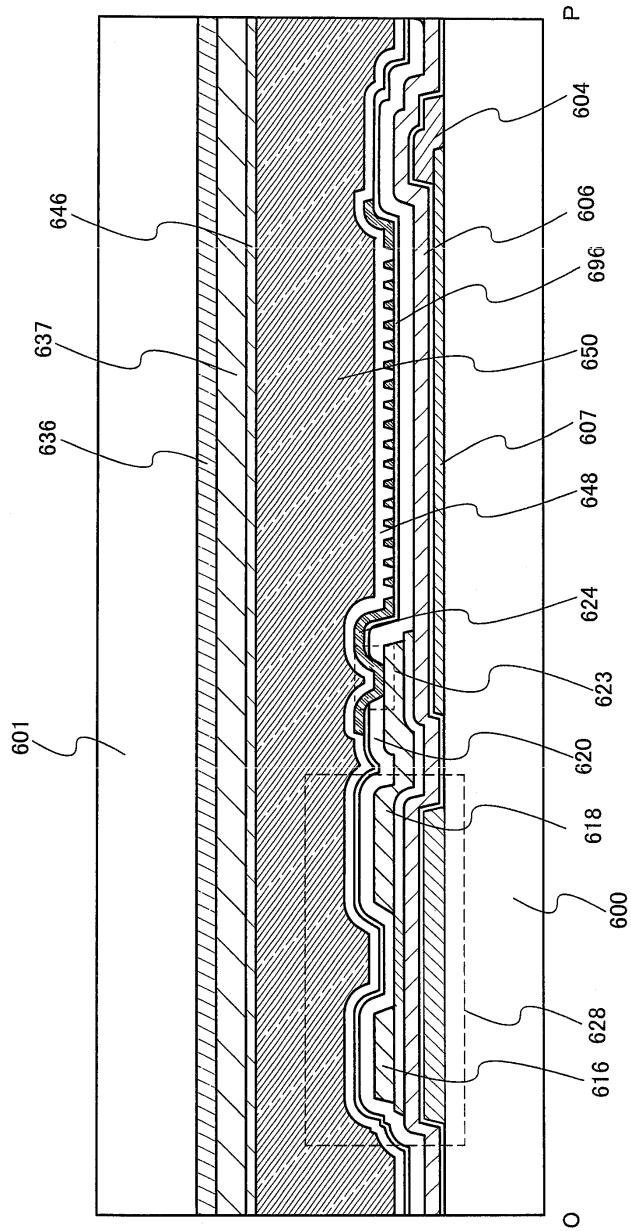
도면30



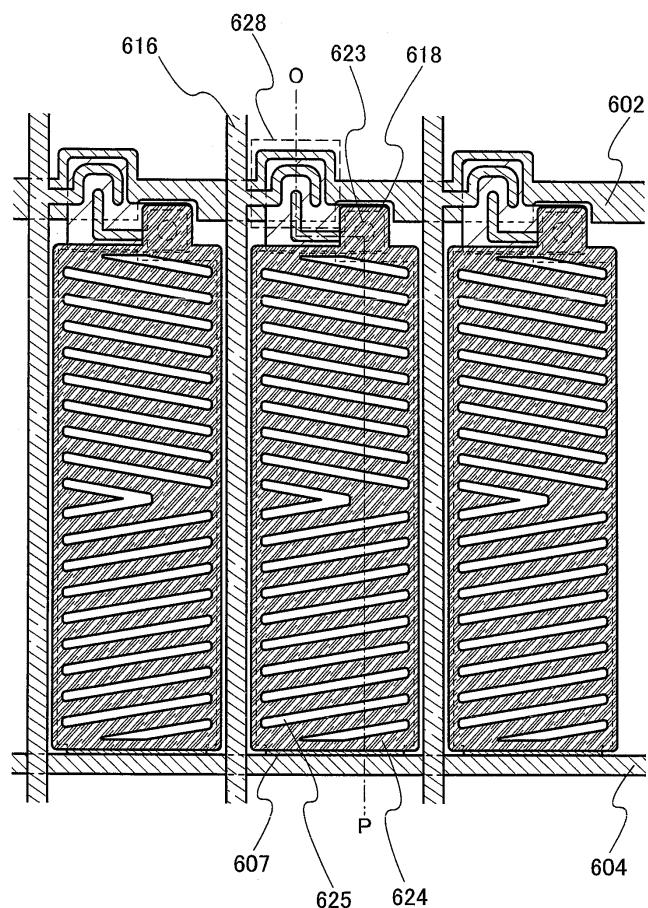
도면31



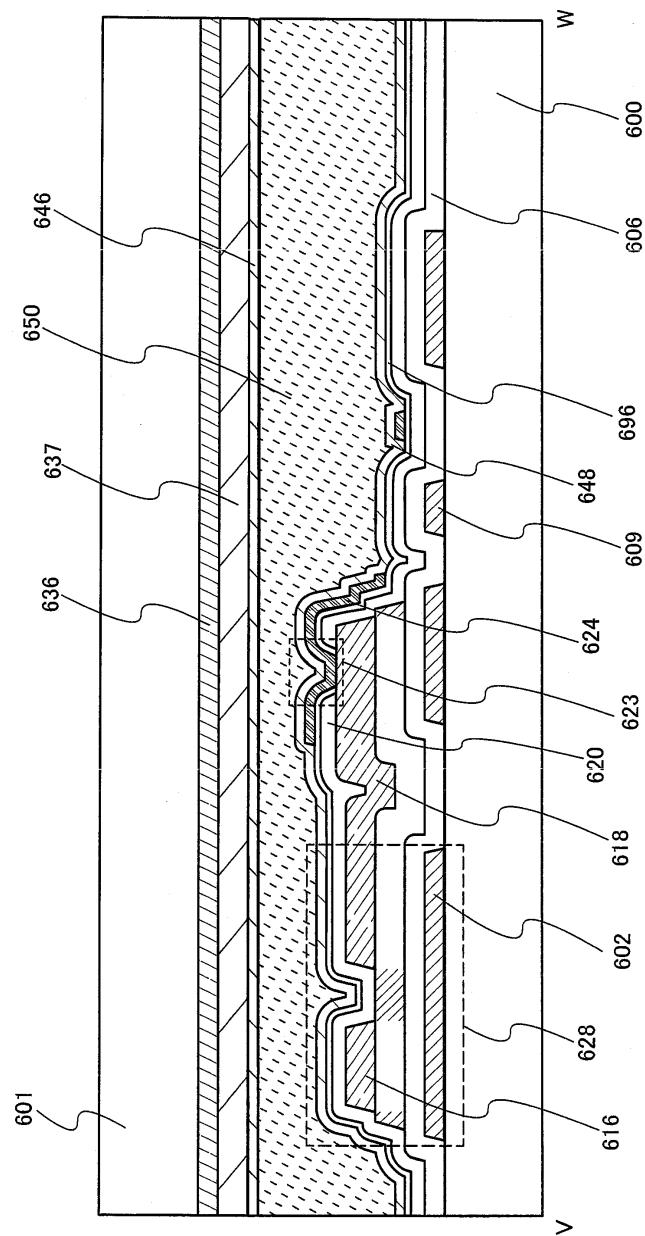
## 도면32



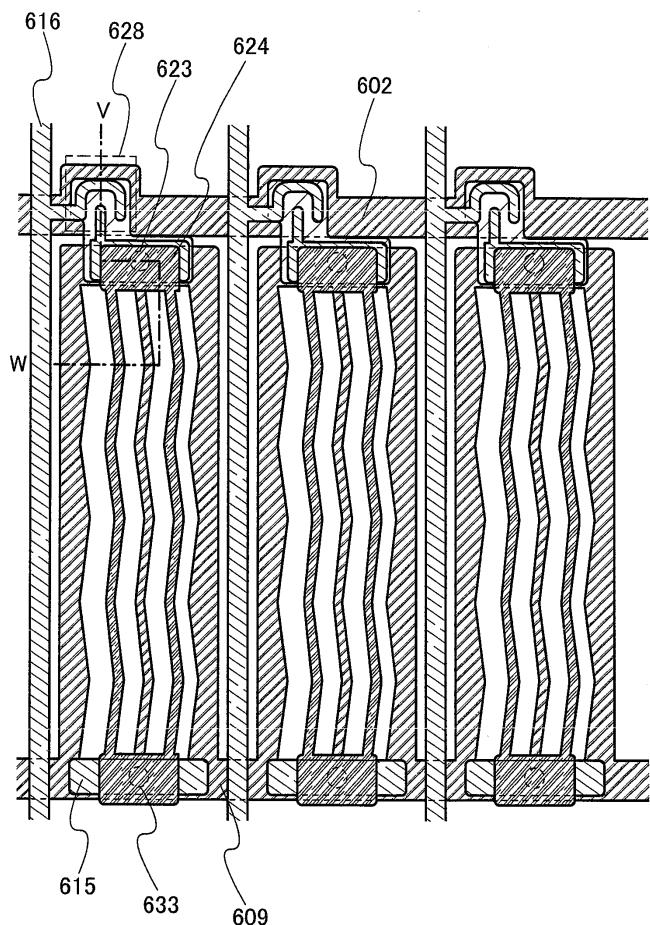
도면33



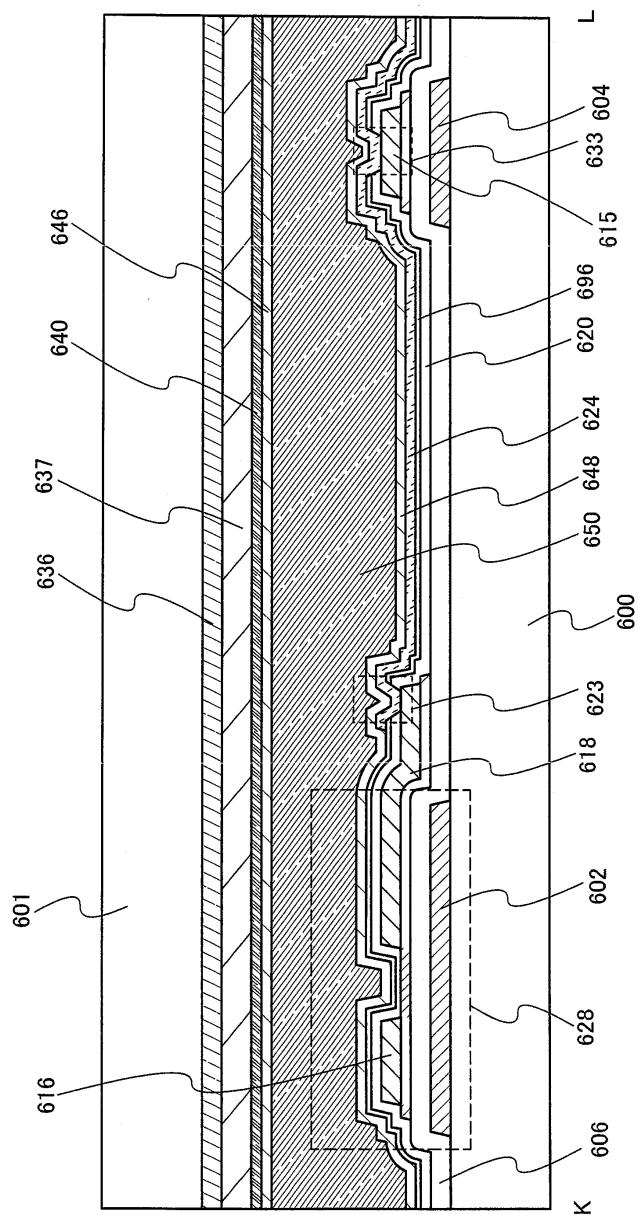
도면34



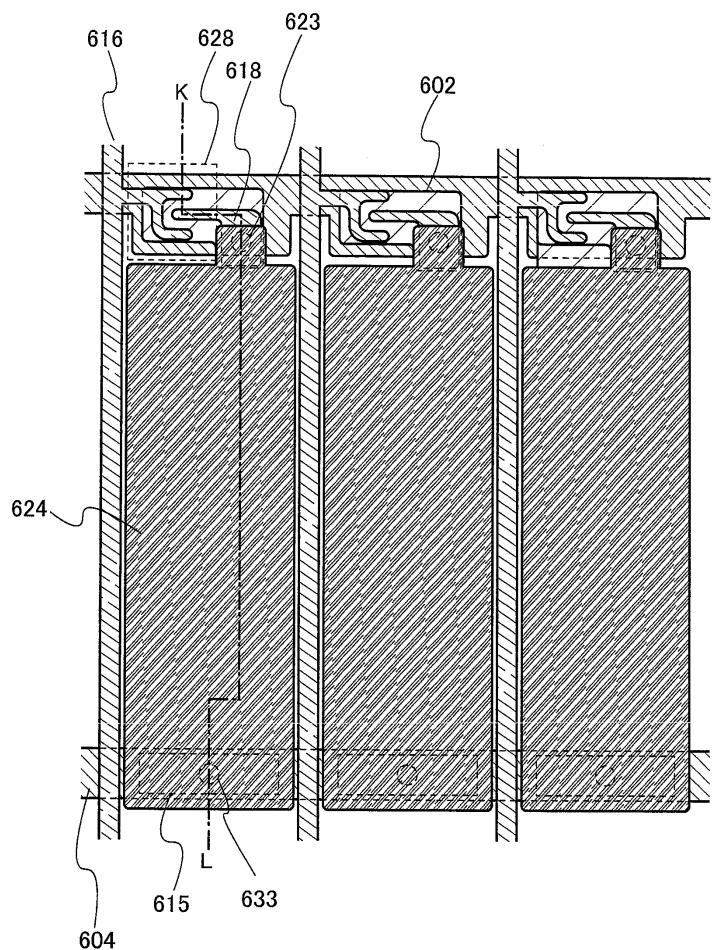
도면35



도면36

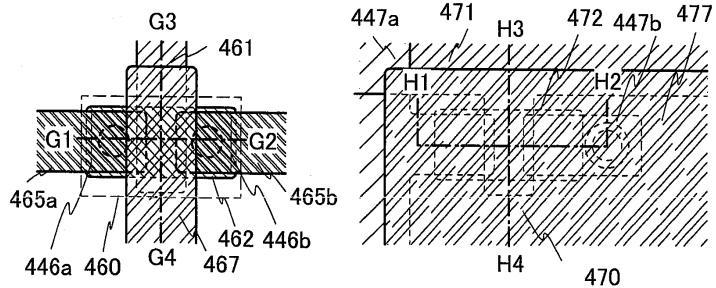


도면37

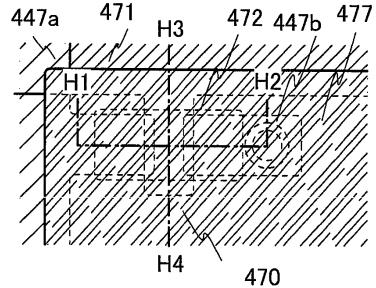


## 도면38

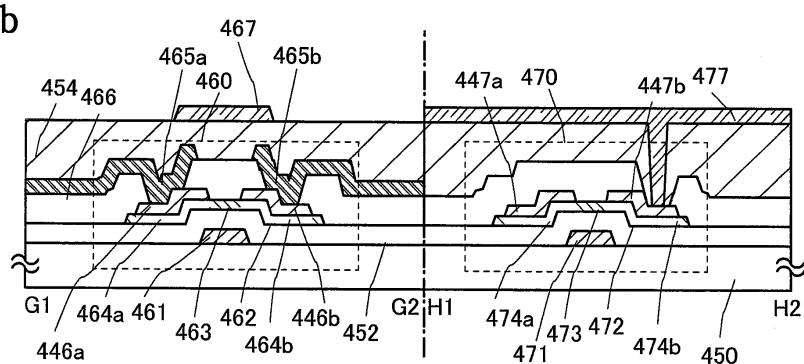
a1



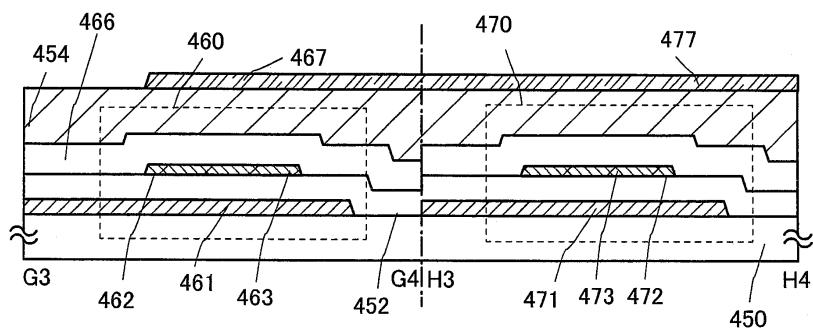
a2



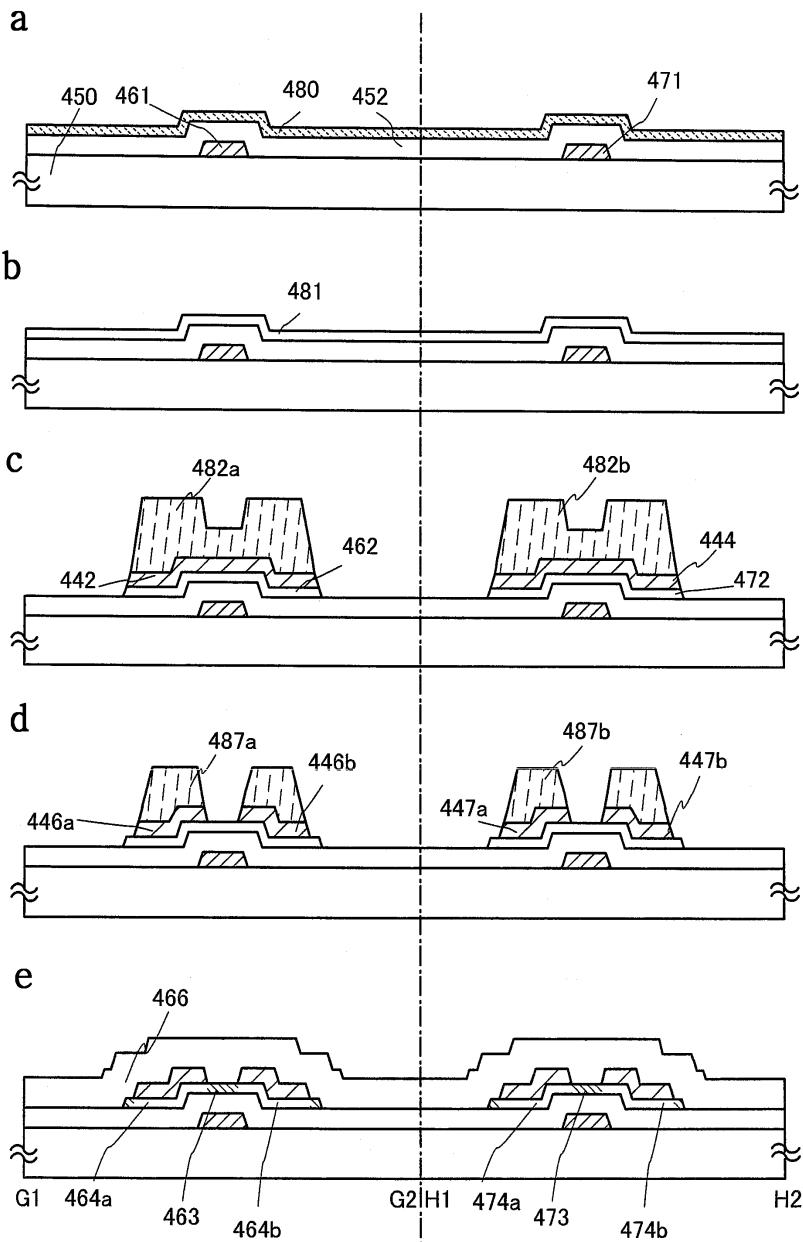
b



c

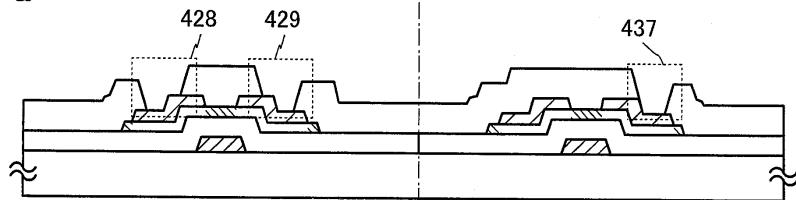


## 도면39

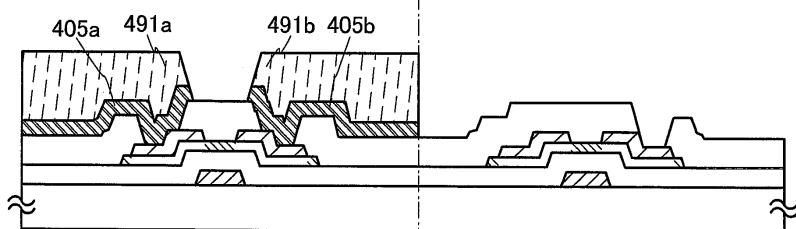


## 도면40

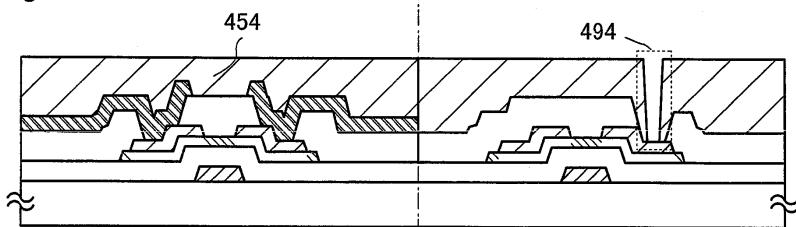
a



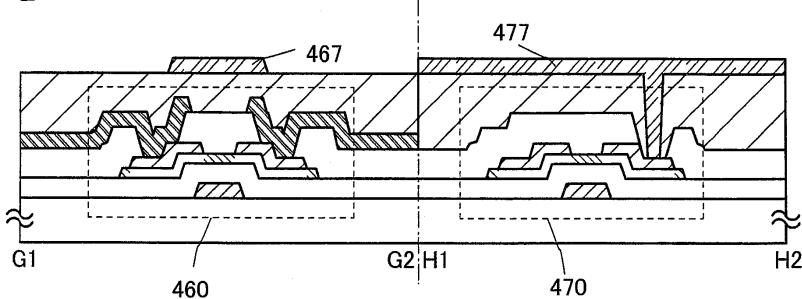
b



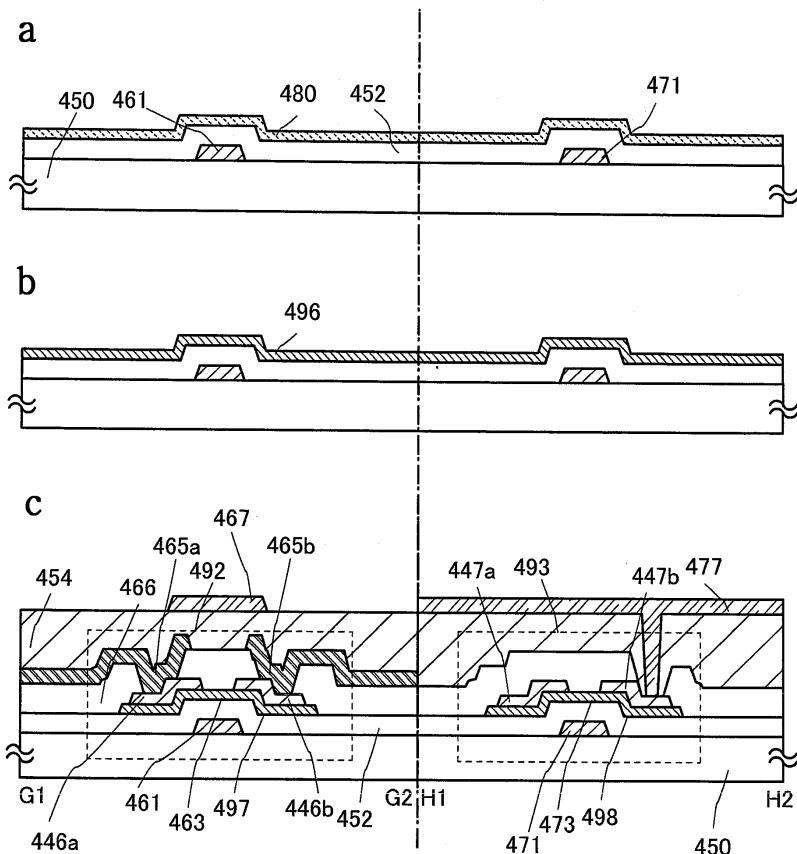
c



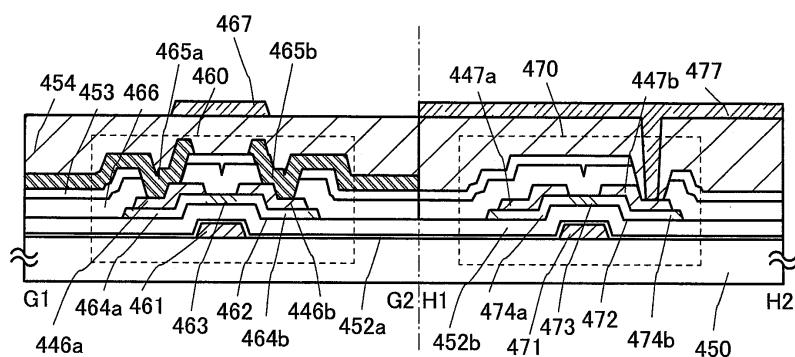
d



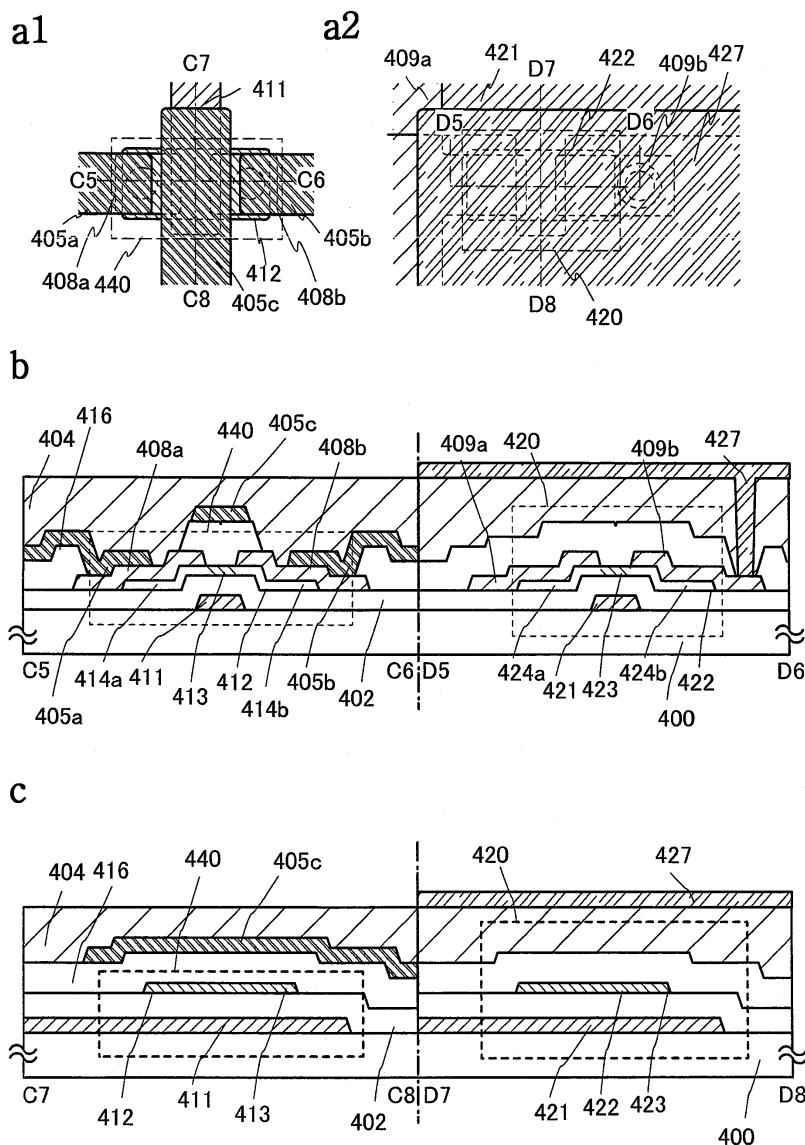
도면41



도면42

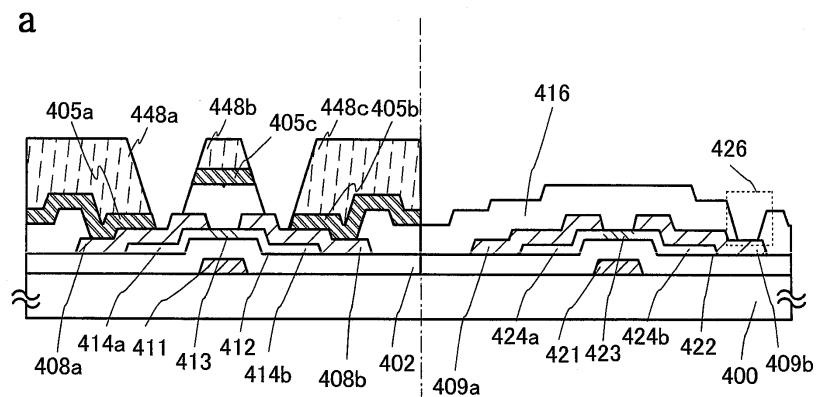


## 도면43

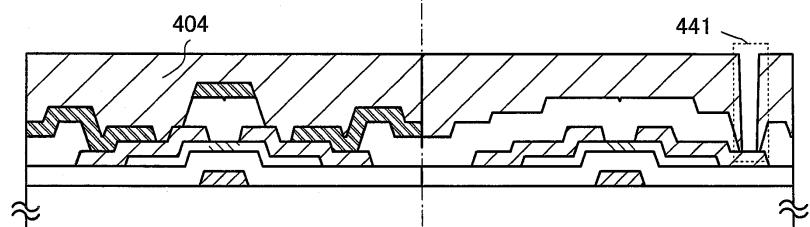


## 도면44

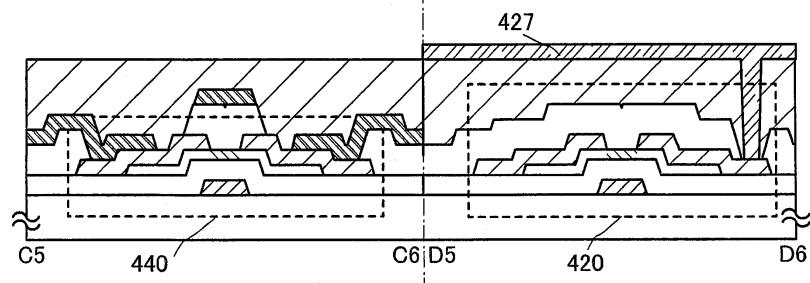
a



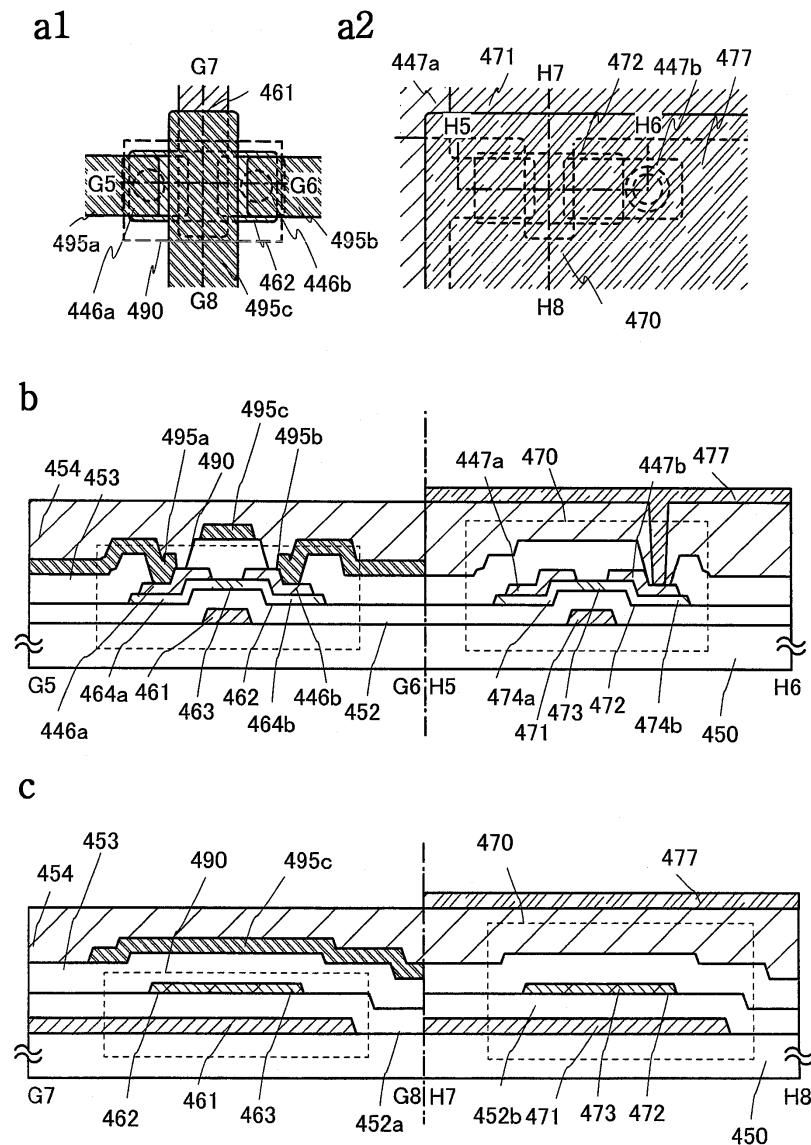
b



c

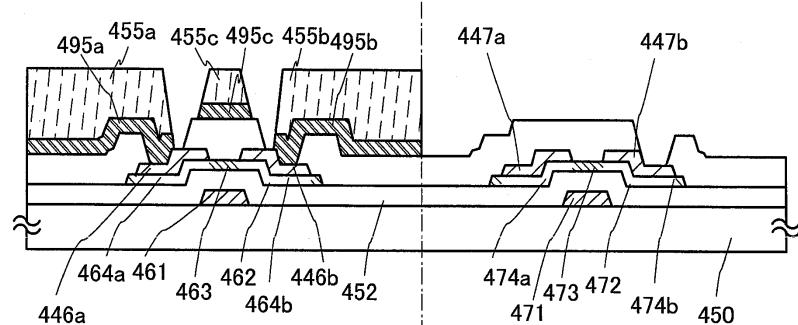


## 도면45

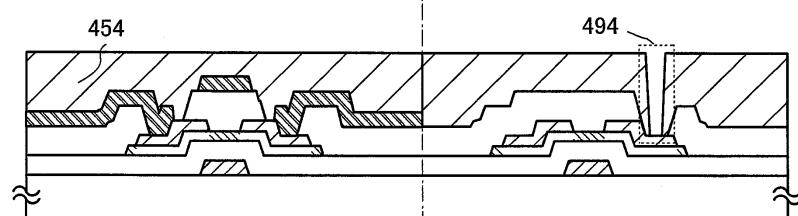


도면46

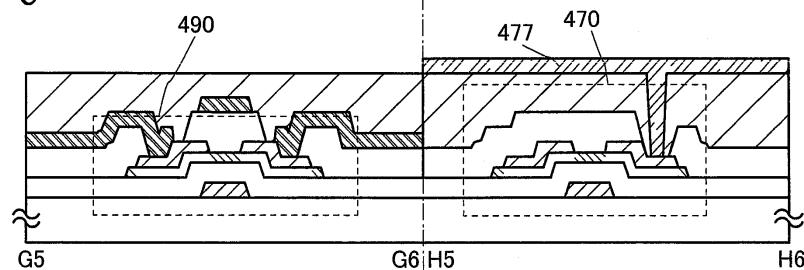
a



b



c



도면47

