

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成20年3月13日 (2008.3.13)

【公開番号】特開2001-306041 (P2001-306041A)

【公開日】平成13年11月2日 (2001.11.2)

【出願番号】特願2001-20110 (P2001-20110)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 4 N 5/66 (2006.01)

H 0 1 L 29/786 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 2 F 1/133 5 5 0

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 2 1 H

G 0 9 G 3/20 6 2 2 B

H 0 1 L 27/08 3 3 1 E

H 0 4 N 5/66 1 0 2 B

H 0 1 L 29/78 6 1 2 B

H 0 1 L 29/78 6 1 4

【手続補正書】

【提出日】平成20年1月25日 (2008.1.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体表示装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の薄膜トランジスタで構成されたソース信号線駆動回路と、  
 複数の薄膜トランジスタで構成されたゲート信号線駆動回路と、  
 複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、を有する半導体表示装置において、

前記ゲート信号線駆動回路は、ゲート信号線 1 本につき少なくとも 1 つのトライステートバッファを有し、

前記トライステートバッファは、

一対の、nチャネル型薄膜トランジスタと pチャネル型薄膜トランジスタを有する第 1 の回路と、

一対の、nチャネル型薄膜トランジスタと pチャネル型薄膜トランジスタを有する第 2

の回路と、を有し、

前記第 1 の回路の n チャンネル型薄膜トランジスタのソース領域と、前記第 2 の回路の p チャンネル型薄膜トランジスタのソース領域とが第 1 の接続点で電氣的に接続され、

第 1 の電源が前記第 1 の回路の p チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、

第 1 の電源よりも低い電位を有する第 2 の電源が前記第 1 の接続点に電氣的に接続され、

第 2 の電源よりも低い電位を有する第 3 の電源が前記第 2 の回路の n チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、

前記第 1 の回路の出力信号線と、前記第 2 の回路の出力信号線とはともにゲート信号線に第 2 の接続点で電氣的に接続されていることを特徴とする半導体表示装置。

【請求項 2】

複数の薄膜トランジスタで構成されたソース信号線駆動回路と、

複数の薄膜トランジスタで構成されたゲート信号線駆動回路と、

複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、を有する半導体表示装置において、

前記ゲート信号線駆動回路は、ゲート信号線 1 本につき少なくとも 1 つのトライステートバッファを有し、

前記トライステートバッファは、

一对の、n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタを有する第 1 の回路と、

一对の、n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタを有する第 2 の回路と、を有し、

前記第 1 の回路の n チャンネル型薄膜トランジスタのソース領域と、前記第 2 の回路の p チャンネル型薄膜トランジスタのソース領域とが第 1 の接続点で電氣的に接続され、

第 1 の電源が前記第 1 の回路の p チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、

第 1 の電源よりも低い電位を有する第 2 の電源が前記第 1 の接続点に電氣的に接続され、

第 2 の電源よりも低い電位を有する第 3 の電源が前記第 2 の回路の n チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、

前記第 1 の回路の出力信号線と、前記第 2 の回路の出力信号線とはともにゲート信号線に第 2 の接続点で電氣的に接続され、

前記第 1 の回路の p チャンネル型薄膜トランジスタのゲートには、ゲート信号線選択パルスが入力され、

前記第 1 の回路の n チャンネル型薄膜トランジスタのゲートには、第 1 の信号が入力され、

前記第 2 の回路の p チャンネル型薄膜トランジスタのゲートには、第 2 の信号が入力され、

前記第 2 の回路の n チャンネル型薄膜トランジスタのゲートには、第 3 の信号が入力され、

対向コモン反転駆動時において、対向電極の電位が高い電位にあるときのフレーム期間を第 1 のフレーム期間、前記対向電極の電位が低い電位にあるときのフレーム期間を第 2 のフレーム期間としたとき、

前記第 3 の信号は、第 1 のフレーム期間から第 2 のフレーム期間に切り換る間の帰線期間内に入力され、

前記第 2 の信号は、前記ゲート信号線選択パルスが入力される直前に入力され、

前記第 1 の信号は、前記第 2 のフレーム期間で、ゲート信号線選択パルスが出力されてから、前記第 1 のフレーム期間で、第 2 の信号が入力されるまでの間および、前記第 1 のフレーム期間で、ゲート信号線選択パルスが出力されてから、帰線期間で前記第 3 の信号

が入力されるまでの間に入力されることを特徴とする半導体表示装置。

【請求項 3】

請求項 2 において、前記第 1 の信号は、外部から直接信号を入力することにより得られることを特徴とする半導体表示装置。

【請求項 4】

請求項 2 において、前記第 1 の信号は、前記ゲート信号線選択パルスと前記第 3 の信号とを論理回路に入力し、前記論理回路の出力によって得られる信号であることを特徴とする半導体表示装置。

【請求項 5】

請求項 2 において、前記第 1 の信号は、前記ゲート信号線駆動回路に外部から供給される信号のうちの 1 つあるいは複数の信号を論理回路に入力し、前記論理回路の出力によって得られる信号であることを特徴とする半導体表示装置。

【請求項 6】

請求項 2 において、前記第 1 の信号は、前期ゲート信号線選択パルスと前記第 3 の信号とをリセット・セット型フリップフロップ回路に入力し、続いて、前記リセット・セット型フリップフロップ回路の出力と前記ゲート信号線選択パルスとを NOR 回路に入力し、前記 NOR 回路の出力によって得られることを特徴とする半導体表示装置。

【請求項 7】

複数の薄膜トランジスタで構成されたソース信号線駆動回路と、  
 複数の薄膜トランジスタで構成されたゲート信号線駆動回路と、  
 複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、を有する半導体表示装置において、

前記ゲート信号線駆動回路は、ゲート信号線 1 本につき少なくとも 1 つのトライステートバッファを有し、

前記トライステートバッファは、

一対の、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタを有する第 1 の回路と、

一対の、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタを有する第 2 の回路と、

リセット・セット型フリップフロップ回路と、

NOR 回路と、を有し、

前記第 1 の回路の n チャネル型薄膜トランジスタのソース領域と、前記第 2 の回路の p チャネル型薄膜トランジスタのソース領域とが第 1 の接続点で電氣的に接続され、

第 1 の電源が前記第 1 の回路の p チャネル型薄膜トランジスタのソース領域に電氣的に接続され、

第 1 の電源よりも低い電位を有する第 2 の電源が前記第 1 の接続点に電氣的に接続され、

第 2 の電源よりも低い電位を有する第 3 の電源が前記第 2 の回路の n チャネル型薄膜トランジスタのソース領域に電氣的に接続され、

前記第 1 の回路の出力信号線と、前記第 2 の回路の出力信号線とはともにゲート信号線に第 2 の接続点で電氣的に接続され、

前記第 1 の回路の p チャネル型薄膜トランジスタのゲートには、ゲート信号線選択パルスが入力され、

前記第 1 の回路の n チャネル型薄膜トランジスタのゲートには、第 1 の信号が入力され、

前記第 2 の回路の p チャネル型薄膜トランジスタのゲートには、第 2 の信号が入力され、

前記第 2 の回路の n チャネル型薄膜トランジスタのゲートには、第 3 の信号が入力され、

対向コモン反転駆動時において、対向コモン電極が高い電位にあるときのフレーム期間

を第 1 のフレーム期間、前記対向コモン電極が低い電位にあるときのフレーム期間を第 2 のフレーム期間としたとき、

前記第 3 の信号は、第 1 のフレーム期間から第 2 のフレーム期間に切り換る間の帰線期間内に入力され、

前記第 2 の信号は、前記ゲート信号線選択パルスが入力される直前に入力され、

前記第 1 の信号は、リセット・セット型フリップフロップ回路のリセット信号入力線にゲート信号線選択パルスを入力し、セット信号入力線に第 3 の信号を入力して得られるセット出力信号と、前記ゲート信号線選択パルスと、を NOR 回路に入力して得られる、前記 NOR 回路の出力信号であることを特徴とする半導体表示装置。

【請求項 8】

請求項 2 乃至 7 のいずれか一において、前記第 2 の信号は、外部から直接信号を入力することにより得られることを特徴とする半導体表示装置。

【請求項 9】

請求項 2 乃至 7 のいずれか一において、前記第 2 の信号は、前記ゲート信号線選択パルスの前段に出力されるゲート信号線選択パルスであることを特徴とする半導体表示装置。

【請求項 10】

請求項 2 乃至 9 のいずれか一において、前記第 3 の信号は、外部から直接信号を入力することにより得られることを特徴とする半導体表示装置。

【請求項 11】

複数の薄膜トランジスタで構成されたソース信号線駆動回路と、  
 複数の薄膜トランジスタで構成されたゲート信号線駆動回路と、  
 複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、を有する半導体表示装置において、

前記ゲート信号線駆動回路は、ゲート信号線 1 本につき少なくとも 1 つのトライステートバッファを有し、

前記トライステートバッファは、

一对の、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタを有する第 1 の回路と、

一对の、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタを有する第 2 の回路と、を有し、

前記第 1 の回路の n チャネル型薄膜トランジスタのソース領域と、前記第 2 の回路の p チャネル型薄膜トランジスタのソース領域とが第 1 の接続点で電氣的に接続され、

第 1 の電源が前記第 1 の回路の p チャネル型薄膜トランジスタのソース領域に電氣的に接続され、

第 1 の電源よりも低い電位を有する第 2 の電源が前記第 1 の接続点に電氣的に接続され、

第 2 の電源よりも低い電位を有する第 3 の電源が前記第 2 の回路の n チャネル型薄膜トランジスタのソース領域に電氣的に接続され、

前記第 1 の回路の出力信号線と、前記第 2 の回路の出力信号線とはともにゲート信号線に第 2 の接続点で電氣的に接続され、

対向コモン反転駆動時において、対向電極の電位が高い電位にあるときのフレーム期間を第 1 のフレーム期間、前記対向電極の電位が低い電位にあるときのフレーム期間を第 2 のフレーム期間としたとき、

ゲート信号線選択パルスに同期してゲート線電位が前記第 1 の電源の電位となり、

前記第 2 のフレーム期間から前記第 1 のフレーム期間に切り換わるときのゲート線電位は前記第 2 の電源の電位であり、

前記第 1 のフレーム期間から前記第 2 のフレーム期間に切り換わるときのゲート線電位は前記第 3 の電源の電位であることを特徴とする半導体表示装置。

【請求項 12】

請求項 1 乃至 11 のいずれか 1 項に記載の半導体表示装置を組み込んだことを特徴とす

る携帯電話、ビデオカメラ、モバイルコンピュータ、ヘッドマウントディスプレイ、テレビ、携帯書籍、パーソナルコンピュータ、デジタルカメラ、DVDプレーヤー、又はプロジェクタ。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

本発明の半導体表示装置の一は、  
複数の薄膜トランジスタで構成されたソース信号線駆動回路部と、  
複数の薄膜トランジスタで構成されたゲート信号線駆動回路部と、  
複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、  
を有する半導体表示装置において、  
前記ゲート信号線駆動回路は、ゲート信号線 1 本につき少なくとも 1 つのトライステートバッファを有し、  
前記トライステートバッファは、  
一対の、n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタを有する第 1 の回路と、  
一対の、n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタを有する第 2 の回路とを有し、  
前記第 1 の回路の n チャンネル型薄膜トランジスタのソース領域と前記第 2 の回路の p チャンネル型薄膜トランジスタのソース領域とが第 1 の接続点で電氣的に接続され、  
第 1 の電源が前記第 1 の回路の p チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、  
第 1 の電源よりも低い電位を有する第 2 の電源が前記第 1 の接続点に電氣的に接続され、  
第 2 の電源よりも低い電位を有する第 3 の電源が前記第 2 の回路の n チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、  
前記第 1 の回路の出力信号線と、  
前記第 2 の回路の出力信号線と、  
はともにゲート信号線に第 2 の接続点で電氣的に接続されていることを特徴としている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明の半導体表示装置の一は、  
複数の薄膜トランジスタで構成されたソース信号線駆動回路部と、  
複数の薄膜トランジスタで構成されたゲート信号線駆動回路部と、  
複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、  
を有する半導体表示装置において、  
前記ゲート信号線駆動回路は、ゲート信号線 1 本につき少なくとも 1 つのトライステートバッファを有し、  
前記トライステートバッファは、  
一対の、n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタを有する第 1 の回路と、  
一対の、n チャンネル型薄膜トランジスタと p チャンネル型薄膜トランジスタを有する第 2 の回路と、

を有し、

前記第 1 の回路の n チャンネル型薄膜トランジスタのソース領域と前記第 2 の回路の p チャンネル型薄膜トランジスタのソース領域とが第 1 の接続点で電氣的に接続され、

第 1 の電源が前記第 1 の回路の p チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、

第 1 の電源よりも低い電位を有する第 2 の電源が前記第 1 の接続点に電氣的に接続され、

第 2 の電源よりも低い電位を有する第 3 の電源が前記第 2 の回路の n チャンネル型薄膜トランジスタのソース領域に電氣的に接続され、

前記第 1 の回路の出力信号線と、

前記第 2 の回路の出力信号線と、

はともにゲート信号線に第 2 の接続点で電氣的に接続され、

前記第 1 の回路の p チャンネル型薄膜トランジスタのゲートには、ゲート信号線選択パルスが入力され、

前記第 1 の回路の n チャンネル型薄膜トランジスタのゲートには、第 1 の信号が入力され、

前記第 2 の回路の p チャンネル型薄膜トランジスタのゲートには、第 2 の信号が入力され、

前記第 2 の回路の n チャンネル型薄膜トランジスタのゲートには、第 3 の信号が入力され、

前記第 3 の信号は、

対向コモン反転駆動時において、対向電極の電位が高い電位にあるときのフレーム期間を第 1 のフレーム期間、前記対向電極の電位が低い電位にあるときのフレーム期間を第 2 のフレーム期間としたとき、

第 1 のフレーム期間から第 2 のフレーム期間に切り換える間の帰線期間内に入力され、

前記第 2 の信号は、

前記ゲート信号線選択パルスが入力される直前に入力され、

前記第 1 の信号は、

前記第 2 のフレーム期間で、ゲート信号線選択パルスが出力されてから、前記第 1 のフレーム期間で、第 2 の信号が入力されるまでの間および、前記第 1 のフレーム期間で、ゲート信号線選択パルスが出力されてから、帰線期間で前記第 3 の信号が入力されるまでの間に入力されることを特徴としている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】変更

【補正の内容】

【0 0 2 5】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第 1 の信号は外部から直接信号を入力することにより得られることを特徴としている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】変更

【補正の内容】

【0 0 2 6】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第 1 の信号は、前記ゲート信号線選択パルスと前記第 3 の信号とを論理回路に入力し、前記論理回路の出力によって得られる信号であること

を特徴としている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第1の信号は前記ゲート信号線駆動回路に外部から供給される信号のうちの1つあるいは複数の信号を論理回路に入力し、前記論理回路の出力によって得られる信号であることを特徴としている。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第1の信号は、前期ゲート信号線選択パルスと前記第3の信号とをリセット・セット型フリップフロップ回路に入力し、続いて、前記リセット・セット型フリップフロップ回路の出力と前記ゲート信号線選択パルスとをNOR回路に入力し、前記NOR回路の出力によって得られることを特徴としている。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第2の信号は外部から直接信号を入力することにより得られることを特徴としている。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第2の信号は前記ゲート信号線選択パルスの前段に出力されるゲート信号線選択パルスであることを特徴としている。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第3の信号は外部から直接信号を入力することにより得られることを特徴としている。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

本発明の半導体表示装置の一は、  
複数の薄膜トランジスタで構成されたソース信号線駆動回路部と、  
複数の薄膜トランジスタで構成されたゲート信号線駆動回路部と、  
複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、  
を有する半導体表示装置において、  
前記ゲート信号線駆動回路は、ゲート信号線1本につき少なくとも1つのトライステートバッファを有し、  
前記トライステートバッファは、  
一対の、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタを有する第1の回路と、  
一対の、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタを有する第2の回路と、  
リセット・セット型フリップフロップ回路と、  
NOR回路と、  
を有し、  
前記第1の回路のnチャネル型薄膜トランジスタのソース領域と前記第2の回路のpチャネル型薄膜トランジスタのソース領域とが第1の接続点で電氣的に接続され、  
第1の電源が前記第1の回路のpチャネル型薄膜トランジスタのソース領域に電氣的に接続され、  
第1の電源よりも低い電位を有する第2の電源が前記第1の接続点に電氣的に接続され、  
第2の電源よりも低い電位を有する第3の電源が前記第2の回路のnチャネル型薄膜トランジスタのソース領域に電氣的に接続され、  
前記第1の回路の出力信号線と、  
前記第2の回路の出力信号線と、  
はともにゲート信号線に第2の接続点で電氣的に接続され、  
前記第1の回路のpチャネル型薄膜トランジスタのゲートには、ゲート信号線選択パルスが入力され、  
前記第1の回路のnチャネル型薄膜トランジスタのゲートには、第1の信号が入力され、  
前記第2の回路のpチャネル型薄膜トランジスタのゲートには、第2の信号が入力され、  
前記第2の回路のnチャネル型薄膜トランジスタのゲートには、第3の信号が入力され、  
前記第3の信号は、  
対向コモン反転駆動時において、対向コモン電極が高い電位にあるときのフレーム期間を第1のフレーム期間、前記対向コモン電極が低い電位にあるときのフレーム期間を第2のフレーム期間としたとき、  
第1のフレーム期間から第2のフレーム期間に切り換える間の帰線期間内に入力され、  
前記第2の信号は、  
前記ゲート信号線選択パルスが入力される直前に入力され、  
前記第1の信号は、  
リセット・セット型フリップフロップ回路のリセット信号入力線にゲート信号線選択パルスを



入力し、セット信号入力線に第 3 の信号を入力して得られるセット出力信号と、

前記ゲート信号線選択パルスと、

を NOR 回路に入力して得られる、前記 NOR 回路の出力信号が入力されることを特徴としている。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 3

【補正方法】変更

【補正の内容】

【0 0 3 3】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第 2 の信号は外部から直接信号を入力することにより得られることを特徴としている。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 4

【補正方法】変更

【補正の内容】

【0 0 3 4】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第 2 の信号は前記ゲート信号線選択パルスの前段に出力されるゲート信号線選択パルスであることを特徴としている

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0 0 3 5】

本発明の半導体表示装置の一は、

上記半導体表示装置において、前記第 3 の信号は外部から直接信号を入力することにより得られることを特徴としている。

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 6

【補正方法】変更

【補正の内容】

【0 0 3 6】

本発明の半導体表示装置の駆動方法の一は、

複数の薄膜トランジスタで構成されたソース信号線駆動回路部と、

複数の薄膜トランジスタで構成されたゲート信号線駆動回路部と、

複数の画素薄膜トランジスタがマトリクス状に配置された画素部と、

を有する半導体表示装置において、

アクティブマトリクス回路を構成する画素 TFT の駆動には、第 1 の電源電位と、第 2 の電源電位と、第 3 の電源電位との 3 種類の電位を用いることを特徴としている。