

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5614593号
(P5614593)

(45) 発行日 平成26年10月29日 (2014. 10. 29)

(24) 登録日 平成26年9月19日 (2014. 9. 19)

(51) Int. Cl.	F I
H03K 19/0948 (2006.01)	H03K 19/094 B
H01L 27/04 (2006.01)	H01L 27/04 H
H01L 21/822 (2006.01)	H03K 19/003 E
H03K 19/003 (2006.01)	

請求項の数 10 (全 9 頁)

(21) 出願番号	特願2011-501764 (P2011-501764)	(73) 特許権者	500587067
(86) (22) 出願日	平成20年3月27日 (2008. 3. 27)		アギア システムズ エルエルシー
(65) 公表番号	特表2011-518479 (P2011-518479A)		Agere Systems LLC
(43) 公表日	平成23年6月23日 (2011. 6. 23)		アメリカ合衆国、18109 ペンシルヴ
(86) 国際出願番号	PCT/US2008/058452		ァニア、アレントアウン、アメリカン パー
(87) 国際公開番号	W02009/120200		クウェイ エヌイー 1110
(87) 国際公開日	平成21年10月1日 (2009. 10. 1)	(74) 代理人	100087642
審査請求日	平成23年2月3日 (2011. 2. 3)	弁理士	古谷 聡
審判番号	不服2013-16835 (P2013-16835/J1)	(74) 代理人	100082946
審判請求日	平成25年9月2日 (2013. 9. 2)	弁理士	大西 昭広
		(74) 代理人	100121061
		弁理士	西山 清春
		(74) 代理人	100195693
		弁理士	細井 玲

最終頁に続く

(54) 【発明の名称】 高電圧耐性の入出力インターフェイス回路

(57) 【特許請求の範囲】

【請求項 1】

入出力 (I/O) インターフェイス回路であって、
信号パッド、

第 1 の電圧源に接続するように適合されたエミッタと、第 1 の制御信号を受け取るように適合されたベースと、オープンコレクタ構成で前記信号パッドに直接接続されたコレクタとを有する少なくとも 1 つの第 1 の寄生バイポーラ・トランジスタ、及び、

前記少なくとも 1 つの第 1 の寄生バイポーラ・トランジスタに結合され、第 1 の制御信号を発生するよう動作する金属酸化膜半導体 (MOS) 制御回路を備える、インターフェイス回路。

【請求項 2】

前記少なくとも 1 つの第 1 の寄生バイポーラ・トランジスタが寄生 NPN トランジスタおよび寄生 PNP トランジスタのうち少なくとも 1 つを備える、請求項 1 に記載のインターフェイス回路。

【請求項 3】

I/O インターフェイス回路であって、
信号パッド、

第 1 の電圧源に接続するように適合されたエミッタと、第 1 の制御信号を受け取るように適合されたベースと、前記信号パッドに直接接続されたコレクタとを有する少なくとも 1 つの第 1 の寄生バイポーラ・トランジスタ、

10

20

第2の電圧源と前記信号パッドとの間に接続され、前記第1の制御信号の論理的補数である第2の制御信号を受け取るように適合されるアクティブ・プルダウン回路、及び、

前記第1の寄生バイポーラ・トランジスタに結合され、前記第1の制御信号と前記第2の制御信号とを発生するよう動作するMOS制御回路を備える、インターフェイス回路。

【請求項4】

前記アクティブ・プルダウン回路が、前記信号パッドに接続されたエミッタと、前記第2の電圧源へ接続するように適合されたコレクタと、前記第2の制御信号を受け取るように適合されたベースとを含む少なくとも1つの第2の寄生バイポーラ・トランジスタを備える、請求項3に記載のインターフェイス回路。

【請求項5】

前記少なくとも1つの第1の寄生バイポーラ・トランジスタと前記少なくとも1つの第2の寄生バイポーラ・トランジスタとのそれぞれが寄生PNPトランジスタを備える、請求項4に記載のインターフェイス回路。

【請求項6】

前記MOS制御回路が、pチャネル金属酸化膜半導体(PMOS)デバイスとnチャネル金属酸化膜半導体(NMOS)デバイスとを含む少なくとも1つのインバータを備え、前記PMOSデバイスのソースが前記第1の電圧源に接続し、前記PMOSデバイスのドレインが前記NMOSデバイスのドレインに接続して、前記第1の制御信号を発生する前記MOS制御回路の出力端を形成し、前記NMOSデバイスのソースが前記第2の電圧源に接続し、前記PMOSデバイスのゲートと前記NMOSデバイスのゲートとが、互いに接続されて、前記MOS制御回路への入力信号を受け取るように適合される、請求項3に記載のインターフェイス回路。

【請求項7】

請求項3に記載のIOインターフェイス回路を少なくとも1つ備える集積回路。

【請求項8】

少なくとも1つの入出力(IO)インターフェイス回路を含む集積回路であって、前記少なくとも1つの入出力(IO)インターフェイス回路は、

信号パッド、

第1の電圧源に接続するように適合されたエミッタと、第1の制御信号を受け取るように適合されたベースと、オープンコレクタ構成で前記信号パッドに直接接続されたコレクタを有する少なくとも1つの第1の寄生バイポーラ・トランジスタ、及び、

前記少なくとも1つの第1の寄生バイポーラ・トランジスタに結合され、第1の制御信号を発生するよう動作する金属酸化膜半導体(MOS)制御回路を備える、集積回路。

【請求項9】

前記第1の寄生バイポーラ・トランジスタが寄生NPNトランジスタおよび寄生PNPトランジスタのうち少なくとも1つを備える、請求項8に記載の集積回路。

【請求項10】

IOインターフェイス回路の電圧耐性を向上する方法であって、

第1の電圧源へ接続するように適合されたエミッタと、第1の制御信号を受け取るように適合されたベースと、オープンコレクタ構成でIOインターフェイス回路の信号パッドに直接接続されたコレクタとを有する少なくとも1つの第1の寄生バイポーラ・トランジスタを設けるステップと、

前記IOインターフェイス回路に与えられた入力信号の関数として、前記第1の制御信号を発生するステップとを含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に電気技術および電子技術に関し、より詳細には入出力(IO)インターフェイス回路に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

例えばＩＯバッファなどのＩＯインターフェイス回路の使用は周知である。高度な相補型金属酸化膜半導体（ＣＭＯＳ）集積回路（ＩＣ）プロセス技術では、低電圧ＩＯバッファに向けた取組みが行われている。４０ナノメートル（ｎｍ）のＩＣ製造プロセスでは、例えば１．８ボルトのトランジスタが容易に採用されている。しかし、低電圧トランジスタを利用する取組みにもかかわらず、高電圧（例えば５ボルト）とのインターフェイスを必要とする特定のＩＯ用途において高電圧耐性の必要性が依然として存在している。そのような用途の１つに、発光ダイオード（ＬＥＤ）駆動回路がある。

【 0 0 0 3 】

従来型の高電圧耐性ＩＯインターフェイス回路は、一般に積層型金属酸化物半導体（ＭＯＳ）デバイスを用いる。この構成の一実施例が、Ｃｌａｒｋらの米国特許第６，３８８，４７５号に説明されている。この回路構成は、２つ以上のデバイスにわたって電圧を分配することにより、個々のデバイスに対する過電圧ストレスを緩和する助けとなり得るが、高電圧耐性のフェールセーフ仕様のなかには、回路への電力が遮断されたときさえ、回路が所定電圧に耐えることを必要とするものがある。これによって、積層型ＭＯＳデバイス手法に対する問題が生じる。さらに、積層型ＭＯＳデバイスを利用すると、非積層型デバイスの機構と比較してＩＣのより大きな面積が必要となり、したがって望ましくない。

10

【 0 0 0 4 】

高電圧耐性の出力段を形成する別の既知の手法に、厚い酸化物ＭＯＳデバイスを用いるものがある。しかし、この手法の欠点の１つに、追加のＩＣ製造ステップが必要であり総原価が増加するということがある。

20

【 0 0 0 5 】

したがって、従来型ＩＯインターフェイス回路に関連した１つまたは複数の前述の問題がない、高電圧耐性のＩＯインターフェイス回路に対する必要性が存在する。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 米国特許第 6 ， 3 8 8 ， 4 7 5 号

【 発明の概要 】

【 課題を解決するための手段 】

30

【 0 0 0 7 】

本発明の例示的实施形態は、高電圧信号に対する耐性を改善したＩＯインターフェイス回路を提供することにより、上記の必要性を満たす。本発明の技法は、ＭＯＳデバイスと比較してより高い電圧耐性を有する１つまたは複数の寄生バイポーラ・トランジスタを利用することにより、積層型ＭＯＳデバイスに対する必要性を有利に解消する。さらに、本発明の技法は、そのような改善された高電圧耐性を用いる標準ＣＭＯＳ加工技術を提供し、したがって、従来型ＩＯインターフェイス回路と比較して、いかなる顕著なコストも追加しない。

【 0 0 0 8 】

本発明の一態様によれば、高電圧耐性の用途で用いるＩＯインターフェイス回路が提供される。このＩＯインターフェイス回路は、信号パッド、ならびにインターフェイス回路の電圧帰路に接続するエミッタ、第１の制御信号を受け取るように適合されたベース、およびオープンコレクタ構成で信号パッドに直接接続されたコレクタを有する少なくとも１つの第１の寄生バイポーラ・トランジスタを含む。このインターフェイス回路は、寄生バイポーラ・トランジスタに結合されて第１の制御信号を発生する働きをするＭＯＳ制御回路をさらに含む。

40

【 0 0 0 9 】

本発明の別の態様によれば、高電圧耐性の用途で用いるＩＯインターフェイス回路は、信号パッド、ならびに第１の電圧源に接続するエミッタ、第１の制御信号を受け取るように適合されたベース、および信号パッドに直接接続されたコレクタを含む少なくとも１つ

50

の第１の寄生バイポーラ・トランジスタを含む。このインターフェイス回路は、第２の電圧源と信号パッドとの間に接続されたアクティブ・プルアップ回路をさらに含む。アクティブ・プルアップ回路は、第１の制御信号の論理的補数である第２の制御信号を受け取るように適合される。ＭＯＳ制御回路は、第１の寄生バイポーラ・トランジスタに結合されて第１および第２の制御信号を発生する働きをする。

【００１０】

本発明の、これらおよび他の特徴、態様および利点が、添付図面に関連して解釈されることになる例示的实施形態の以下の詳細な説明から明らかになるであろう。

【図面の簡単な説明】

【００１１】

【図１】高電圧耐性の用途で用いる従来型出力段の少なくとも一部分を示す概略図である。

【図２】本発明の一実施形態による、高電圧耐性の用途で用いる例示的ＩＯインターフェイス回路の少なくとも一部分を示す概略図である。

【図３】本発明の別の実施形態による、高電圧耐性の用途で用いる例示的ＩＯインターフェイス回路の少なくとも一部分を示す概略図である。

【図４】本発明の一実施形態による、高電圧耐性の用途で用いる例示的アクティブ・プルアップＩＯインターフェイス回路の少なくとも一部分を示す概略図である。

【図５】本発明の別の実施形態による、高電圧耐性の用途で用いる例示的アクティブ・プルアップＩＯインターフェイス回路の少なくとも一部分を示す概略図である。

【発明を実施するための形態】

【００１２】

本発明は、本明細書で、例示的ＩＯインターフェイス回路との関連で説明されることになる。しかし、本発明は、本明細書に示されて説明される回路に限定されないことを理解されたい。むしろ、本発明の実施形態は、高電圧に対して向上した耐性を有するインターフェイス回路から利益を得ることができる任意の用途で実施されてよい。本発明の好ましい実施形態は、シリコン・ウェハで製作されてよいが、本発明の実施形態は、代わりに、ガリウム砒素（ＧａＡｓ）、リン化インジウム（ＩｎＰ）などを含むがこれらには限定されない他の材料を含むウェハで製作され得る。

【００１３】

図１は、高電圧耐性の用途で用いる従来型ＩＯインターフェイス回路１００の少なくとも一部分を示す概略図である。インターフェイス回路１００は、ＩＯパッド１０２およびＩＯパッドに接続された出力段を含み、出力段は、１対の積層型ｎチャネルＭＯＳ（ＮＭＯＳ）トランジスタ・デバイスを備える。具体的には、第１のＮＭＯＳデバイス１０４および第２のＮＭＯＳデバイス１０６は、ＮＭＯＳデバイス１０４のドレイン（Ｄ）がＩＯパッド１０２に接続され、ＮＭＯＳデバイス１０４のソース（Ｓ）がＮＭＯＳデバイス１０６のドレインに接続され、ＮＭＯＳデバイス１０６のソースがアースに接続され、また、ＮＭＯＳデバイス１０４および１０６のゲート（Ｇ）がＣＭＯＳ制御回路１０８に接続されるように構成される。制御回路１０８は、制御回路に供給された入力信号Ｖ_{in}の関数としてＮＭＯＳデバイス１０４および１０６を選択的に作動させるための制御信号を発生する働きをする。図示のように、制御回路１０８は、標準的なやり方で構成されたインバータを含んでよい。

【００１４】

インターフェイス回路１００によって利用される積層型ＭＯＳデバイス手法が、ＩＯパッドに印加された電圧をＮＭＯＳデバイス１０４および１０６にわたって分配することにより、ＩＯパッド１０２に接続された個々のＮＭＯＳデバイス１０４および１０６に対する過電圧ストレスを緩和する助けとなり得るが、高電圧耐性のフェールセーフ仕様のなかには、回路への電力が遮断されたときさえ、回路が所定の電圧に耐えることを必要とするものがある。これによって、積層型ＭＯＳデバイス手法に対する問題が生じる。さらに、積層型ＭＯＳデバイスを利用すると、非積層型デバイスの機構と比較してＩＣのより大き

10

20

30

40

50

な面積が必要となり、したがって望ましくない。

【0015】

図2は、本発明の一実施形態による、高電圧耐性の用途で用いる例示的I/Oインターフェイス回路200の少なくとも一部分を示す概略図である。I/Oインターフェイス回路200は、I/Oパッド202または代替信号パッド、ならびにインターフェイス回路の電圧帰路（例えばアースまたはVSS）であり得るインターフェイス回路の第1の電圧源に接続するエミッタ（E）、第1の制御信号Vcを受け取るように適合されたベース（B）、およびオープンコレクタ構成でI/Oパッドに直接接続されたコレクタ（C）を有する少なくとも1つの第1のバイポーラ・トランジスタ204を含む。用語「オープンコレクタ」は、一般にトランジスタの出力機構を指し、トランジスタのコレクタまたは他の出力端子（例えばドレイン）が、プラス電圧源に接続されずにICのI/Oパッドでオープン状態のままにされるものである。この機構の利点は、例えばプルアップ抵抗または代替のプルアップ回路（例えば能動デバイス）を用いて、オープンコレクタ出力が広範囲の電圧（例えば出力トランジスタ・デバイスの飽和電圧より高い電圧）に接続され得ることである。このように、オープンコレクタ出力は、様々な電圧レベルとインターフェイスすることができ、それらの電圧のいくつかは、VDDであり得るインターフェイス回路200の第2の供給電圧源よりさらに高くてもよい。

10

【0016】

図から明らかなように、バイポーラ・トランジスタ204は、好ましくは寄生NPNトランジスタ（例えば横型NPNまたは縦型NPN）である。比較的低速度（例えば約100メガヘルツ（MHz）未満）が許容できるとき、寄生バイポーラ・デバイスは、MOSデバイスの酸化膜絶縁破壊現象特性の心配のない、はるかに高い電圧耐性を示す。さらに、寄生バイポーラ・デバイスは、追加コストなし、またはほとんどなしで、標準的CMOSプロセスにおいて利用可能である。CMOS製造プロセスを用いてバイポーラ・デバイスを実施するための技法は、当業者に知られている。

20

【0017】

インターフェイス回路200は、寄生NPNトランジスタ204に結合されて第1の制御信号Vcを発生する働きをするMOS制御回路206をさらに備える。制御回路206は、例えばpチャネルMOS（PMOS）トランジスタ・デバイスMP、およびインバータとして接続されるNMOSTランジスタ・デバイスMNを含んでよい。より詳細には、PMOSデバイスMPのソース（S）は、インターフェイス回路200の、VDDであり得る供給電圧に接続し、デバイスMPのドレイン（D）は、ノードN1でNMOSデバイスMNのドレインに接続され、デバイスMNのソースは、インターフェイス回路の第1の供給電圧源（例えばアース）に接続し、また、デバイスMPおよびMNのゲート（G）は、インターフェイス回路に供給される入力信号Vinを受け取るためのノードN2とともに接続されて制御回路の入力端を形成する。したがって、制御信号Vcは、入力信号Vinの関数として発生されることになる。制御回路206に対する様々な代替形態の構成が同様に企図され、それらが本発明の範囲内に入ることを理解されたい。制御回路206への1つまたは複数の電圧源接続すなわちVDDおよび/またはアースは、寄生バイポーラ・デバイスへの電圧源接続と同一である必要性はないことを理解されたい。このように、寄生バイポーラ・トランジスタ204は、結合されたMOS制御回路206から電氣的に絶縁され得る。

30

40

【0018】

図3に示される代替実施形態では、例示的I/Oインターフェイス回路300は、I/Oパッド202と第1の供給電圧源（例えば接地）との間に接続されるのではなく、第2の供給電圧源（例えばVDD）とI/Oパッドとの間に直接接続されるバイポーラ・トランジスタ302を用いてよい。諸図を通じて、同じ参照数字は同じ要素を示すのに用いられる。この構成では、バイポーラ・トランジスタ302は、VDDに接続されたエミッタ、I/Oパッド202に直接接続されたコレクタ、および制御信号Vcを受け取るように適合されたベースを有する寄生PNPトランジスタ（例えば横型PNPまたは縦型PNP）を備え

50

てよい。このオープンコレクタの出力段構成は、例えばプルアップ用途で利用されてよい。この例では、寄生バイポーラ・トランジスタ302がオフになるときに、インターフェイス回路300の出力を論理の低レベルに設定するために、IOPAD202に外部抵抗(図示せず)が接続されてよい。

【0019】

図4は、本発明の別の実施形態による、高電圧耐性の用途で用いる例示的I/Oインターフェイス回路400の少なくとも一部分を示す概略図である。繰り返しになるが、諸図を通じて、同じ参照数字は同じ要素を示すのに用いられる。図2に示される例示的I/Oインターフェイス回路200では、I/Oインターフェイス回路400は、積層型MOSデバイス機構の代わりにIOPAD202に直接接続された少なくとも1つの第1のバイポーラ・トランジスタ204を有利に利用する(例えば図1を参照されたい)。より詳細には、第1のバイポーラ・トランジスタ204は、インターフェイス回路400のアースであり得る第1の供給電圧源に接続するエミッタ、第1の制御信号Vcを受け取るように適合されたベース、およびIOPAD202に直接接続されたコレクタを含んでよい。しかし、図2および図3に示されたように、I/Oインターフェイス回路400は、オープンコレクタ機構に構成されるのではなく、第2の供給電圧源VDDとIOPAD202との間に接続されたアクティブ・プルアップ回路402を含む。制御信号Vcは、第1のバイポーラ・トランジスタ204に結合された制御回路206によって発生されてよい。

【0020】

プルアップ回路402を過電圧ストレスから保護するために、プルアップ回路は、少なくとも1つの第2のバイポーラ・トランジスタ404を含む。図から明らかなように、バイポーラ・トランジスタ404は、好ましくは寄生NPNトランジスタとして実施され、寄生NPNトランジスタは、前述のように実質的にMOSデバイスの酸化膜絶縁破壊特性の心配のない高電圧耐性を示す。具体的には、バイポーラ・トランジスタ404のコレクタは第2の供給電圧源VDDに接続し、バイポーラ・トランジスタ404のエミッタはIOPAD202に直接接続され、バイポーラ・トランジスタ404のベースは第2の制御信号Vcbを受け取るように適合される。制御回路206によって発生され得る第2の制御信号Vcbは、好ましくは第1の制御信号Vcの論理的補数である。

【0021】

一実施例が図5に示されている他の実施形態では、例示的I/Oインターフェイス回路500は、第2の供給電圧源に接続するコレクタ、IOPAD202に直接接続されたエミッタ、および第1の制御信号Vcの論理的補数である第2の制御信号Vcbを受け取るように適合されたベースを有する寄生PNPトランジスタ504を備えたアクティブ・プルダウン回路502を含んでよい。本発明の教示によるI/Oインターフェイス回路用に、様々な代替構成が企図されることを理解されたい。

【0022】

本発明の技法の少なくとも一部分が、1つまたは複数の集積回路で実施されてよい。集積回路を形成する際に、ダイは、半導体ウェハの表面上の繰り返しパターンで通常製作される。ダイのそれぞれが、本明細書に説明されたデバイスを含み、他の構造または回路を含んでよい。個々のダイは、ウェハから切り取られ、あるいはダイシングされ、次いで集積回路としてパッケージングされる。当業者なら、ウェハをダイシングし、ダイをパッケージングして集積回路を作製する方法を知っているはずである。このように製造された集積回路は、本発明の一部と見なされる。

【0023】

本発明による集積回路は、I/Oインターフェイス回路を利用するあらゆる用途および/または電子システムで用いられ得る。本発明を実施するのに適当なシステムは、パーソナル・コンピュータ、通信網、電子機器(例えば自動試験装置(ATE))、インターフェイス・ネットワーク、ディスプレイ・システムなどを含み得るが、これらには限定されない。そのような集積回路を組み込むシステムは、本発明の一部と見なされる。本明細書で提供された本発明の教示が与えられると、当業者なら、本発明の技法の他の実装形態およ

10

20

30

40

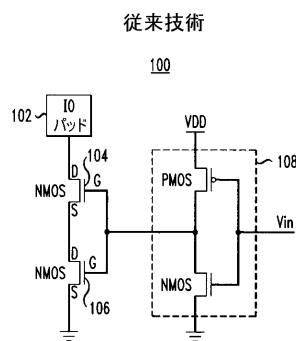
50

び用途を企図することができるはずである。

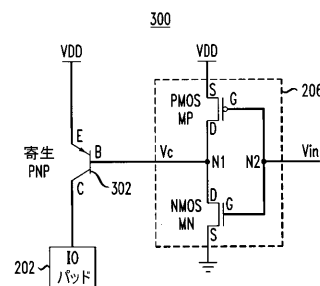
【 0 0 2 4 】

本発明の例示的实施形態が、本明細書で添付図面を参照しながら説明されてきたが、本発明がそれらの実施形態に限定されないこと、また、添付の特許請求の範囲から逸脱することなく、当業者によって様々な他の変更および修正が本発明に加えられ得ることを理解されたい。

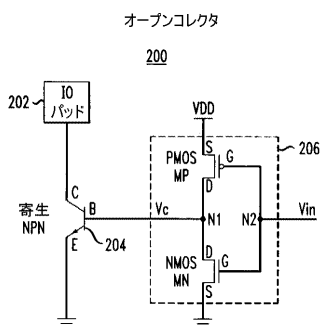
【 図 1 】



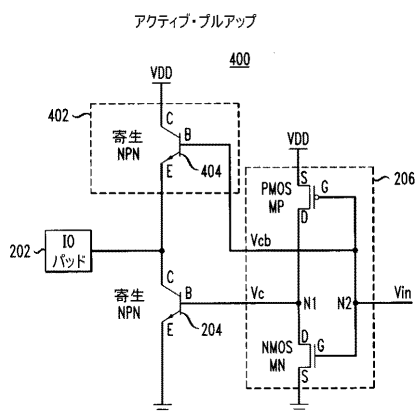
【 図 3 】



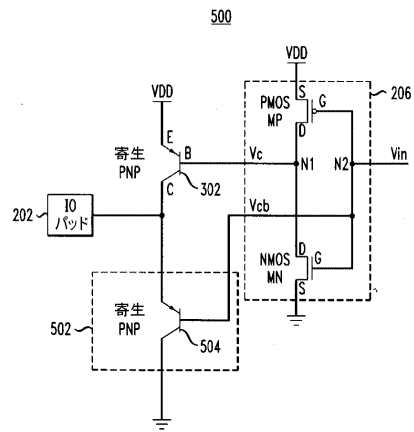
【 図 2 】



【 図 4 】



【図 5】



フロントページの続き

- (72)発明者 ハリス, エドワード ビー .
アメリカ合衆国 1 8 0 5 1 ペンシルヴァニア, フォーゲルスヴィル, ブロッサム ハイツ 7
9 1 2
- (72)発明者 レウン, チェ, チョイ
アメリカ合衆国 1 8 0 1 7 ペンシルヴァニア, ベスレヘム タウンシップ, バーバリー スト
リート 5 1 2 4

合議体

審判長 河口 雅英

審判官 山本 章裕

審判官 山澤 宏

- (56)参考文献 特開平 0 2 - 2 7 6 2 7 3 (J P , A)
特開昭 6 1 - 2 2 4 5 1 9 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)

H03K19/00-19/096

H01L27/04-27/08