


公告本

402820

申請日期	類別	案號
8/11/83	H01L 29/28	83118633

(以上各欄由本局填註)

### 發明專利說明書

一、發明名稱	中文	互補式MOS半導體裝置	402820
	英文		
二、發明人	姓名 (中文)	1. 伊藤浩 2. 佐々木誠	
	姓名 (英文)	1. 2.	
	國籍	1. 日本 2. 日本	
	住、居所	1. 日本國東京都港區芝五丁目7番1號 2. 日本國東京都港區芝五丁目7番1號	
三、申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司	
	姓名 (名稱) (英文)	1. 日本電氣株式會社	
	國籍	1. 日本	
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號	
	代表人姓名 (中文)	1. 金子尚志	
代表人姓名 (英文)	1.		
			

402820

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1997/11/14 9-313985

有

有關微生物已寄存於

寄存日期

寄存號碼

無



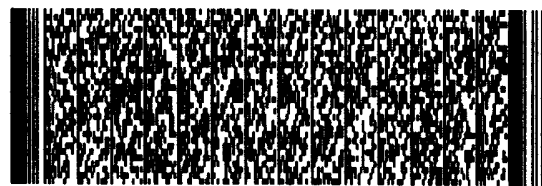
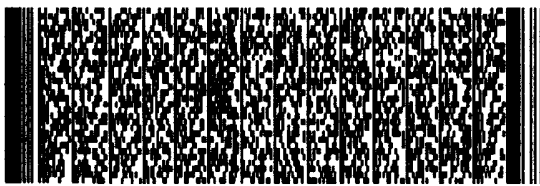
## 五、發明說明 (1)

本發明是有關於一種適用於機動裝置的互補式MOS半導體裝置，且特別是有關於一種互補式MOS半導體裝置，其即使是場效電晶體之閘絕緣層厚度小於2.5nm，非動作期間的電力消耗亦可以有效降低。

近年來，機動裝置的需求與日俱增。機動裝置包括戶外使用的個人電腦及可攜帶的行動電話，電力則經由電池供應至機動裝置。有鑑於此，在機動裝置中，降低非動作期間及動作期間的電力消耗便成為非常重要的議題。另外，互補式MOS半導體裝置則特別適用於機動裝置中，由於其非動作期間的低電力消耗。

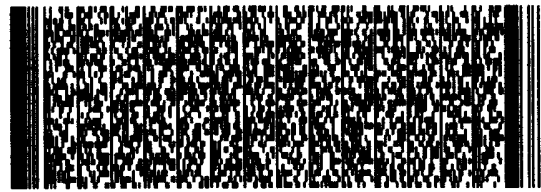
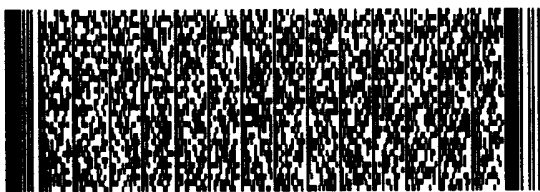
不過，若降低MOS場效電晶體的臨界電壓以增加半導體裝置的電路操作速度，則非動作期間的電力消耗便會增高，因為非動作期間的電流(待命電流)增加。第4圖即是合併於習知互補式MOS半導體裝置內之電路結構的電路方塊圖。習知半導體裝置具有兩級反相器INV1、INV2。反相器INV1具有p通道MOS場效電晶體P11及n通道MOS場效電晶體N11，反相器INV2具有p通道MOS場效電晶體P12及n通道MOS場效電晶體N12。每個MOS場效電晶體P11、P12、N11、N12均是低臨界電壓。

在習知互補式MOS半導體裝置中，當輸入p通道MOS場效電晶體P11之閘極及n通道MOS場效電晶體N11之閘極所連接的輸入端IN11，位於反相器INV1內，的信號維持在低電位時，p通道MOS場效電晶體P11為導通狀態、且n通道MOS場效電晶體N11為非導通狀態。在這個例子裡，輸入反相



器INV2的信號維持於高電位，藉以使p通道MOS場效電晶體P12為非導通狀態、且n通道MOS場效電晶體N12為導通狀態。然後，將低電位的信號經由連接p通道MOS場效電晶體P12之汲極及n通道MOS場效電晶體N12之汲極的輸出端OUT1輸出。此時，反相器INV1的n通道MOS場效電晶體N11為非導通狀態、且大待命電流會通過低臨界電壓的MOS場效電晶體。因此，對應此待命電流的通過電流21便需要通過電源線L11及地線L12的延伸路徑。另外，在反相器INV2中，對應p通道MOS場效電晶體P12之待命電流的通過電流22則需要通過電源線L11及地線L12的延伸路徑。這些通過電流21、22會增加非動作期間的電力消耗。

因此，日本專利公開Hei6-29834便提出解決上述缺點的電路。正式公報的電路是以第4圖邏輯電路為基礎而設計，其具有將電源線及地線與邏輯電路分開的裝置。第5圖係日本專利公開Hei6-29834提出電路結構的電路方塊圖。在這種連接中，與第4圖邏輯電路類似的元件是以相同標號表示，且其詳細說明亦予以省略。在日本公開Hei29834電路中，具有橫跨電源線L13及仿電源線V11的p通道MOS場效電晶體P13以作為電源電路S11，及橫跨地線L14及仿地線V12的n通道MOS場效電晶體N13以作為電源電路S12。p通道MOS場效電晶體P13及n通道MOS場效電晶體N13均具有高臨界電壓。p通道MOS場效電晶體P13的閘極經由反相器INV3連接開關SW11，而n通道MOS場效電晶體N13的閘極則直接連至開關SW11。



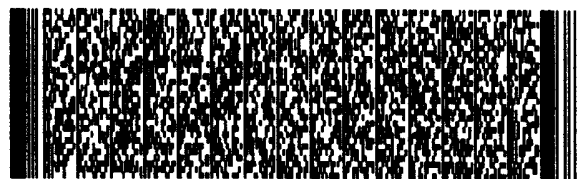
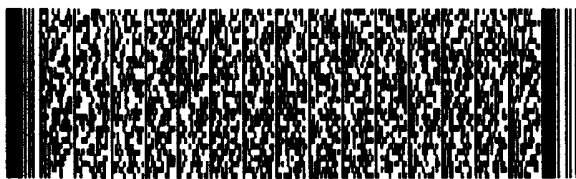
## 五、發明說明 (3)

在前述習知電路中，若開關SW11在非動作期間，經由反相器INV11及INV12而形成非導通狀態，p通道MOS場效電晶體P13及n通道MOS場效電晶體N13均會變成非導通狀態，使反相器INV11及INV12與電源線13及地線14分離。另外，由於p通道MOS場效電晶體P13及n通道MOS場效電晶體N13均具有高臨界電壓，故其待命電流會遠小於MOS場效電晶體P11、P12、N11、N12，使經由電源線13至地線14之延伸路徑的通過電流大幅壓縮。因此，非動作期間的電力消耗可有效降低。

另外，日本專利公開Hei7-38417則提出一種電路，其可以在不減緩操作速度的情況下，降低非動作期間的電力消耗。在這種揭露於公報的電路中，邏輯電路具有一由MOS電晶體組成的第一反相器(具有低臨界電壓)及一由MOS電晶體組成的第二反相器(具有高臨界電壓)。另外，第一反相器在非動作期間則與電源分離。

根據日本專利公開Hei7-38417，在動作期間，高速切換動作是由第一反相器達成；在非動作期間，輸出位準則是由第二反相器維持。為此，非動作期間的電力消耗可壓縮至相當低的數值。

不過，當MOS場效電晶體隨著高速動作及LSI高積集度而縮短至閘極長度約為0.1 $\mu$ m時，部分問題亦會發生。在習知互補式MOS半導體裝置中，非動作期間的電力消耗很高。特別是，因為LSI是由電池驅動，即使在非動作期間，電力消耗亦會相當高，使電池消耗亦會相當高。在目



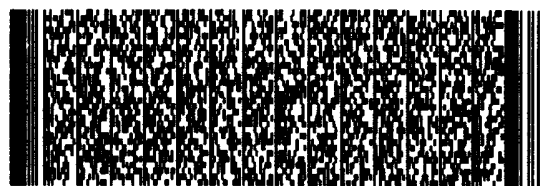
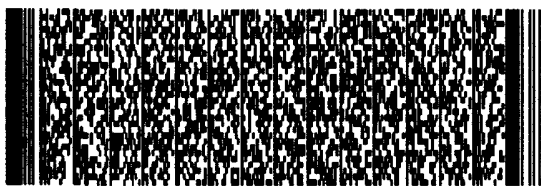
## 五、發明說明 (4)

前環境下，機動裝置的需求日殷，故解決此問題實是非常重要。

MOS場效電晶體的裝置參數，如尺寸，會依據特定之正比縮減法則而縮小。對正比縮減法則包括，如，電場定義正比縮減法則、電壓定義正比縮減法則、類電場定義正比縮減法則。無論在那種正比縮減法則，閘極長度及閘絕緣層的厚度均會以相同的縮減比例縮減。在實際裝置中，閘極長度及閘絕緣層的厚度約正比地縮減。因此，若CMOS閘絕緣層的厚度在閘極長度 $0.25\mu\text{m}$ 時約為 $5\text{nm}$ ，則CMOS閘絕緣層的厚度在閘極長度 $0.1\mu\text{m}$ 時約為 $2.0\sim 2.5\text{nm}$ 。也就是說，為使MOS場效電晶體能夠縮短，閘極長度必須約為 $0.1\mu\text{m}$ 且邏輯電路的閘絕緣層厚度必須小於 $2.5\text{nm}$ ，因此，非動作期間的電力消耗便會增加。

為解決上述及其他目的，本發明的主要目的就是提供一種互補式MOS半導體裝置，其即使是場效電晶體之閘絕緣層厚度小於 $2.5\text{nm}$ ，非動作期間的電力消耗亦可以有效降低。

根據本發明的一個特徵，一種互補式MOS半導體裝置，包括：一互補式MOS邏輯電路，具有複數場效電晶體；一第一繞線及一第二繞線，用以作為供應一電源電壓至該互補式MOS邏輯電路之一電源；一第一電源電路，控制由該第一繞線至該互補式MOS邏輯電路之該電源電壓之供應；一第二電源電路，控制由該第二繞線至該互補式MOS邏輯電路之該電源電壓之供應；及一第三電源電路，



## 五、發明說明 (5)

控制該第一電源電路之動作，其中，該第三電源電路具有複數場效電晶體，分別具有厚度大於2.5nm之一閘絕緣層。

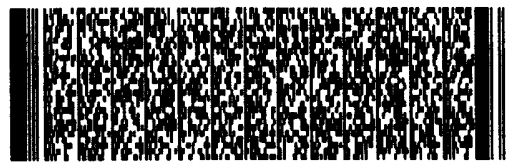
根據本發明的另一個特徵，由於第三電源電路具有閘絕緣層大於2.5 $\mu$ m的場效電晶體，在互補式MOS邏輯電路的非動作期間，電力消耗可以降低通過閘絕緣層的直接隧通電流而壓縮。

根據本發明的又一個特徵，一種互補式MOS半導體裝置，包括：一互補式MOS邏輯電路，具有複數場效電晶體；一第一繞線及一第二繞線，用以作為供應一電源電壓至該互補式MOS邏輯電路之一電源；一第一電源電路，控制由該第一繞線至該互補式MOS邏輯電路之該電源電壓之供應；一第二電源電路，控制由該第二繞線至該互補式MOS邏輯電路之該電源電壓之供應；及一第三電源電路，控制該第一電源電路之動作，其特徵在於：該些場效電晶體之井區係電性絕緣於該第一繞線及該第二繞線。

根據本發明的再一個特徵，由於互補式MOS邏輯電路內場效電晶體的井區係電性絕緣於該第一繞線及該第二繞線，電力消耗可以降低通過其間路徑的電流以降低。

該第一電源電路及該第二電源電路之至少一種電路具有複數場效電晶體，分別具有厚度大於2.5nm之一閘絕緣層。

藉提供具有大於2.5nm厚度之閘絕緣層的場效電晶體於第一電源電路及第二電源電路中，互補式MOS邏輯電路



## 五、發明說明 (6)

可得到足夠的電壓。特別是，場效電晶體可提供於兩電源電路，使其效果更形顯著。

在這種連接裡，場效電晶體的閘絕緣層可以由氧化矽層及氧氧化矽層組成，且氧化矽層可以利用氧化氮動作氧化矽基底表面以形成。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

## 圖式說明

第1A圖係合併於本發明第一實施例之互補式MOS半導體裝置之電路結構之電路方塊圖，且第1B圖係本發明第一實施例之互補式MOS半導體裝置之結構之剖面示意圖；

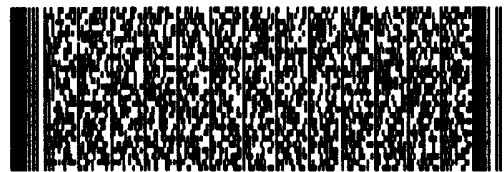
第2圖係本發明第二實施例之互補式MOS半導體裝置之結構之剖面示意圖；

第3圖係本發明第三實施例之互補式MOS半導體裝置之結構之剖面示意圖；

第4圖係合併於習知互補式MOS半導體裝置之電路結構之電路方塊圖；

第5圖係日本專利公開Hei6-29834揭露之電路結構的電路方塊圖；

第6A圖係具有厚度大於2.5nm閘絕緣層的MOS場效電晶體的電路結構的電路方塊圖，第6B圖係用以解釋第6A圖電路產生之通過電流的電路方塊圖，且第6C圖係用以解釋第6A圖電路產生之通過電路的電路方塊圖；



## 五、發明說明 (7)

第7A圖係用以解釋日本專利公開Hei6-29834電路之通過電流(閘絕緣層厚度2.0nm)的電路方塊圖，且第7B圖係第7A圖電路合併於p型半導體基底時之半導體裝置的剖面示意圖；

第8圖係閘極施加電壓及直接隧通電流的關係圖；

第9圖係閘氧化層厚度及直接隧通電流的關係圖；以及

第10圖係閘氧化層厚度及漏電流的關係圖。

## 實施例

為解決上述問題，申請人透過認真且重複的實驗及研究發現：若習知邏輯電路的閘絕緣層厚度可以小於2.5nm，則即使在非動作期間，直接隧通電流亦會通過閘絕緣層。因此，非動作期間的電力消耗可藉由減少直接隧通電流以達到。

現在，說明習知電路中產生於閘絕緣層的直接隧通電流(電力消耗增加的原因)。第6A圖係具有厚度大於2.5nm閘絕緣層的MOS場效電晶體的電路結構的電路方塊圖，第6B圖係用以解釋第6A圖電路產生之通過電流的電路方塊圖，且第6C圖係用以解釋第6A圖電路產生之通過電流的電路方塊圖。第6A圖的電路，與習知電路類似，合併有兩級反相器INV21及INV22。反相器INV21具有p通道MOS場效電晶體P21及n通道MOS場效電晶體N21，而反相器INV22具有p通道MOS場效電晶體P22及n通道MOS場效電晶體N22。每個MOS場效電晶體P21、P22、N21、N22均具有高臨界電壓。



## 五、發明說明(8)

在上述電路中，當輸入p通道MOS場效電晶體P21之閘極及n通道MOS場效電晶體N21之閘極所連接的輸入端IN21的信號維持在低電位時，p通道MOS場效電晶體P21為導通狀態、且n通道MOS場效電晶體N21為非導通狀態。在這個例子裡，輸入反相器INV22的信號維持於高電位，藉以使p通道MOS場效電晶體P22為非導通狀態、且n通道MOS場效電晶體N22為導通狀態。然後，將低電位的信號經由連接p通道MOS場效電晶體P22之汲極及n通道MOS場效電晶體N22之汲極的輸出端OUT21輸出。此時，由於輸入反相器INV21的信號維持在低電位，使電路維持在正常(非動作)狀態，且p通道MOS場效電晶體P21及n通道MOS場效電晶體N21均具有高臨界電壓，若閘絕緣層的厚度等於或大於2.5nm，則電流幾乎無法通過由電源線L21至地線L22的延伸路徑。

不過，由於在這個例子裡，閘絕緣層的厚度小於2.5nm(如第6B圖所示)，直接隧通電流會通過n通道MOS場效電晶體N22的閘絕緣層。因此，通過電流23會通過由電源線L21至地線L22的延伸路徑。另外，當輸入端IN21的輸入信號維持於高位準時，直接隧通電流會通過p通道MOS場效電晶體P22的閘絕緣層，使通過電流通過由電源線L21至地線L22的延伸路徑。

在日本專利公開Hei6-29834電路中，若閘絕緣層的厚度小於2.5nm(如2nm)，則通過電流亦會產生。第7A圖係用以解釋日本專利公開Hei6-29834電路之通過電流(閘絕緣層厚度2.0nm)的電路方塊圖，且第7B圖係第7A圖電路合併

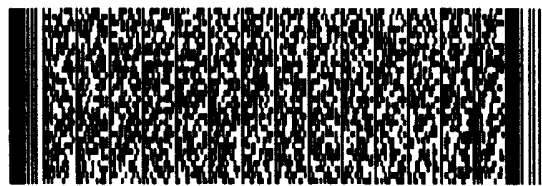
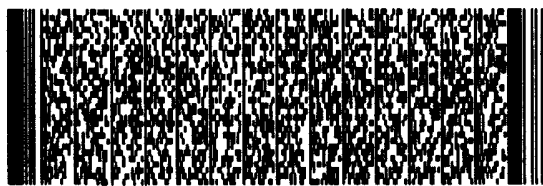


## 五、發明說明 (9)

於p型半導體基底時之半導體裝置的剖面示意圖。第5圖的反相器INV13具有p通道MOS場效電晶體P14及n通道MOS場效電晶體N14，其分別具有高臨界電壓。另外，在第7B圖中，端點T11連接地線L14、端點T12連接開關SW11。另外，端點T13連接仿地線V12、端點T14連接反相器INV12。端點T15連接仿電源線V11、端點T16經由反相器INV13連接開關SW11。另外，n通道MOS場效電晶體N11及N13均形成於P型井區12(電位與地線L14相同)，而p通道MOS場效電晶體P11及P13均形成於N型井區13(電位與電源線L13相同)。另外，P型井區12及N型井區13則形成於相同的P型半導體基底11。

在這種電路中，具有反相器INV11及INV12之邏輯電路的非動作期間，仿電源線V11及仿地線V12分別藉降低開關SW11的輸入信號振幅至低位準而與電源線L13及地線L14分離。因此，任何通過電流，如第6B及6C圖的通過電流23及24均不會產生。

不過，由於閘絕緣層的厚度為2nm(如第7A圖所示)，電源線L13的電位會與p通道MOS場效電晶體P4的N型井區相同，若低位準信號輸入開關SW11，然後直接隧通電流會通過p通道MOS場效電晶體P4的閘絕緣層，並造成通過電流25。另外，由於閘絕緣層的厚度為2nm(如第7B圖所示)，n通道MOS場效電晶體N11的P型井區12會與地線L14連接的端點T11具有相同的電位，若輸入信號維持於高位準，然後直接隧通電流會通過n通道MOS場效電晶體N11的閘絕緣



## 五、發明說明 (10)

層，並造成通過電流26。另外，當輸入信號維持於低位準時，由於p通道MOS場效電晶體P11的N型井區13會與電源線L13連接的端點T17具有相同的電位，則直接隧通電流會通過p通道MOS場效電晶體P11的閘絕緣層，並造成通過電流。由於直接隧通電流造成的通過電流不同於習知問題的通過電流，在習知電路中，即使開關SW11為非導通狀態，通過電流亦無法縮小。

應用本發明，通過具有大於2nm厚度之閘絕緣層之n通道MOS場效電晶體的直接隧通電流，其量測結果如第8圖所示。第8圖係閘極施加電壓及直接隧通電流的關係圖。在閘極施加電壓為正的區域內，n通道MOS場效電晶體為反轉狀態；在閘極施加電壓為負的區域內，n通道MOS場效電晶體則是累積狀態。在這種連接裡，反轉狀態的直接隧通電流大於累積狀態，其差值則對應於平坦頻帶(Flat band)電壓。

另外，直接隧通電流與閘氧化層厚度的關係則示於第9圖。在第9圖中，空心圓!表示電源電壓為1.8v時的直接隧通電流，而實心圓l則表示電源電壓為1.2V時的直接隧通電流。由圖中可知，直接隧通電流與閘絕緣層厚度的相依性是非常顯著的，因此，只要閘絕緣層變薄0.2nm，直接隧通電流便會增加1個位元。

根據上述結果，第10圖係比較待命電流所產生的漏電流(假設沒有直接隧通電流通過)與直接隧通電流所產生的漏電流。第10圖係閘絕緣層厚度及漏電流的關係圖。在這



## 五、發明說明 (11)

種連接裡，MOS電晶體的閘極寬度為 $1\mu\text{m}$ 。在第10圖中，空心圓!表示直接隧通電流所產生的漏電流，而實心圓1則表示待命電流所產生的漏電流。如第10圖所示，當閘絕緣層的厚度小於 $25\text{nm}$ 時，直接隧通電流所產生的漏電流會大於MOS電晶體的待命電流。換句話說，在互補式MOS半導體裝置(在閘絕緣層厚度小於 $2.5\text{nm}$ 且閘極長度小於 $0.1\mu\text{m}$ 的區域)的非動作期間，通過由電源線至地線之延伸路徑的漏電流中，直接隧通電流所產生的通過電流即主導(Predominant)電流。

現在，配合圖式以說明本發明較佳實施例之互補式MOS半導體裝置。

第1A圖係合併於本發明第一實施例之互補式MOS半導體裝置之電路結構之電路方塊圖，且第1B圖係本發明第一實施例之互補式MOS半導體裝置之結構之剖面示意圖。在本實施例中，內部邏輯電路合併有兩級反相器INV1及INV2。反相器INV1具有p通道MOS場效電晶體P1及n通道MOS場效電晶體N1，反相器INV2則具有p通道MOS場效電晶體P2及n通道MOS場效電晶體N2。每個MOS場效電晶體P1、P2、N1、N2都具有 $2\text{nm}$ 厚度的閘絕緣層。舉例來說，閘絕緣層是由氧化矽層或氮氧化矽層形成(其可以氮化一氧化矽層以得到)。氧化矽層，舉例來說，可以利用氧化氮動作以氧化一矽基底的表面。p通道MOS場效電晶體P1及P2的源極及井區連接仿電源線V1。另外，n通道MOS場效電晶體N1及N2的源極及井區則連接仿地線V2。然後，p通道MOS場效電



## 五、發明說明 (12)

晶體P3則接仿電源線V1以作為電源電路S1，而n通道MOS場效電晶體N3則接仿地線V2以作為電源電路S2。另外，電源線L1連接電源電路S1，地線L2則連接電源電路S2。另外，反相器INV3連接p通道MOS場效電晶體P3閘極以作為電源電路S3。開關SW1連接反相器INV3及n通道MOS場效電晶體N3的閘極。因此，p通道MOS場效電晶體P3及n通道MOS場效電晶體N3可同時動作。反相器INV3具有p通道MOS場效電晶體P4及n通道MOS場效電晶體N4。p通道MOS場效電晶體P4連接電源線L1，而n通道MOS場效電晶體N4則連接地線L2。在這種連接裡，p通道MOS場效電晶體P4及n通道MOS場效電晶體N4的閘絕緣層為4nm。

另外，在第1B圖中，端點T1連接地點L2，端點T2連接開關SW1。另外，端點T3連接依地線V2，端點T4連接反相器INV2。另外，端點T5連接仿電源線V1，端點T6經由反相器INV3連接開關SW1。另外，端點T7連接電源線L1。

再者，如第1B圖所示，n通道MOS場效電晶體N1形成於第一P型井區2，而n通道MOS場效電晶體N3則形成於第二P型井區3。另外，第一P型井區2及第二P型井區3則形於相同的第三N型井區4且彼此分離。因此，第一P型井區2及第二P型井區3可彼此電性隔離。另外，p通道MOS場效電晶體P1形成於第一N型井區5，p通道MOS場效電晶體P3形成於第二N型井區6。另外，第一N型井區5及第二N型井區6均形成於相同的P型半導體基底且彼此分離。因此，第一N型井區5，第二N型井區6，第三N型井區4均形成於相同的P型半導



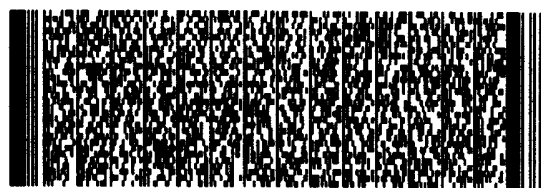
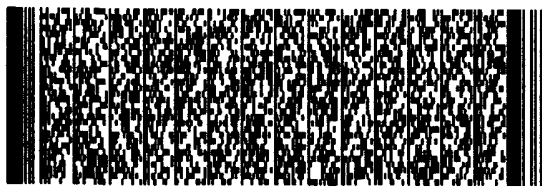
## 五、發明說明 (13)

體基底且彼此分離。在這種連接裡，若電性隔離於第二N型井區6，則p通道MOS場效電晶體P2(未示於第1B圖)可與p通道MOS場效電晶體P1形成於相同的第一N型井區5。另外，若電性隔離於第二P型井區3，則n通道MOS場效電晶體N2(未示於第1B圖)可與n通道MOS場效電晶體N1形成於相同的第一P型井區2。

接著，說明第一實施例電路的動作。

在具有反相器INV1及INV2的內部邏輯電路為非動作狀態時，開關SW1係處於非導通狀態(與習知電路類似)，內部邏輯電路與電源線L1及地線L2分離，故電源電壓並未施加於內部邏輯電路。因此，通過電流(如第6B或6C圖所示的通過電流23或24)並不會產生。另外，由於p通道MOS場效電晶體P4的閘絕緣層厚度為4nm，直接隧通電流亦不會產生於P通道MOS場效電晶體P4。這使得通過電流(如第7A圖的通過電流25)不會產生。更者，由於第一P型井區2及第二P型井區3彼此電性隔離，即使輸入端IN1維持高位準信號，通過電流(如第7A及7B圖的通過電流26)亦不會產生。另外，由於第一N型井區5及第二N型井區6彼此電性隔離，當輸入端IN1維持低位準信號時，通過電流亦不會通過由輸入端IN1至電源線L1的延伸路徑。

在這種連接裡，p通道MOS場效電晶體P3及n通道MOS場效電晶體N3的閘絕緣層並不限制厚度。但是，若p通道MOS場效電晶體P3的厚度小於2.5nm，則電流在反相器INV1及INV2動作時便會通過由電源線至p通道MOS場效電晶體P3閘



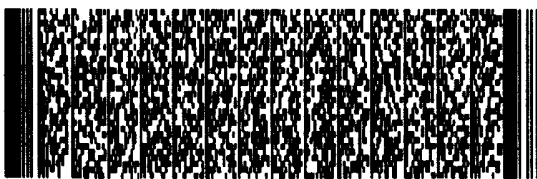
## 五、發明說明 (14)

極的延伸路徑，並且，若n通道MOS場效電晶體N3的厚度小於2.5nm，則電流在反相器INV1及INV2動作時便會通過由n通道MOS場效電晶體N3閘極至地線L2的延伸路徑。為此，仿電源線V1或仿地線V2在某些例子中便無法供應足夠的電壓。也因此，p通道MOS場效電晶體P3及n通道MOS場效電晶體N3的閘絕緣層厚度最好等於或大於2.5nm。

接著，說明本發明第二實施例。在本實施例中，亦提供第1A圖電路。具有MOS場效電晶體的井區結構則不同於第一實施例。第2圖係本發明第二實施例之互補式MOS半導體裝置之結構之剖面示意圖。在第2圖第二實施例中，與第1B圖第一實施例對應的元件是以相同標號表示，且詳細說明亦不再重複。在本實施例中，第一P型井區2形成於第三N型井區4a，第二P型井區3則形成於P型半導體基底1。利用這種方法，第一P型井區2及第二P型井區3可彼此電性隔離。

為此，在本實施例中，當輸入端IN1維持高位準信號時，直接隧通電流不會通過n通道MOS場效電晶體N1，使第7A及7B圖所示的通過電流 $I_{26}$ 不會產生。

接著，說明本發明的第三實施例。在本實施例中，亦提供第1A圖電路。具有MOS場效電晶體的井區結構，如第二實施例，則不同於第一實施例。第3圖係本發明第三實施例之互補式MOS半導體裝置之結構之剖面示意圖。在第3圖第三實施例中，與第1B圖第一實施例對應的元件是以相同標號表示，且詳細說明亦不再重複。在本實施例中，第



## 五、發明說明 (15)

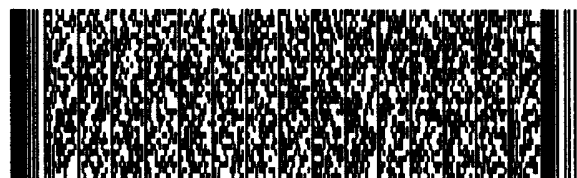
二P型井區3形成於第三N型井區4b，第一P型井區2則形成於P型半導體基底1。利用這種方法，第一P型井區2及第二P型井區3可彼此電性隔離。

為此，在本實施例中，當輸入端IN1維持高位準信號時，直接隧通電流不會通過n通道MOS場效電晶體N1，使第7A及7B圖所示的通過電流26不會產生。

在這種連接裡，當元件形成於P型半導體基底時，如上述，N型井區4及其他係用以使P型井區2及3彼此電性隔離，並且，當元件形成於N型半導體基底時，P型井區係用以使N型井區5及6彼此電性隔離。

承上所述，根據本發明，提供於電源電路之場效電晶體的閘絕緣層，其厚度係等於或大於2.5nm，藉以直接隧通電流(在互補式MOS邏輯電路的非動作期間通過電源電路)可以減少。另外，在互補式MOS邏輯電路之場效電晶體的井區係電性隔離於第一繞線及第二繞線，藉以避免任何通過其間路徑的直接隧通電流。為此，通過由電源線至地線之延伸路徑的通過電流可以降低，使互補式MOS半導體裝置之電力消耗可以降低，其中，互補式MOS邏輯電路具有大於2.5nm厚度之閘絕緣層之場效電晶體。

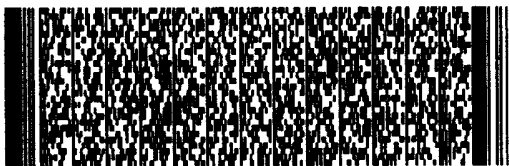
雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 四、中文發明摘要 (發明之名稱：互補式MOS半導體裝置)

一種互補式MOS半導體裝置，包括：一互補式MOS邏輯電路，具有複數場效電晶體；一第一繞線及一第二繞線，用以作為供應一電源電壓至該互補式MOS邏輯電路之一電源；一第一電源電路，控制由該第一繞線至該互補式MOS邏輯電路之該電源電壓之供應；一第二電源電路，控制由該第二繞線至該互補式MOS邏輯電路之該電源電壓之供應；及一第三電源電路，控制該第一電源電路之動作，其中，該第三電源電路具有複數場效電晶體，分別具有厚度大於2.5nm之一閘絕緣層。

## 英文發明摘要 (發明之名稱：)



## 六、申請專利範圍

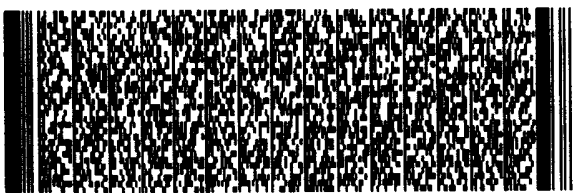
1. 一種互補式MOS半導體裝置，包括：一互補式MOS邏輯電路，具有複數場效電晶體；一第一繞線及一第二繞線，用以作為供應一電源電壓至該互補式MOS邏輯電路之一電源；一第一電源電路，控制由該第一繞線至該互補式MOS邏輯電路之該電源電壓之供應；一第二電源電路，控制由該第二繞線至該互補式MOS邏輯電路之該電源電壓之供應；及一第三電源電路，控制該第一電源電路之動作，其中，該第三電源電路具有複數場效電晶體，分別具有厚度大於2.5nm之一間絕緣層。

2. 如申請專利範圍第1項所述的互補式MOS半導體裝置，其中，該第一電源電路及該第二電源電路之至少一種電路具有複數場效電晶體，分別具有厚度大於2.5nm之一間絕緣層。

3. 如申請專利範圍第1項所述的互補式MOS半導體裝置，其中，該互補式MOS邏輯電路中之該些場效電晶體之井區係電性絕緣於該第一繞線及該第二繞線。

4. 如申請專利範圍第2項所述的互補式MOS半導體裝置，其中，該互補式MOS邏輯電路中之該些場效電晶體之井區係電性絕緣於該第一繞線及該第二繞線。

5. 一種互補式MOS半導體裝置，包括：一互補式MOS邏輯電路，具有複數場效電晶體；一第一繞線及一第二繞線，用以作為供應一電源電壓至該互補式MOS邏輯電路之一電源；一第一電源電路，控制由該第一繞線至該互補式MOS邏輯電路之該電源電壓之供應；一第二電源電路，控



制由該第二繞線至該互補式MOS邏輯電路之該電源電壓之供應；及一第三電源電路，控制該第一電源電路之動作，其中，該些場效電晶體之井區係電性絕緣於該第一繞線及該第二繞線。

6. 如申請專利範圍第5項所述的互補式MOS半導體裝置，其中，該第一電源電路及該第二電源電路之至少一種電路具有複數場效電晶體，分別具有厚度大於2.5nm之一閘絕緣層。

7. 如申請專利範圍第1項所述的互補式MOS半導體裝置，其中，該場效電晶體之閘絕緣層係一種絕緣層，其選自一氧化矽層及一氮氧化矽層。

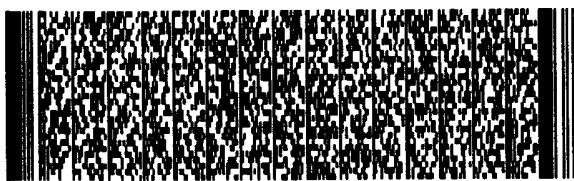
8. 如申請專利範圍第2項所述的互補式MOS半導體裝置，其中，該場效電晶體之閘絕緣層係一種絕緣層，其選自一氧化矽層及一氮氧化矽層。

9. 如申請專利範圍第3項所述的互補式MOS半導體裝置，其中，該場效電晶體之閘絕緣層係一種絕緣層，其選自一氧化矽層及一氮氧化矽層。

10. 如申請專利範圍第4項所述的互補式MOS半導體裝置，其中，該場效電晶體之閘絕緣層係一種絕緣層，其選自一氧化矽層及一氮氧化矽層。

11. 如申請專利範圍第5項所述的互補式MOS半導體裝置，其中，該場效電晶體之閘絕緣層係一種絕緣層，其選自一氧化矽層及一氮氧化矽層。

12. 如申請專利範圍第6項所述的互補式MOS半導體裝

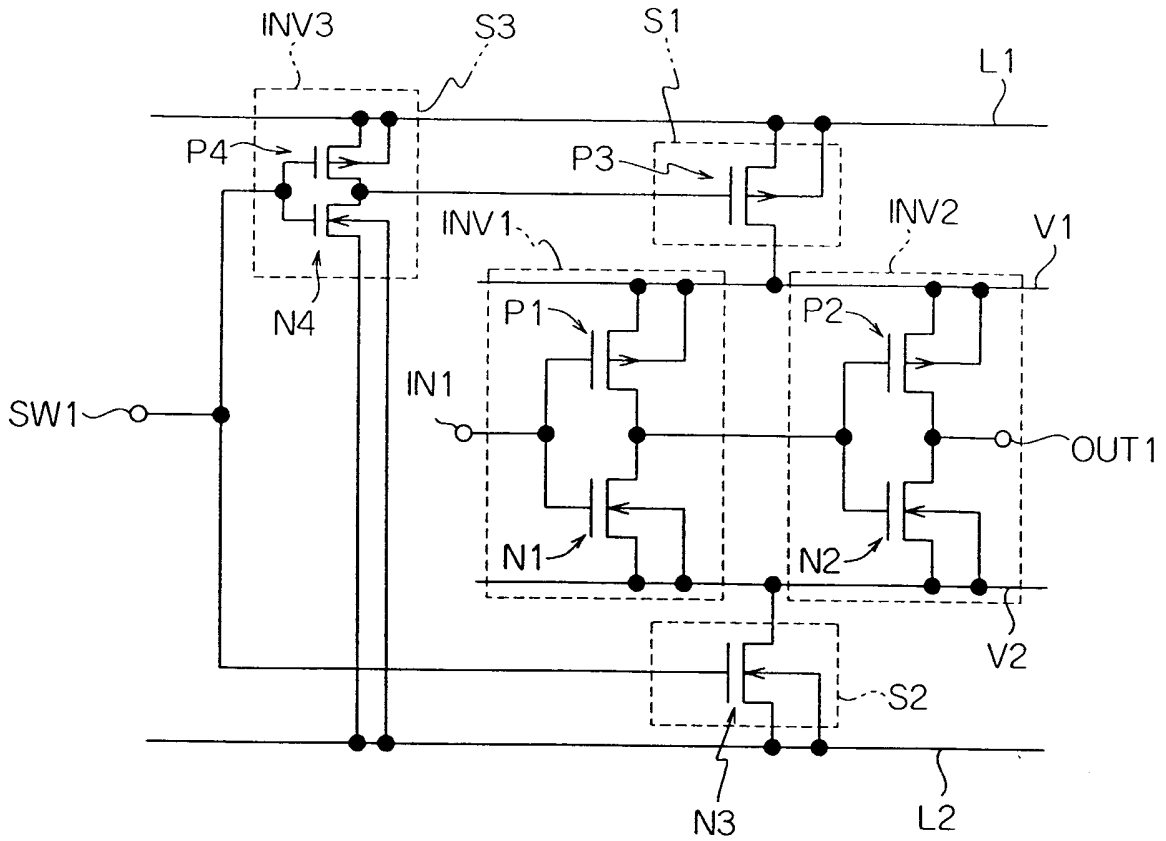


## 六、申請專利範圍

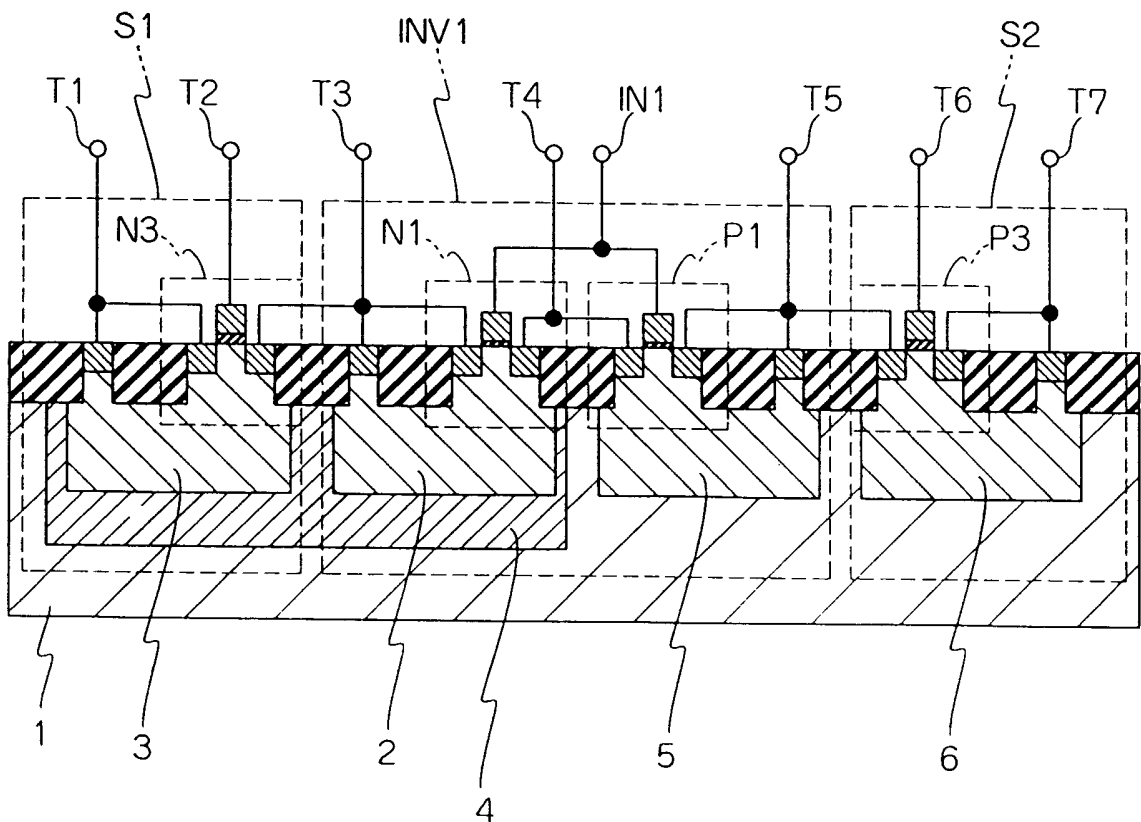
置，其中，該場效電晶體之間絕緣層係一種絕緣層，其選自一氧化矽層及一氮氧化矽層。

13. 如申請專利範圍第7項所述的互補式MOS半導體裝置，其中，該氧化矽層係利用氧化氮動作氧化一矽基底表面以形成。

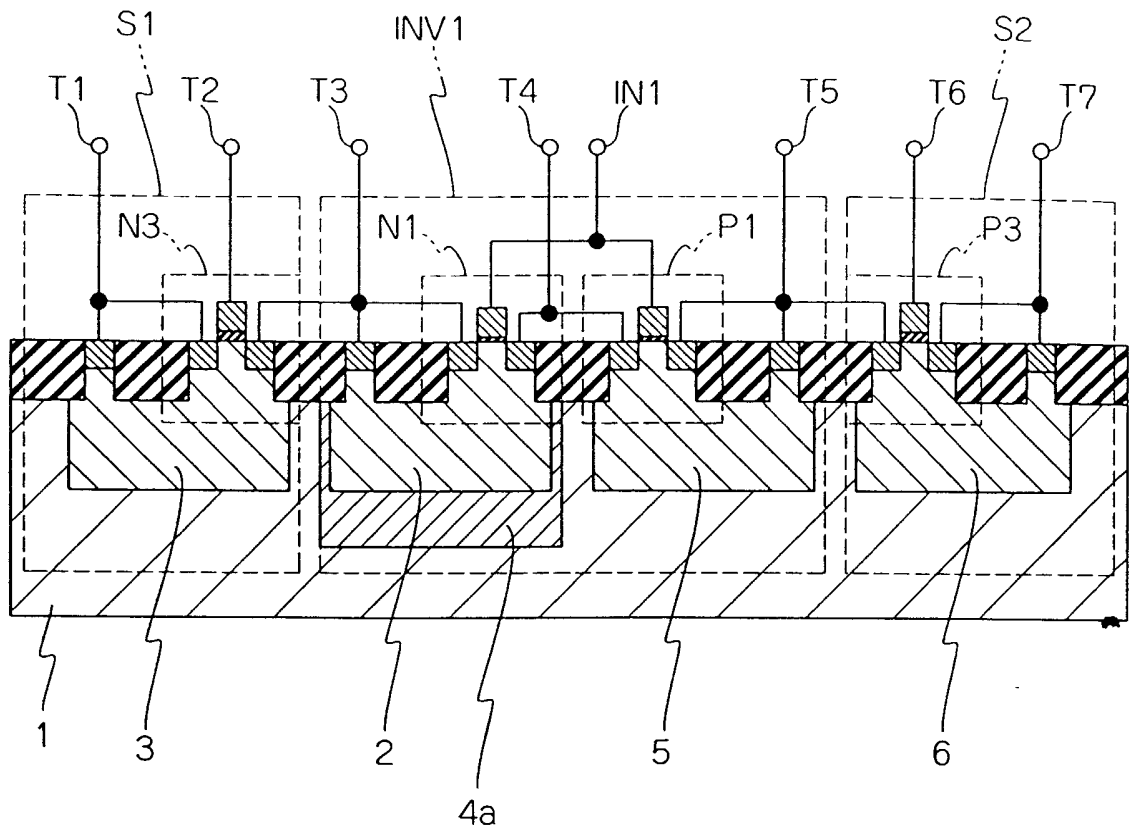




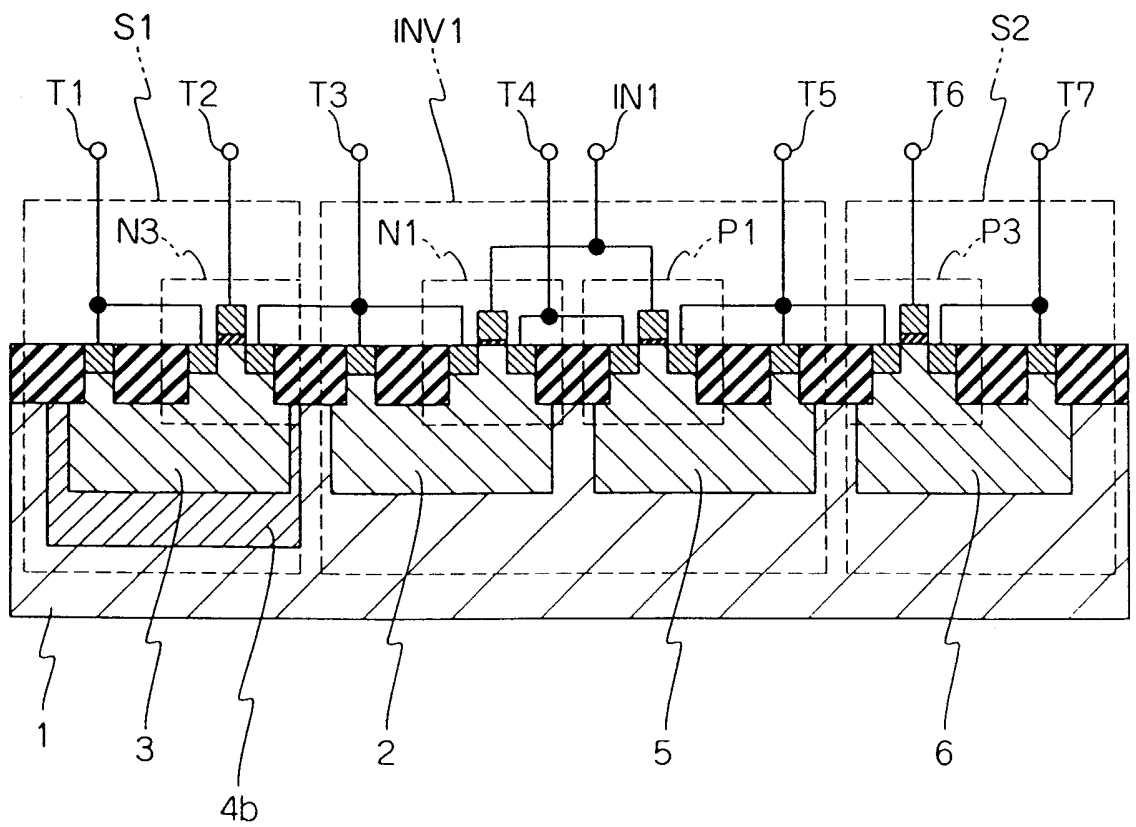
第 1A 圖



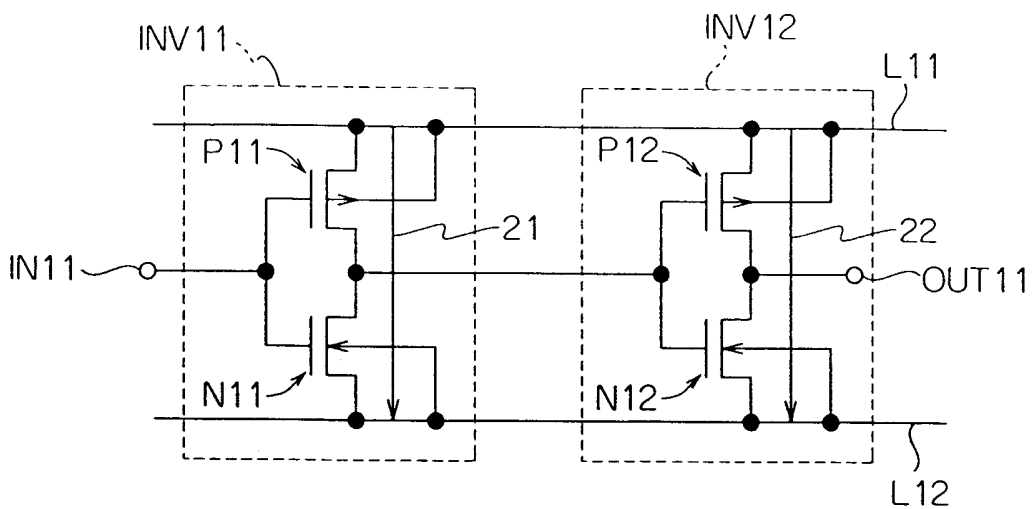
第 1B 圖



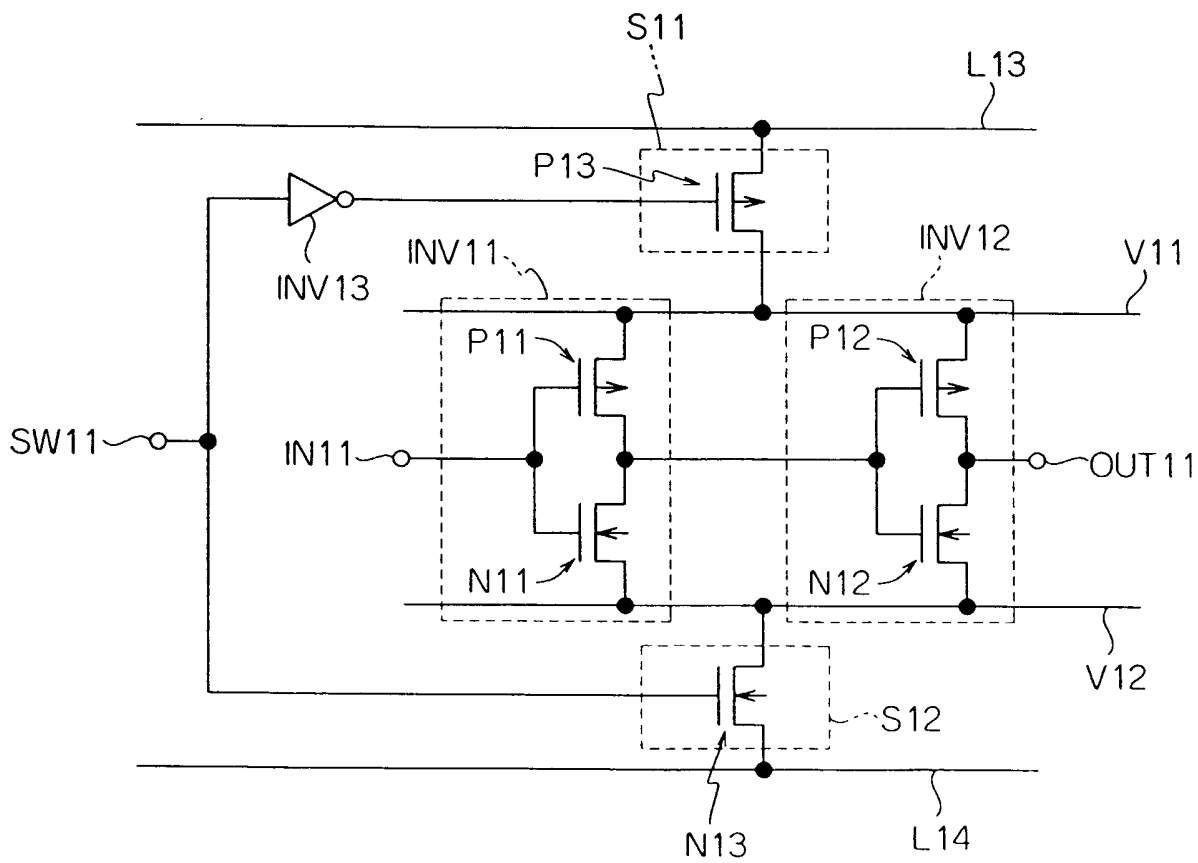
第 2 圖



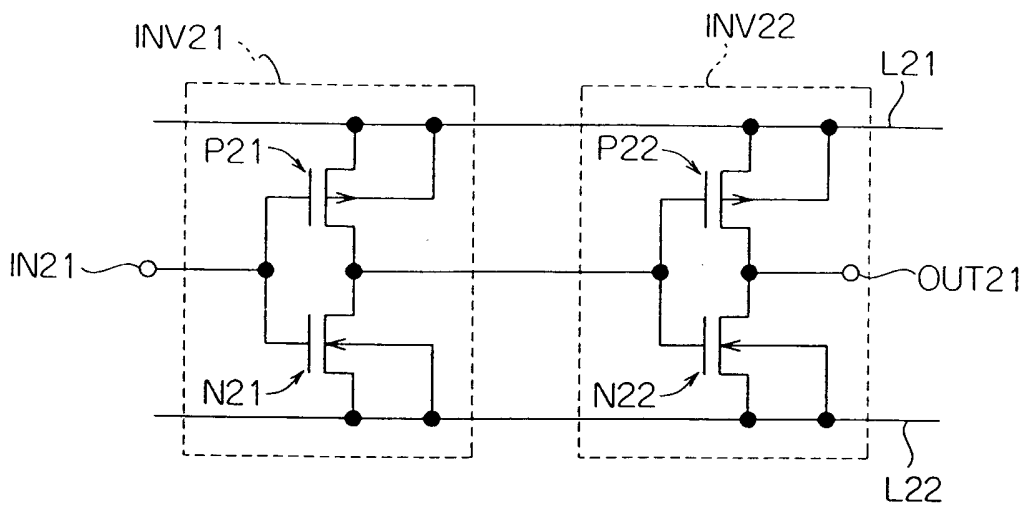
第 3 圖



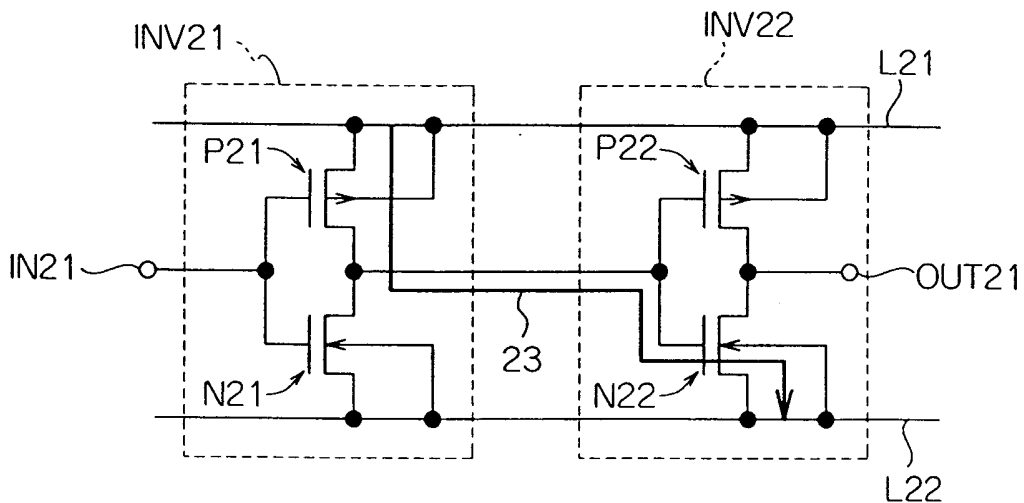
第 4 圖



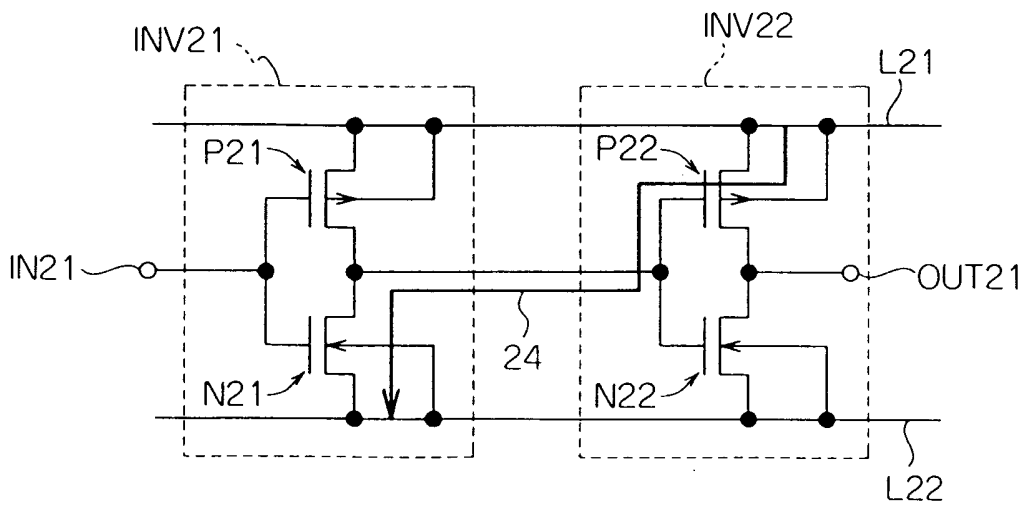
第 5 圖



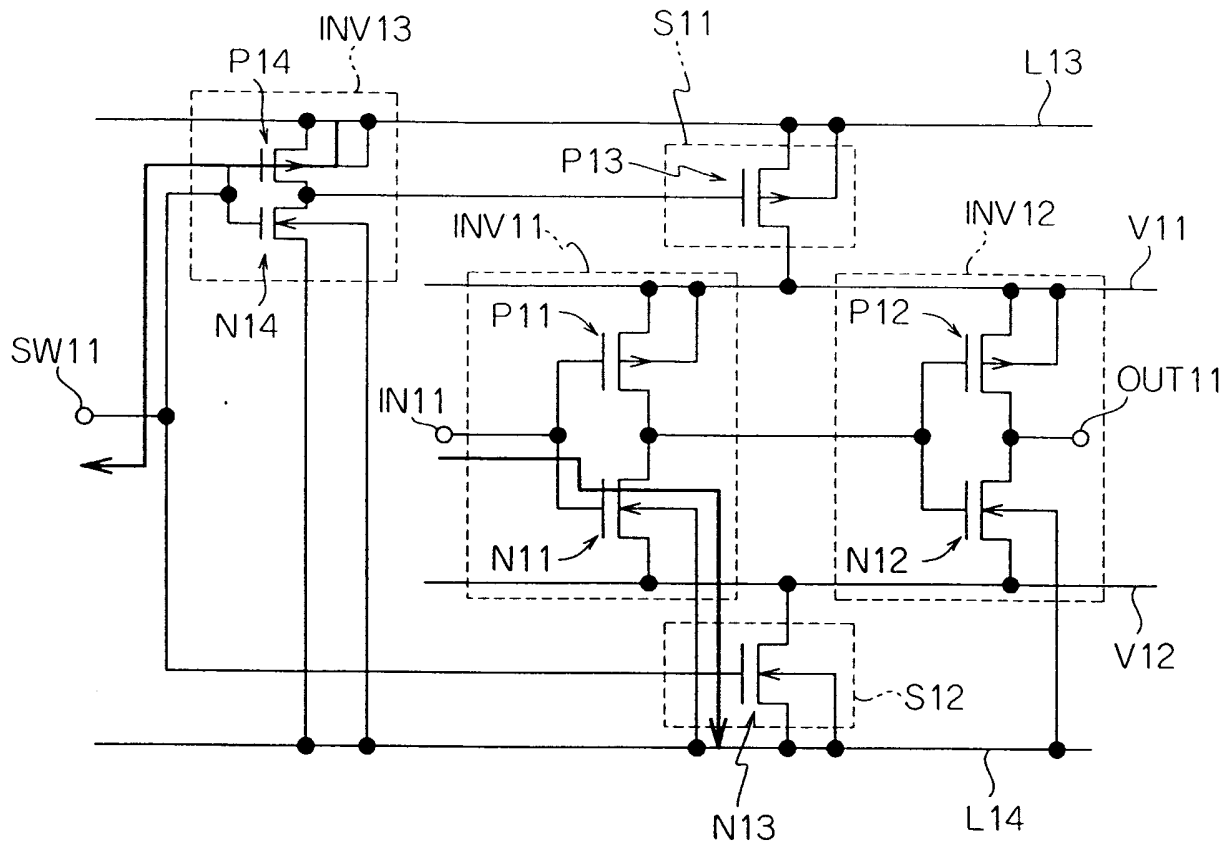
第 6A 圖



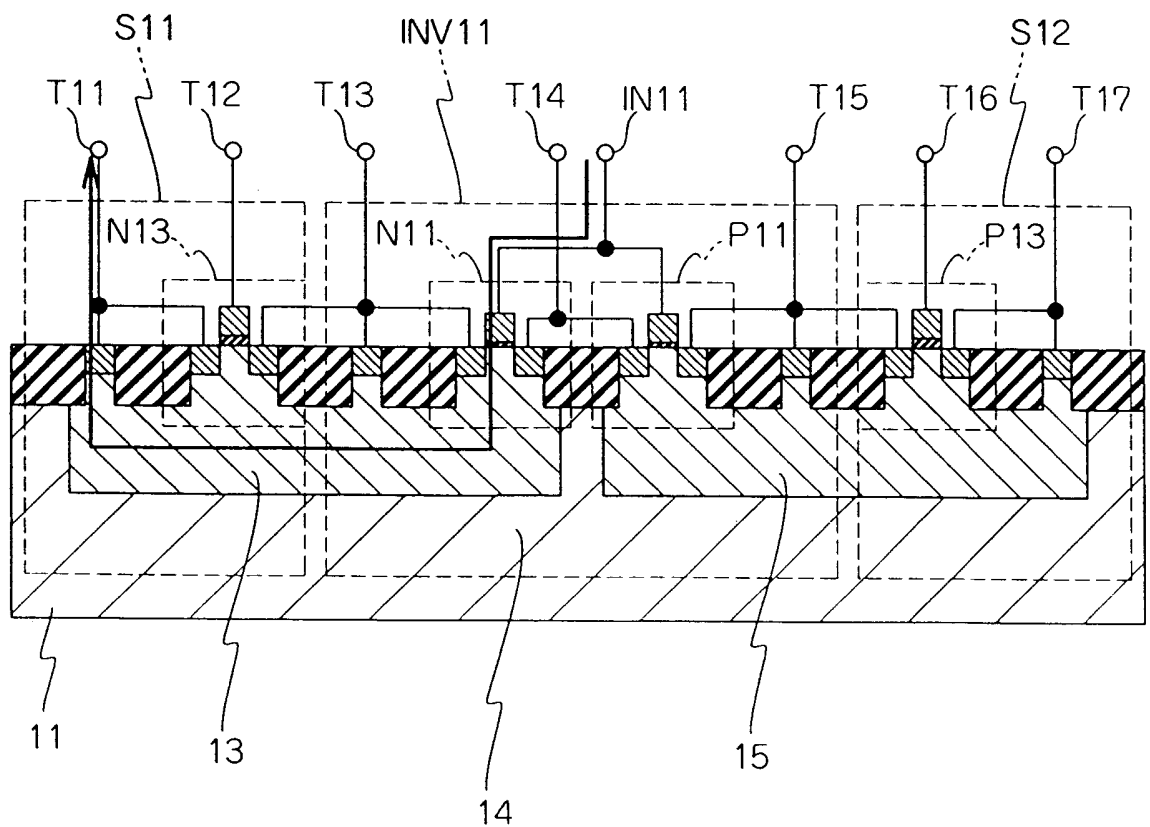
第 6B 圖



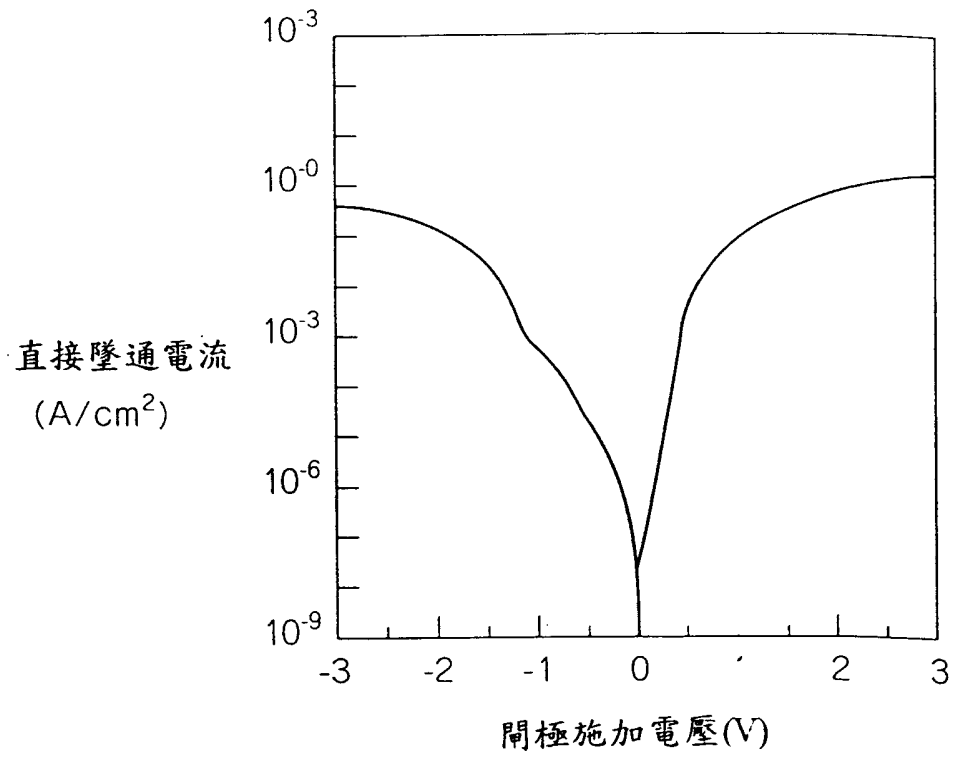
第 6C 圖



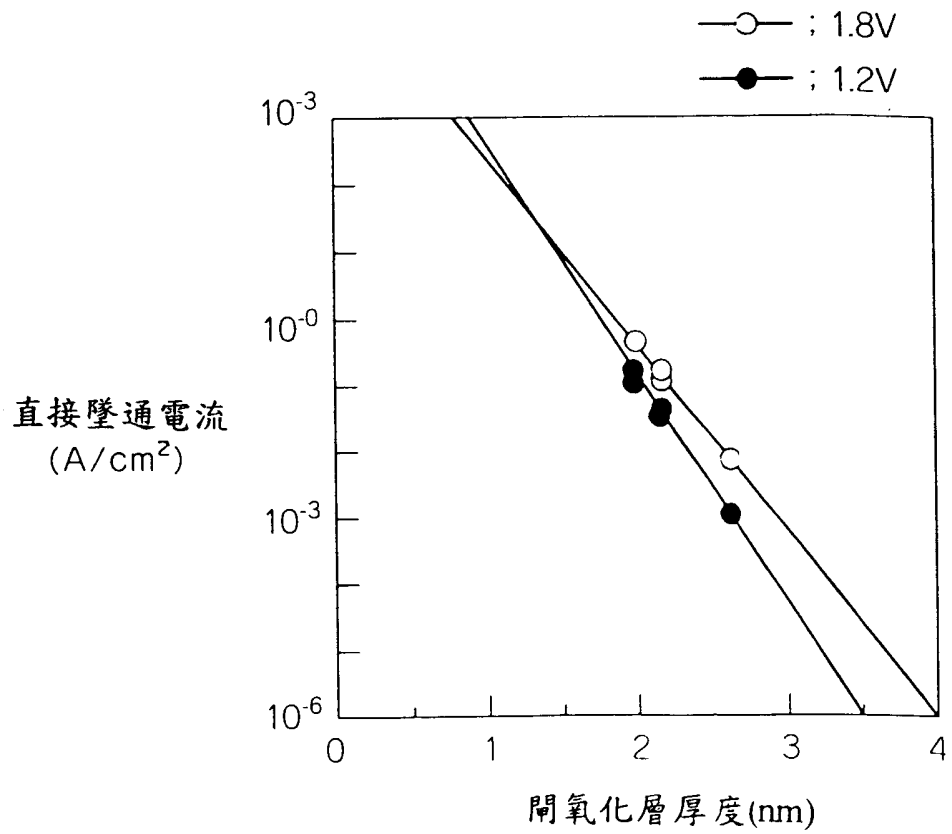
第 7A 圖



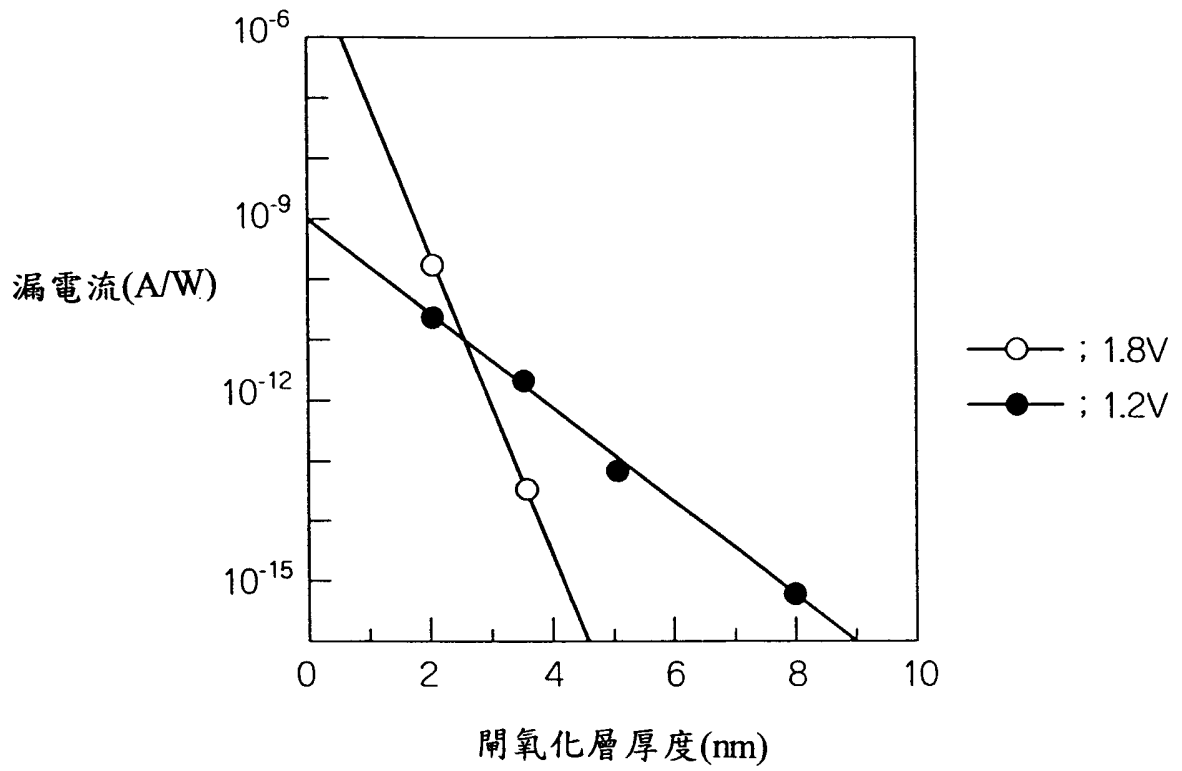
第 7B 圖



第 8 圖



第 9 圖



第 10 圖