

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256406

(P2012-256406A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 Z	5 F 0 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 7 1 C	5 F 1 0 1
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 2 1 Z	5 M 0 2 4
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	
H O 1 L 27/115 (2006.01)	H O 1 L 27/10 3 2 1	
審査請求 未請求 請求項の数 11 O L (全 71 頁) 最終頁に続く		

(21) 出願番号	特願2012-86063 (P2012-86063)	(71) 出願人	000153878
(22) 出願日	平成24年4月5日 (2012.4.5)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2011-85965 (P2011-85965)		神奈川県厚木市長谷398番地
(32) 優先日	平成23年4月8日 (2011.4.8)	(72) 発明者	黒川 義元
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-108884 (P2011-108884)		半導体エネルギー研究所内
(32) 優先日	平成23年5月14日 (2011.5.14)	Fターム(参考)	5F083 AD02 AD21 AD69 EP02 EP21
(33) 優先権主張国	日本国 (JP)		ER21 GA01 HA02 JA02 JA05
			JA06 JA19 JA35 JA36 JA37
			JA39 JA40 JA42 JA60 PR03
			PR05 PR12 PR15 PR21 PR22
			PR33 PR34 PR39 PR40 ZA19
			5F101 BA17 BB01 BD12 BD30 BE07
			BH05 BH14 BH15 BH16
			5M024 AA90 AA94 BB02 CC02 PP03
			PP05 PP09

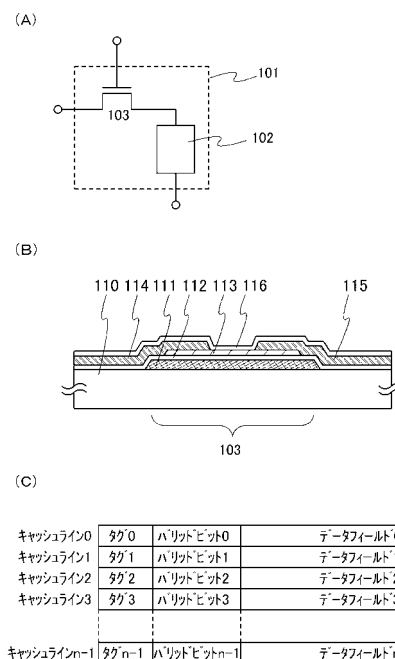
(54) 【発明の名称】 記憶装置、及び当該記憶装置を用いた半導体装置

(57) 【要約】

【課題】 DRAMよりも書き込み、読み出しなどの動作速度が高く、SRAMよりもメモリセルあたりの半導体素子の数を減らすことができる記憶装置。

【解決手段】 制御装置と、演算装置と、緩衝記憶装置とを有し、緩衝記憶装置は、主記憶装置から、或いは演算装置から送られてきたデータを、制御装置からの命令に従って記憶し、緩衝記憶装置は複数のメモリセルを有し、メモリセルは、チャンネル形成領域に酸化半導体を含むトランジスタと、トランジスタを介してデータの値に従った量の電荷が供給される記憶素子とを有する。さらに、緩衝記憶装置が有する複数のメモリセルは、パリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短い。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータの値に従った量の電荷が供給される記憶素子とを複数のメモリセルにそれぞれ有し、前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記データの保持時間が短い記憶装置。

【請求項 2】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータの値に従った量の電荷が供給される記憶素子とを複数のメモリセルにそれぞれ有し、前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、容量値が小さい記憶装置。

10

【請求項 3】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータ線からデータの値に従った量の電荷が供給される記憶素子とを複数のメモリセルにそれぞれ有し、前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記トランジスタがオフの期間において前記データ線の電位が低い記憶装置。

【請求項 4】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータ線からデータの値に従った量の電荷が供給される記憶素子とを複数のメモリセルにそれぞれ有し、前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記データを読み出す前に前記データ線に与えられるプリチャージ電位が高く、前記データのデジタル値の判別は、前記プリチャージ電位と、前記データの読み出し時における前記データ線の電位との比較により行う記憶装置。

20

【請求項 5】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータ線からデータの値に従った量の電荷が供給される記憶素子とをそれぞれ有する複数のメモリセルと、複数の前記データ線を介して前記複数のメモリセルとそれぞれ接続された複数の論理回路と、を有し、前記論理回路は、少なくとも一つの位相反転素子を有し、前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記データ線を介して接続された前記論理回路の閾値電位が高い記憶装置。

30

【請求項 6】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータ線からデータの値に従った量の電荷が供給される記憶素子とをそれぞれ有する複数のメモリセルと、複数の前記データ線を介して前記複数のメモリセルとそれぞれ接続された複数の論理回路と、を有し、前記論理回路は、少なくとも一つの位相反転素子を有し、前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記データを読み出す前に前記データ線に与えられるプリチャージ電位が低い記憶装置。

40

【請求項 7】

チャネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータ線からデータの値に従った量の電荷が供給される記憶素子とをそれぞれ有する複数のメモリセルと、複数の前記データ線を介して前記複数のメモリセルとそれぞれ接続された複数の論理回路と、複数の前記データ線にそれぞれ接続された複数の容量素子とを有し、

50

前記論理回路は、少なくとも一つの位相反転素子を有し、
前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記データ線に接続された前記容量素子の容量値が小さい記憶装置。

【請求項 8】

チャンネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介してデータ線からデータの値に従った量の電荷が供給される容量素子とをそれぞれ有する複数のメモリセルと、複数の前記データ線を介して前記複数のメモリセルとそれぞれ接続された複数の論理回路とを有し、

前記論理回路は、少なくとも一つの位相反転素子を有し、
前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記トランジスタのチャンネル幅が大きい記憶装置。

【請求項 9】

チャンネル形成領域に酸化物半導体を含む第 1 トランジスタと、前記第 1 トランジスタを介してデータ線からデータの値に従った量の電荷が供給される容量素子と、前記電荷の量に従ってドレイン電流が定まる第 2 トランジスタとをそれぞれ有する複数のメモリセルと、複数の前記データ線を介して前記複数のメモリセルとそれぞれ接続された複数の論理回路とを有し、

前記論理回路は、少なくとも一つの位相反転素子を有し、
前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、前記第 2 トランジスタのチャンネル幅が大きい記憶装置。

【請求項 10】

制御装置と、演算装置と、緩衝記憶装置とを有し、

前記緩衝記憶装置は、主記憶装置から、或いは前記演算装置から送られてきたデータを、前記制御装置からの命令に従って記憶し、

前記緩衝記憶装置は複数のメモリセルを有し、

前記複数のメモリセルは、チャンネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介して前記データの値に従った量の電荷が供給される記憶素子とをそれぞれ有し、

前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短い半導体装置。

【請求項 11】

制御装置と、演算装置と、緩衝記憶装置とを有し、

前記緩衝記憶装置は、主記憶装置から送られてきた命令を含むデータを記憶し、

前記制御装置は、前記緩衝記憶装置から前記データを読み出し、前記命令に従って前記演算装置及び前記緩衝記憶装置の動作を制御し、

前記緩衝記憶装置は複数のメモリセルを有し、

前記複数のメモリセルは、チャンネル形成領域に酸化物半導体を含むトランジスタと、前記トランジスタを介して前記データの値に従った量の電荷が供給される記憶素子とをそれぞれ有し、

前記複数のメモリセルは、バリッドビットに対応するメモリセルが、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短い半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置及び当該記憶装置を用いた半導体装置に関する。

【背景技術】

【0002】

中央演算処理装置（CPU：Central Processing Unit）は、その用途によって多種多様な構成を有しているが、ストアードプログラム方式と呼ばれるアー

10

20

30

40

50

キテクチャが現在のCPUの主流となっている。ストアプログラム方式のCPUでは、命令及び上記命令の実行に必要なデータが半導体記憶装置（以下、単に記憶装置とする）に格納されており、上記命令及びデータが記憶装置から順次読み込まれることで、命令が実行される。

【0003】

上記記憶装置には、データや命令を記憶するための主記憶装置の他に、キャッシュと呼ばれる、高速でデータの書き込みと読み出しができる緩衝記憶装置がある。キャッシュは、CPUの演算装置または制御装置と、主記憶装置の間に介在し、低速な主記憶装置へのアクセスを減らして演算処理を高速化させることを目的として、CPUに設けられている。通常は、キャッシュとしてSRAM（Static Random Access Memory）などが用いられる。下記特許文献1には、キャッシュとして、SRAMなどの揮発性メモリと、不揮発性メモリとを併用する構成について記載されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平7-121444号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

緩衝記憶装置を有するCPUでは、主記憶装置のうち、使用頻度の高い命令またはデータを、主記憶装置からコピーして、緩衝記憶装置に格納しておく。そして、通常、CPUが有する演算装置または制御装置は、使用頻度の高い命令またはデータが格納された緩衝記憶装置にのみ、アクセスする。ただし、必要とする命令またはデータが、緩衝記憶装置に格納されていない場合もあり得る。この場合、CPUは、低速な主記憶装置から上記命令またはデータをコピーし直して、緩衝記憶装置に格納する必要があるため、緩衝記憶装置にのみアクセスする場合よりも、命令の実行に時間を要する。なお、CPUが必要とする命令またはデータが緩衝記憶装置に格納されている場合をキャッシュヒットと呼び、格納されていない場合をキャッシュミスと呼ぶ。

20

【0006】

低速な主記憶装置へのアクセスの頻度を極力減らすには、大きな記憶容量の緩衝記憶装置をCPUに用いることが有効である。しかし、DRAM（Dynamic Random Access Memory）は、記憶容量の大容量化には有利であるが、リフレッシュを要するため、動作速度の向上に制限がある。一方、SRAMは高速での動作が可能であるが、メモリセルあたりの半導体素子数が多いために高集積化が困難で、大容量化に向かない。

30

【0007】

上述の問題に鑑み、本発明では、DRAMよりも書き込み、読み出しなどの動作速度が高く、SRAMよりもメモリセルあたりの半導体素子の数を減らすことができる記憶装置の提供を課題の一つとする。或いは、本発明では、上記記憶装置を用いた半導体装置の提供を課題の一つとする。

40

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の一態様に係る記憶装置は、各メモリセルに、記憶素子と、上記記憶素子における電荷の供給、保持、放出を制御するためのスイッチング素子として機能するトランジスタとを有する。さらに、上記トランジスタは、シリコンよりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体を、チャネル形成領域に含んでいる。このような半導体としては、例えば、シリコンの2倍以上の大きなバンドギャップを有する、酸化物半導体、炭化シリコン、窒化ガリウムなどが挙げられる。上記半導体を有するトランジスタは、通常のシリコンやゲルマニウムなどの半導体で形成されたトランジスタに比べて、オフ電流を極めて小さくすることができる。よって、上記

50

構成を有するトランジスタを、記憶素子に流入した電荷を保持するためのスイッチング素子として用いることで、記憶素子からの電荷のリークを防ぐことができる。

【0009】

また、本発明の一態様に係る半導体装置は、上記記憶装置に加え、記憶装置とデータのやり取りを行う演算装置、制御装置などの各種回路を有しており、上記記憶装置は緩衝記憶装置として機能する。

【0010】

記憶素子は、例えばトランジスタ、容量素子などを用いることができる。

【0011】

さらに、本発明の一態様では、上記構成を有する緩衝記憶装置が、キャッシュラインと呼ばれる特定の情報量の記憶領域を、複数有している。そして、各キャッシュラインは、データフィールドと呼ばれる記憶領域と、タグと呼ばれる記憶領域と、バリッドビットと呼ばれる記憶領域とを含む。データフィールドには、主記憶装置または演算装置から送られてくるデータまたは命令である、キャッシュデータが記憶される。タグには、上記キャッシュデータに対応したアドレスのデータである番地データが記憶される。バリッドビットには、データフィールドに格納されているキャッシュデータが有効か無効かを示すデータである、バリッドデータが記憶される。

10

【0012】

そして、本発明の一態様では、緩衝記憶装置が有する複数のメモリセルのうち、バリッドビットに対応するメモリセルを、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短くなるような構成とする。上記構成により、データフィールドに記憶されているキャッシュデータの信頼性が低くなる前に、バリッドビットに記憶されているバリッドデータを無効とすることができる。よって、データフィールドに記憶されているキャッシュデータが無効であっても、バリッドデータが有効である、という状態が生じるのを防ぐことができる。

20

【0013】

バリッドビットに対応するメモリセルにおいて、データの保持期間を短くするために、以下の2つの構成のうち、少なくともいずれか1つを採用する。第1の構成は、記憶素子に保持される電荷量を小さくするというものである。第2の構成は、データの読み出し時に、デジタル値の切り替えが行われる際のデータ線の電位、すなわち閾値電位を、高くするというものである。

30

【0014】

具体的に、第1の構成を採用した場合の緩衝記憶装置では、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、記憶素子の容量値が小さいものとする。上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。なお、記憶素子がトランジスタである場合、上記容量値とは、トランジスタが有するゲート容量の容量値を意味する。

【0015】

或いは、具体的に、第1の構成を採用した場合の緩衝記憶装置では、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、データの保持時におけるデータ線の電位が低いものとする。上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

40

【0016】

また、具体的に、第2の構成を採用した場合の緩衝記憶装置では、記憶素子に保持されているデータを、差動増幅回路を用いて出力する際に、データ線に所定の電位を与えるべく、プリチャージする。そして、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、上記プリチャージの電位が高いものとする。電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、プリチャージの電位が高いほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が、プリチャージの電位を下回りやすい。

50

そのため、差動増幅回路において上記データ線の電位がプリチャージの電位よりも高いか低いかでデジタル値を判別すると、プリチャージの電位が高いほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

【0017】

或いは、具体的に、第2の構成を採用した場合の緩衝記憶装置では、入力された電位の位相を反転させて出力する論理素子（以下、位相反転素子と呼ぶ）を、単数または複数用いた論理回路を介して、各データ線の電位を出力する。そして、上記論理回路において、出力される電位の位相が切り替わる際の入力の電位を、上記論理回路の閾値電位とすると、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、上記論理回路の閾値電位が高いものとする。上記構成の場合、上記論理回路の閾値電位が高いほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

10

【0018】

或いは、具体的に、第2の構成を採用した場合の緩衝記憶装置では、位相反転素子を単数または複数用いた論理回路を介して、各データ線の電位を出力する。また、記憶素子に保持されているデータを読み出す前に、データ線に所定の電位を与えるべく、プリチャージする。そして、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、上記プリチャージの電位が低いものとする。電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、プリチャージの電位が低いほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が、上記論理回路の閾値電位を下回りやすい。そのため、プリチャージの電位が低いほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

20

【0019】

或いは、具体的に、第2の構成を採用した場合の緩衝記憶装置では、位相反転素子を単数または複数用いた論理回路を介して、各データ線の電位を出力する。そして、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、データ線に接続されている容量素子の容量値が小さいものとする。電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、上記容量値が小さいほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が速く低下しやすく、上記論理回路の閾値電位を下回りやすい。そのため、データ線に接続されている容量素子の容量値が小さいほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

30

【0020】

或いは、具体的に、第2の構成を採用した場合の緩衝記憶装置では、位相反転素子を単数または複数用いた論理回路を介して、各データ線の電位を出力する。そして、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、データの読み出しの際に用いるトランジスタのチャネル幅が大きいものとする。電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、上記トランジスタのチャネル幅が大きいほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が速く低下しやすく、上記論理回路の閾値電位を下回りやすい。そのため、上記トランジスタのチャネル幅が大きいほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

40

【発明の効果】

【0021】

50

本発明の一態様に係る記憶装置は、上記構成により、DRAMよりもリフレッシュの頻度を低くすることができるので、DRAMよりも書き込み、読み出しなどの動作速度が高い。また、SRAMよりもメモリセルあたりの半導体素子の数を減らすことができる。

【0022】

或いは、本発明の一態様に係る記憶装置は、バリッドビットに対応するメモリセルを、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短くなるような構成とすることで、信頼性を高めることができる。

【0023】

上記記憶装置を用いた本発明の一態様に係る半導体装置は、高速駆動または高集積化を実現することができる。或いは、上記記憶装置を用いた本発明の一態様に係る半導体装置は、半導体装置の信頼性を高めることができる。

【図面の簡単な説明】

【0024】

【図1】メモリセルの構成を示す回路図、トランジスタの断面図、緩衝記憶装置の構成を示す図。

【図2】半導体装置の構成を示す図。

【図3】メモリセルの構成を示す図。

【図4】メモリセルの構成を示す図。

【図5】セルアレイの構成を示す図。

【図6】セルアレイの構成を示す図。

【図7】セルアレイ、プリチャージ回路、及び読み出し回路の構成を示す図。

【図8】セルアレイ、プリチャージ回路、及び読み出し回路の構成を示す図。

【図9】セルアレイ、プリチャージ回路、及び読み出し回路の構成を示す図。

【図10】セルアレイ、容量素子、プリチャージ回路、及び読み出し回路の構成を示す図。

。

【図11】セルアレイの回路図。

【図12】セルアレイの動作を示すタイミングチャート。

【図13】セルアレイの回路図。

【図14】半導体装置の構成を示すブロック図。

【図15】記憶装置の作製方法を示す図。

【図16】記憶装置の作製方法を示す図。

【図17】記憶装置の作製方法を示す図。

【図18】記憶装置の作製方法を示す図。

【図19】メモリセルの断面図。

【図20】電子機器の図。

【図21】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図22】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図23】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図24】シミュレーションによって得られた移動度のゲート電圧依存性を説明する図。

【図25】シミュレーションによって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図26】シミュレーションによって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図27】シミュレーションによって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図28】シミュレーションに用いたトランジスタの断面構造を説明する図。

【図29】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図30】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図31】試料2であるトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図32】試料Aおよび試料BのXRDスペクトルを示す図。

10

20

30

40

50

【図 3 3】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図 3 4】ドレイン電流および電界効果移動度のゲート電圧依存性を示す図。

【図 3 5】基板温度と閾値電圧の関係および基板温度と電界効果移動度の関係を示す図。

【図 3 6】半導体装置の上面図及び断面図。

【図 3 7】半導体装置の上面図及び断面図。

【発明を実施するための形態】

【0025】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0026】

なお、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、マイクロコントローラを含むLSI (Large Scale Integrated Circuit) などの集積回路が、本発明の半導体装置の範疇に含まれる。

【0027】

(実施の形態 1)

《メモリセルの構成とトランジスタの構成》

図 1 (A) に、本発明の一態様に係る記憶装置が有する、メモリセルの構成を、一例として回路図で示す。図 1 (A) に示す回路図では、メモリセル 101 が、記憶素子 102 と、スイッチング素子として機能するトランジスタ 103 とを有する。記憶素子 102 は、容量素子、トランジスタなどの半導体素子を用いることができる。そして、記憶素子 102 は、容量素子、或いは、トランジスタのゲート電極と活性層の間に形成されるゲート容量に、電荷を蓄積させることで、データを記憶する。

【0028】

また、記憶素子 102 への電荷の供給と、当該記憶素子 102 からの電荷の放出と、当該記憶素子 102 における電荷の保持とは、スイッチング素子として機能するトランジスタ 103 により制御する。

【0029】

なお、メモリセル 101 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、インダクタなどのその他の回路素子を、さらに有していても良い。

【0030】

本発明の一態様では、上記スイッチング素子として機能するトランジスタ 103 のチャネル形成領域に、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体を含むことを特徴とする。上述したような特性を有する半導体をチャネル形成領域に含むことで、オフ電流またはリーク電流が極めて低いトランジスタ 103 を実現することができる。

【0031】

なお、電子供与体 (ドナー) となる水分又は水素などの不純物が低減されて、なおかつ酸素欠損が低減されることで高純度化された酸化物半導体 (purified OS) は、i 型 (真性半導体) 又は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、高純度化された酸化物半導体は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) による水素濃度の測定値が、 $5 \times 10^{18} / \text{cm}^3$ 未満、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、更に好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とする。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分又は水素などの不純物濃度が

十分に低減され、なおかつ酸素欠損が低減されることで高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を減らすことができる。

【0032】

ここで、酸化物半導体膜中の、水素濃度の分析について触れておく。半導体膜中の水素濃度測定は、SIMSで行う。SIMSは、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる膜が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値又は極小値を、当該膜中の水素濃度として採用する。更に、当該膜が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

10

【0033】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャンネル幅が $1 \times 10^6 \mu\text{m}$ でチャンネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャンネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。

20

【0034】

用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

【0035】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

30

【0036】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

40

【0037】

50

なお、ここで、例えば、 In-Ga-Zn 系酸化物とは、 In と Ga と Zn を有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0038】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0039】

データの保持期間の長さは、記憶素子102に蓄積されている電荷が上記トランジスタ103を介してリークする量に依存する。よって、上述したような、オフ電流の著しく小さいトランジスタ103を、記憶素子102に蓄積された電荷を保持するためのスイッチング素子として用いることで、記憶素子102からの電荷のリークを防ぐことができ、データの保持期間を長く確保することができる。

【0040】

なお、特に断りがない限り、本明細書でオフ電流とは、 n チャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、 p チャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。また、リーク電流とは、絶縁膜を通してソース電極あるいはドレイン電極とゲート電極との間に流れる電流のことを意味する。

【0041】

また、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、 n チャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、 p チャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。本明細書では、ソース電極とドレイン電極のいずれか一方を第1端子、他方を第2端子と称する場合もある。

【0042】

シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体の一例として、炭化珪素(SiC)、窒化ガリウム(GaN)などの化合物半導体、酸化亜鉛(ZnO)などの金属酸化物でなる酸化物半導体などを適用することができる。この中でも酸化物半導体は、スパッタリング法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンまたは窒化ガリウムとは異なり、酸化物半導体は室温でも成膜が可能のため、ガラス基板上への成膜、或いは半導体素子を用いた集積回路上への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能(例えば電界効果移動度)を向上させるために結晶性の酸化物半導体を得ようとする場合でも、 250°C から 800°C の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【0043】

以下の説明ではトランジスタ103の半導体膜として、上記のような利点を有する酸化物半導体を用いる場合を例に挙げている。

【0044】

また、図1(A)では、トランジスタ103がゲート電極を活性層の片側にのみ有している場合を示している。トランジスタ103が、活性層を間に挟んで存在する一対のゲート

10

20

30

40

50

電極を有している場合、一方のゲート電極にはスイッチングを制御するための信号が与えられ、他方のゲート電極は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が他から与えられている状態であっても良い。後者の場合、一対の電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタ103の閾値電圧を制御することができる。

【0045】

また、図1(A)では、メモリセル101がスイッチング素子として機能するトランジスタ103を一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子として機能するトランジスタが各メモリセルに最低限1つ設けられていれば良く、上記トランジスタの数は複数であっても良い。メモリセル101が複数のトランジスタで構成されるスイッチング素子を有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

【0046】

なお、本明細書において、トランジスタが直列に接続されている状態とは、例えば、第1のトランジスタの第1端子と第2端子のいずれか一方のみが、第2のトランジスタの第1端子と第2端子のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第1のトランジスタの第1端子が第2のトランジスタの第1端子に接続され、第1のトランジスタの第2端子が第2のトランジスタの第2端子に接続されている状態を意味する。

【0047】

次いで、図1(B)に、図1(A)に示したトランジスタ103の、断面図の一例を示す。

【0048】

図1(B)において、トランジスタ103は、絶縁表面を有する基板110上に、ゲート電極111と、ゲート電極111上の絶縁膜112と、絶縁膜112を間に挟んでゲート電極111と重なる、活性層として機能する酸化物半導体膜113と、酸化物半導体膜113上のソース電極114及びドレイン電極115とを有している。図1(B)では、酸化物半導体膜113、ソース電極114及びドレイン電極115上に、絶縁膜116が形成されている。トランジスタ103は絶縁膜116をその構成要素に含んでいても良い。

【0049】

なお、図1(B)では、トランジスタ103がシングルゲート構造である場合を例示しているが、トランジスタ103は、互いに接続された複数のゲート電極を有することで、チャンネル形成領域を複数有する、マルチゲート構造であっても良い。

【0050】

上述したメモリセルを有する記憶装置は、トランジスタの活性層にシリコンやゲルマニウムを用いた通常のDRAMよりも、データの保持期間を長く確保することができる。よって、上記記憶装置は、通常のDRAMよりもリフレッシュの頻度を低くすることができるので、リフレッシュに伴う電力の消費を削減することができる。また、上記記憶装置は、通常のDRAMよりもリフレッシュの頻度を低くすることができるので、書き込み、読み出しなどの動作速度が高い。

【0051】

《緩衝記憶装置の構成》

図1(C)に、上記記憶装置を緩衝記憶装置として用いる場合の、緩衝記憶装置の構成を一例として示す。図1(C)に示す緩衝記憶装置は、キャッシュライン0乃至キャッシュライン $n-1$ の、 n 個のキャッシュラインを有している。各キャッシュラインは、タグ、バリッドビット、データフィールドを有している。具体的に、図1(C)では、 i 番目(i は n 以下の自然数)のキャッシュラインが有する、タグ、バリッドビット、データフィールドを、それぞれタグ i 、バリッドビット i 、データフィールド i として示す。

【0052】

各データフィールドには、制御装置、主記憶装置または演算装置から送られてくるデータである、キャッシュデータが格納される。各タグには、上記キャッシュデータに対応したアドレスのデータである番地データが格納される。各バリッドビットには、データフィールドに格納されているキャッシュデータが有効か無効かを示すデータである、バリッドデータが格納される。

【0053】

本発明の一態様に係る緩衝記憶装置では、バリッドビットに対応するメモリセルを、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短くなるような構成とする。上記構成により、データフィールドに記憶されているキャッシュデータの信頼性が低くなる前に、バリッドビットに記憶されているバリッドデータを無効とすることができる。よって、データフィールドに記憶されているキャッシュデータが無効であっても、バリッドデータが有効である、という状態が生じるのを防ぐことができる。上記構成により、データフィールドに記憶されているキャッシュデータの信頼性を高めることができる。

10

【0054】

或いは、本発明の一態様に係る緩衝記憶装置では、バリッドビットに対応するメモリセルを、データフィールドに対応するメモリセル及びタグに対応するメモリセルよりも、そのデータの保持時間が短くなるような構成とする。上記構成により、データフィールドに記憶されているキャッシュデータと、タグに記憶されている番地データの信頼性を高めることができる。

20

【0055】

なお、本発明の一態様に係る緩衝記憶装置は、そのデータの格納構造がダイレクトマッピング方式を採用していても良いし、フルアソシエイティブ方式を採用していても良いし、セットアソシエイティブ方式を採用していても良い。

【0056】

《メモリセルの具体的な構成》

次いで、図3及び図4に、メモリセル101の具体的な構成例を示す。

【0057】

なお、本明細書において接続とは電気的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇を含む。

30

【0058】

また、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0059】

図3(A)に示すメモリセル101は、スイッチング素子として機能するトランジスタ103と、記憶素子として機能する容量素子120とを有する。トランジスタ103のゲート電極は、ワード線WLに接続されている。また、トランジスタ103は、その第1端子がデータ線DLに接続されており、その第2端子が容量素子120の一方の電極に接続されている。容量素子120の他方の電極は、接地電位などの固定電位が与えられているノードに、接続されている。

40

【0060】

図3(A)に示すメモリセル101では、データの書き込み時にトランジスタ103がオンになり、データ線DLからデータを含む信号の電位が、トランジスタ103を介して容量素子120の一方の電極に与えられる。そして、上記信号の電位に従って、容量素子1

50

20に蓄積されている電荷量が制御されることで、容量素子120へのデータの書き込みが行われる。

【0061】

次いで、データの保持時には、トランジスタ103がオフになり、容量素子120において電荷が保持される。上述したように、トランジスタ103はオフ電流またはリーク電流が極めて低いという特性を有している。そのため、容量素子120に蓄積された電荷はリークしづらく、トランジスタ103にシリコンなどの半導体を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

【0062】

データの読み出し時には、トランジスタ103がオンになり、データ線DLを介して容量素子120に蓄積された電荷が取り出される。そして、上記電荷量の違いを読み取ることにより、データを読み出すことができる。

10

【0063】

図3(B)に示すメモリセル101は、スイッチング素子として機能するトランジスタ103と、記憶素子として機能するトランジスタ121及び容量素子122とを有する。トランジスタ103のゲート電極は、第1ワード線WL aに接続されている。また、トランジスタ103は、その第1端子が第1データ線DL aに接続されており、その第2端子がトランジスタ121のゲート電極に接続されている。トランジスタ121は、その第1端子が、第2データ線DL bに接続されており、その第2端子が、所定の電位が与えられているノードに接続されている。容量素子122が有する一対の電極は、一方がトランジスタ121のゲート電極に接続され、他方が第2ワード線WL bに接続されている。

20

【0064】

図3(B)に示すメモリセル101では、データの書き込み時にトランジスタ103がオンになり、第1データ線DL aからデータを含む信号の電位が、トランジスタ103を介してトランジスタ121のゲート電極に与えられる。そして、上記信号の電位に従って、トランジスタ121のゲート容量、及び容量素子122に蓄積される電荷量が制御されることで、トランジスタ121及び容量素子122へのデータの書き込みが行われる。

【0065】

次いで、データの保持時には、トランジスタ103がオフになり、トランジスタ121のゲート容量、及び容量素子122に蓄積された電荷が保持される。上述したように、トランジスタ103はオフ電流またはリーク電流が極めて低いという特性を有している。そのため、蓄積された上記電荷はリークしづらく、トランジスタ103にシリコンなどの半導体を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

30

【0066】

データの読み出し時には、第2ワード線WL bの電位を変化させる。容量素子122が有する一対の電極の電位差は、電荷保存則により維持されたままなので、第2ワード線WL bの電位の変化は、トランジスタ121のゲート電極に与えられる。トランジスタ121は、そのゲート容量に蓄積されている電荷量によって閾値電圧が変化している。よって、トランジスタ121のゲート電極の電位が変化することで得られるトランジスタ121のドレイン電流の大きさから、蓄積されている電荷量の違いを読み取ることにより、データを読み出すことができる。

40

【0067】

なお、記憶素子として機能するトランジスタ121は、その活性層に、酸化物半導体がいられられていても良い。或いは、トランジスタ121の活性層に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体がいられられていても良い。メモリセル101内の全てのトランジスタの活性層に、酸化物半導体を用いることで、プロセスを簡略化することができる。また、記憶素子として機能するトランジスタ121の活性層に、例えば、多結晶または単結晶のシリコンなどのように、酸化物半導体よりも高い移動度（電界効果移動度）が得られる半導体を用いることで、メモリセル101からのデータの読み出しを高速で行うことができる。

50

【0068】

図3 (C) に示すメモリセル101は、一つのデータ線DLが、第1データ線DL aと第2データ線DL bの機能を併せ持っている点において、図3 (B) に示すメモリセル101と異なっている。具体的に、図3 (C) に示すメモリセル101は、スイッチング素子として機能するトランジスタ103と、記憶素子として機能するトランジスタ123及び容量素子124とを有する。トランジスタ103のゲート電極は、第1ワード線WL aに接続されている。また、トランジスタ103は、その第1端子がデータ線DLに接続されており、その第2端子がトランジスタ123のゲート電極に接続されている。トランジスタ123は、その第1端子がデータ線DLに接続されており、その第2端子が、所定の電位が与えられているノードに接続されている。容量素子124が有する一对の電極は、一方がトランジスタ123のゲート電極に接続され、他方が第2ワード線WL bに接続されている。

10

【0069】

図3 (C) に示すメモリセル101は、データの書き込み、保持、読み出しなどの動作は、図3 (B) に示すメモリセル101と同様に行うことができる。

【0070】

また、記憶素子として機能するトランジスタ123は、その活性層に、酸化物半導体を用いられていても良い。或いは、トランジスタ123の活性層に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いられていても良い。メモリセル101内の全てのトランジスタの活性層に、酸化物半導体を用いることで、プロセスを簡略化することができる。また、記憶素子として機能するトランジスタ123の活性層に、例えば、多結晶または単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体を用いることで、メモリセル101からのデータの読み出しを高速で行うことができる。

20

【0071】

図4 (A) に示すメモリセル101は、スイッチング素子として機能するトランジスタ103と、記憶素子として機能するトランジスタ125とを有する。トランジスタ125は、活性層を間に挟んで存在する一对のゲート電極を有している。上記一对のゲート電極の一方を第1ゲート電極、他方を第2ゲート電極とする。

【0072】

トランジスタ103のゲート電極は、第1ワード線WL aに接続されている。また、トランジスタ103は、その第1端子が第1データ線DL aに接続されており、その第2端子がトランジスタ125の第1ゲート電極に接続されている。トランジスタ125の第2ゲート電極は、第2ワード線WL bに接続されている。また、トランジスタ125は、その第1端子が、第2データ線DL bに接続されており、その第2端子が、所定の電位が与えられているノードに接続されている。

30

【0073】

図4 (A) に示すメモリセル101では、データの書き込み時にトランジスタ103がオンになり、第1データ線DL aからデータを含む信号の電位が、トランジスタ103を介してトランジスタ125の第1ゲート電極に与えられる。そして、上記信号の電位に従って、トランジスタ125のゲート容量に蓄積される電荷量が制御されることで、トランジスタ125へのデータの書き込みが行われる。

40

【0074】

次いで、データの保持時には、トランジスタ103がオフになり、トランジスタ125のゲート容量に蓄積された電荷が保持される。上述したように、トランジスタ103はオフ電流またはリーク電流が極めて低いという特性を有している。そのため、蓄積された上記電荷はリークしづらく、トランジスタ103にシリコンなどの半導体を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

【0075】

データの読み出し時には、第2ワード線WL bの電位を変化させることで、トランジスタ

50

125の第2ゲート電極の電位を変化させる。トランジスタ125は、そのゲート容量に蓄積されている電荷量によって閾値電圧が変化している。よって、トランジスタ125の第2ゲート電極の電位を変化させることで得られるトランジスタ125のドレイン電流の大きさから、蓄積されている電荷量の違いを読み取り、結果的に、データを読み出すことができる。

【0076】

なお、記憶素子として機能するトランジスタ125は、その活性層に、酸化物半導体を用いられていても良い。或いは、トランジスタ125の活性層に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いられていても良い。メモリセル101内の全てのトランジスタの活性層に、酸化物半導体を用いることで、プロセスを簡略化することができる。また、記憶素子として機能するトランジスタ125の活性層に、例えば、多結晶または単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体を用いることで、メモリセル101からのデータの読み出しを高速で行うことができる。

【0077】

図4(B)に示すメモリセル101は、スイッチング素子として機能するトランジスタ103と、記憶素子として機能するトランジスタ126と、データの読み出しを制御するスイッチング素子として機能するトランジスタ127とを有する。トランジスタ103のゲート電極は、第1ワード線WL aに接続されている。また、トランジスタ103は、その第1端子が第1データ線DL aに接続されており、その第2端子がトランジスタ126のゲート電極に接続されている。トランジスタ126は、その第1端子がトランジスタ127の第2端子に接続されており、その第2端子が、所定の電位が与えられているノードに接続されている。トランジスタ127が有する第1端子は、第2データ線DL bに接続されている。トランジスタ127のゲート電極は、第2ワード線WL bに接続されている。

【0078】

図4(B)に示すメモリセル101では、データの書き込み時にトランジスタ103がオンになり、第1データ線DL aからデータを含む信号の電位が、トランジスタ103を介してトランジスタ126のゲート電極に与えられる。そして、上記信号の電位に従って、トランジスタ126のゲート容量に蓄積される電荷量が制御されることで、トランジスタ126へのデータの書き込みが行われる。

【0079】

次いで、データの保持時には、トランジスタ103がオフになり、トランジスタ126のゲート容量に蓄積された電荷が保持される。上述したように、トランジスタ103はオフ電流またはリーク電流が極めて低いという特性を有している。そのため、蓄積された上記電荷はリークしづらく、シリコンなどの半導体を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

【0080】

データの読み出し時には、第2ワード線WL bの電位が変化することでトランジスタ127がオンになる。トランジスタ127がオンになると、トランジスタ126には、そのゲート容量に蓄積されている電荷量に見合った高さのドレイン電流が流れる。よって、トランジスタ126のドレイン電流の大きさから、蓄積されている電荷量の違いを読み取ることにより、データを読み出すことができる。

【0081】

なお、トランジスタ126またはトランジスタ127は、その活性層に、酸化物半導体を用いられていても良い。或いは、トランジスタ126またはトランジスタ127の活性層に、酸化物半導体以外の、非晶質、微結晶、多結晶、または単結晶の、シリコン、またはゲルマニウムなどの半導体を用いられていても良い。メモリセル101内の全てのトランジスタの活性層に、酸化物半導体を用いることで、プロセスを簡略化することができる。また、トランジスタ126またはトランジスタ127の活性層に、例えば、多結晶または単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体を用い

ることで、メモリセル１０１からのデータの読み出しを高速で行うことができる。

【００８２】

上述したメモリセルを有する記憶装置は、ＳＲＡＭよりもメモリセルあたりの半導体素子の数を減らすことができ、高集積化に有利である。

【００８３】

《半導体装置の構成》

本発明の一態様に係る半導体装置は、上記構成を有する一または複数の緩衝記憶装置と、制御装置と、一または複数の演算装置とを少なくとも有する。図２に、本発明の一態様に係る半導体装置２００の一例を示す。図２に示す半導体装置２００は、制御装置２０１、演算装置２０２、緩衝記憶装置２０３、主記憶装置２０４を有する。

10

【００８４】

制御装置２０１は、半導体装置２００が有する演算装置２０２、緩衝記憶装置２０３、主記憶装置２０４の動作を統括的に制御する回路である。演算装置２０２は、論理演算、四則演算など各種の演算処理を行う論理回路である。そして、緩衝記憶装置２０３は、演算装置２０２における演算処理の際に、データを一時的に記憶する機能を有する。或いは、緩衝記憶装置２０３は、制御装置２０１が実行する命令を一時的に記憶する機能を有する。

【００８５】

また、主記憶装置２０４は、制御装置２０１が実行する命令を記憶する、或いは演算装置２０２から出力されたデータを記憶することができる。なお、図２では、主記憶装置２０４が半導体装置２００の一部である構成を示しているが、主記憶装置２０４は半導体装置２００の外部に設けられていても良い。

20

【００８６】

緩衝記憶装置２０３を、演算装置２０２と主記憶装置２０４の間に、或いは、制御装置２０１と主記憶装置２０４の間に設けることで、低速な主記憶装置２０４へのアクセスを減らして演算処理などの信号処理を高速化させることができる。

【００８７】

緩衝記憶装置２０３には、メモリセルが複数設けられており、各メモリセルは、記憶素子と、当該記憶素子における電荷の保持を制御するための、オフ電流またはリーク電流が極めて小さいトランジスタとを有する。

30

【００８８】

本発明の一態様に係る記憶装置は、上述したように、通常のＤＲＡＭよりもリフレッシュに伴う電力の消費を削減することができる。よって、緩衝記憶装置２０３に本発明の一態様に係る記憶装置を用いることで、半導体装置の消費電力を抑えることができる。

【００８９】

また、本発明の一態様に係る記憶装置は、上述したように、通常のＤＲＡＭよりも書き込み、読み出しなどの動作速度が高い。よって、緩衝記憶装置２０３に本発明の一態様に係る記憶装置を用いることで、半導体装置の高速駆動を実現することができる。

【００９０】

また、本発明の一態様に係る記憶装置は、上述したように、通常のＳＲＡＭよりもメモリセルあたりの半導体素子の数を減らすことができる。よって、緩衝記憶装置２０３に本発明の一態様に係る記憶装置を用いることで、半導体装置の高集積化を実現することができる。

40

【００９１】

なお、本発明の一態様では、上記記憶装置を緩衝記憶装置として用いる際に、複数のメモリセルのうち、バリッドビットに対応するメモリセルを、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短くなるような構成とする。上記構成により、データフィールドに記憶されているキャッシュデータの信頼性が低くなる前に、バリッドビットに記憶されているバリッドデータを無効とすることができる。よって、データフィールドに記憶されているキャッシュデータが無効であっても、バリッドデータが有効であ

50

る、という状態が生じるのを防ぐことができる。

【0092】

バリッドビットに対応するメモリセルにおいて、データの保持期間を短くするために、以下の2つの構成のうち、少なくともいずれか1つを採用する。第1の構成は、記憶素子に保持される電荷量を小さくするというものである。第2の構成は、データの読み出し時に、デジタル値の切り替えが行われる際のデータ線の電位、すなわち閾値電位を、高くするというものである。

【0093】

なお、スイッチング素子として機能するトランジスタ103のオフ電流が極めて小さい場合、記憶素子102における電荷の保持特性は向上する。しかし、トランジスタ103の特性のばらつきなどにより、電荷の保持特性が悪いメモリセル101が、セルアレイ内に含まれることも想定される。その場合、ECC (Error Check and Correct) 機能などを記憶装置に搭載して、不良ビットのデータを修正することも可能である。しかし、ECC機能を搭載すると、回路面積の増大、読み出し速度の低下などが生じるため、緩衝記憶装置としては好ましくない。本発明の一態様では、バリッドビットに対応するメモリセルについて、他のメモリセルよりもデータの保持期間を短くすることで、ECC機能を搭載せずとも、データの信頼性を高めることができる。

【0094】

なお、バリッドデータが無効を示すと、当該キャッシュラインのキャッシュデータにアクセスした際に、半導体装置はキャッシュミスを起こす。しかし、この際はあらためて主記憶装置からデータがコピーされるので、正しいデータが緩衝記憶装置に格納される。また、n-wayセットアソシエティブ方式の緩衝記憶装置の場合、書き換えるキャッシュラインの候補として、バリッドデータが無効を示すキャッシュラインを選択することも有効である。これは、当該キャッシュラインにデータをコピーしてからデータが保持できない程の長時間が経過していることを意味するため、古いデータから書き換えていくLRU (Least Recently Used) 方式を用いる場合と、実質的に等価な効果を得ることができる。

【0095】

以下、上記構成を実現するための、本発明の一態様に係る記憶装置の、具体的な構成について説明する。

【0096】

《記憶装置の構成その1》

図5に、本発明の一態様に係る記憶装置の、セルアレイを例示する。なお、図5では、1行×複数列のメモリセルで構成されるセルアレイを例示しているが、セルアレイを構成するメモリセルの数及び配列は、図5の構成に限定されない。また、図5では、図3(A)に示した構成を有するメモリセルを例に挙げているが、図3及び図4に示したメモリセルの、いずれかを用いることができる。

【0097】

図5では、一のワード線WLに、バリッドビットに対応したメモリセル101vと、データフィールドに対応したメモリセル101dとが接続されている。そして、メモリセル101vが有する容量素子120vと、メモリセル101dが有する容量素子120dとでは、容量素子120vの方がその容量値が小さいものとする。上記構成により、バリッドビットに対応するメモリセル101vの方が、データの保持時間が短くなる。

【0098】

なお、図5に示す記憶装置の場合、記憶素子として容量素子を用いる場合を例示している。しかし、記憶素子としてトランジスタを用いる場合でも、上記構成を適用することができる。具体的には、バリッドビットに対応するメモリセル101vと、データフィールドに対応するメモリセル101dとで、記憶素子として機能するトランジスタにおいて、ゲート電極と活性層の間に形成されるゲート容量の容量値を、バリッドビットに対応するメモリセル101vの方が、データフィールドに対応したメモリセル101dよりも小さい

構成とする。なお、トランジスタのゲート容量は、ゲート電極と活性層とが重畳する領域の面積を大きくすることで、その容量値を大きくすることができる。

【0099】

《記憶装置の構成その2》

図6に、本発明の一態様に係る記憶装置の、セルアレイを例示する。なお、図6では、1行×複数列のメモリセルで構成されるセルアレイを例示しているが、セルアレイを構成するメモリセルの数及び配列は、図6の構成に限定されない。また、図6では、図3(A)に示した構成を有するメモリセルを例に挙げているが、図3及び図4に示したメモリセルの、いずれかを用いることができる。

【0100】

図6では、一のワード線WLに、バリッドビットに対応したメモリセル101vと、データフィールドに対応したメモリセル101dとが接続されている。また、メモリセル101vには、バリッドビットに対応したデータ線DLvが接続され、メモリセル101dには、データフィールドに対応したデータ線DLdが接続されている。

【0101】

そして、本発明の一態様では、データの保持時において、メモリセル101vが有するトランジスタ103と、メモリセル101dが有するトランジスタ103とが共にオフになっている際に、データ線DLvの電位 $V_{DL}(Lo)$ が、データ線DLdの電位 $V_{DL}(Hi)$ よりも低いものとする。上記構成により、バリッドビットに対応するメモリセル101vの方が、トランジスタ103のリーク電流が高くなるため、データの保持時間が短くなる。

【0102】

なお、一のメモリセルにデータ線が複数接続されている場合は、データの書き込みを行う際に、データを含む信号の電位が与えられるデータ線、すなわち第1データ線DLaに、上記構成を適用させればよい。

【0103】

《記憶装置の構成その3》

図7に、本発明の一態様に係る記憶装置の、セルアレイ150と、データ線の電位をリセットするプリチャージ回路151と、データ線の電位をデジタル値に変換する読み出し回路152とを例示する。なお、図7では、1行×複数列のメモリセルで構成されるセルアレイ150を例示しているが、セルアレイを構成するメモリセルの数及び配列は、図7の構成に限定されない。また、図7では、図3(A)に示した構成を有するメモリセルを例に挙げているが、図3及び図4に示したメモリセルの、いずれかを用いることができる。

【0104】

図7では、一のワード線WLに、バリッドビットに対応したメモリセル101vと、データフィールドに対応したメモリセル101dとが接続されている。また、メモリセル101vには、バリッドビットに対応したデータ線DLvが接続され、メモリセル101dには、データフィールドに対応したデータ線DLdが接続されている。

【0105】

さらに、プリチャージ回路151は、データ線DLvへの、第1のプリチャージ電位 $V_p(Hi)$ の供給を制御するスイッチング素子153vと、データ線DLdへの、第2のプリチャージ電位 $V_p(Lo)$ の供給を制御するスイッチング素子153dとを有する。なお、図7では、第1のプリチャージ電位 $V_p(Hi)$ が、配線154を介してプリチャージ回路151に供給され、第2のプリチャージ電位 $V_p(Lo)$ が、配線155を介してプリチャージ回路151に供給されている。また、スイッチング素子153v及びスイッチング素子153dのスイッチングは、配線156に与えられる電位に従って制御される。

【0106】

また、読み出し回路152は、バリッドビットに対応した差動増幅回路157vと、データフィールドに対応した差動増幅回路157dとを有している。具体的に、差動増幅回路

10

20

30

40

50

157vが有する非反転入力端子(+)には、データ線DLvの電位が与えられ、差動増幅回路157vが有する反転入力端子(-)には、第1のプリチャージ電位Vp(Hi)が与えられる。また、差動増幅回路157dが有する非反転入力端子(+)には、データ線DLdの電位が与えられ、差動増幅回路157dが有する反転入力端子(-)には、第2のプリチャージ電位Vp(Lo)が与えられる。そして、差動増幅回路157v及び差動増幅回路157dから出力される電位Vdataには、それぞれ、メモリセル101v及びメモリセル101dから読み出されたバリッドデータ及びキャッシュデータが含まれている。

【0107】

本発明の一態様では、メモリセル101v及びメモリセル101dに記憶されているデータを読み出す前に、データ線DLvに第1のプリチャージ電位Vp(Hi)を与え、データ線DLdに第2のプリチャージ電位Vp(Lo)を与える。そして、第1のプリチャージ電位Vp(Hi)を、第2のプリチャージ電位Vp(Lo)よりも高い値に設定する。

【0108】

なお、電荷量の多い状態を示すデジタル値のデータをメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、プリチャージの電位が高いほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が、プリチャージの電位を下回りやすい。そのため、上記データ線の電位がプリチャージの電位よりも高いか低いかでデジタル値を判別すると、プリチャージの電位が高いほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。

【0109】

具体的に、図7の場合、差動増幅回路157vから出力される電位Vdataの方が、差動増幅回路157dから出力される電位Vdataよりも、保持時間の経過が短時間でも、ローレベルになりやすい。よって、上記構成により、バリッドビットに対応するメモリセル101vの方が、データの保持時間が短くなる。

【0110】

《記憶装置の構成その4》

図8に、本発明の一態様に係る記憶装置の、セルアレイ150と、データ線の電位をリセットするプリチャージ回路151と、データ線の電位をデジタル値に変換する読み出し回路152とを例示する。なお、図8では、1行×複数列のメモリセルで構成されるセルアレイ150を例示しているが、セルアレイを構成するメモリセルの数及び配列は、図8の構成に限定されない。また、図8では、図3(A)に示した構成を有するメモリセルを例に挙げているが、図3及び図4に示したメモリセルの、いずれかをを用いることができる。

【0111】

図8では、一のワード線WLに、バリッドビットに対応したメモリセル101vと、データフィールドに対応したメモリセル101dとが接続されている。また、メモリセル101vには、バリッドビットに対応したデータ線DLvが接続され、メモリセル101dには、データフィールドに対応したデータ線DLdが接続されている。

【0112】

さらに、プリチャージ回路151は、データ線DLv及びデータ線DLdへの、プリチャージ電位Vpの供給を制御するスイッチング素子158を有する。なお、図8では、プリチャージ電位Vpが、配線163を介してプリチャージ回路151に供給されている。また、スイッチング素子158のスイッチングは、配線161に与えられる電位に従って制御される。データ線DLv及びデータ線DLdには、メモリセル101v及びメモリセル101dに記憶されているデータが読み出される前に、プリチャージ電位Vpが与えられる。

【0113】

また、読み出し回路152は、バリッドビットに対応したバッファ162vと、データフィールドに対応したバッファ162dとを有している。具体的に、バッファ162vの入力端子には、データ線DLvの電位が与えられる。また、バッファ162dの入力端子に

は、データ線 D L d の電位が与えられる。そして、バッファ 1 6 2 v 及びバッファ 1 6 2 d から出力される電位 V d a t a には、それぞれ、メモリセル 1 0 1 v 及びメモリセル 1 0 1 d から読み出されたバリッドデータ及びキャッシュデータが含まれている。

【0114】

なお、バッファ 1 6 2 v 及びバッファ 1 6 2 d は、偶数個の位相反転素子で構成されている。本発明の一態様では、バッファ 1 6 2 v 及びバッファ 1 6 2 d の代わりに、奇数個の位相反転素子で構成されているインバータを用いても良い。

【0115】

そして、本発明の一態様では、バッファ 1 6 2 v 及びバッファ 1 6 2 d は、出力される電位の位相が切り替わる際の、入力電位（閾値電位）が、バッファ 1 6 2 v の方が、バッファ 1 6 2 d よりも高いものとする。上記構成の場合、閾値電位が高いバッファ 1 6 2 v の方が、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。

【0116】

具体的に、図 8 の場合、バッファ 1 6 2 v から出力される電位 V d a t a の方が、バッファ 1 6 2 d から出力される電位 V d a t a よりも、保持時間の経過が短時間でも、ローレベルになりやすい。よって、上記構成により、バリッドビットに対応するメモリセル 1 0 1 v の方が、データの保持時間が短くなる。

【0117】

《記憶装置の構成その 5》

図 9 に、本発明の一態様に係る記憶装置の、セルアレイ 1 5 0 と、データ線の電位をリセットするプリチャージ回路 1 5 1 と、データ線の電位をデジタル値に変換する読み出し回路 1 5 2 とを例示する。なお、図 9 では、1 行×複数列のメモリセルで構成されるセルアレイ 1 5 0 を例示しているが、セルアレイを構成するメモリセルの数及び配列は、図 9 の構成に限定されない。また、図 9 では、図 3（A）に示した構成を有するメモリセルを例に挙げているが、図 3 及び図 4 に示したメモリセルの、いずれかを用いることができる。

【0118】

図 9 では、一のワード線 W L に、バリッドビットに対応したメモリセル 1 0 1 v と、データフィールドに対応したメモリセル 1 0 1 d とが接続されている。また、メモリセル 1 0 1 v には、バリッドビットに対応したデータ線 D L v が接続され、メモリセル 1 0 1 d には、データフィールドに対応したデータ線 D L d が接続されている。

【0119】

さらに、プリチャージ回路 1 5 1 は、データ線 D L v への、第 1 のプリチャージ電位 V p（L o）の供給を制御するスイッチング素子 1 5 8 v と、データ線 D L d への、第 2 のプリチャージ電位 V p（H i）の供給を制御するスイッチング素子 1 5 8 d とを有する。なお、図 9 では、第 1 のプリチャージ電位 V p（L o）が、配線 1 5 9 を介してプリチャージ回路 1 5 1 に供給され、第 2 のプリチャージ電位 V p（H i）が、配線 1 6 0 を介してプリチャージ回路 1 5 1 に供給されている。また、スイッチング素子 1 5 8 v 及びスイッチング素子 1 5 8 d のスイッチングは、配線 1 6 1 に与えられる電位に従って制御される。

【0120】

また、読み出し回路 1 5 2 は、バリッドビットに対応したバッファ 1 6 2 v と、データフィールドに対応したバッファ 1 6 2 d とを有している。具体的に、バッファ 1 6 2 v の入力端子には、データ線 D L v の電位が与えられる。また、バッファ 1 6 2 d の入力端子には、データ線 D L d の電位が与えられる。そして、バッファ 1 6 2 v 及びバッファ 1 6 2 d から出力される電位 V d a t a には、それぞれ、メモリセル 1 0 1 v 及びメモリセル 1 0 1 d から読み出されたバリッドデータ及びキャッシュデータが含まれている。

【0121】

なお、バッファ 1 6 2 v 及びバッファ 1 6 2 d は、偶数個の位相反転素子で構成されている。本発明の一態様では、バッファ 1 6 2 v 及びバッファ 1 6 2 d の代わりに、奇数個の位相反転素子で構成されているインバータを用いても良い。

【0122】

また、本発明の一態様では、メモリセル101v及びメモリセル101dに記憶されているデータを読み出す前に、データ線DLvに第1のプリチャージ電位Vp(Lo)を与え、データ線DLdに第2のプリチャージ電位Vp(Hi)を与える。そして、第1のプリチャージ電位Vp(Lo)を、第2のプリチャージ電位Vp(Hi)よりも低い値に設定する。

【0123】

なお、電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、プリチャージの電位が低いほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が、読み出し回路152の有するバッファの閾値電位を、下回りやすい。そのため、プリチャージの電位が低いほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。

10

【0124】

具体的に、図9の場合、バッファ162vから出力される電位Vdataの方が、バッファ162dから出力される電位Vdataよりも、保持時間の経過が短時間でも、ローレベルになりやすい。よって、上記構成により、バリッドビットに対応するメモリセル101vの方が、データの保持時間が短くなる。

【0125】

《記憶装置の構成その6》

図10に、本発明の一態様に係る記憶装置の、セルアレイ150と、データ線の電位をリセットするプリチャージ回路151と、データ線の電位をデジタル値に変換する読み出し回路152とを例示する。なお、図10では、1行×複数列のメモリセルで構成されるセルアレイ150を例示しているが、セルアレイを構成するメモリセルの数及び配列は、図10の構成に限定されない。また、図10では、図3(A)に示した構成を有するメモリセルを例に挙げているが、図3及び図4に示したメモリセルの、いずれかを用いることができる。

20

【0126】

図10では、一のワード線WLに、バリッドビットに対応したメモリセル101vと、データフィールドに対応したメモリセル101dとが接続されている。メモリセル101vには、バリッドビットに対応したデータ線DLvが接続され、メモリセル101dには、データフィールドに対応したデータ線DLdが接続されている。また、各データ線には容量素子が接続されている。具体的に、図10では、バリッドビットに対応したデータ線DLvに、容量素子164vが接続されており、データフィールドに対応したデータ線DLdに、容量素子164dが接続されている。

30

【0127】

さらに、プリチャージ回路151は、データ線DLv及びデータ線DLdへの、プリチャージ電位Vpの供給を制御するスイッチング素子158を有する。なお、図10では、プリチャージ電位Vpが、配線163を介してプリチャージ回路151に供給されている。また、スイッチング素子158のスイッチングは、配線161に与えられる電位に従って制御される。データ線DLv及びデータ線DLdには、メモリセル101v及びメモリセル101dに記憶されているデータが読み出される前に、プリチャージ電位Vpが与えられる。

40

【0128】

また、読み出し回路152は、バリッドビットに対応したバッファ162vと、データフィールドに対応したバッファ162dとを有している。具体的に、バッファ162vの入力端子には、データ線DLvの電位が与えられる。また、バッファ162dの入力端子には、データ線DLdの電位が与えられる。そして、バッファ162v及びバッファ162dから出力される電位Vdataには、それぞれ、メモリセル101v及びメモリセル101dから読み出されたバリッドデータ及びキャッシュデータが含まれている。

【0129】

50

なお、バッファ 1 6 2 v 及びバッファ 1 6 2 d は、偶数個の位相反転素子で構成されている。本発明の一態様では、バッファ 1 6 2 v 及びバッファ 1 6 2 d の代わりに、奇数個の位相反転素子で構成されているインバータを用いても良い。

【0130】

そして、本発明の一態様では、データ線 D L v に接続された容量素子 1 6 4 v の方が、データ線 D L d に接続された容量素子 1 6 4 d よりも、容量値が小さいものとする。電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴いメモリセルにおいて記憶素子の電荷がリークするが、上記容量値が小さいほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が速く低下しやすく、バッファの閾値電位を下回りやすい。そのため、データ線に接続されている容量素子の容量値が小さいほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

10

【0131】

《記憶装置の構成その 7》

本発明の一態様に係る緩衝記憶装置では、位相反転素子を単数または複数用いた論理回路を介して、各データ線の電位を出力する。そして、データフィールドに対応するメモリセルよりも、バリッドビットに対応するメモリセルの方が、データの読み出しの際に用いるトランジスタのチャンネル幅が大きいものとする。

【0132】

20

なお、図 3 (A) に示すメモリセル 1 0 1 のように、トランジスタ 1 0 3 を介してデータの書き込みと読み出しの両方を行う場合は、トランジスタ 1 0 3 のチャンネル幅を上述したように調整すればよい。また、図 3 (B)、図 3 (C)、図 4 (A)、図 4 (B) に示すメモリセル 1 0 1 のように、データの読み出しの際に用いるトランジスタ（具体的に、図 3 (B) ではトランジスタ 1 2 1、図 3 (C) ではトランジスタ 1 2 3、図 4 (A) ではトランジスタ 1 2 5、図 4 (B) ではトランジスタ 1 2 6 及びトランジスタ 1 2 7) のチャンネル幅を、上述したように調整すればよい。

【0133】

電荷量の多い状態を示すデジタル値をメモリセルに書き込んだ場合、時間の経過に伴い記憶素子の電荷がリークするが、上記トランジスタのチャンネル幅が大きいほど、リークした電荷量が少なくても、データの読み出し時におけるデータ線の電位が速く低下しやすく、上記論理回路の閾値電位を下回りやすい。そのため、上記トランジスタのチャンネル幅が大きいほど、電荷量の少ない状態を示すデジタル値のデータが読み出されやすくなる。よって、上記構成により、バリッドビットに対応するメモリセルの方が、データの保持時間が短くなる。

30

【0134】

(実施の形態 2)

本実施の形態では、複数のメモリセルを有する記憶装置の構成と、その駆動方法の一例について説明する。

【0135】

40

図 1 1 は、図 3 (C) に示したメモリセル 1 0 1 を複数有するセルアレイ 2 1 0 の、回路図の一例である。ただし、図 1 1 では、図 3 (C) とは異なり、トランジスタ 1 2 3 が p チャンネル型である場合の回路図を例示している。

【0136】

図 1 1 に示すセルアレイ 2 1 0 では、複数の第 1 ワード線 W L a、複数のデータ線 D L、複数の第 2 ワード線 W L b、複数のソース線 S L などの各種配線が設けられており、駆動回路からの信号又は電位が、これら配線を介して各メモリセル 1 0 1 に供給される。ソース線 S L は、トランジスタ 1 2 3 の第 2 端子に接続されている。

【0137】

なお、上記配線の数、メモリセル 1 0 1 の数及び配置によって決めることができる。具

50

体的に、図 1 1 に示すセルアレイ 2 1 0 の場合、 y 行 x 列のメモリセル 1 0 1 がマトリクス状に接続されており、第 1 ワード線 $W L a 1 \sim W L a y$ 、第 2 ワード線 $W L b 1 \sim W L b y$ 、ソース線 $S L 1 \sim S L y$ 、データ線 $D L 1 \sim D L x$ が、セルアレイ 2 1 0 内に配置されている場合を例示している。

【0 1 3 8】

次いで、図 1 1 に示すセルアレイ 2 1 0 の動作について、図 1 2 のタイミングチャートを用いて説明する。なお、図 1 2 では、1 行 1 列目のメモリセル 1 0 1 と、1 行 x 列目のメモリセル 1 0 1 と、 y 行 1 列目のメモリセル 1 0 1 と、 y 行 x 列目のメモリセル 1 0 1 とにおいて、データの書き込み、保持、読み出しを行う場合を例に挙げている。また、図 1 2 では、トランジスタ 1 2 3 が p チャンネル型トランジスタである場合を例示している。

10

【0 1 3 9】

また、図 1 2 のタイミングチャート中の斜線部は、電位がハイレベルとローレベルのどちらでも良い期間を意味する。

【0 1 4 0】

まず、データの書き込み期間 $T a$ におけるセルアレイ 2 1 0 の動作について説明する。

【0 1 4 1】

データの書き込みは行ごとに行われる。図 1 2 では、1 行 1 列目のメモリセル 1 0 1 及び 1 行 x 列目のメモリセル 1 0 1 へのデータの書き込みを先に行い、その後で、 y 行 1 列目のメモリセル 1 0 1 及び y 行 x 列目のメモリセル 1 0 1 へのデータの書き込みを行う場合を例示している。

20

【0 1 4 2】

まず、書き込みを行う 1 行目のメモリセル 1 0 1 が有する、第 1 ワード線 $W L a 1$ 及び第 2 ワード線 $W L b 1$ の選択を行う。具体的に図 1 2 では、第 1 ワード線 $W L a 1$ にハイレベルの電位 $V H$ が与えられ、それ以外の第 1 ワード線 $W L a 2 \sim W L a y$ には接地電位 $G N D$ が与えられる。よって、第 1 ワード線 $W L a 1$ にゲート電極が接続されているトランジスタ 1 0 3 のみが、選択的にオンになる。また、第 2 ワード線 $W L b 1$ には接地電位 $G N D$ が与えられ、他の第 2 ワード線 $W L b 2 \sim W L b y$ にはハイレベルの電位 $V D D$ が与えられる。

【0 1 4 3】

そして、第 1 ワード線 $W L a 1$ 及び第 2 ワード線 $W L b 1$ が選択されている期間において、データ線 $D L 1$ 、 $D L x$ に、データを含む信号の電位が与えられる。データ線 $D L 1$ 、 $D L x$ に与えられる電位のレベルは、データの内容によって当然異なる。図 1 2 では、データ線 $D L 1$ にハイレベルの電位 $V D D$ が与えられ、データ線 $D L x$ に接地電位 $G N D$ が与えられている場合を例示する。データ線 $D L 1$ 、 $D L x$ に与えられる電位は、オンのトランジスタ 1 0 3 を介して、容量素子 1 2 4 が有する電極の一つと、トランジスタ 1 2 3 のゲート電極に与えられる。そして、容量素子 1 2 4 が有する電極の一つと、トランジスタ 1 2 3 のゲート電極をノード $F G$ とすると、上記信号の電位に従って、ノード $F G$ に蓄積される電荷量が制御されることで、1 行 1 列目のメモリセル 1 0 1 と、1 行 x 列目のメモリセル 1 0 1 へのデータの書き込みが行われる。

30

【0 1 4 4】

次いで、第 1 ワード線 $W L a 1$ に接地電位 $G N D$ が与えられ、第 1 ワード線 $W L a 1$ にゲート電極が接続されているトランジスタ 1 0 3 が、オフになる。

40

【0 1 4 5】

次いで、書き込みを行う y 行目のメモリセル 1 0 1 が有する、第 1 ワード線 $W L a y$ 及び第 2 ワード線 $W L b y$ の選択を行う。具体的に図 1 2 では、第 1 ワード線 $W L a y$ にハイレベルの電位 $V H$ が与えられ、それ以外の第 1 ワード線 $W L a 1 \sim W L a (y - 1)$ には接地電位 $G N D$ が与えられる。よって、第 1 ワード線 $W L a y$ にゲート電極が接続されているトランジスタ 1 0 3 のみが、選択的にオンになる。また、第 2 ワード線 $W L b y$ には接地電位 $G N D$ が与えられ、他の第 2 ワード線 $W L b 1 \sim W L b (y - 1)$ にはハイレベルの電位 $V D D$ が与えられる。

50

【0146】

そして、第1ワード線WL a y及び第2ワード線WL b yが選択されている期間において、データ線DL 1、DL xに、データを含む信号の電位が与えられる。図12では、データ線DL 1に接地電位GNDが与えられ、データ線DL xにハイレベルの電位VDDが与えられている場合を例示する。データ線DL 1、DL xに与えられる電位は、オンのトランジスタ103を介して、容量素子124が有する電極の一つと、トランジスタ123のゲート電極に与えられる。そして、上記信号の電位に従って、ノードFGに蓄積される電荷量が制御されることで、y行1列目のメモリセル101と、y行x列目のメモリセル101へのデータの書き込みが行われる。

【0147】

なお、書き込み期間Taでは、全てのソース線SLに接地電位GNDが与えられている。上記構成により、ノードFGに接地電位GNDが与えられる場合において、データ線DLとソース線SLに電流が生じることを抑制することができる。

【0148】

また、メモリセル101に誤ったデータが書き込まれるのを防ぐために、第1ワード線WL a及び第2ワード線WL bの選択期間が終了した後に、データ線DLにデータを含む信号の電位を入力する期間を終了させるようにすることが望ましい。

【0149】

次いで、データの保持期間Tsにおけるセルアレイ210の動作について説明する。

【0150】

保持期間Tsにおいて、全ての第1ワード線WL aには、トランジスタ103がオフになるレベルの電位、具体的には接地電位GNDが与えられる。本発明の一態様では、上述したように、トランジスタ103のオフ電流が著しく小さい。トランジスタ103のオフ電流が小さいと、ノードFGに蓄積された電荷はリークしづらくなるため、長い期間に渡ってデータの保持を行うことができる。

【0151】

次いで、データの読み出し期間Trにおけるセルアレイ210の動作について説明する。

【0152】

まず、読み出しを行う1行目のメモリセル101が有する、第2ワード線WL b 1の選択を行う。具体的に図12では、第2ワード線WL b 1に接地電位GNDが与えられ、他の第2ワード線WL b 2～WL b yにハイレベルの電位VDDが与えられる。また、読み出し期間Trでは、全ての第1ワード線WL aは、接地電位GNDが与えられることで非選択の状態になっている。そして、第2ワード線WL b 1の選択が行われている期間において、全てのソース線SLにはハイレベルの電位VRが与えられる。なお、電位VRは、電位VDDと同じか、もしくは電位VDDより低く接地電位GNDよりも高い電位であるものとする。

【0153】

トランジスタ123のソース電極とドレイン電極間の抵抗は、ノードFGに蓄積された電荷量に依存する。よって、データ線DL 1、DL xには、ノードFGに蓄積された電荷量に応じた電位が与えられる。そして、上記電位から電荷量の違いを読み取ることにより、1行1列目のメモリセル101と、1行x列目のメモリセル101から、データを読み出すことができる。

【0154】

次いで、読み出しを行うy行目のメモリセル101が有する、第2ワード線WL b yの選択を行う。具体的に図12では、第2ワード線WL b yに接地電位GNDが与えられ、他の第2ワード線WL b 1～WL b (y-1)にハイレベルの電位VDDが与えられる。また、上述したように、読み出し期間Trでは、全ての第1ワード線WL aは、接地電位GNDが与えられることで非選択の状態になっている。また、第2ワード線WL b yの選択が行われている期間において、全てのソース線SLにはハイレベルの電位VRが与えられる。

10

20

30

40

50

【0155】

トランジスタ123のソース電極とドレイン電極間の抵抗は、ノードFGに蓄積された電荷量に依存する。よって、データ線DL1、DLxには、ノードFGに蓄積された電荷量に応じた電位が与えられる。そして、上記電位から電荷量の違いを読み取ることにより、y行1列目のメモリセル101と、y行x列目のメモリセル101から、データを読み出すことができる。

【0156】

なお、各データ線DLの先には読み出し回路が接続されており、読み出し回路の出力信号が、セルアレイ210から実際に読み出されたデータを含んでいる。

【0157】

次いで、複数のメモリセルを有する記憶装置の構成と、その駆動方法の別の一例について説明する。

【0158】

図13は、図3(A)に示したメモリセル101を複数有するセルアレイ300の、回路図の一例である。

【0159】

図13に示すセルアレイ300では、複数のワード線WL、複数のデータ線DL、複数のソース線SLなどの各種配線が設けられており、駆動回路からの信号又は電位が、これら配線を介して各メモリセル101に供給される。ソース線SLは、容量素子120の他方の電極に接続されており、接地電位が与えられている。

【0160】

なお、上記配線の数、メモリセル101の数及び配置によって決めることができる。具体的に、図13に示すセルアレイ300の場合、y行×x列のメモリセルがマトリクス状に接続されており、ワード線WL1～WLy、データ線DL1～DLx、ソース線SL1～SLyが、セルアレイ300内に配置されている場合を例示している。

【0161】

次いで、図13に示すセルアレイ300の動作について説明する。なお、ソース線SL1～SLyには、接地電位などの固定電位が与えられているものとする。

【0162】

まず、データの書き込み期間におけるセルアレイ300の動作について説明する。書き込み期間において、ワード線WL1にパルスを有する信号が入力されると、当該パルスの電位、具体的にはハイレベルの電位が、ワード線WL1に接続されているトランジスタ103のゲート電極に与えられる。よって、ワード線WL1にゲート電極が接続されているトランジスタ103は、全てオンになる。

【0163】

次いで、データ線DL1～DLxに、データを含む信号が入力される。データ線DL1～DLxに入力される信号の電位のレベルは、データの内容によって当然異なる。データ線DL1～DLxに入力されている電位は、オンのトランジスタ103を介して、容量素子120の一方の電極に与えられる。そして、上記信号の電位に従って、容量素子120に蓄積されている電荷量が制御されることで、容量素子120へのデータの書き込みが行われる。

【0164】

ワード線WL1への、パルスを有する信号の入力が終了すると、ワード線WL1にゲート電極が接続されているトランジスタ103が、全てオフになる。そして、ワード線WL2～WLyに、パルスを有する信号が順に入力され、ワード線WL2～WLyを有するメモリセル101において、上述した動作が同様に繰り返される。

【0165】

次いで、データの保持期間におけるセルアレイ300の動作について説明する。保持期間において、全てのワード線WL1～WLyには、トランジスタ103がオフになるレベルの電位、具体的にはローレベルの電位が与えられる。本発明の一態様では、上述したよう

10

20

30

40

50

に、トランジスタ103のオフ電流が著しく小さい。トランジスタ103のオフ電流が小さいと、容量素子120に蓄積された電荷はリークしづらくなるため、長い期間に渡ってデータの保持を行うことができる。

【0166】

次いで、データの読み出し期間におけるセルアレイ300の動作について説明する。データの読み出し期間には、書き込み期間と同様に、ワード線WL1~WLyに順にパルスを与える信号が入力される。当該パルスの電位、具体的にはハイレベルの電位が、ワード線WL1に接続されているトランジスタ103のゲート電極に与えられると、当該トランジスタ103は全てオンになる。

【0167】

トランジスタ103がオンになると、データ線DLを介して容量素子120に蓄積された電荷が取り出される。そして、上記電荷量の違いをデータ線DLの電位から読み取ることで、データを読み出すことができる。

【0168】

なお、各データ線DLの先には読み出し回路が接続されており、読み出し回路の出力信号が、記憶部から実際に読み出されたデータを含んでいる。

【0169】

本実施の形態では、書き込み、保持、読み出し、の各動作を、複数のメモリセル101において順に行う駆動方法について説明したが、本発明はこの構成に限定されない。指定されたアドレスのメモリセル101においてのみ、上記動作を行うようにしても良い。

【0170】

なお、本発明の一態様に係る記憶装置は、先に書き込んだデータに上書きするように、別のデータを書き込むことが可能である。よって、従来のフラッシュメモリとは異なり、データの書き換えの際に、先に書き込んだデータの消去を必要としない点が、メリットの一つである。

【0171】

また、一般的なフラッシュメモリの場合、電荷を蓄積するフローティングゲートが、絶縁膜で覆われた絶縁状態にある。よって、フローティングゲートに、トンネル効果を利用して電荷を蓄積させるためには、20V程度の高い電圧を記憶素子に印加する必要がある。また、データの書き込みに長い時間を要する。しかし、本発明の一態様に係る半導体装置が有する記憶装置では、高純度化された酸化物半導体をトランジスタの活性層として用いたスイッチング素子により、データの書き込み及び読み出しを行うことができる。よって、記憶装置の動作時に必要な電圧は数V程度であり、消費電力を格段に小さく抑えることができる。また、データの書き込みをフラッシュメモリの場合よりも高速で行うことができる。

【0172】

また、一般的なフラッシュメモリを用いた半導体装置では、フラッシュメモリの動作時に必要な電圧（動作電圧）が大きいので、通常、昇圧回路などを用いてフラッシュメモリに与える電圧を昇圧している。しかし、本発明の一態様に係る半導体装置では、記憶装置の動作電圧を小さく抑えられるので、消費電力を小さくすることができる。よって、半導体装置内の、記憶装置の動作に係わる昇圧回路などの外部回路の負担を軽減することができる。その分、外部回路の機能拡張などを行い、半導体装置の高機能化を実現することができる。

【0173】

また、本実施の形態では、2値のデジタルデータを扱う場合の駆動方法について説明したが、本発明の一態様に係る記憶装置では、3値以上の多値のデータを扱うことも可能である。なお、3値以上の多値のデータの場合、値が4値、5値と増えていくにつれて各値どうしの電荷量の差が小さくなるため、微少なオフ電流が存在するとデータの正確さを維持するのが難しく、保持期間がさらに短くなる傾向にある。しかし、本発明の一態様に係る記憶装置では、オフ電流が著しく小さくなったトランジスタをスイッチング素子として用

10

20

30

40

50

いるので、多値化に伴う保持期間の短縮化を抑えることができる。

【0174】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【0175】

(実施の形態3)

本実施の形態では、本発明の半導体装置の具体的な一形態について説明する。図14に、半導体装置の構成をブロックで一例として示す。

【0176】

半導体装置600は、制御装置601と、演算装置に相当するALU (Arithmetic logic unit) 602と、データキャッシュ603と、命令キャッシュ604と、プログラムカウンタ605と、命令レジスタ606と、主記憶装置607と、レジスタファイル608とを有する。

【0177】

制御装置601は、入力された命令をデコードし、実行する機能を有する。ALU 602は、四則演算、論理演算などの各種演算処理を行う機能を有する。データキャッシュ603は、使用頻度の高いデータを一時的に記憶しておく緩衝記憶装置である。命令キャッシュ604は、制御装置601に送られる命令(プログラム)のうち、使用頻度の高い命令を一時的に記憶しておく緩衝記憶装置である。プログラムカウンタ605は、次に実行する命令のアドレスを記憶するレジスタである。命令レジスタ606は、次に実行する命令を記憶するレジスタである。主記憶装置607には、ALU 602における演算処理に用いられるデータや、制御装置601において実行される命令が記憶されている。レジスタファイル608は、汎用レジスタを含む複数のレジスタを有しており、主記憶装置607から読み出されたデータ、ALU 602の演算処理の途中で得られたデータ、或いはALU 602の演算処理の結果得られたデータ、などを記憶することができる。

【0178】

次いで、半導体装置600の動作について説明する。

【0179】

制御装置601は、プログラムカウンタ605に記憶されている、次に実行する命令のアドレスに従い、命令キャッシュ604の対応するアドレスから命令を読み出し、命令レジスタ606に上記命令を記憶させる。命令キャッシュ604の対応するアドレスに、該当する命令が記憶されていない場合は、主記憶装置607の対応するアドレスにアクセスし、主記憶装置607から命令を読み出し、命令レジスタ606に記憶させる。この場合、上記命令を命令キャッシュ604にも記憶させておく。

【0180】

制御装置601は、命令レジスタ606に記憶されている命令をデコードし、命令を実行する。具体的には、上記命令に従ってALU 602の動作を制御するための各種信号を生成する。

【0181】

実行すべき命令が演算命令の場合は、レジスタファイル608に記憶されているデータを用いてALU 602に演算処理を行わせ、その演算処理の結果をレジスタファイル608に格納する。

【0182】

実行すべき命令がロード命令の場合は、制御装置601は、まずデータキャッシュ603の対応するアドレスにアクセスし、該当するデータがデータキャッシュ603中にあるか否かを確認する。該当するデータがある場合は、上記データをデータキャッシュ603の対応するアドレスからレジスタファイル608にコピーする。該当するデータがない場合は、上記データを主記憶装置607の対応するアドレスからデータキャッシュ603の対応するアドレスにコピーした後、データキャッシュ603の対応するアドレスからレジスタファイル608に上記データをコピーする。なお、該当するデータがない場合は、上述のように低速な主記憶装置607にアクセスする必要があるため、データキャッシュ60

10

20

30

40

50

3などの緩衝記憶装置にのみアクセスする場合よりも、命令の実行に時間を要する。しかし、上記データのコピーに加えて、主記憶装置607における当該データのアドレス及びその近傍のアドレスのデータも緩衝記憶装置にコピーしておくことで、主記憶装置607における当該データのアドレス及びその近傍のアドレスへの2度目以降のアクセスを、高速に行うことができる。

【0183】

実行すべき命令がストア命令の場合は、レジスタファイル608のデータを、データキャッシュ603の対応するアドレスに記憶させる。このとき、制御装置601は、まずデータキャッシュ603の対応するアドレスにアクセスし、該当するデータがデータキャッシュ603中に格納できるか否かを確認する。格納できる場合は、上記データをレジスタファイル608からデータキャッシュ603の対応するアドレスにコピーする。格納できない場合は、データキャッシュ603の一部領域に新たに対応するアドレスを割り振り、上記データをレジスタファイル608からデータキャッシュ603の対応するアドレスにコピーする。なお、データキャッシュ603にデータをコピーしたら直ちに、主記憶装置607にも上記データをコピーする構成も可能である。また、幾つかのデータをデータキャッシュ603にコピーした後、それらのデータをまとめて主記憶装置607にコピーする構成も可能である。

10

【0184】

そして、制御装置601は、命令の実行が終了すると、再度プログラムカウンタ605にアクセスし、命令レジスタ606から読み出した命令をデコード、実行するという上記動作を繰り返す。

20

【0185】

本発明の一態様では、データキャッシュ603や命令キャッシュ604などの緩衝記憶装置に、上記実施の形態で示した記憶装置を用いることで、電源の供給を停止してもデータの消失を防ぐことができる。よって、半導体装置600全体、もしくは半導体装置600を構成する制御装置601、ALU602などの論理回路において、短い時間でも電源の供給を停止することができる。従って、半導体装置600の消費電力を小さく抑えることができる。

【0186】

また、本発明の一態様では、データキャッシュ603や命令キャッシュ604などの緩衝記憶装置が有する複数のメモリセルのうち、バリッドビットに対応するメモリセルを、データフィールドに対応するメモリセルよりも、そのデータの保持時間が短くなるような構成とする。上記構成により、データフィールドに記憶されているキャッシュデータの信頼性が低くなる前に、バリッドビットに記憶されているバリッドデータを無効とすることができる。よって、データフィールドに記憶されているキャッシュデータが無効であっても、バリッドデータが有効である、という状態が生じるのを防ぐことができ、半導体装置600の信頼性を高めることができる。

30

【0187】

なお、半導体装置600への電源電圧の供給が長期間に渡って停止されていた場合、データキャッシュ603や命令キャッシュ604などの緩衝記憶装置において、キャッシュラインに格納されているデータが不定値になっている場合もある。よって、半導体装置600への電源電圧の供給が開始された後は、緩衝記憶装置において、全てのキャッシュラインのバリッドビットを無効化する必要がある。しかし、バリッドビットを無効化する処理を行っている間は、制御装置601や、ALU602などの演算装置を待機させておく必要がある。そのため、電源電圧の供給が開始されてから、半導体装置600が実際に命令を処理するまで、時間を要する。

40

【0188】

本発明の一態様に係る記憶装置では、記憶装置内の全てのメモリセルにおいて、データの書き込みを一括で行うことができる。すなわち、キャッシュラインごとに、バリッドビットのデータを書き込んでいく必要はなく、全てのキャッシュラインが有するバリッドビッ

50

トのデータを一括で書き込むことができる。具体的には、メモリセルの全てのワード線WLまたは第1ワード線WL aの電位を一括で制御できる構成とすることで、スイッチング素子として機能するトランジスタを一括してオンにし、無効を意味するデジタル値のデータを全メモリセルに書き込む。また、スイッチング素子として機能するトランジスタが、活性層を間に挟んで存在する一対のゲート電極を有し、一方のゲート電極がワード線WLまたは第1ワード線WL aに接続されている場合、他方のゲート電極の電位を制御することで、一括で全メモリセルに無効を意味するデジタル値のデータを書き込むようにしても良い。

【0189】

よって、本発明の一態様に係る半導体装置600では、キャッシュラインごとにデータの書き込みを要する緩衝記憶装置を用いた一般的な半導体装置に比べて、バリッドビットを無効化する処理に要する時間を短くすることができる。従って、電源電圧の供給が開始されてから、半導体装置600が実際に信号を処理するまでの起動時間を、短くすることができる。

10

【0190】

特に、緩衝記憶装置の大容量化に伴い、キャッシュラインの数が増大した場合、一般的な半導体装置に比べて、発明の一態様に係る半導体装置600は、上述した起動時間を著しく短くすることができる。

【0191】

例えば、半導体装置600の命令セットに、緩衝記憶装置内の全てのバリッドビットの無効化を行う命令を用意する。当該命令を主記憶装置607内の、制御装置601が一番初めにアクセスするアドレスに格納する。また、緩衝記憶装置は、電源電圧の供給が開始された直後は待機状態となる構成とし、バリッドビットの無効化の処理が終了後、動作を開始する構成とする。具体的には、緩衝記憶装置の状態を示すレジスタを用意し、半導体装置600への電源電圧の供給が開始された直後は、緩衝記憶装置が待機状態であることを示すデータを、レジスタが有するようにすれば良い。

20

【0192】

制御装置601は、半導体装置600への電源電圧の供給が開始されると、緩衝記憶装置が待機状態にあるので、主記憶装置607にアクセスをする。制御装置601は主記憶装置から、全てのバリッドビットを無効化する命令を読み込む。制御装置601は、読み込んだ命令をデコードし、実行する。

30

【0193】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0194】

(実施の形態4)

本実施の形態では、図3(C)に示したメモリセル101において、トランジスタ103の活性層に酸化物半導体を用い、トランジスタ123の活性層にシリコンを用いる場合を例に挙げて、記憶装置の作製方法について説明する。

【0195】

ただし、トランジスタ123は、シリコンの他、ゲルマニウム、シリコンゲルマニウム、単結晶炭化シリコンなどの半導体を用いても良い。また、例えば、シリコンを用いたトランジスタ123は、シリコンウェハなどの単結晶半導体基板、SOI法により作製されたシリコン薄膜、気相成長法により作製されたシリコン薄膜などを用いて形成することができる。或いは、本発明の一態様では、メモリセルを構成する全てのトランジスタに、酸化物半導体を用いても良い。

40

【0196】

本実施の形態では、まず、図15(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

【0197】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加

50

熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板 700 には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730℃ 以上のものを用いると良い。

【0198】

また、本実施の形態では、半導体膜 702 が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ 123 の作製方法について説明する。なお、具体的な単結晶の半導体膜 702 の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜 701 が形成された基板 700 とを、間に当該絶縁膜 701 が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板 700 とを重ね合わせた後、ボンド基板と基板 700 の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜 701 とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板 700 の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッチング等により所望の形状に加工することで、半導体膜 702 を形成することができる。

【0199】

半導体膜 702 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型の導電性を付与する不純物元素、若しくはリン、砒素などの n 型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、パターニングする前の半導体膜に対して行っても良いし、パターニング後に形成された半導体膜 702 に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、パターニング前の半導体膜に対して、又はパターニングにより形成された半導体膜 702 に対しても行っても良い。

【0200】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜 701 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950℃ 程度の高温アニール法を組み合わせた結晶化法を用いても良い。

【0201】

次に、図 15 (B) に示すように、半導体膜 702 上にゲート絶縁膜 703 を形成した後、ゲート絶縁膜 703 上にマスク 705 を形成し、導電性を付与する不純物元素を半導体膜 702 の一部に添加することで、不純物領域 704 を形成する。

【0202】

ゲート絶縁膜 703 は、高密度プラズマ処理、熱処理などを行うことにより半導体膜 702 の表面を酸化又は窒化することで形成することができる。高密度プラズマ処理は、例えば He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素など

の混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル（OHラジカルを含む場合もある）や窒素ラジカル（NHラジカルを含む場合もある）によって、半導体膜の表面を酸化又は窒化することにより、1～20 nm、望ましくは5～10 nmの絶縁膜が半導体膜に接するように形成できる。例えば、亜酸化窒素（ N_2O ）をArで1～3倍（流量比）に希釈して、10 Pa～30 Paの圧力にて3 kW～5 kWのマイクロ波（2.45 GHz）電力を印加して半導体膜702の表面を酸化若しくは窒化させる。この処理により1 nm～10 nm（好ましくは2 nm～6 nm）の絶縁膜を形成する。更に亜酸化窒素（ N_2O ）とシラン（ SiH_4 ）を導入し、10 Pa～30 Paの圧力にて3 kW～5 kWのマイクロ波（2.45 GHz）電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐压の優れたゲート絶縁膜を形成することができる。

10

【0203】

上述した高密度プラズマ処理による半導体膜の酸化又は窒化は固相反応で進むため、ゲート絶縁膜703と半導体膜702との界面準位密度を極めて低くすることができる。また高密度プラズマ処理により半導体膜702を直接酸化又は窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

20

【0204】

また、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x>0$ 、 $y>0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$ （ $x>0$ 、 $y>0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_y$ （ $x>0$ 、 $y>0$ ））等を含む膜を、単層で、又は積層させることで、ゲート絶縁膜703を形成しても良い。

30

【0205】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0206】

ゲート絶縁膜703の厚さは、例えば、1 nm以上100 nm以下、好ましくは10 nm以上50 nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

【0207】

次いで、マスク705を除去した後、図15（C）に示すように、ゲート絶縁膜703の一部を除去して、不純物領域704と重畳する領域にエッチング等により開口部706を形成した後、ゲート電極707及び導電膜708を形成する。

40

【0208】

ゲート電極707及び導電膜708は、開口部706を覆うように導電膜を形成した後、該導電膜を所定の形状に加工（パターニング）することで、形成することができる。導電膜708は、開口部706において不純物領域704と接している。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピンコート法等を用いることができる。また、導電膜は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を

50

用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0209】

なお、本実施の形態ではゲート電極707及び導電膜708を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707及び導電膜708は積層された複数の導電膜で形成されていても良い。

【0210】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

10

【0211】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0212】

また、ゲート電極707及び導電膜708に酸化インジウム、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

20

【0213】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707及び導電膜708を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0214】

また、ゲート電極707及び導電膜708は、導電膜を形成後、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング条件 (コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等) を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

30

【0215】

次に、図15 (D) に示すように、ゲート電極707及び導電膜708をマスクとして一導電性を付与する不純物元素を半導体膜702に添加することで、ゲート電極707と重なるチャンネル形成領域710と、チャンネル形成領域710を間に挟む一対の不純物領域709と、不純物領域704の一部に更に不純物元素が添加された不純物領域711とが、半導体膜702に形成される。

40

【0216】

本実施の形態では、半導体膜702にp型を付与する不純物元素 (例えばボロン) を添加する場合を例に挙げる。

【0217】

なお、図18 (A) は、上述の工程が終了した時点での、メモリセルの上面図である。図18 (A) の破線A1-A2における断面図が、図15 (D) に相当する。

【0218】

50

次いで、図16(A)に示すように、ゲート絶縁膜703、ゲート電極707、導電膜708を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なり起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【0219】

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707及び導電膜708上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707及び導電膜708上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していても良い。

【0220】

次いで、図16(B)に示すように、絶縁膜712及び絶縁膜713にCMP(化学的機械研磨)処理やエッチング処理を行うことにより、ゲート電極707及び導電膜708の表面を露出させる。なお、後に形成されるトランジスタ103の特性を向上させるために、絶縁膜712、絶縁膜713の表面は可能な限り平坦にしておくことが好ましい。

【0221】

以上の工程により、トランジスタ123を形成することができる。

【0222】

次いで、トランジスタ103の作製方法について説明する。まず、図16(C)に示すように、絶縁膜712又は絶縁膜713上に酸化物半導体膜716を形成する。

【0223】

酸化物半導体膜716は、絶縁膜712及び絶縁膜713上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0224】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜712及び絶縁膜713の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0225】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物

、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0226】

例えば、In:Ga:Zn=1:1:1 (=1/3:1/3:1/3)あるいはIn:Ga:Zn=2:2:1 (=2/5:2/5:1/5)の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn=1:1:1 (=1/3:1/3:1/3)、In:Sn:Zn=2:1:3 (=1/3:1/6:1/2)あるいはIn:Sn:Zn=2:1:5 (=1/4:1/8:5/8)の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

10

【0227】

しかし、これらに限られず、必要とする半導体特性（移動度、閾値電圧、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0228】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

20

【0229】

なお、例えば、In、Ga、Znの原子数比がIn:Ga:Zn=a:b:c (a+b+c=1)である酸化物の組成が、原子数比がIn:Ga:Zn=A:B:C (A+B+C=1)の酸化物の組成の近傍であるとは、a、b、cが、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことを言い、rは、例えば、0.05とすればよい。他の酸化物でも同様である。

【0230】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

30

【0231】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0232】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

40

【0233】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式1にて定義される。

【0234】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_2}^{y_1} \int_{x_2}^{x_1} |f(x, y) - Z_0| dx dy \cdots (\text{式1})$$

50

【0235】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 R_a は原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

【0236】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比]の組成比を有するターゲットを用いる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比]の組成比を有するターゲット、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol数比]を有するターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

10

【0237】

なお、酸化物半導体としてIn-Zn系酸化物半導体を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ ）、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $In : Zn = 1.5 : 1 \sim 15 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 3 : 4 \sim 15 : 2$ ）とする。例えば、In-Zn系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

20

【0238】

また、In-Sn-Zn系酸化物は、 $In : Sn : Zn$ が原子数比で、 $1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 、または $20 : 45 : 35$ などとなる酸化物ターゲットを用いて形成することができる。

【0239】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

30

40

【0240】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0241】

また、スパッタリング装置の処理室のリークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカリ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した

50

吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

【0242】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0243】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜712及び絶縁膜713までが形成された基板700を予備加熱し、基板700に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜721の成膜前に、導電膜719、導電膜720まで形成した基板700にも同様に行ってもよい。

10

【0244】

なお、酸化物半導体膜716を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

20

【0245】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

30

【0246】

ウェットエッチングに用いるエッチング液として、リン酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

【0247】

酸化物半導体膜716を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0248】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体膜716及び絶縁膜712及び絶縁膜713の表面に付着しているレジスト残渣などを除去することが好ましい。

40

【0249】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体膜716に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）

50

方式の露点計を用いて測定した場合の水分量が 20 ppm（露点換算で -55°C ）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）雰囲気下で、酸化物半導体膜 716 に加熱処理を施す。

【0250】

酸化物半導体膜 716 に加熱処理を施すことで、酸化物半導体膜 716 中の水分又は水素を脱離させることができる。具体的には、 250°C 以上 750°C 以下、好ましくは 400°C 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、 500°C 、3 分間以上 6 分間以下程度で行えばよい。加熱処理に RTA 法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0251】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0252】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0253】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、（即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【0254】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009 年 9 月号、Vol. 44、pp. 621-633.）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうち Na は、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Na は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起り、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

【0255】

以上の工程により、酸化物半導体膜 716 中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され、なおかつ酸素欠損が低減されることで高純度化された酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく小さいトランジスタを作製することができる。

【0256】

酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう）または非晶質などの状態を取る。酸化物半導体膜は、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) 膜であることが好ましい。

10

【0257】

C A A C - O S 膜は、完全な単結晶ではなく、完全な非晶質でもない。C A A C - O S 膜は、非晶質相に数 nm から数十 nm の結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) による C A A C - O S 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、C A A C - O S 膜には粒界（グレインバウンダリーともいう。）は確認できない。C A A C - O S 膜が粒界を有さないため、粒界に起因する電子移動度の低下が起こりにくい。

【0258】

C A A C - O S 膜に含まれる結晶部は、c 軸が C A A C - O S 膜の被形成面または表面に垂直な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、結晶部どうしは、それぞれ a 軸および b 軸の向きが異なってもよい。

20

【0259】

なお、C A A C - O S 膜中の、非晶質部および結晶部の占める割合が均一でなくてもよい。例えば、C A A C - O S 膜の表面側から結晶成長させる場合、C A A C - O S 膜の表面の近傍は結晶部の占める割合が高くなり、被形成面の近傍は非晶質部の占める割合が高くなることもある。

30

【0260】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面または表面に垂直な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によって、結晶部どうしの c 軸の方向が異なることがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面または表面に垂直な方向となる。結晶部は、成膜後または成膜後に加熱処理などの結晶化処理を行うことで形成される。

【0261】

C A A C - O S 膜を用いることで、可視光や紫外光の照射によるトランジスタの電気的特性の変動が低減されるため、信頼性の高いトランジスタを得ることができる。

【0262】

C A A C - O S 膜に含まれる結晶構造の一例について図 21 乃至図 23 を用いて詳細に説明する。なお、特に断りがない限り、図 21 乃至図 23 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 21 において丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

40

【0263】

図 21 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 21 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 21 (A) の上半分および下半分にはそれぞれ

50

3 個ずつ 4 配位の O がある。図 2 1 (A) に示す小グループは電荷が 0 である。

【0 2 6 4】

図 2 1 (B) に、1 個の 5 配位の Ga と、Ga に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、Ga に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 2 1 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、In も 5 配位をとるため、図 2 1 (B) に示す構造をとりうる。図 2 1 (B) に示す小グループは電荷が 0 である。

【0 2 6 5】

図 2 1 (C) に、1 個の 4 配位の Zn と、Zn に近接の 4 個の 4 配位の O と、を有する構造を示す。図 2 1 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 2 1 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 2 1 (C) に示す小グループは電荷が 0 である。

【0 2 6 6】

図 2 1 (D) に、1 個の 6 配位の Sn と、Sn に近接の 6 個の 4 配位の O と、を有する構造を示す。図 2 1 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 2 1 (D) に示す小グループは電荷が +1 となる。

【0 2 6 7】

図 2 1 (E) に、2 個の Zn を含む小グループを示す。図 2 1 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 2 1 (E) に示す小グループは電荷が -1 となる。

【0 2 6 8】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0 2 6 9】

ここで、これらの小グループ同士が結合する規則について説明する。6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。5 配位の Ga の上半分の 1 個の O は下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は上方向に 1 個の近接 Ga を有する。4 配位の Zn の上半分の 1 個の O は、下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Zn を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子（In または Sn）が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子（Ga または In）、4 配位の金属原子（Zn）のいずれかと結合することになる。

【0 2 7 0】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【0 2 7 1】

図 2 2 (A) に、In-Sn-Zn 系酸化物の層構造を構成する中グループのモデル図を示す。図 2 2 (B) に、3 つの中グループで構成される大グループを示す。なお、図 2 2 (C) は、図 2 2 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【0 2 7 2】

図 2 2 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、Sn の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 2 2 (A) において、In の上半分および下半分には

それぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図22 (A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

【0273】

図22 (A)において、In-Sn-Zn系酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn 2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

10

【0274】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In (6配位または5配位)、Zn (4配位)、Sn (5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図21 (E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

20

【0275】

具体的には、図22 (B)に示した大グループが繰り返されることで、In-Sn-Zn系酸化物の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。なお、得られるIn-Sn-Zn系酸化物の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (mは0または自然数。)とする組成式で表すことができる。

【0276】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系の材料などを用いた場合も同様である。

30

【0277】

例えば、図23 (A)に、In-Ga-Zn系酸化物の層構造を構成する中グループのモデル図を示す。

40

【0278】

図23 (A)において、In-Ga-Zn系酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0279】

50

図 2 3 (B) に 3 つの中グループで構成される大グループを示す。なお、図 2 3 (C) は、図 2 3 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0280】

ここで、In (6 配位または 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0281】

また、In-Ga-Zn 系酸化物の層構造を構成する中グループは、図 2 3 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせた大グループも取りうる。

10

【0282】

CAAC-Os 膜は、非晶質の酸化物半導体と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体为非晶質の場合は、個々の金属原子によって金属原子に配位している酸素原子の数が異なることも有り得るが、CAAC-Os 膜では金属原子に配位している酸素原子の数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子 (水素イオンを含む) やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

【0283】

従って、CAAC-Os 膜で構成された酸化物半導体膜を用いてトランジスタを作製することで、トランジスタへの光照射またはバイアス-熱ストレス (BT) の付加を行った後に生じる、トランジスタの閾値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

20

【0284】

次いで、図 1 7 (A) に示すように、ゲート電極 707 と接し、なおかつ酸化物半導体膜 716 とも接する導電膜 719 と、導電膜 708 と接し、なおかつ酸化物半導体膜 716 とも接する導電膜 720 とを形成する。導電膜 719 及び導電膜 720 は、ソース電極又はドレイン電極として機能する。

【0285】

具体的に、導電膜 719 及び導電膜 720 は、ゲート電極 707 及び導電膜 708 を覆うようにスパッタ法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工 (パターニング) することで、形成することができる。

30

【0286】

導電膜 719 及び導電膜 720 となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

40

【0287】

また、導電膜 719 及び導電膜 720 となる導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する 3 層構造などが挙げられる。また、Cu-Mg-Al 合金、Cu-Mg-O 合金、Cu-Ca-O 合金、Cu-Mg-Al-O 合金、Mo-Ti 合金、Ti、Mo は、酸化膜との密着性が高い。よって、下層に Cu-Mg-Al 合金、Cu-Mg-O 合金、Cu-Ca-O 合金、Cu-Mg-Al-O 合金、Mo-Ti 合金、Ti、或いは Mo で構成される導電膜、上層に抵抗値の低い Cu で構成される

50

導電膜を積層し、上記積層された導電膜を導電膜 719 及び導電膜 720 に用いることで、酸化膜である絶縁膜と、導電膜 719 及び導電膜 720 との密着性を高めることができ、なおかつ導電膜 719 及び導電膜 720 の抵抗値を小さく抑えることができる。

【0288】

また、導電膜 719 及び導電膜 720 となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0289】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

10

【0290】

なお、導電膜のエッチングの際に、酸化物半導体膜 716 になるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体膜 716 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0291】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5：2：2で混合したアンモニア過水を用いる。或いは、塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

20

【0292】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

30

【0293】

また、酸化物半導体膜 716 と、ソース電極又はドレイン電極として機能する導電膜 719 及び導電膜 720 との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0294】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのパターニングと、導電膜 719 及び導電膜 720 を形成するためのパターニングとを一括で行うようにしても良い。

40

【0295】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体膜 716 と導電膜 719 及び導電膜 720 の間の抵抗を下げることができるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【0296】

次いで、 N_2O 、 N_2 、又は Ar などのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体膜の表面に付着した水などを除

50

去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0297】

なお、図18(B)は、上述の工程が終了した時点での、メモリセルの上面図である。図18(B)の破線A1-A2における断面図が、図17(A)に相当する。

【0298】

なお、プラズマ処理を行った後、図17(B)に示すように、導電膜719及び導電膜720と、酸化物半導体膜716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体膜716と重なる位置にゲート電極722を形成し、導電膜719と重なる位置に導電膜723を形成する。

【0299】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜721は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜721に水素が含まれると、その水素が酸化物半導体膜716へ侵入し、又は水素が酸化物半導体膜716中の酸素を引き抜き、酸化物半導体膜716が低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、ゲート絶縁膜721はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜721には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜716に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜719及び導電膜720及び酸化物半導体膜716と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜716内、ゲート絶縁膜721内、或いは、酸化物半導体膜716と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜716に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜716に接するのを防ぐことができる。

【0300】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、ゲート絶縁膜721を形成する。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。

【0301】

なお、ゲート絶縁膜721を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200℃以上400℃以下、例えば250℃以上350℃以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で250℃、1時間の加熱処理を行う。或いは、導電膜719及び導電膜720を形成する前に、水分又は水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含むゲート絶縁膜721が設けられた後に、加熱処理が施されることによって、酸化物半導体膜716に対して行った先の加熱処理により、酸化物半導体膜716に酸素欠損が発生していたとしても、ゲート絶縁膜721から酸化物半導体膜716に酸素が供与される。そして、酸化物半導体膜716に酸素が供与されることで、酸化物半導体膜716において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体膜716には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜716をi型に近づけることができ、酸素欠損によるトランジスタの電気的特性のばらつきを軽減し、電気的特性

10

20

30

40

50

の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜 721 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体膜 716 を i 型に近づけることができる。

【0302】

また、酸素雰囲気下で酸化物半導体膜 716 に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体膜 716 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100℃以上 350℃未満、好ましくは 150℃以上 250℃未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N（99.9999%）以上、好ましくは 7N（99.99999%）以上、（即ち酸素中の不純物濃度を 1ppm 以下、好ましくは 0.1ppm 以下）とすることが好ましい。

10

【0303】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体膜 716 に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHz のマイクロ波でプラズマ化した酸素を酸化物半導体膜 716 に添加すれば良い。

【0304】

また、ゲート電極 722 及び導電膜 723 は、ゲート絶縁膜 721 上に導電膜を形成した後、該導電膜をパターニングすることで形成することができる。ゲート電極 722 及び導電膜 723 は、ゲート電極 707、或いは導電膜 719 及び導電膜 720 と同様の材料を用いて形成することが可能である。

20

【0305】

ゲート電極 722 及び導電膜 723 の膜厚は、10nm～400nm、好ましくは 100nm～200nm とする。本実施の形態では、タングステンターゲットを用いたスパッタ法により 150nm のゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート電極 722 及び導電膜 723 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィーを使用しないため、製造コストを低減できる。

【0306】

以上の工程により、トランジスタ 103 が形成される。

30

【0307】

なお、ゲート絶縁膜 721 を間に挟んで導電膜 719 と導電膜 723 とが重なる部分が、容量素子 124 に相当する。

【0308】

図 18（C）は、上述の工程が終了した時点での、メモリセルの上面図である。図 18（C）の破線 A1-A2 における断面図が、図 17（B）に相当する。

【0309】

また、トランジスタ 103 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、互いに接続された複数のゲート電極を有することで、チャンネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

40

【0310】

なお、酸化物半導体膜 716 に接する絶縁膜（本実施の形態においては、ゲート絶縁膜 721 が該当する。）は、第 13 族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体膜に接する絶縁膜に用いることで、酸化物半導体膜との界面の状態を良好に保つことができる。

【0311】

第 13 族元素を含む絶縁材料とは、絶縁材料に一又は複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム

50

ム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【0312】

例えば、ガリウムを含有する酸化物半導体膜に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の侵入防止という点においても好ましい。

10

【0313】

また、酸化物半導体膜716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーブなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーブとは、酸素をバルクに添加することをいう。なお、当該バルクの使用は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーブには、プラズマ化した酸素をバルクに添加する酸素プラズマドーブが含まれる。また、酸素ドーブは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

20

【0314】

例えば、酸化物半導体膜716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーブを行うことにより、酸化ガリウムの組成を Ga_2O_X （ $X=3+\alpha$ 、 $0<\alpha<1$ ）とすることができる。

【0315】

また、酸化物半導体膜716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーブを行うことにより、酸化アルミニウムの組成を Al_2O_X （ $X=3+\alpha$ 、 $0<\alpha<1$ ）とすることができる。

【0316】

また、酸化物半導体膜716に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーブを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_XAl_{2-x}O_{3+\alpha}$ （ $0<X<2$ 、 $0<\alpha<1$ ）とすることができる。

30

【0317】

酸素ドーブ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、又は酸化物半導体膜と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体膜をi型化又はi型に限りなく近くすることができる。

40

【0318】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体膜716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体膜716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜716を挟む構成とすることで、上記効果をより高めることができる。

【0319】

また、酸化物半導体膜716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば

50

、上層と下層とも、組成が Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムとし、他方を組成が Al_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化アルミニウムとしても良い。

【0320】

また、酸化物半導体膜 716 に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体膜 716 の上層に組成が Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_XAl_{2-X}O_{3+\alpha}$ ($0 < X < 2$ 、 $0 < \alpha < 1$) の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、酸化物半導体膜 716 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体膜 716 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

10

【0321】

次に、図 17 (C) に示すように、ゲート絶縁膜 721、導電膜 723、ゲート電極 722 を覆うように、絶縁膜 724 を形成する。絶縁膜 724 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜 724 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁膜 724 の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜 724 を単層構造としているが、本発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

20

【0322】

次に、ゲート絶縁膜 721、絶縁膜 724 に開口部 725 を形成し、導電膜 720 の一部を露出させる。その後、絶縁膜 724 上に、上記開口部 725 において導電膜 720 と接する配線 726 を形成する。

【0323】

配線 726 は、PVD 法や、CVD 法を用いて導電膜を形成した後、当該導電膜をパターニングすることによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

30

【0324】

より具体的には、例えば、絶縁膜 724 の開口を含む領域に PVD 法によりチタン膜を薄く形成し、PVD 法によりチタン膜を薄く（5 nm 程度）形成した後に、開口部 725 に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは導電膜 720）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

40

【0325】

絶縁膜 724 に形成する開口部 725 は、導電膜 708 と重畳する領域に形成することが望ましい。このような領域に開口部 725 を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

【0326】

ここで、導電膜 708 を用いずに、不純物領域 704 と導電膜 720 との接続と、導電膜 720 と配線 726 との接続とを重畳させる場合について説明する。この場合、不純物領域 704 上に形成された絶縁膜 712、絶縁膜 713 に開口部（下部の開口部と呼ぶ）を

50

形成し、下部の開口部を覆うように導電膜 720 を形成した後、ゲート絶縁膜 721 及び絶縁膜 724 において、下部の開口部と重畳する領域に開口部（上部の開口部と呼ぶ）を形成し、配線 726 を形成することになる。下部の開口部と重畳する領域に上部の開口部を形成する際に、エッチングにより下部の開口部に形成された導電膜 720 が断線してしまうおそれがある。これを避けるために、下部の開口部と上部の開口部が重畳しないように形成することにより、素子面積が増大するという問題がおこる。

【0327】

本実施の形態に示すように、導電膜 708 を用いることにより、導電膜 720 を断線させずに上部の開口部を形成することが可能となる。これにより、下部の開口部と上部の開口部を重畳させて設けることができるため、開口部に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

10

【0328】

次に、配線 726 を覆うように絶縁膜 727 を形成する。上述した一連の工程により、記憶装置を作製することができる。

【0329】

なお、上記作製方法では、ソース電極及びドレイン電極として機能する導電膜 719 及び導電膜 720 が、酸化物半導体膜 716 の後に形成されている。よって、図 17 (B) に示すように、上記作製方法によって得られるトランジスタ 103 は、導電膜 719 及び導電膜 720 が、酸化物半導体膜 716 の上に形成されている。しかし、トランジスタ 103 は、ソース電極及びドレイン電極として機能する導電膜が、酸化物半導体膜 716 の下、すなわち、酸化物半導体膜 716 と絶縁膜 712 及び絶縁膜 713 の間に設けられていても良い。

20

【0330】

図 19 に、ソース電極及びドレイン電極として機能する導電膜 719 及び導電膜 720 が、酸化物半導体膜 716 と絶縁膜 712 及び絶縁膜 713 の間に設けられている場合の、メモリセルの断面図を示す。図 19 に示すトランジスタ 103 は、絶縁膜 713 を形成した後に導電膜 719 及び導電膜 720 の形成を行い、次いで酸化物半導体膜 716 の形成を行うことで、得ることができる。

【0331】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

30

【0332】

（実施の形態 5）

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinson モデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0333】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、 μ は以下の式 2 で表される。

40

【0334】

【数 2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad \cdots (式2)$$

【0335】

E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinson モデルでは、E は以下の式 3 で表される。

50

【0336】

【数3】

$$E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g} \quad \dots \quad (式3)$$

【0337】

eは電気素量、Nはチャネル形成領域内の単位面積当たりの平均欠陥密度、 ε は半導体の誘電率、nは単位面積当たりのチャネル形成領域に含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネル形成領域の厚さである。なお、厚さ30nm以下の半導体膜であれば、チャネル形成領域の厚さは半導体膜の厚さと同一として差し支えない。線形領域におけるドレイン電流 I_d は、以下の式3で表される。

【0338】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad \dots (式4)$$

【0339】

Lはチャネル長、Wはチャネル幅であり、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下の式5が得られる。

【0340】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \varepsilon C_{ox} V_g} \quad \dots (式5)$$

【0341】

式5の右辺は V_g の関数である。式5からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、In : Sn : Zn = 1 : 1 : 1のものでは欠陥密度Nは $1 \times 10^{12} / cm^2$ 程度である。

【0342】

このようにして求めた欠陥密度等をもとに式2および式3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のあるIn-Sn-Zn系酸化物で測定される移動度は $35 cm^2 / Vs$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2 / Vs$ となると予想できる。

【0343】

ただし、半導体内部に欠陥がなくても、チャネル形成領域とゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面からxだけ離れた場所における移動度 μ_1 は、以下の式6で表される。

【0344】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right) \quad \dots (式6)$$

【0345】

Dはゲート方向の電界、B、Gは定数である。BおよびGは、実際の測定結果より求める

ことができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と式6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0346】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネル形成領域に用いたトランジスタの移動度 μ_2 をシミュレーションした結果を図24に示す。なお、シミュレーションにはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さ t をそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

10

【0347】

さらに、ゲート電極、ソース電極、ドレイン電極の仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャネル長 L およびチャネル幅 W はともに10 μm 、ドレイン電圧 V_d は0.1Vである。

【0348】

図24で示されるように、ゲート電圧 V_g が1V強で移動度 μ_2 は100 cm^2/Vs 以上のピークをつけるが、ゲート電圧 V_g がさらに高くなると、界面散乱が大きくなり、移動度 μ_2 が低下する。なお、界面散乱を低減するためには、半導体膜表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

20

【0349】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性をシミュレーションした結果を図25乃至図27に示す。なお、シミュレーションに用いたトランジスタの断面構造を図28に示す。図28に示すトランジスタは酸化物半導体膜に n^+ の導電型を呈する半導体領域953aおよび半導体領域953cを有する。半導体領域953aおよび半導体領域953cの抵抗率は $2 \times 10^{-3} \Omega\text{cm}$ とする。

【0350】

図28（A）に示すトランジスタは、下地絶縁膜951と、下地絶縁膜951に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物952の上に形成される。トランジスタは半導体領域953a、半導体領域953cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域953bと、ゲート電極955を有する。ゲート電極955の幅を33nmとする。

30

【0351】

ゲート電極955と半導体領域953bの間には、ゲート絶縁膜954を有し、また、ゲート電極955の両側面には側壁絶縁物956aおよび側壁絶縁物956b、ゲート電極955の上部には、ゲート電極955と他の配線との短絡を防止するための絶縁物957を有する。側壁絶縁物の幅は5nmとする。また、半導体領域953aおよび半導体領域953cに接して、ソース電極958aおよびドレイン電極958bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0352】

図28（B）に示すトランジスタは、下地絶縁膜951と、酸化アルミニウムよりなる埋め込み絶縁物952の上に形成され、半導体領域953a、半導体領域953cと、それらに挟まれた真性の半導体領域953bと、幅33nmのゲート電極955とゲート絶縁膜954と側壁絶縁物956aおよび側壁絶縁物956bと絶縁物957とソース電極958aおよびドレイン電極958bを有する点で図28（A）に示すトランジスタと同じである。

40

【0353】

図28（A）に示すトランジスタと図28（B）に示すトランジスタの相違点は、側壁絶縁物956aおよび側壁絶縁物956bの下の半導体領域の導電型である。図28（A）に示すトランジスタでは、側壁絶縁物956aおよび側壁絶縁物956bの下の半導体領

50

域は n^+ の導電型を呈する半導体領域953aおよび半導体領域953cであるが、図28(B)に示すトランジスタでは、真性の半導体領域953bである。すなわち、半導体領域953a(半導体領域953c)とゲート電極955がLoffだけ重ならない領域ができています。この領域をオフセット領域といい、その幅Loffをオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物956a(側壁絶縁物956b)の幅と同じである。

【0354】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図25は、図28(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)および移動度(μ 、点線)のゲート電圧(V_g 、ゲート電極とソース電極の電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレイン電極とソース電極の電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。

10

【0355】

図25(A)はゲート絶縁膜の厚さを15nmとしたものであり、図25(B)は10nmとしたものであり、図25(C)は5nmとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。ゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる10 μ Aを超えることが示された。

20

【0356】

図26に、図28(B)に示される構造のトランジスタで、オフセット長Loffを5nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図26(A)はゲート絶縁膜の厚さを15nmとしたものであり、図26(B)は10nmとしたものであり、図26(C)は5nmとしたものである。

【0357】

また、図27は、図28(B)に示される構造のトランジスタで、オフセット長Loffを15nmとしたもののドレイン電流 I_d (実線)および移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図27(A)はゲート絶縁膜の厚さを15nmとしたものであり、図27(B)は10nmとしたものであり、図27(C)は5nmとしたものである。

30

【0358】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0359】

なお、移動度 μ のピークは、図25では80 cm^2/Vs 程度であるが、図26では60 cm^2/Vs 程度、図27では40 cm^2/Vs 程度と、オフセット長Loffが増加するほど低下する。また、オフ電流も同様の傾向がある。一方、オン電流もオフセット長Loffの増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレイン電流はメモリ素子等で必要とされる10 μ Aを超えることが示された。

40

【0360】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【0361】

(実施の形態6)

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を

50

形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で 5 a t o m i c % 以上含まれる元素をいう。

【0362】

I n、S n、Z n を主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタの閾値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0363】

例えば、図 29 (A) ~ (C) は、I n、S n、Z n を主成分とし、チャネル長 L が $3 \mu m$ 、チャネル幅 W が $10 \mu m$ である酸化物半導体膜と、厚さ $100 nm$ のゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は $10 V$ とした。

10

【0364】

図 29 (A) は基板を意図的に加熱せずにスパッタリング法で I n、S n、Z n を主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8 cm^2/Vs$ が得られている。一方、基板を意図的に加熱して I n、S n、Z n を主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図 29 (B) は基板を $200^\circ C$ に加熱して I n、S n、Z n を主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2 cm^2/Vs$ が得られている。

【0365】

電界効果移動度は、I n、S n、Z n を主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図 29 (C) は、I n、S n、Z n を主成分とする酸化物半導体膜を $200^\circ C$ でスパッタリング成膜した後、 $650^\circ C$ で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5 cm^2/Vs$ が得られている。

20

【0366】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 m^2/Vs$ を超える電界効果移動度を実現することも可能になると推定される。

30

【0367】

I n、S n、Z n を主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0368】

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成された I n、S n、Z n を主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、閾値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、この閾値電圧のマイナスシフト化は解消される。つまり、閾値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図 29 (A) と図 29 (B) の対比からも確認することができる。

40

【0369】

なお、閾値電圧は I n、S n 及び Z n の比率を変えることによっても制御することが可能であり、組成比として $I n : S n : Z n = 2 : 1 : 3$ とすることでトランジスタのノーマ

50

リ・オフ化を期待することができる。また、ターゲットの組成比を $I n : S n : Z n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0370】

意図的な基板加熱温度若しくは熱処理温度は、 150°C 以上、好ましくは 200°C 以上、より好ましくは 400°C 以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0371】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2\text{MV}/\text{cm}$ 、 150°C 、1時間印加の条件において、ドリフトがそれぞれ $\pm 1.5\text{V}$ 未満、好ましくは 1.0V 未満を得ることができる。

10

【0372】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、 650°C の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0373】

まず基板温度を 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を 0.1V とした。次に、ゲート絶縁膜に印加される電界強度が $2\text{MV}/\text{cm}$ となるように V_g に 20V を印加し、そのまま1時間保持した。次に、 V_g を 0V とした。次に、基板温度 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

20

【0374】

同様に、まず基板温度を 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を 0.1V とした。次に、ゲート絶縁膜に印加される電界強度が $-2\text{MV}/\text{cm}$ となるように V_g に -20V を印加し、そのまま1時間保持した。次に、 V_g を 0V とした。次に、基板温度 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

【0375】

試料1のプラスBT試験の結果を図30(A)に、マイナスBT試験の結果を図30(B)に示す。また、試料2のプラスBT試験の結果を図31(A)に、マイナスBT試験の結果を図31(B)に示す。

30

【0376】

試料1のプラスBT試験およびマイナスBT試験による閾値電圧の変動は、それぞれ 1.80V および -0.42V であった。また、試料2のプラスBT試験およびマイナスBT試験による閾値電圧の変動は、それぞれ 0.79V および 0.76V であった。

試料1および試料2のいずれも、BT試験前後における閾値電圧の変動が小さく、信頼性が高いことがわかる。

【0377】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

40

【0378】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下のとすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0379】

50

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650°C の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0380】

実際に、 In-Sn-Zn 系酸化物半導体膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

10

【0381】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

【0382】

脱水素化処理済みの石英基板上に In-Sn-Zn 系酸化物半導体膜を 100nm の厚さで成膜した。

【0383】

In-Sn-Zn 系酸化物半導体膜は、スパッタリング装置を用い、酸素雰囲気中で電力を 100W (DC) として成膜した。ターゲットは、原子数比で、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ の In-Sn-Zn-O ターゲットを用いた。なお、成膜時の基板加熱温度は 200°C とした。このようにして作製した試料を試料Aとした。

20

【0384】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を 650°C の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0385】

図32に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、 2θ が 35deg 近傍および $37\text{deg} \sim 38\text{deg}$ に結晶由来のピークが観測された。

30

【0386】

このように、 In 、 Sn 、 Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び／又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0387】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流密度を $1\text{aA}/\mu\text{m}$ 以下にすることができる。ここで、上記オフ電流密度の単位は、チャンネル幅 $1\mu\text{m}$ あたりの電流値を示す。

40

【0388】

図33に、トランジスタのオフ電流密度と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値 ($1000/T$) を横軸としている。

【0389】

具体的には、図33に示すように、基板温度が 125°C の場合にはオフ電流密度を $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$) 以下、 85°C の場合には $100\text{zA}/\mu\text{m}$ ($1 \times 10^{-19}\text{A}/\mu\text{m}$) 以下、室温 (27°C) の場合には $1\text{zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{A}/\mu\text{m}$) 以下にすることができる。好ましくは、 125°C においてオフ電流密度を 0.1aA

50

μm ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、 85°C において $10 \text{ z A} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下に、室温において $0.1 \text{ z A} / \mu\text{m}$ ($1 \times 10^{-22} \text{ A} / \mu\text{m}$) 以下にすることができる。これらのオフ電流密度の値は、Siを半導体膜として用いたトランジスタに比べて、極めて低いものであることは明らかである。

【0390】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70°C 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。

In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0391】

また、酸化物半導体膜成膜後に 650°C の加熱処理を行った試料Bのトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0392】

測定に用いたトランジスタは、チャネル長Lが $3 \mu\text{m}$ 、チャネル幅Wが $10 \mu\text{m}$ 、 L_{ov} が $0 \mu\text{m}$ 、 dW が $0 \mu\text{m}$ である。なお、 V_d は 10 V とした。なお、基板温度は -40°C 、 -25°C 、 25°C 、 75°C 、 125°C および 150°C で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜に対する一対の電極のはみ出しを dW と呼ぶ。

【0393】

図34に、 I_d （実線）および電界効果移動度（点線）の V_g 依存性を示す。また、図35（A）に基板温度と閾値電圧の関係を、図35（B）に基板温度と電界効果移動度の関係を示す。

【0394】

図35（A）より、基板温度が高いほど閾値電圧は低くなることがわかる。なお、その範囲は $-40^\circ\text{C} \sim 150^\circ\text{C}$ で $1.09 \text{ V} \sim -0.23 \text{ V}$ であった。

【0395】

また、図35（B）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は $-40^\circ\text{C} \sim 150^\circ\text{C}$ で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0396】

上記のようなIn、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流密度を $1 \text{ a A} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0397】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例1】

【0398】

本実施例では、In-Sn-Zn系酸化物半導体膜を酸化物半導体膜に用いたトランジスタの一例について、図36などを用いて説明する。

【0399】

図 3 6 は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図 3 6 (A) にトランジスタの上面図を示す。また、図 3 6 (B) に図 3 6 (A) の一点鎖線 A-B に対応する断面図である。

【0400】

図 3 6 (B) に示すトランジスタは、基板 9 6 0 と、基板 9 6 0 上に設けられた下地絶縁膜 9 6 1 と、下地絶縁膜 9 6 1 の周辺に設けられた保護絶縁膜 9 6 2 と、下地絶縁膜 9 6 1 および保護絶縁膜 9 6 2 上に設けられた高抵抗領域 9 6 3 a および低抵抗領域 9 6 3 b を有する酸化物半導体膜 9 6 3 と、酸化物半導体膜 9 6 3 上に設けられたゲート絶縁膜 9 6 4 と、ゲート絶縁膜 9 6 4 を介して酸化物半導体膜 9 6 3 と重畳して設けられたゲート電極 9 6 5 と、ゲート電極 9 6 5 の側面と接して設けられた側壁絶縁膜 9 6 6 と、少なくとも低抵抗領域 9 6 3 b と接して設けられた一対の電極 9 6 7 と、少なくとも酸化物半導体膜 9 6 3、ゲート電極 9 6 5 および一対の電極 9 6 7 を覆って設けられた層間絶縁膜 9 6 8 と、層間絶縁膜 9 6 8 に設けられた開口部を介して少なくとも一対の電極 9 6 7 の一方と接続して設けられた配線 9 6 9 と、を有する。

10

【0401】

なお、図示しないが、層間絶縁膜 9 6 8 および配線 9 6 9 を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜 9 6 8 の表面伝導に起因して生じる微少リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

20

【実施例 2】

【0402】

本実施例では、上記とは異なる $I n-S n-Z n$ 系酸化物半導体膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0403】

図 3 7 は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図 3 7 (A) はトランジスタの上面図である。また、図 3 7 (B) は図 3 7 (A) の一点鎖線 A-B に対応する断面図である。

【0404】

図 3 7 (B) に示すトランジスタは、基板 9 7 0 と、基板 9 7 0 上に設けられた下地絶縁膜 9 7 1 と、下地絶縁膜 9 7 1 上に設けられた酸化物半導体膜 9 7 3 と、酸化物半導体膜 9 7 3 と接する一対の電極 9 7 6 と、酸化物半導体膜 9 7 3 および一対の電極 9 7 6 上に設けられたゲート絶縁膜 9 7 4 と、ゲート絶縁膜 9 7 4 を介して酸化物半導体膜 9 7 3 と重畳して設けられたゲート電極 9 7 5 と、ゲート絶縁膜 9 7 4 およびゲート電極 9 7 5 を覆って設けられた層間絶縁膜 9 7 7 と、層間絶縁膜 9 7 7 に設けられた開口部を介して一対の電極 9 7 6 と接続する配線 9 7 8 と、層間絶縁膜 9 7 7 および配線 9 7 8 を覆って設けられた保護膜 9 7 9 と、を有する。

30

【0405】

基板 9 7 0 としてはガラス基板を、下地絶縁膜 9 7 1 としては酸化シリコン膜を、酸化物半導体膜 9 7 3 としては $I n-S n-Z n$ 系酸化物半導体膜を、一対の電極 9 7 6 としてはタングステン膜を、ゲート絶縁膜 9 7 4 としては酸化シリコン膜を、ゲート電極 9 7 5 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 9 7 7 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 9 7 8 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 9 7 9 としてはポリイミド膜を、それぞれ用いた。

40

【0406】

なお、図 3 7 (A) に示す構造のトランジスタにおいて、ゲート電極 9 7 5 と一対の電極 9 7 6 との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 9 7 3 に対する一対の電極 9 7 6 のはみ出しを dW と呼ぶ。

【実施例 3】

【0407】

50

本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を提供することができる。また、本発明の一態様に係る半導体装置を用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。

【0408】

なお、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器では、画像データを一時的に記憶する場合などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが携帯用の電子機器において用いられる理由として、フラッシュメモリなどに比べて書き込みや読み出しなどの動作が速く、画像データの処理を行う際に用いるのに適しているからである。しかし、SRAMは動作が速いという利点があるが、1つのメモリセルが6つのトランジスタで構成されているため、メモリセルの面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときに、SRAMのメモリセルの面積は、通常 $100F^2 \sim 150F^2$ である。このためSRAMはビットあたりの単価が、各種の半導体メモリの中で最も高い。それに対して、DRAMは、メモリセルが1つのトランジスタと1つの容量素子で構成されている。よって、DRAMのメモリセルの面積は、通常 $10F^2$ 以下と小さい。しかし、DRAMは常にリフレッシュが必要であり、書き換えを行わない場合でも消費電力が発生する。本発明の一態様に係る半導体装置は、メモリセルの面積が $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。従って、上記半導体装置は、一般的なSRAMやDRAMとは異なり、メモリセルの面積縮小化と、消費電力低減という携帯用の電子機器に適した2つのメリットを併せ持っていると言える。

【0409】

本発明の一態様に係る半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図20に示す。

【0410】

図20(A)は表示装置であり、筐体7011、表示部7012、支持台7013等を有する。本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い、或いは消費電力の低い表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0411】

図20(B)は携帯型ゲーム機であり、筐体7031、筐体7032、表示部7033、表示部7034、マイクロホン7035、スピーカー7036、操作キー7037、スティラス7038等を有する。本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い、或いは消費電力の低い携帯型ゲーム機を提供することができる。なお、図20(B)に示した携帯型ゲーム機は、2つの表示部7033と表示部7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0412】

図20(C)は携帯電話であり、筐体7041、表示部7042、音声入力部7043、音声出力部7044、操作キー7045、受光部7046等を有する。受光部7046に

において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い、或いは消費電力の低い携帯電話を提供することができる。

【0413】

図20(D)は携帯情報端末であり、筐体7051、表示部7052、操作キー7053等を有する。図20(D)に示す携帯情報端末は、モデムが筐体7051に内蔵されていても良い。本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い、或いは消費電力の低い携帯情報端末を提供することができる。

10

【0414】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0415】

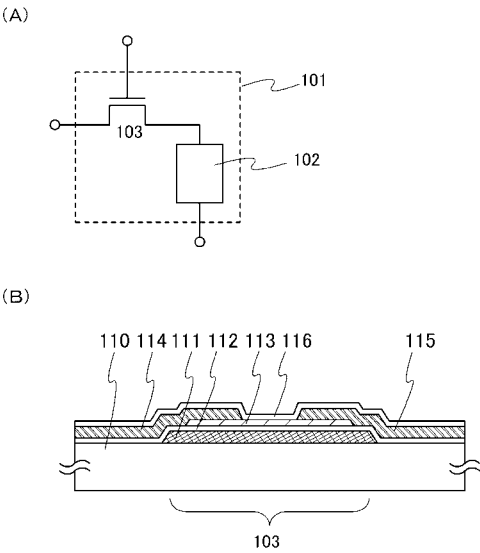
101	メモリセル	
101d	メモリセル	
101v	メモリセル	
102	記憶素子	20
103	トランジスタ	
110	基板	
111	ゲート電極	
112	絶縁膜	
113	酸化物半導体膜	
114	ソース電極	
115	ドレイン電極	
116	絶縁膜	
120	容量素子	
120d	容量素子	30
120v	容量素子	
121	トランジスタ	
122	容量素子	
123	トランジスタ	
124	容量素子	
125	トランジスタ	
126	トランジスタ	
127	トランジスタ	
150	セルアレイ	
151	プリチャージ回路	40
152	読み出し回路	
153d	スイッチング素子	
153v	スイッチング素子	
154	配線	
155	配線	
156	配線	
157d	差動増幅回路	
157v	差動増幅回路	
158	スイッチング素子	
158d	スイッチング素子	50

1 5 8 v	スイッチング素子	
1 5 9	配線	
1 6 0	配線	
1 6 1	配線	
1 6 2 d	バッファ	
1 6 2 v	バッファ	
1 6 3	配線	
1 6 4 d	容量素子	
1 6 4 v	容量素子	
2 0 0	半導体装置	10
2 0 1	制御装置	
2 0 2	演算装置	
2 0 3	緩衝記憶装置	
2 0 4	主記憶装置	
2 1 0	セルアレイ	
3 0 0	セルアレイ	
6 0 0	半導体装置	
6 0 1	制御装置	
6 0 2	A L U	
6 0 3	データキャッシュ	20
6 0 4	命令キャッシュ	
6 0 5	プログラムカウンタ	
6 0 6	命令レジスタ	
6 0 7	主記憶装置	
6 0 8	レジスタファイル	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	
7 0 4	不純物領域	30
7 0 5	マスク	
7 0 6	開口部	
7 0 7	ゲート電極	
7 0 8	導電膜	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	
7 1 1	不純物領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 6	酸化物半導体膜	40
7 1 9	導電膜	
7 2 0	導電膜	
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	
7 2 3	導電膜	
7 2 4	絶縁膜	
7 2 5	開口部	
7 2 6	配線	
7 2 7	絶縁膜	
9 5 1	下地絶縁膜	50

9 5 2	絶縁物	
9 5 3 a	半導体領域	
9 5 3 b	半導体領域	
9 5 3 c	半導体領域	
9 5 4	ゲート絶縁膜	
9 5 5	ゲート電極	
9 5 6 a	側壁絶縁物	
9 5 6 b	側壁絶縁物	
9 5 7	絶縁物	
9 5 8 a	ソース電極	10
9 5 8 b	ドレイン電極	
9 6 0	基板	
9 6 1	下地絶縁膜	
9 6 2	保護絶縁膜	
9 6 3	酸化物半導体膜	
9 6 3 a	高抵抗領域	
9 6 3 b	低抵抗領域	
9 6 4	ゲート絶縁膜	
9 6 5	ゲート電極	
9 6 6	側壁絶縁膜	20
9 6 7	電極	
9 6 8	層間絶縁膜	
9 6 9	配線	
9 7 0	基板	
9 7 1	下地絶縁膜	
9 7 3	酸化物半導体膜	
9 7 4	ゲート絶縁膜	
9 7 5	ゲート電極	
9 7 6	電極	
9 7 7	層間絶縁膜	30
9 7 8	配線	
9 7 9	保護膜	
7 0 1 1	筐体	
7 0 1 2	表示部	
7 0 1 3	支持台	
7 0 3 1	筐体	
7 0 3 2	筐体	
7 0 3 3	表示部	
7 0 3 4	表示部	
7 0 3 5	マイクロホン	40
7 0 3 6	スピーカー	
7 0 3 7	操作キー	
7 0 3 8	スタイラス	
7 0 4 1	筐体	
7 0 4 2	表示部	
7 0 4 3	音声入力部	
7 0 4 4	音声出力部	
7 0 4 5	操作キー	
7 0 4 6	受光部	
7 0 5 1	筐体	50

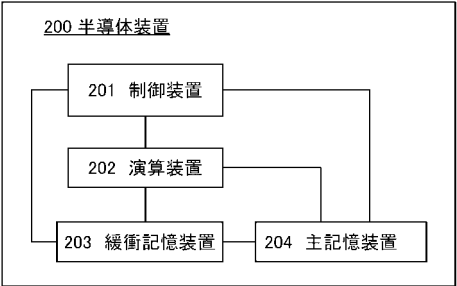
7 0 5 2 表示部
7 0 5 3 操作キー

【 図 1 】

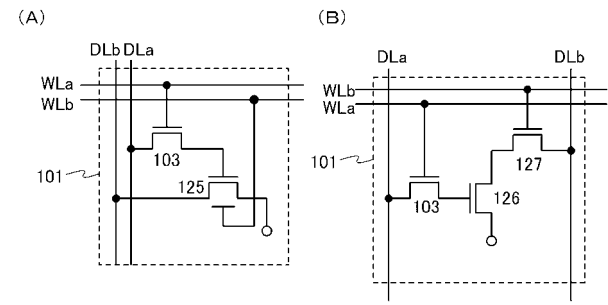


キャッシュライン0	タグ0	パリティビット0	データファイルト0
キャッシュライン1	タグ1	パリティビット1	データファイルト1
キャッシュライン2	タグ2	パリティビット2	データファイルト2
キャッシュライン3	タグ3	パリティビット3	データファイルト3
キャッシュラインn-1	タグn-1	パリティビットn-1	データファイルトn-1

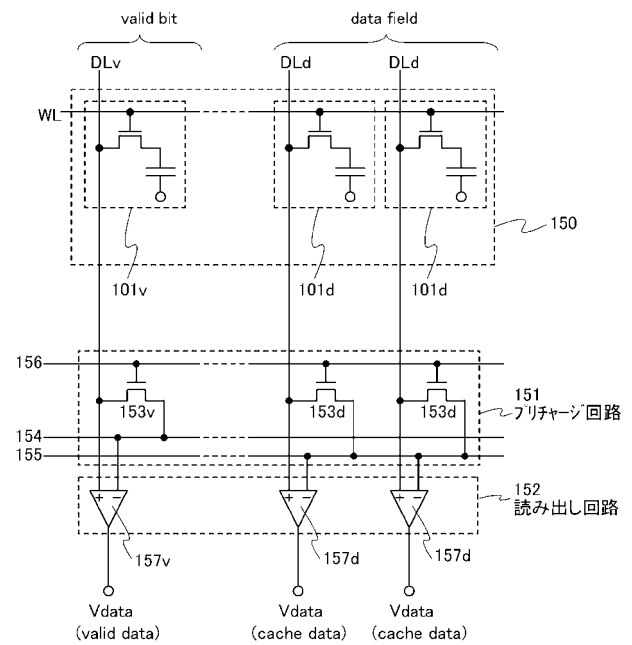
【 図 2 】



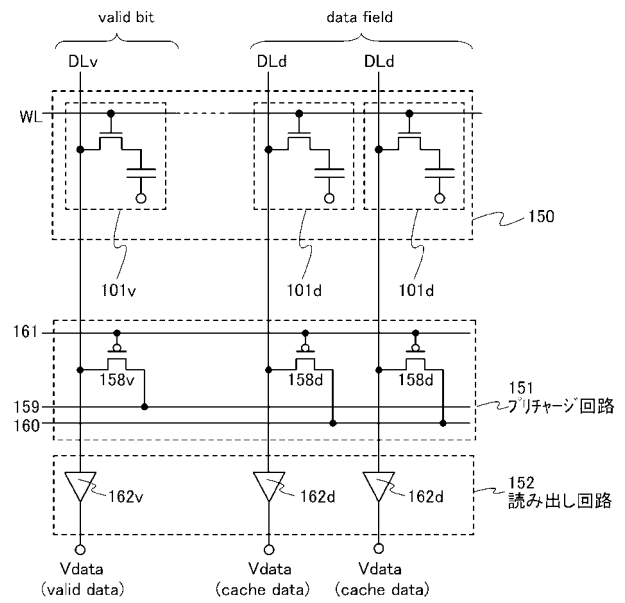
【図 4】



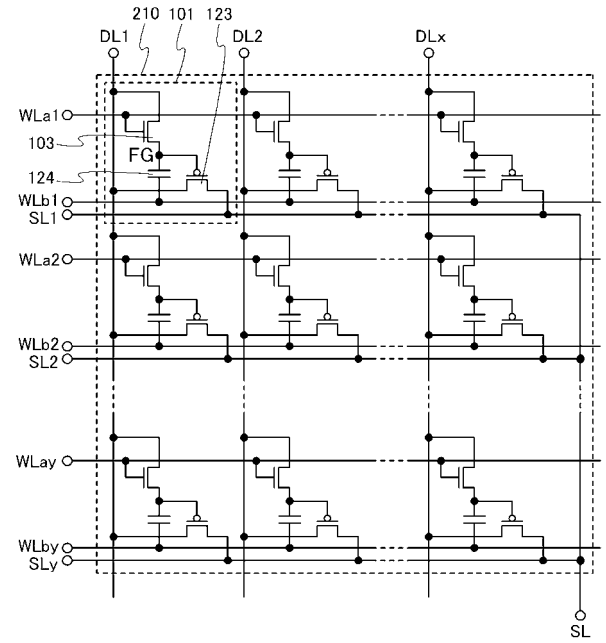
【图 7】



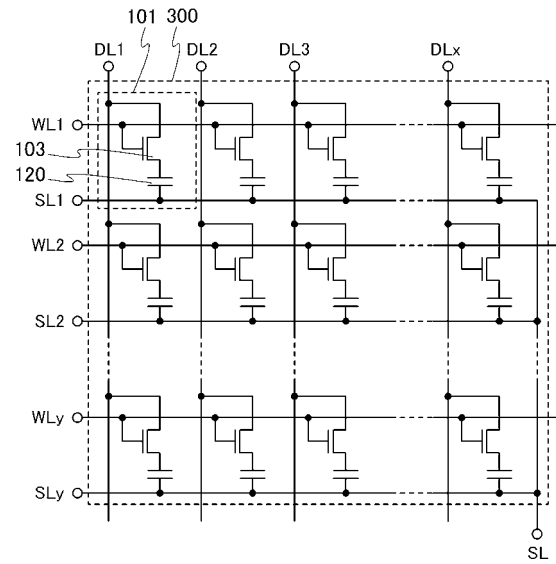
【図 9】



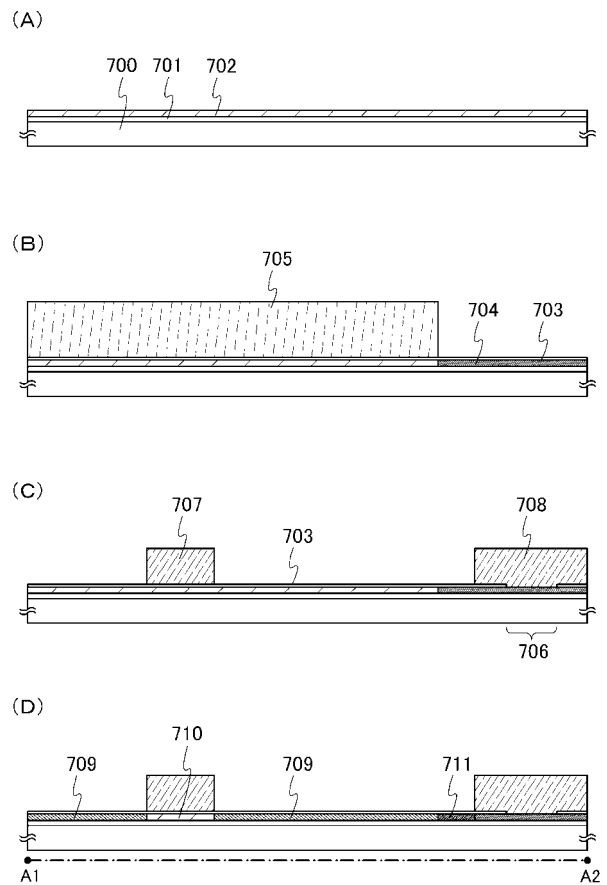
【图 1 1】



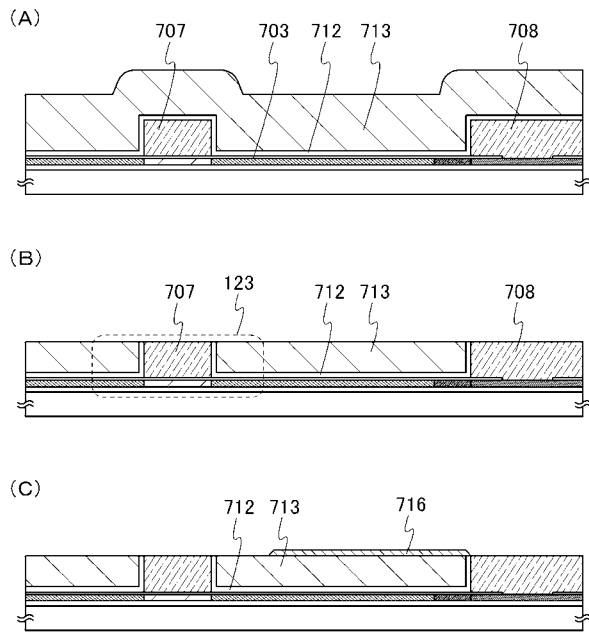
【 図 1 3 】



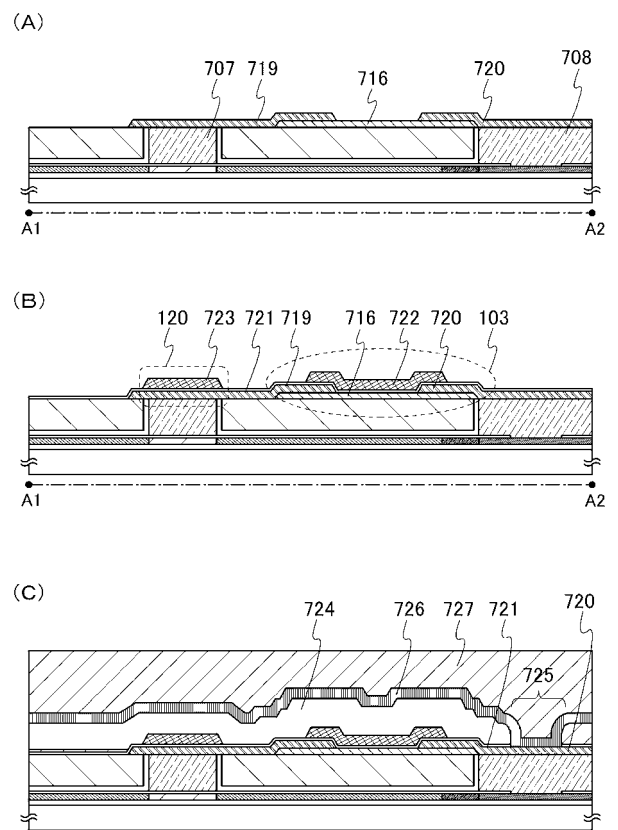
【图 15】



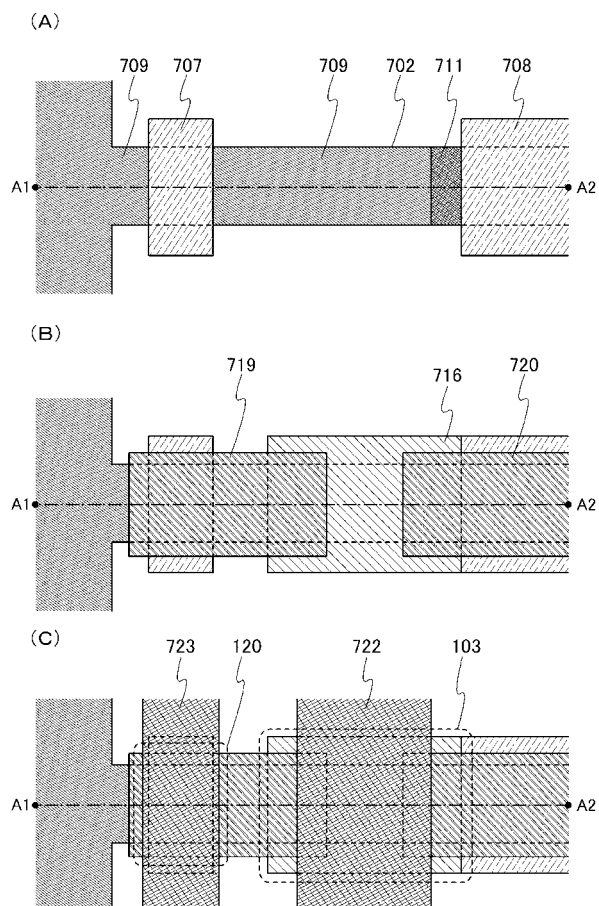
【図 16】



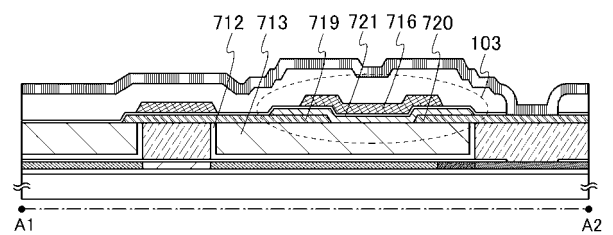
【図 17】



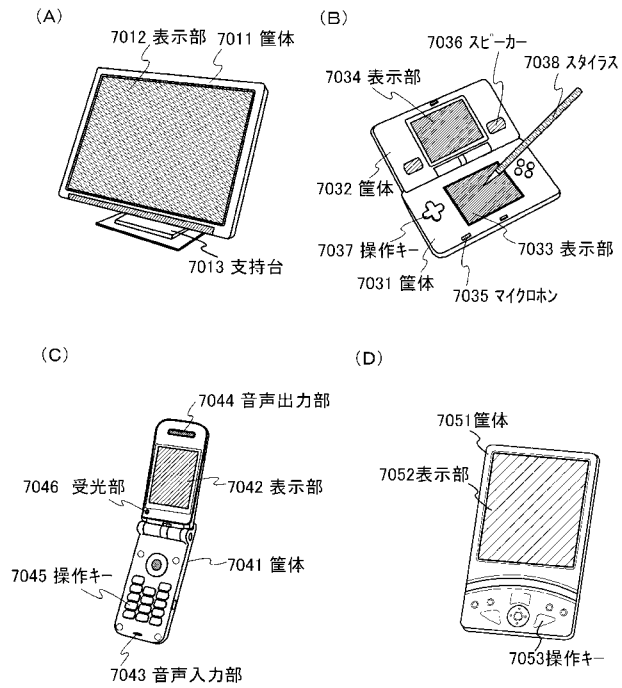
【図 18】



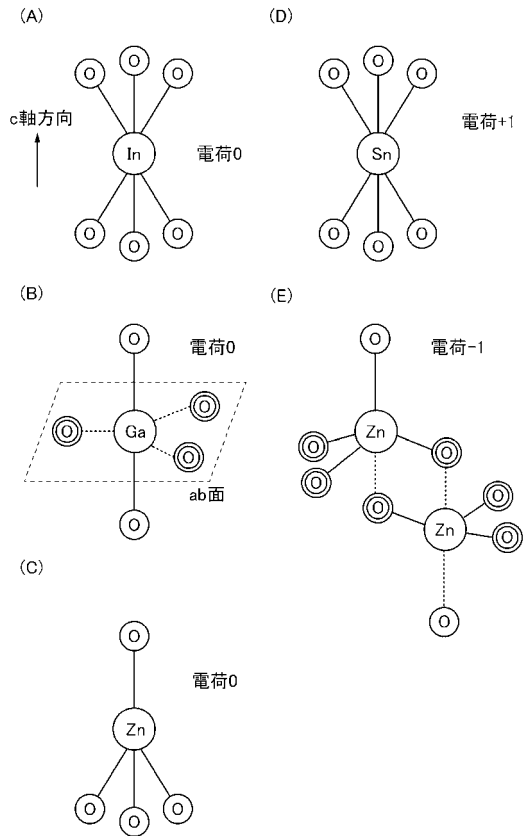
【図 19】



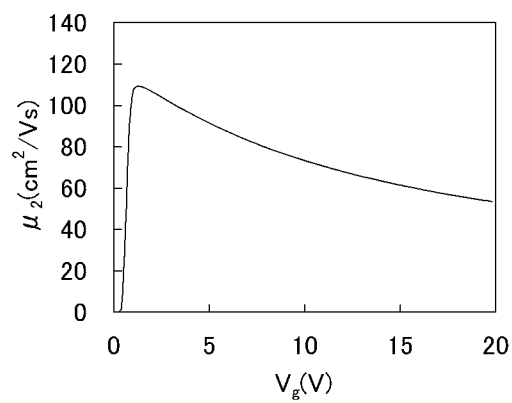
【図 20】



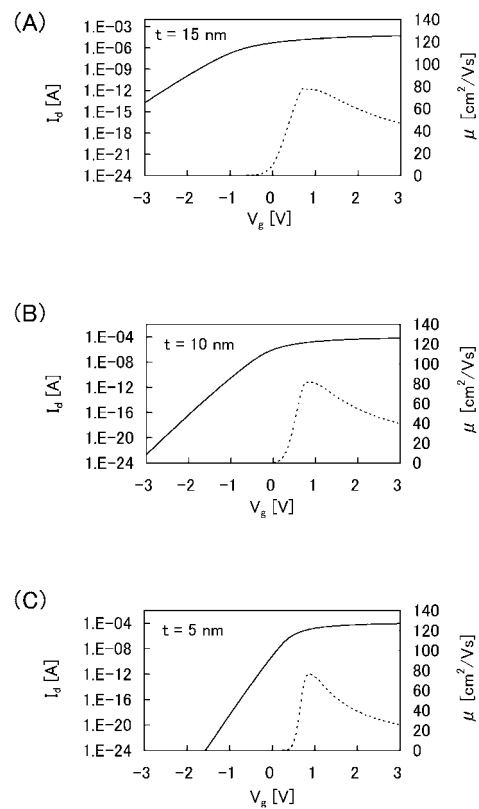
【図 21】



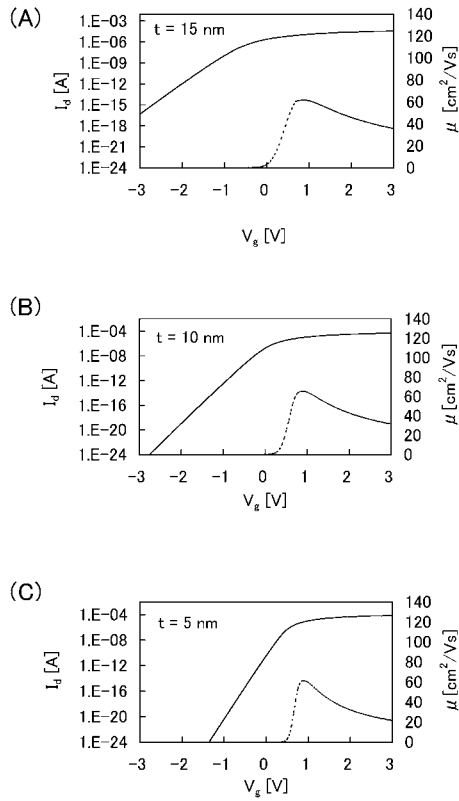
【図 24】



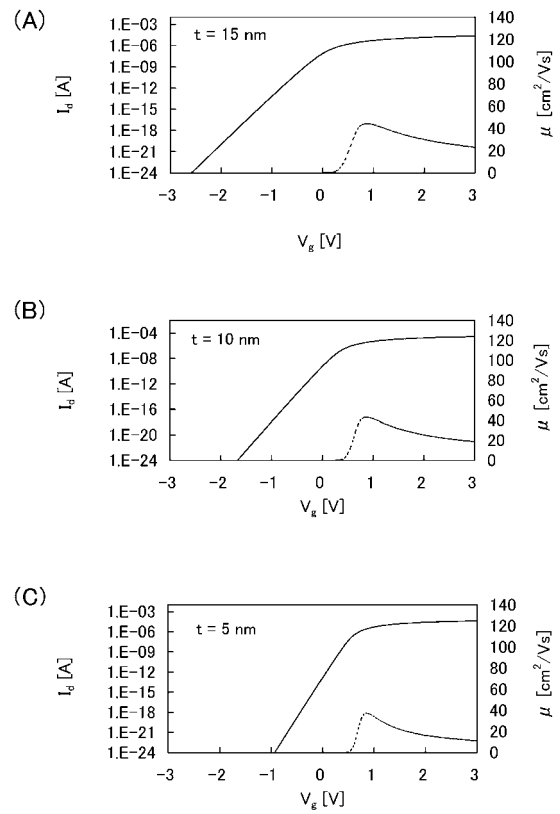
【図 25】



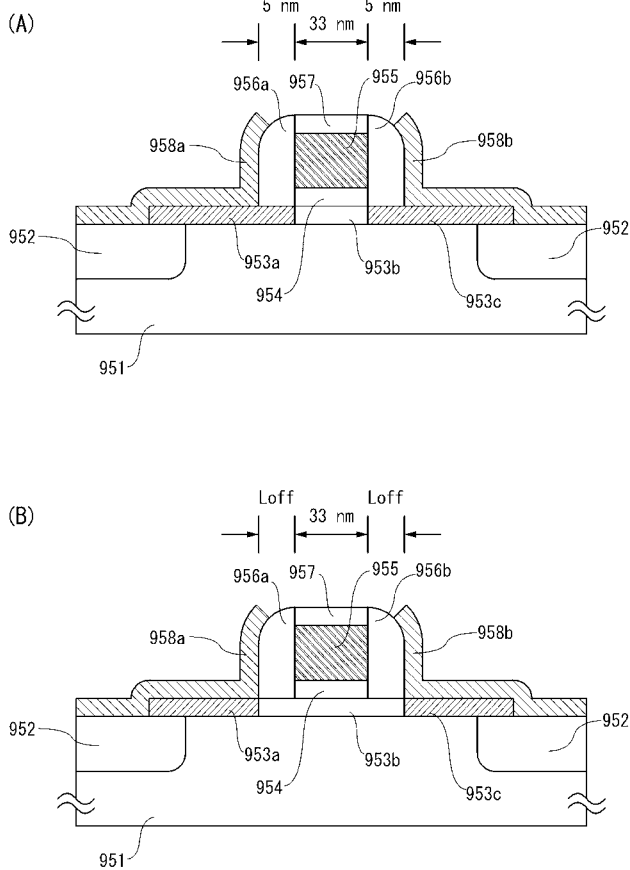
【図 26】



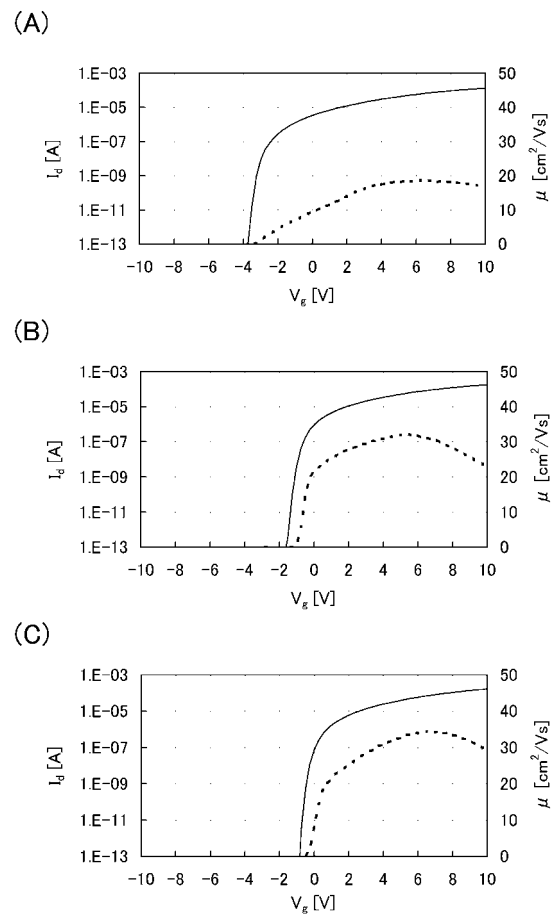
【図 27】



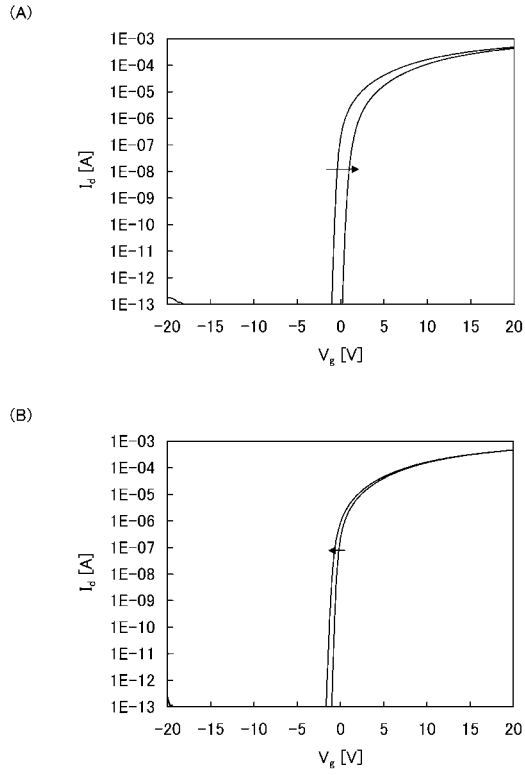
【図 28】



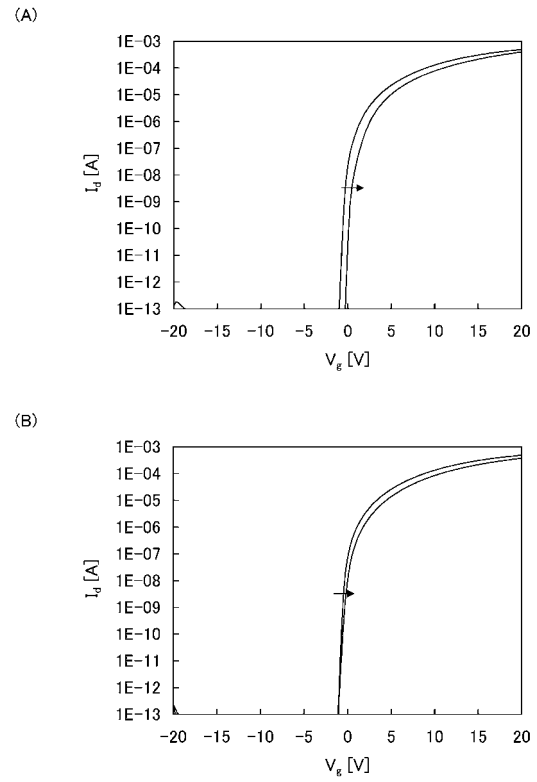
【図 29】



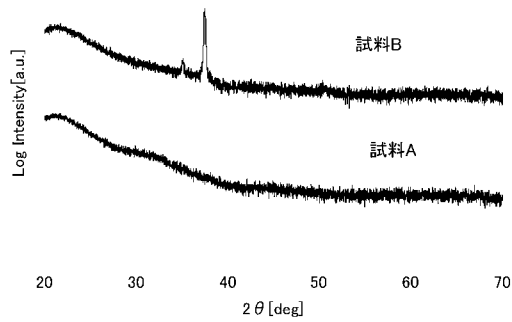
【図 3 0】



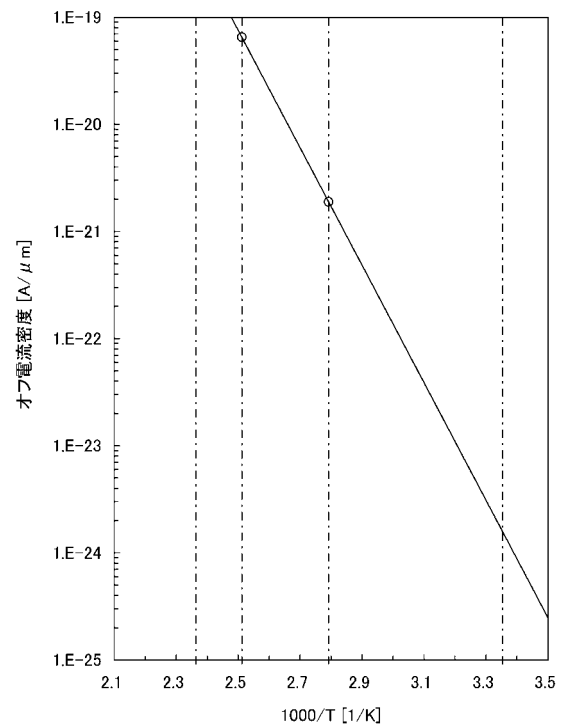
【図 3 1】



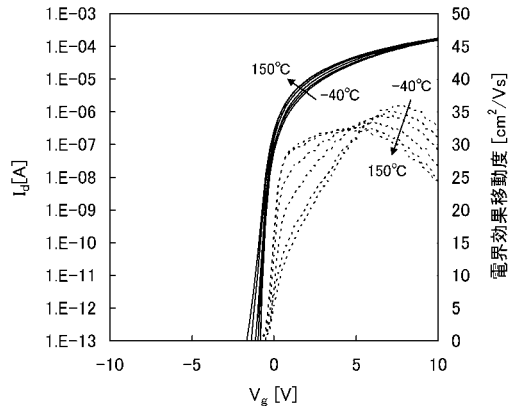
【図 3 2】



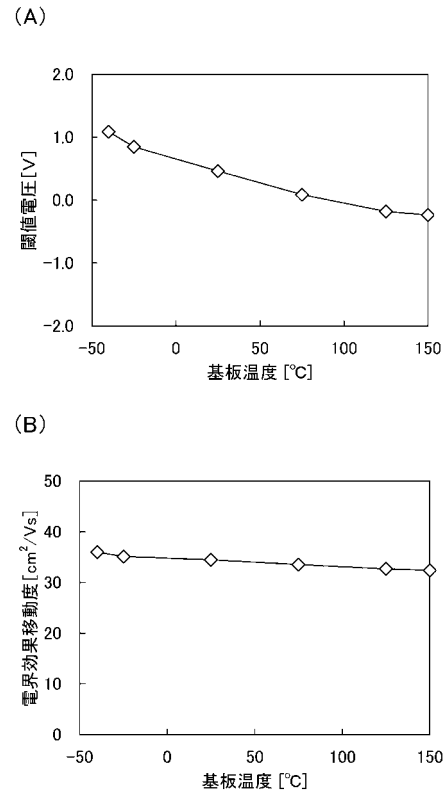
【図 3 3】



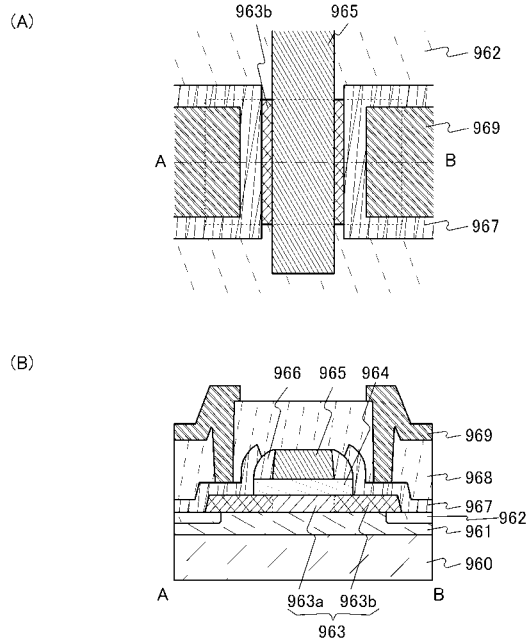
【図 3 4】



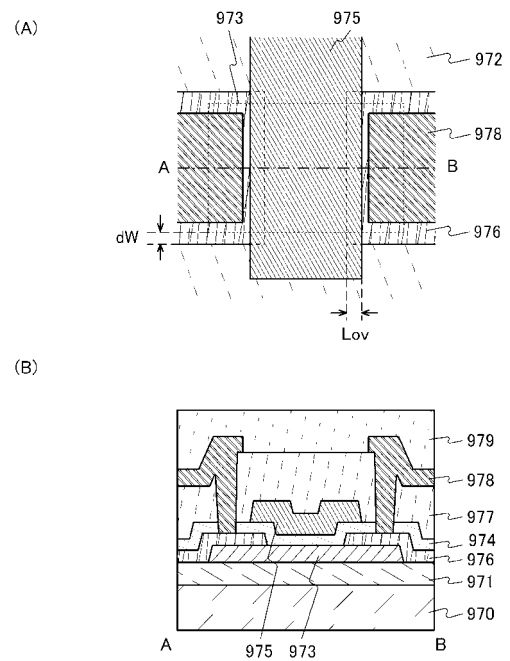
【図 3 5】



【図 3 6】

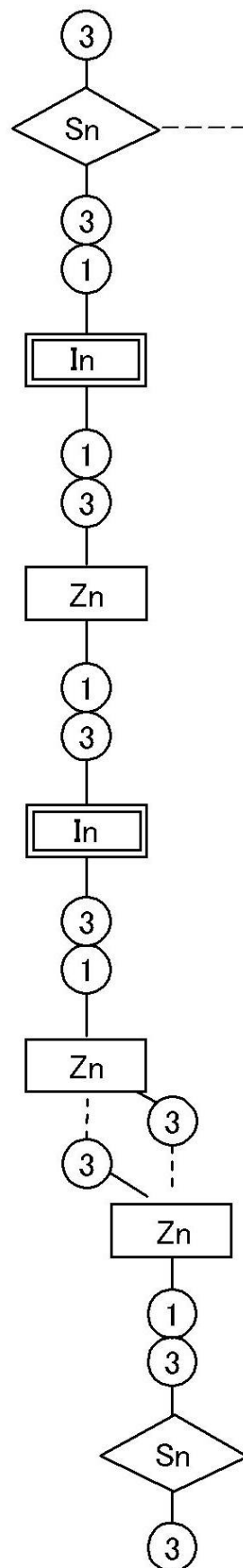


【図 3 7】



【図 22】

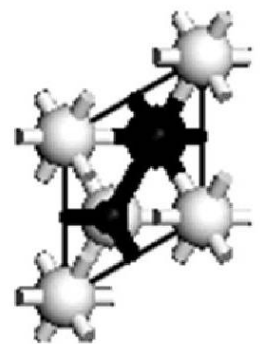
(A)



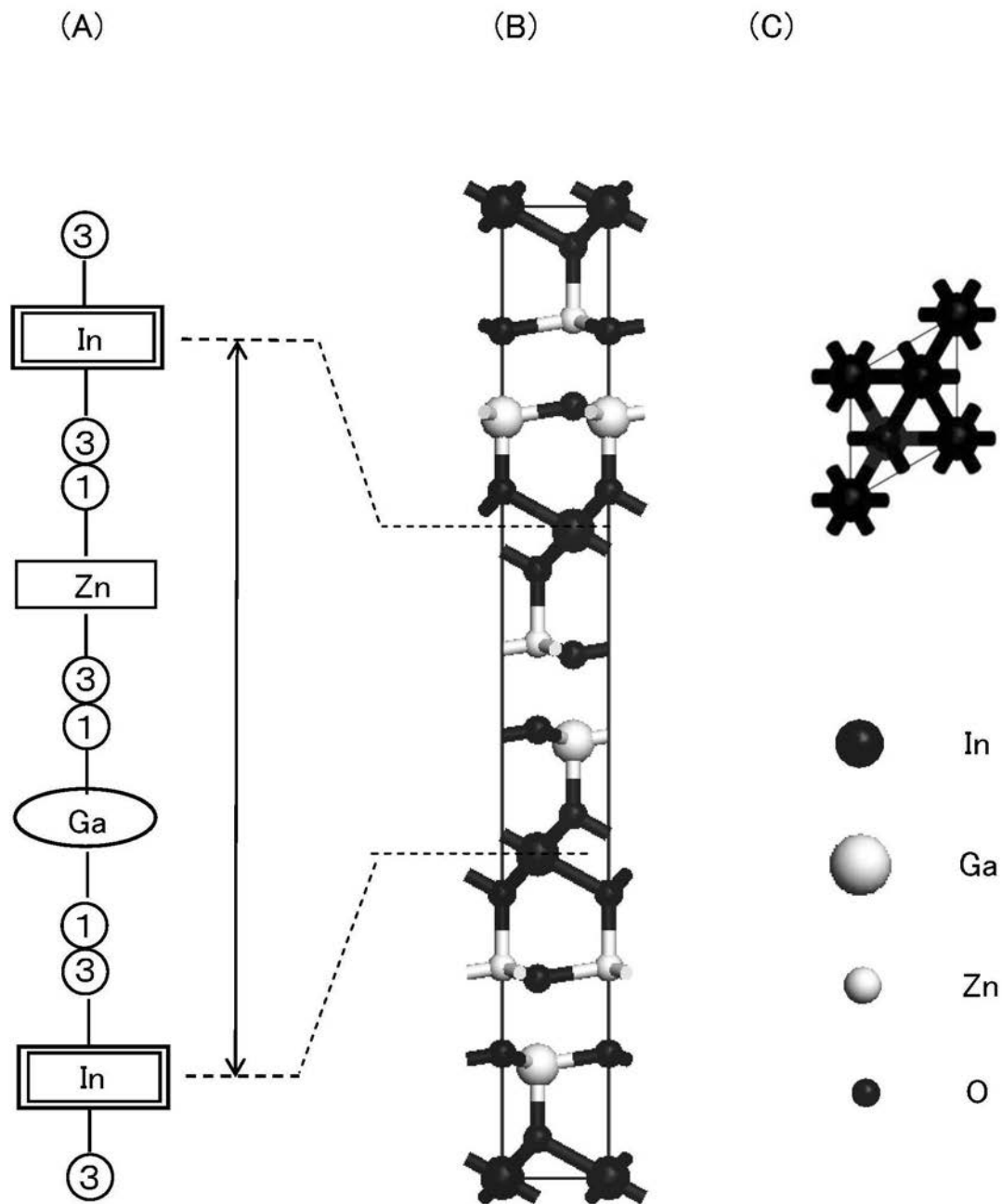
(B)



(C)



【図 23】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H 0 1 L</i> 21/336 (2006.01)	<i>H 0 1 L</i> 29/78 3 7 1	
<i>H 0 1 L</i> 29/788 (2006.01)	<i>G 1 1 C</i> 11/34 3 5 2 B	
<i>H 0 1 L</i> 29/792 (2006.01)		
<i>G 1 1 C</i> 11/405 (2006.01)		