



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I600140 B

(45)公告日：中華民國 106 (2017) 年 09 月 21 日

(21)申請案號：100106196

(22)申請日：中華民國 100 (2011) 年 02 月 24 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L27/115 (2017.01)

H01L21/8239(2006.01)

H01L29/78 (2006.01)

(30)優先權：2010/02/26 日本

2010-041852

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 503563

TW 200405549A

JP 2001-230329A

JP 2002-368226A

US 4375600

US 5377142

US 2011/0076790A1

審查人員：盧贊文

申請專利範圍項數：21 項 圖式數：17 共 84 頁

(54)名稱

半導體裝置及半導體裝置的驅動方法

SEMICONDUCTOR DEVICE AND DRIVING METHOD OF SEMICONDUCTOR DEVICE

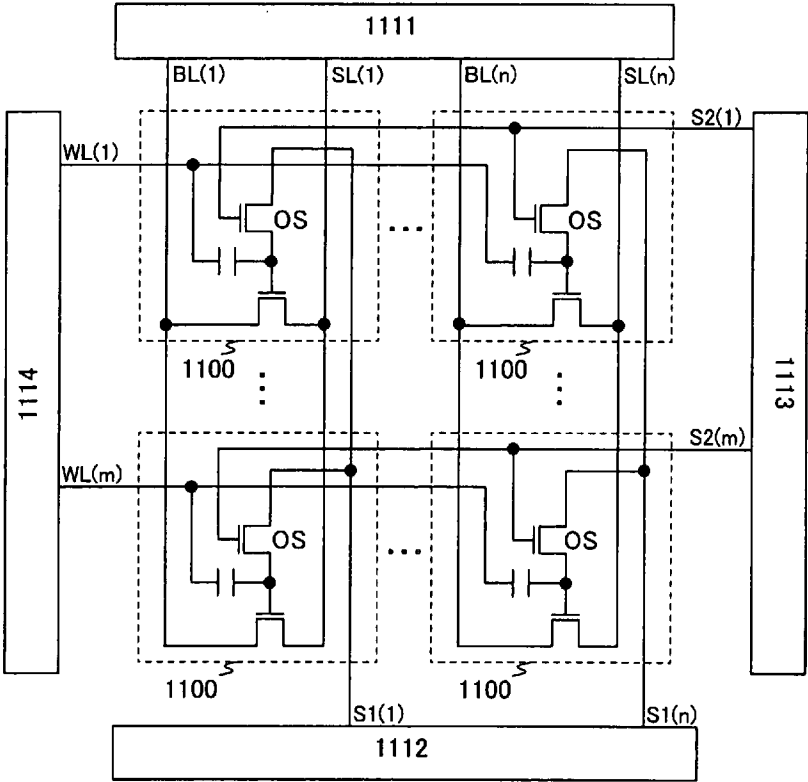
(57)摘要

提供一種半導體裝置，包括非揮發性記憶體胞元，該非揮發性記憶體胞元包括寫入電晶體，其包括氧化物半導體、讀取電晶體，其包括與該寫入電晶體不同的半導體材料、以及電容器。資料係藉由將該寫入電晶體開啟並將電位供應至該寫入電晶體之源極電極(或汲極電極)、該電容器的一電極、以及該讀取電晶體之閘極電極彼此電性連接的節點，然後將該寫入電晶體關閉，使得該預定電荷量保持在該節點中而寫至或重寫至該記憶體胞元。另外，當將其臨界電壓受控制並設定為正電壓的電晶體使用為該讀取電晶體時，讀取電位係正電位。

A semiconductor device including a non-volatile memory cell including a writing transistor which includes an oxide semiconductor, a reading transistor which includes a semiconductor material different from that of the writing transistor, and a capacitor is provided. Data is written or rewritten to the memory cell by turning on the writing transistor and supplying a potential to a node where a source electrode (or a drain electrode) of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected to each other, and then turning off the writing transistor so that the predetermined amount of charge is held in the node. Further, when a transistor whose threshold voltage is controlled and set to a positive voltage is used as the reading transistor, a reading potential is a positive potential.

指定代表圖：

圖2



符號簡單說明：

1100 . . . 記憶體胞元

1111 . . . 第一驅動器電路

1112 . . . 第二驅動器電路

1113 . . . 第三驅動器電路

1114 . . . 第四驅動器電路

BL(1)~ BL(n) . . . 位元線 BL 的電位

SL(1)~ SL(n) . . . 源極線 SL 的電位

WL(1)~ WL(m) . . . 字線 WL 的電位

S1(1)~ S1(n) . . . 第一訊號線 S1 的電位

S2(1)~ S2(m) . . . 第二訊號線 S2 的電位

OS . . . 電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100106196

H01L 27/105 (2006.01)

※申請日：100 年 02 月 24 日

※IPC 分類：

H01L 27/115 (2017.01)

H01L 21/8239 (2006.01)

H01L 29/78 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置及半導體裝置的驅動方法

Semiconductor device and driving method of semiconductor device

二、中文發明摘要：

提供一種半導體裝置，包括非揮發性記憶體胞元，該非揮發性記憶體胞元包括寫入電晶體，其包括氧化物半導體、讀取電晶體，其包括與該寫入電晶體不同的半導體材料、以及電容器。資料係藉由將該寫入電晶體開啟並將電位供應至該寫入電晶體之源極電極(或汲極電極)、該電容器的一電極、以及該讀取電晶體之閘極電極彼此電性連接的節點，然後將該寫入電晶體關閉，使得該預定電荷量保持在該節點中而寫至或重寫至該記憶體胞元。另外，當將其臨界電壓受控制並設定為正電壓的電晶體使用為該讀取電晶體時，讀取電位係正電位。

三、英文發明摘要：

A semiconductor device including a non-volatile memory cell including a writing transistor which includes an oxide semiconductor, a reading transistor which includes a semiconductor material different from that of the writing transistor, and a capacitor is provided. Data is written or rewritten to the memory cell by turning on the writing transistor and supplying a potential to a node where a source electrode (or a drain electrode) of the writing transistor, one electrode of the capacitor, and a gate electrode of the reading transistor are electrically connected to each other, and then turning off the writing transistor so that the predetermined amount of charge is held in the node. Further, when a transistor whose threshold voltage is controlled and set to a positive voltage is used as the reading transistor, a reading potential is a positive potential.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件代表符號簡單說明：

1100：記憶體胞元

1111：第一驅動器電路

1112：第二驅動器電路

1113：第三驅動器電路

1114：第四驅動器電路

BL(1)～BL(n)：位元線BL的電位

SL(1)～SL(n)：源極線SL的電位

WL(1)～WL(m)：字線WL的電位

S1(1)～S1(n)：第一訊號線S1的電位

S2(1)～S2(m)：第二訊號線S2的電位

OS：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本揭示發明相關於使用半導體元件的半導體裝置以及製造該半導體裝置的方法。

【先前技術】

使用半導體元件的記憶體裝置可廣泛地分類為二種：當電源供應停止時，遺失儲存資料的揮發性記憶體裝置，以及即使在未供應電力時，仍保持儲存資料的非揮發性記憶體裝置。

揮發性記憶體裝置的範例係動態隨機存取記憶體（DRAM）。DRAM係以選擇包括在記憶體元件中的電晶體並將電荷累積在電容器中的此種方式儲存資料。

當從DRAM讀取資料時，電容器中的電荷依據上述原理而喪失（或減少）；因此，每當資料讀出時，需要另一次寫入操作。即使在該電晶體未受選擇時，因為電荷藉由截止狀態中的源極及汲極之間的漏電流（截止電流）流出/流入形成記憶體元件的電晶體，資料保持週期甚短。因此，在預定間隔需要另一次寫入操作（復新操作），且難以將電力消耗充份地降低。此外，因為儲存資料在電源供應停止時喪失，需要使用磁性材料或光學材料的額外記憶體裝置，以將資料保持長時間。

揮發性記憶體裝置的另一範例係靜態隨機存取記憶體（SRAM）。SRAM藉由使用諸如正反器的電路保持儲存資

料，且因此不需要復新操作，此係優於 DRAM 的優點。然而，因為使用諸如正反器的電路，每記憶體容量的成本增加。再者，如同 DRAM，SRAM 中的儲存資料在電源供應停止時喪失。

非揮發性記憶體裝置的範例係快閃記憶體。快閃記憶體包括在電晶體的閘極電極及通道形成區域之間的浮動閘極，並藉由將電荷保持在浮動閘極中而儲存資料。因此，快閃記憶體具有資料保持週期極長（幾乎永久）且不需要揮發性記憶體所需要之復新操作的優點（例如，參閱專利文件 1）。

然而，包括在記憶體元件中的閘極絕緣層由於寫入時所產生的穿隧電流而退化，使得記憶體元件在寫入預定次數之後停止其運作。為減少此問題的影響，例如，使用將記憶體元件的寫入次數等化之方法。然而，實現此方法需要複雜的周邊電路。再者，使用此種方法不能解決基本的使用期限問題。

此外，需要高電壓將電荷保持在浮動閘極中或移除該電荷，並也需要產生高電壓的電路。另外，需要相對長的時間以保持或移除電荷，且不易以較高速度實施寫入及抹除。

[參考文件]

[專利文件]

[專利文件 1] 日本已公告專利申請案案號第 S57-105889 號

【發明內容】

有鑑於上述問題，本揭示發明之實施例的目的係提供具有新奇結構的半導體裝置，其中儲存資料甚至可在不供應電力時保持，且在寫入次數上不具有限制。

在本揭示發明的實施例中，半導體裝置係使用可充份地降低電晶體之截止電流的材料形成，例如，係寬能帶隙半導體的氧化物半導體材料。藉由使用可充份地降低電晶體之截止電流的半導體材料，可能將資料保持長時間。

另外，本揭示發明的實施例提供一種半導體裝置，包括記憶體胞元，該記憶體胞元包括寫入電晶體，其包括氧化物半導體、讀取電晶體，其包括與該寫入電晶體之半導體材料不同的半導體材料、以及電容器。該記憶體胞元係非揮發性的為佳。資料係藉由將該寫入電晶體開啓並將電位供應至該寫入電晶體之源極電極及汲極電極的一者、該電容器的一電極、以及該讀取電晶體之閘極電極彼此電性連接的節點，然後將該寫入電晶體關閉，使得該預定電荷量保持在該節點中而寫至或重寫至該記憶體胞元。另外，當將其臨界電壓受控制並設定為正電壓的電晶體使用為該讀取電晶體時，讀取電位係正電位。

更具體地說，例如，可使用下列結構。

本發明之實施例係一種半導體裝置，包含源極線；位元線；第一訊號線；第二訊號線；字線；以及記憶體胞元，連接在該源極線及該位元線之間。該記憶體胞元包含第

一電晶體，包含第一閘極電極、第一源極電極、第一汲極電極、以及第一通道形成區域；第二電晶體，包含第二閘極電極、第二源極電極、第二汲極電極、以及第二通道形成區域；以及電容器。該第一通道形成區域包括與該第二通道區域之半導體材料不同的半導體材料，並將給予導電型的雜質元素加至該第一通道形成區域，使得該第一電晶體的臨界電壓為正電壓。將該第一閘極電極、第二汲極電極、以及該電容器之電極的一者彼此電性連接，以形成保持電荷的節點，將該源極線電性連接至該第一源極電極，將該位元線電性連接至該第一汲極電極，將第一訊號線電性連接至該第二源極電極，將第二訊號線電性連接至該第二閘極電極，並將該字線電性連接至該電容器之電極的另一者。

在該半導體裝置中，將用於控制該第一電晶體的導電性之複數種電荷的一種供應至該節點為佳。

在該半導體裝置中，當將0V的電位供應至該字線時，該第一電晶體的該臨界電壓係該第一電晶體於該電壓關閉而與保持在該節點中之該電荷無關的電壓為佳。

在該半導體裝置中，該第二通道形成區域包括氧化物半導體為佳。

在該半導體裝置中，該第一通道形成區域包括矽為佳，並將硼、鋁、以及鎵之至少一者作為該雜質元素加入為佳。

須注意雖然在以上描述中電晶體係使用氧化物半導體

形成，本揭示發明並未受限於此。可能使用可實現與氧化物半導體的截止電流特徵等同之截止電流特徵的材料，諸如寬能帶隙材料（更具體地說，具有大於 3 eV 之能量間隙 E_g 的半導體材料），像是碳化矽。

須注意在此說明書等中，諸如「上方」或「下方」的術語不必然意謂著將組件置於另一組件的「正上方」或「正下方」。例如，該陳述「閘極電極在閘極絕緣層上方」可指該閘極絕緣層及該閘極電極之間有額外組件的情形。

此外，在本說明書等中，諸如「電極」或「佈線」的術語並未限制組件的功能。例如，有時將「電極」使用為「佈線」的一部分，且反之亦然。此外，術語「電極」或「佈線」可包括複數個「電極」或「佈線」以積體方式形成的情形。

例如，當使用極性相反的電晶體時，或當電流流動的方向在電路操作中改變時，「源極」及「汲極」的功能有時彼此置換。因此，在此說明書中，可將術語「源極」及「汲極」分別用於指示該汲極及該源極。

須注意在此說明書等中，術語「電性連接」包括組件經由具有任何電功能之物件連接的情形。只要電訊號可在經由該物件連接的組件之間傳輸及接收，具有任何電功能的物件並無特別限制。

「具有任何電功能之物件」的範例係切換元件，諸如電晶體、電阻器、電感器、電容器、及具有各種功能的元件以及電極及佈線。

因為包括氧化物半導體之電晶體的截止電流極低，可藉由使用該電晶體將儲存資料保持極長時間。換言之，可充份地降低電力消耗，因為複新操作變為不必要的或複新操作的頻率可極低。此外，甚至在未供應電力的情形中（須注意電位係固定的為佳），可將儲存資料保持長時間。

另外，根據本揭示發明之實施例的半導體裝置不需要用於資料寫入的高電壓且沒有元件退化的問題。例如，與習知非揮發性記憶體不同，不需要將電子注入浮動閘極或自其擷取，且因此諸如閘極絕緣層退化的問題完全不會發生。換言之，根據本發明之實施例的半導體裝置在習知非揮發性記憶體中係問題的重寫次數上沒有限制，並大幅改善其可靠性。此外，資料係依據該電晶體之開啓狀態及關閉狀態而寫入，從而可輕易地實現高速操作。此外，不再需要抹除資料的操作。

此外，因為包括氧化物半導體以外之材料的電晶體可用高速充份地操作，半導體裝置的操作速度（例如，資料讀取操作）可藉由將包括氧化物半導體以外之材料的電晶體與包括氧化物半導體之電晶體組合而夠高。另外，包括氧化物半導體以外之材料的電晶體可有利地實現必須以高速操作的各種電路（諸如邏輯電路或驅動器電路）。

以此方式，具有新奇特性的半導體裝置可藉由包括包括氧化物半導體以外之材料的電晶體（換言之，可用充份高速操作的電晶體）及包括氧化物半導體之電晶體（廣義上，其截止電流充份低的電晶體）二者而實現。

【實施方式】

在下文中，將參考該等圖式描述本發明之實施例。須注意本發明未受限於以下描述，且熟悉本發明之人士將輕易地領會模式及細節可無須脫離本發明之精神及範圍而以各種方式修改。因此，不應將本發明解釋為受限於下列實施例中的描述。

須注意描繪於圖式等中的各結構之位置、尺寸、或範圍等在部分情形中為易於理解而未精確地表示。因此，本揭示發明不必受揭示於該等圖式等中的位置、尺寸、或範圍等限制。

在此說明書等中，使用諸如「第一」、「第二」、及「第三」的有序數，以避免組件之間的混淆，且該等術語不意謂著組件數量的限制。

[實施例 1]

在此實施例中，將參考圖 1A-1、1A-2、以及 1B 描述根據本揭示發明之實施例的半導體裝置之電路組態及操作。須注意在各電路圖中，在部分情形中，將「OS」寫在電晶體下方，以指示該電晶體包括氧化物半導體。

在描繪於圖 1A-1 的半導體裝置中，將第一佈線（第 1 線，也稱為源極線）與電晶體 160 之源極電極彼此電性連接，並將第二佈線（第 2 線，也稱為位元線）與電晶體 160 之汲極電極彼此電性連接。此外，將第三佈線（第 3 線，

也稱為第一訊號線)與電晶體162之源極電極及汲極電極的一者彼此電性連接,並將第四佈線(第4線,也稱為第二訊號線)與電晶體162之閘極電極彼此電性連接。另外,將電晶體160的閘極電極及電晶體162之源極電極及汲極電極的另一者電性連接至電容器164之電極的一者。將第五佈線(第5線,也稱為字線)與電容器164之另一電極彼此電性連接。

此處,將包括氧化物半導體的電晶體使用為電晶體162(寫入電晶體)。包括氧化物半導體的電晶體具有顯著地小之截止電流的特徵。因此,可藉由關閉電晶體162將電晶體160之閘極電極的電位保持極長時間。藉由設置電容器164,可更輕易地實施供應至電晶體160的閘極電極之電荷的保持及保持資料之讀取。

須注意電晶體160(讀取電晶體)並無特別限制。依據漸增的讀取資料速度,例如,使用具有高切換率的電晶體為佳,諸如包括單晶矽的電晶體。

另外,如圖1B所描繪的,也可能使用不具有電容器164的結構。

圖1A-1中的半導體裝置使用電晶體160之閘極電極的電位可受保持之特徵,從而可將資料的寫入、保持、及讀取實施如下。

首先,將描述資料的寫入及保持。首先,將第四佈線的電位設定在將電晶體162開啓的電位,使得電晶體162開啓。因此,將第三佈線的電位供應至電晶體160之閘極電

極以及電容器 164。亦即，將預定電荷供應至電晶體 160 的閘極電極（寫入）。此處，供應用於供應不同電位之二種電荷的一種（在下文中，將供應低電位之電荷稱為電荷 Q_L 並將供應高電位的電荷稱為電荷 Q_H ）。須注意可能施加提供三種或更多不同電位的電荷，以改善記憶體電容器。之後，將第四佈線的電位設定在將電晶體 162 關閉的電位，使得電晶體 162 關閉。因此，提供至電晶體 160 之閘極電極的電荷受保持（保持）。

因為電晶體 162 的截止電流極地小，將電晶體 160 之閘極電極的電荷保持長時間。

第二，將描述資料的讀取。藉由在將適當電位（讀取電位）供應至第五佈線的同時將預定電位（固定電位）供應至第一佈線，第二佈線的電位取決於保持在電晶體 160 之閘極電極的電荷量而改變。亦即，電晶體 160 的導電性係由保持在電晶體 160 之閘極電極（也可將其稱為節點 FG）中的電荷控制。此係因為通常當電晶體 160 係 n-通道電晶體時，在將 Q_H 供應至電晶體 160 的閘極電極之情形中的明顯臨界電壓 V_{th_H} 低於在將 Q_L 供應至電晶體 160 的閘極電極之情形中的明顯臨界電壓 V_{th_L} 。此處，明顯臨界值係指開啓電晶體 160 所需之第五佈線的電位。因此，將第五佈線的電位設定為在 V_{th_H} 及 V_{th_L} 中間的電位 V_0 ，因此可判定供應至電晶體 160 之閘極電極的電荷。例如，在寫入時供應 Q_H 的情形中，當將第五佈線的電位設定為 $V_0 (> V_{th_H})$ 時，電晶體 160 開啓。在寫入時供應 Q_L 的情形中，甚至在

將第五佈線的電位設定為 $V_0 (< V_{th_L})$ 時，電晶體 160 仍留在截止狀態中。因此，該保持資料可藉由第二佈線的電位讀取。

須注意在將記憶體胞元排成陣列以使用的情形中，僅需讀取所需記憶體胞元的資料。因此，為了讀取預定記憶體胞元的資料而不讀取其他記憶體胞元之資料，在將電晶體 160 並聯連接於記憶體胞元之間的情形中，可能將電晶體 160 關閉而與閘極電極之狀態無關的電位，亦即，低於 V_{th_H} 的電位，供應至不讀取其資料之記憶體胞元的第五佈線。在電晶體 160 串聯連接於記憶體胞元之間的情形中，可能將電晶體 160 開啓而與閘極電極之狀態無關的電位，亦即，高於 V_{th_L} 的電位，供應至不讀取其資料之記憶體胞元的第五佈線。

第三，將描述資料的重寫。資料的重寫係以與資料之寫入及保持相似的方式實施。亦即，將第四佈線的電位設定在將電晶體 162 開啓的電位，因此將電晶體 162 開啓。因此，將第三佈線的電位（相關於新資料的電位）供應至電晶體 160 之閘極電極以及電容器 164。之後，將第四佈線的電位設定在將電晶體 162 關閉的電位，因此將電晶體 162 關閉。因此，將相關於新資料的電荷供應至並保持在電晶體 160 的閘極電極中。

在根據本揭示發明之實施例的半導體裝置中，資料可如上文所述地藉由資料的另一次寫入而直接重寫。因此，從浮動閘極擷取電荷不需要使用在快閃記憶體等中所需要

的高電壓，且因此可抑制由於抹除操作所導致的操作速度降低。換言之，可實現半導體裝置的高速操作。

須注意將電晶體 162 的汲極電極（或源極電極）電性連接至電晶體 160 之閘極電極，從而具有與用於非揮發性記憶體元件之浮動閘極電晶體的浮動閘極之效果相似的效果。在下文的描述中，在部分情形中將電晶體 162 的汲極電極（或源極電極）與電晶體 160 之閘極電極彼此電性連接的部分稱為節點 FG。當電晶體 162 關閉時，可將節點 FG 視為嵌入在絕緣器中，且因此將電荷保持在節點 FG 中。可使包括氧化物半導體之電晶體 162 的截止電流小於或等於包括矽半導體等的電晶體之截止電流的十萬分之一；因此，由於電晶體 162 的漏電流所導致之累積在節點 FG 中的電荷之損耗係可忽略的。亦即，使用包括氧化物半導體的電晶體 162，可實現無需供應電力而可保持資料的非揮發性記憶體。

例如，當電晶體 162 在室溫（ 25°C ）的截止電流少於或等於 10zA （ 1zA （介安培）為 $1 \times 10^{-21}\text{A}$ ）且電容器 164 之電容值約為 10fF 時，可將資料保持 10^4 秒或更長。不消說，該保持時間取決於電晶體特徵及電容值。

另外，在根據本揭示發明之實施例的半導體裝置中，於習知浮動閘極電晶體中指出之閘極絕緣膜（通道絕緣膜）的退化問題並不存在。亦即，可解決已習知地視為係問題之由於將電子注入浮動閘極所導致的閘絕緣膜退化。此意謂著寫入次數在原理上沒有限制。此外，習知浮動閘極

電晶體中寫入或抹除所需之高電壓係不必要的。

可將組件，諸如圖 1A-1 之半導體裝置中的電晶體，視為如圖 1A-2 所描繪地包括電阻器及電容器。亦即，在圖 1A-2 中，將電晶體 160 及電容器 164 各者視為包括電阻器及電容器。R1 及 C1 分別標示電容器 164 的電阻值及電容值。電阻值 R1 對應於依包括在電容器 164 中之絕緣層而定的電阻值。R2 及 C2 分別標示電晶體 160 的電阻值及電容值。電阻值 R2 對應於依電晶體 160 開啓時之閘極絕緣層而定的電阻值。電容值 C2 對應於所謂的閘極電容器之值（形成於閘極電極及源極電極或汲極電極之間的電容器）。

以 ROS 標示當電晶體 162 關閉時在源極電極及汲極電極之間的電阻值（也稱為有效電阻）。當 R1 及 R2 在電晶體 162 之閘極漏電流足夠小的條件下滿足 $R1 \geq ROS$ （R1 大於或等於 ROS）及 $R2 \geq ROS$ （R2 大於或等於 ROS）時，電荷保持週期（也稱為資料保持週期）主要係由電晶體 162 的截止電流決定。

另一方面，當條件未滿足時，即使電晶體 162 的截止電流夠小，仍難以充份地確保該保持週期。此係因為電晶體 162 之截止電流以外的漏電流（例如，產生在源極電極及閘極電極之間的漏電流）甚大。因此，可說揭示於此實施例的半導體裝置滿足 $R1 \geq ROS$ （R1 大於或等於 ROS）及 $R2 \geq ROS$ （R2 大於或等於 ROS）為佳。

另一方面，C1 及 C2 滿足 $C1 \geq C2$ （C1 高於或等於 C2）為佳。當 C1 甚大時，當節點 FG 的電位係由第五佈線控制

時，可將第五佈線的電位有效地供應至節點FG，並可將供應至第五佈線之電位（例如，讀取電位及非讀取電位）間的差降低。

當上述關係滿足時，可實現更佳的半導體裝置。須注意R1及R2係由電晶體160之閘極絕緣層及電容器164的絕緣層控制。將相同的關係施用至C1及C2。因此，將閘絕緣層的材料、及厚度等視情況設定成滿足上述關係為佳。

在描述於此實施例的半導體裝置中，節點FG具有與快閃記憶體等之浮動閘極電晶體的浮動閘極之功能相似的功能，但此實施例的節點FG具有與快閃記憶體等之浮動閘極的特性在本質上不同之特性。

在快閃記憶體的情形中，因為施加至控制閘極的電位甚高，必需在胞元間保持適當距離，以防止電位影響相鄰胞元的浮動閘極。此係抑制半導體裝置之高積體度的因子之一。該因子係由於穿隧電流係藉由施加高電場而產生的快閃記憶體之基本原理。

另一方面，根據此實施例的半導體裝置係藉由切換包括氧化物半導體之電晶體而操作，且不使用藉由穿隧電流注入電荷的上述原理。亦即，與快閃記憶體不同，用於電荷注入的高電場係不必要的。因此，不必考慮來自相鄰胞元上的控制閘極之高電場的影響，其有助高積體度。

此外，不需要高電場且不需要大型周邊電路（諸如昇壓器電路）也優於快閃記憶體。例如，施加至根據此實施例之記憶體胞元的最高電壓（同時施加至記憶體胞元之個

別端的最高電位及最低電位之間的差)可少於或等於5V，或在寫入二位準資料(一位元)的情形中，在各記憶體胞元中少於或等於3V為佳。

此外，在包括在電容器164中的絕緣層之介電常數 ϵ_{r1} 與包括在電晶體160中的絕緣層之介電常數 ϵ_{r2} 不同的情形中，當滿足 $2 \cdot S2 \geq S1$ ($2 \cdot S2$ 大於或等於 $S1$)的同時， $S2 \geq S1$ ($S2$ 大於或等於 $S1$)較佳，易於滿足 $C1 \geq C2$ ($C1$ 大於或等於 $C2$)，其中 $S1$ 係包括在電容器164中之絕緣層的面積且 $S2$ 係在電晶體160中形成閘極電容之絕緣層的面積。換言之，當包括在電容器164中之絕緣層的面積甚小時，可輕易地滿足 $C1 \geq C2$ 。具體地說，例如，將諸如氧化鉛之高-k材料形成的膜或將諸如氧化鉛之高-k材料形成的膜及氧化物半導體形成之膜的堆疊用於包括在電容器164中的絕緣層，使得可將 ϵ_{r1} 設定為10或更多，15或以上為佳，並將氧化矽用於在電晶體160中形成閘極電容的絕緣層，使得可將 ϵ_{r2} 設定為3至4。

此種結構的組合致能根據本揭示發明之半導體裝置的更高積體度。

須注意為增加半導體裝置的記憶體容量，可施用多層技術，以取代增加積體度。例如，使用將三層或更多層之資料寫入一記憶體胞元中的技術，相較於寫入二級資料(一位元)的情形，可增加記憶體容量。例如，除了上文所述之用於供應低電位的電荷 Q_L 及用於供應高電位之電荷 Q_H 外，可能將用於供應不同電位的電荷 Q 供應至電晶體160的

閘極電極，因此可實現多層技術。在此情形中，即使在使用具有相對大尺寸的電路組態時（例如， $15F^2$ 至 $50F^2$ 等（ F ：最小特徵尺寸）），仍可確保足夠的記憶體容量。

描述於此實施例中的結構、及方法等可視情況與描述在其他實施例中之任何結構、及方法等組合。

[實施例 2]

在此實施例中，將描述於上述實施例中描述之半導體裝置的應用範例。具體地說，將描述於其中將描述於上述實施例中的半導體裝置配置成矩陣之半導體裝置的範例。

圖 2 係具有 $m \times n$ 個位元之記憶體容量的半導體裝置之電路圖的範例。

根據本發明之實施例的半導體裝置包括記憶體胞元陣列，其中將 m 條字線 WL （ m 係自然數）、 m 條第二訊號線 $S2$ 、 n 條位元線 BL （ n 係自然數）、 n 條源極線 SL 、 n 條第一訊號線 $S1$ 、以及複數個記憶體胞元 1100 配置成 m （列）（在垂直方向上） $\times n$ （行）（在水平方向上）的矩陣，以及周邊電路，諸如第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、以及第四驅動器電路 1114。此處，將描述於上述實施例中的組態（圖 1A-1 中的組態）施用至記憶體胞元 1100。亦即，第一電晶體對應於電晶體 160、第二電晶體對應於電晶體 162、且電容器對應於電容器 164。

亦即，各記憶體胞元 1100 包括第一電晶體、第二電晶

體、以及電容器。將第一電晶體之閘極電極、第二電晶體之源極電極及汲極電極的一者、以及電容器之電極的一者彼此連接。將源極線及第一電晶體之源極電極彼此連接。將位元線及第一電晶體之汲極電極彼此連接。將第一訊號線及第二電晶體之源極電極及汲極電極的另一者彼此連接。將第二訊號線及第二電晶體之閘極電極彼此連接。將字線及電容器之電極的另一者彼此連接。

另外，將記憶體胞元 1100 並聯連接於源極線 SL 及位元線 BL 之間。例如，將第 i 列及第 j 行 (i, j) (i 係大於或等於 1 且小於或等於 m 的整數，且 j 係大於或等於 1 且小於或等於 n 的整數) 的記憶體胞元 1100 連接至源極線 $SL(j)$ 、位元線 $BL(j)$ 、第一訊號線 $S1(j)$ 、字線 $WL(i)$ 、以及第二訊號線 $S2(i)$ 。

將 n 條源極線 SL 及 n 條位元線 BL 連接至第一驅動器電路 1111。將 n 條第一訊號線 S1 連接至第二驅動器電路 1112。將 m 條第二訊號線 S2 連接至第三驅動器電路 1113。將 m 條字線 WL 連接至第四驅動器電路 1114。此處須注意，第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、以及第四驅動器電路 1114 係分別設置的；然而，本文揭示之本發明並未受限於此結構。可能替代地地使用具有該等功能之任一者或部分功能的驅動器電路。

其次，將參考圖 3A 之時序圖描述圖 2 的半導體裝置之寫入操作及讀取操作的範例。

儘管將爲了簡化而描述二列及二行之半導體裝置的操

作，本揭示發明並未受限於此。

在圖3中， $S1(1)$ 及 $S1(2)$ 係第一訊號線 $S1$ 的電位； $S2(1)$ 及 $S2(2)$ 係第二訊號線 $S2$ 的電位； $BL(1)$ 及 $BL(2)$ 係位元線 BL 的電位； $WL(1)$ 及 $WL(2)$ 係字線 WL 的電位；且 $SL(1)$ 及 $SL(2)$ 係源極線 SL 的電位。

首先，將描述寫入至第一列中的記憶體胞元 $1100(1,1)$ 及記憶體胞元 $1100(1,2)$ ，以及從第一列中的記憶體胞元 $1100(1,1)$ 及記憶體胞元 $1100(1,2)$ 讀取資料。須注意在以下描述中，假設待寫至記憶體胞元 $(1,1)$ 的資料為「1」，且待寫至記憶體胞元 $(1,2)$ 的資料為「0」。

首先，將描述寫入。在第一列的寫入週期中，將電位 V_3 供應至第一列的第二訊號線 $S2(1)$ ，使得第一列的第二電晶體開啓。另外，將 $0V$ 的電位供應至第二列的第二訊號線 $S2(2)$ ，使得第二列的第二電晶體關閉。

然後，將電位 V_2 及 $0V$ 之電位分別供應至第一行的第一訊號線 $S1(1)$ 及第二行的第一訊號線 $S1(2)$ 。

結果，將電位 V_4 及 $0V$ 之電位分別供應至記憶體胞元 $(1,1)$ 的節點 FG 及記憶體胞元 $(1,2)$ 之節點 FG 。電位 V_4 與電位 V_2 相同，或在電位 $(V_3 - V_{th2})$ （ V_{th2} 係第二電晶體的臨界值）低於電位 V_2 的情形中，幾乎等於電位 $(V_3 - V_{th2})$ 。此處，電位 V_4 係低於第一電晶體之臨界值的正電位。然後，將第一列之第二訊號線 $S2(1)$ 的電位設定為 $0V$ ，使得第一列之第二電晶體關閉。因此，寫入完成。須注意在此說明書中，電晶體的臨界值係指當電晶體從開啓狀態改變至關

閉狀態時在閘極電極及源極電極之間的電位差。

須注意將字線 $WL(1)$ 及 $WL(2)$ 設定成 $0V$ 的電位。另外，在第一行之第一訊號線 $S1(1)$ 的電位改變之前，將第一列之第二訊號線 $S2(1)$ 的電位設定成 $0V$ 之電位。在資料「0」的情形中，記憶體胞元在寫入後的臨界值 (V_{th_men}) 為 V_{w0} ，或在資料「1」的情形中，為 V_{w1} 。如圖 3B 所示，在記憶體胞元之臨界值的分佈中滿足 $V_{w0} > V_{w1} > 0$ 的關係。此處，記憶體胞元的臨界值係指使第一電晶體開啓之在連接至字線 WL 的終端及第一電晶體之源極電極間的電位差。

然後，將描述讀取。在第一列的讀取週期中，將電位 V_s 及 $0V$ 之電位分別供應至第一列的字線 $WL(1)$ 及第二列的字線 $WL(2)$ 。將電位 V_s 選擇成使得 $V_{w0} > V_s > V_{w1}$ 。結果，當將電位 V_s 供應至字線 $WL(1)$ 時，在第一列中，將保持資料「0」之記憶體胞元的第一電晶體關閉，而將保持資料「1」之記憶體胞元的第一電晶體開啓。此外，因為 $V_{w0} > V_{w1} > 0$ ，在第二列中，當將 $0V$ 之電位供應至字線 $WL(2)$ 時，將第一電晶體關閉與是否將資料「0」或資料「1」保持在記憶體胞元中無關。

另外，將 $0V$ 之電位供應至第一行之源極線 $SL(1)$ 及第二行的源極線 $SL(2)$ 。

結果，將位元線 $BL(1)$ 及源極線 $SL(1)$ 之間的記憶體胞元 $(1,1)$ 之第一電晶體開啓，因此具有低電阻，並將位元線 $BL(2)$ 及源極線 $SL(2)$ 之間的記憶體胞元 $(1,2)$ 及記憶體胞元 $(2,2)$ 之第一電晶體關閉，從而具有高電阻。電

性連接至位元線 BL(1)及位元線 BL(2)的讀取電路可基於位元線及源極線之間的電阻差讀取資料。

另外，將 0V 之電位供應至第二訊號線 S2(1)及第二訊號線 S2(2)，使得所有的第二電晶體關閉。

其次，將描述在將圖 4 中之電路使用為第一驅動器電路 1111 中的讀取電路之情形中的輸出電位。因為位元線 BL(1)及源極線 SL(1)之間的電阻甚低，將低電位供應至時鐘反相器且輸出 D(1)係訊號 High。因為位元線 BL(2)及源極線 SL(2)之間的電阻甚高，將高電位供應至時鐘反相器且輸出 D(2)係訊號 Low。

將描述該電位的具體範例。例如，將約 0.6V 的 V_{w0} 及約 0.2V 之 V_{w1} 給定為記憶體胞元的臨界值。使用記憶體胞元的此種臨界值，例如，第一電晶體的臨界值可能約為 0.6V 且電位 V_4 在寫入資料「1」時可能約為 0.4V。可將操作電壓的範例設定如下： $V_{dd}=2V$ 、 $V_2=0.4V$ 、 $V_3=2V$ 、且 $V_5=0.4V$ 。

以此方式，當將記憶體胞元的狀態設定成使得第一電晶體之閘極電極的電位在 0V 及第一電晶體之臨界值 V_{th1} ($V_{th1}>0$) 的中間時，僅使用 0V 之電源電位或更高的電位寫入記憶體胞元/自其讀取係可能的。

當在圖 2 之半導體裝置中實施讀取時，必需將非選擇列的記憶體胞元關閉。此處，若第一電晶體之閘極電極的電位依據記憶體胞元之狀態高於第一電晶體的臨界值 V_{th1} ，即使將 0V 之電位供應至字線 WL，不係所有記憶體胞元

始終關閉。因此，必需將非選擇列的字線 WL 設定成負電位。

然而，在根據本發明之實施例的半導體裝置中，第一電晶體之閘極電極的電位低於第一電晶體之臨界值 V_{th1} 而與記憶體胞元的記憶體狀態無關；因此，藉由將 0V 之電位供應至非選擇列的字線 WL 而將非選擇列中的記憶體胞元關閉係可能的。因此，不須對記憶體胞元提供產生負電位的電源。結果，可減少電力消耗且半導體裝置可縮減尺寸。

須注意相關於本揭示發明之實施例的半導體裝置之操作方法、及操作電壓等並未受限於以上描述並可依據實作半導體裝置之操作的實施例適當地改變。

描述於此實施例中的結構、及方法等可視情況與描述在其他實施例中之任何結構、及方法等組合。

[實施例 3]

在此實施例中，將參考圖 5A 及 5B、圖 6A 至 6D、圖 7A 至 7C、圖 8A 至 8D、以及圖 9A 至 9C 描述根據本揭示發明之實施例的半導體裝置之結構及製造該半導體裝置的方法。

<半導體裝置的橫剖面結構及平面結構>

圖 5A 及 5B 描繪半導體裝置之結構的範例。圖 5A 描繪半導體裝置的橫剖面，且圖 5B 描繪半導體裝置的平面圖。此處，圖 5A 對應於沿著圖 5B 之線 A1-A2 及線 B1-B2 的橫剖

面。在描繪於圖 5A 及 5B 的半導體裝置中，將包括第一半導體材料的電晶體 160 包括在下部，而將包括第二半導體材料的電晶體 162 包括在上部。此處，第一半導體材料及第二半導體材料係不同材料為佳。例如，第一半導體材料可係氧化物半導體以外的半導體材料（諸如矽），且第二半導體材料可係氧化物半導體。包括氧化物半導體以外之材料的電晶體可輕易地以高速操作。另一方面，包括氧化物半導體的電晶體由於其特徵，可將電荷保持長時間。

在此實施例中，將能充份地降低截止電流的半導體材料，諸如氧化物半導體，用於電晶體 162，以保持資料。然而，該半導體裝置的具體條件，諸如使用在半導體裝置中的材料或半導體裝置的結構，不必受限於本文所述。

圖 5A 及 5B 中的電晶體 160 包括設置在包括半導體材料（例如，矽）之基材 100 上方的通道形成區域 116、具有設置於其間之通道形成區域 116 的雜質區域 120、與雜質區域 120 接觸的金屬化合物區域 124、設置在通道形成區域 116 上方的閘極絕緣層 108、以及設置在閘極絕緣層 108 上方的閘極電極 110。將給予導電型的雜質元素加至通道形成區域 116，使得電晶體 160 的臨界電壓為正電壓。須注意可能為了方便，將其源極電極及汲極電極未描繪於圖式中的電晶體稱為電晶體。另外，在此種情形中，在電晶體之連接的描述中，將源極區域及源極電極共同稱為「源極電極」，並將汲極區域及汲極電極共同稱為「汲極電極」。換言之，在此說明書中，術語「源極電極」可能包括源極區域

且術語「汲極電極」可能包括汲極區域。

另外，將元件隔離絕緣層106設置在基材100上方，以圍繞電晶體160，並將絕緣層128及絕緣層130設置成覆蓋電晶體160。須注意為得到高積體度，電晶體160如圖5A及5B所描繪地不具有側壁絕緣層為佳。另一方面，在電晶體160之特徵具有極性的情形中，可能將側壁絕緣層設置在閘極電極110的側表面上且雜質區域120可能包括具有不同雜質濃度的雜質區域。

圖5A及5B中的電晶體162包括設置在絕緣層130上方的源極或汲極電極142a及源極或汲極電極142b；電性連接至源極或汲極電極142a及源極或汲極電極142b的氧化物半導體層144；覆蓋源極或汲極電極142a、源極或汲極電極142b、以及氧化物半導體層144的閘極絕緣層146；設置成在閘極絕緣層146上方與氧化物半導體層144重疊的閘極電極148a；在源極或汲極電極142a及氧化物半導體層144之間的絕緣層143a，其與閘極電極148a部分地重疊；以及在源極或汲極電極142b及氧化物半導體層144之間的絕緣層143b，其與閘極電極148a部分地重疊。須注意為減少源極或汲極電極及閘極電極之間的電容，設置絕緣層143a及絕緣層143b為佳。然而，或者，可使用不具有絕緣層143a及絕緣層143b的結構。

此處，氧化物半導體層144係藉由充份地移除雜質，諸如氫，或充份地供應氧而高度純化的氧化物半導體層為佳。具體地說，氧化物半導體層144的氫濃度少於或等於

5×10^{19} 原子 / cm^3 ，少於或等於 5×10^{18} 原子 / cm^3 為佳，少於或等於 5×10^{17} 原子 / cm^3 更佳。須注意上述之氧化物半導體層 144 的氫濃度係藉由二次離子質譜儀 (SIMS) 量測。在藉由充份地降低氫濃度而高度純化並藉由供應充份之氧量而將能量間隙中由於缺氧所導致的缺陷水準減少之氧化物半導體層 144 中，載體濃度少於 $1 \times 10^{12} / \text{cm}^3$ ，少於 $1 \times 10^{11} / \text{cm}^3$ 為佳，少於 $1.45 \times 10^{10} / \text{cm}^3$ 更佳。例如，截止電流（此處為每單位通道寬度 ($1 \mu\text{m}$)）在室溫 (25°C) 為少於或等於 $100 \text{ zA} / \mu\text{m}$ (1 zA (介安培) 為 $1 \times 10^{-21} \text{ A}$)，少於或等於 $10 \text{ zA} / \mu\text{m}$ 為佳。以此方式，藉由使用使其成為 i-型（本質）氧化物半導體或實質 i-型氧化物半導體的氧化物半導體，可得到具有極有利之截止電流特徵的電晶體 162。

雖然將處理成具有島形的氧化物半導體層 144 使用在圖 5A 及 5B 的電晶體 162 中，以抑制由於小型化而產生在元件之間的漏電流，不必將氧化物半導體層 144 處理成具有島形。在未將氧化物半導體層處理成具有島形的情形中，可防止由於處理中的蝕刻所導致之氧化物半導體層 144 的污染。

圖 5A 及 5B 中的電容器 164 包括源極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146、以及電極 148b。也就是說，源極或汲極電極 142a 的功能如同電容器 164 之電極的一者，且電極 148b 的功能如同電容器 164 之另一電極。

須注意在圖 5A 及 5B 的電容器 164 中，可藉由堆疊氧化

物半導體層 144 及閘極絕緣層 146 而充份地確保源極或汲極電極 142a 及電極 148b 之間的絕緣性質。電容器 164 可能不包括氧化物半導體層 144，使得電容可增加。或者，可能將絕緣層 143a 使用為電容器 164 的介電層。另外，在不需要電容器的情形中，可使用不具有電容器 164 的結構。

須注意在電晶體 162 及電容器 164 中，源極或汲極電極 142a 及源極或汲極電極 142b 的終端部係錐形為佳。當源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部係錐形時，可改善氧化物半導體層 144 的覆蓋率並可防止斷裂。此處，錐形角，例如，大於或等於 30° 且少於或等於 60° 。須注意錐形角係指當從與具有錐形之層（例如，源極或汲極電極 142a）的橫剖面垂直之方向（與基材之表面垂直的平面）上看時，以該層之側表面及底表面所形成的傾斜角。

在此實施例中，將電晶體 162 及電容器 164 設置成與電晶體 160 重疊。藉由使用此種平面佈置，高積體度係可能的。例如，假定最小特徵尺寸為 F ，由記憶體胞元佔據的面積可係 $15F^2$ 至 $25F^2$ 。

將絕緣層 150 設置在電晶體 162 及電容器 164 上方，並將絕緣層 152 設置在絕緣層 150 上方。將電極 154 設置在形成於閘極絕緣層 146、絕緣層 150、及絕緣層 152 等中的開口中，並將連接至電極 154 的佈線 156 設置在絕緣層 152 上方。須注意在圖 5A 及 5B 中，源極或汲極電極 142b 及佈線 156 與電極 154 彼此連接；然而，本揭示發明的實施例並未受限於此。例如，源極或汲極電極 142b 可能直接與金屬化

合物區域124接觸。或者，佈線156可能直接與源極或汲極電極142b接觸。

<製造半導體裝置的方法>

其次，將描述製造半導體裝置之方法的範例。首先，將參考圖6A至6D及圖7A至7C於下文描述製造下部中之電晶體160的方法，然後將參考圖8A至8D及圖9A至9C描述製造上部中之電晶體162及電容器164的方法。

<製造下部中之電晶體的方法>

首先，製備包括半導體材料的基材100（見圖6A）。可將矽之單晶半導體基材或多晶半導體基材、或碳化矽等；鍺化矽的化合物半導體基材等；或SOI基材等使用為包括半導體材料的基材100。此處，描述將單晶矽基材使用為包括半導體材料之基材100的範例。須注意通常，術語「SOI基材」係指將矽層設置在絕緣表面上的基材。在此說明書等中，術語「SOI基材」也指將包括矽以外之材料的半導體層設置在絕緣表面上的基材。亦即，包括在「SOI基材」中的半導體層並未受限於矽層。此外，該SOI基材可係具有以絕緣層設於其間的方式將半導體層設置在絕緣基材，諸如玻璃基材，上方之結構的基材。

在此實施例中，因為半導體裝置的讀取可用高速實施，將矽之單晶半導體基材等使用為包括半導體材料的基材100為佳。

首先，將雜質元素加至稍後待成為電晶體 160 之通道形成區域 116 的至少一區域，以控制讀取電晶體的臨界電壓。此處，加入賦予導電型的雜質元素，使得電晶體 160 的臨界電壓為正電壓。例如，將賦予 p-型導電性的雜質元素，諸如，硼、鋁、或鎵，加至 n-通道電晶體的形成區域，並將賦予 n-型導電性的雜質元素，諸如，磷或砷，加至 p-通道電晶體的形成區域。當上述雜質以約大於或等於 1×10^{16} 原子/cm³ 且少於或等於 1×10^{18} 原子/cm³ 的劑量加入時，電晶體 160 可具有正臨界電壓。

其次，將作為用於形成元件隔離絕緣層之遮罩使用的保護層 102 形成在基材 100 上方（見圖 6A）。例如，可將使用氧化矽、氮化矽、或氮氧化矽等形成的絕緣層使用為保護層 102。須注意用於控制電晶體的臨界電壓之雜質的加入可在保護層 102 形成之後實施。此外，在加入雜質後，實施熱處理為佳，使得實施雜質的活性化或修復在雜質加入時產生的缺陷等。

其次，藉由將保護層 102 使用為遮罩的蝕刻，將在未以保護層 102 覆蓋的區域（亦即，在曝露區域）中之基材 100 的部分移除。因此，形成與其他半導體區域隔離的半導體區域 104（見圖 6B）。將乾蝕刻實施為該蝕刻為佳，但可實施濕蝕刻。蝕刻氣體及蝕刻劑可取決於待蝕刻層的材料而視情況選擇。

然後，將絕緣層形成為覆蓋半導體區域 104，並選擇性地移除在與半導體區域 104 重疊之區域中的絕緣層；因

此，形成元件隔離絕緣層 106（見圖 6C）。該絕緣層係使用氧化矽、氮化矽、或氮氧化矽等形成。作為移除絕緣層的方法，有蝕刻處理及研磨處理，諸如化學機械研磨（CMP），及彼等之任一者可使用。須注意保護層 102 係在半導體區域 104 形成之後或在元件隔離絕緣層 106 形成之後移除。

其次，將絕緣層形成在半導體區域 104 的表面上方，並將包括導電材料之層形成在該絕緣層上方。

例如，該絕緣層稍後作為閘極絕緣層使用，且可藉由在半導體區域 104 的表面上實施熱處理（熱氧化處理或熱氮化等）而形成。可能使用高密度電漿處理，取代熱處理。該高密度電漿處理可使用，例如，稀有氣體，諸如 He、Ar、Kr、或 Xe，及氣體，諸如氧、氮氧化物、氨、氮、或氫等的混合氣體實施。該絕緣層可能使用 CVD 法、或濺鍍法等形成。該絕緣層具有包括氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、矽化鉛（ HfSi_xO_y ($x>0, y>0$))、加入氮的矽化鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$))、及加入氮的鋁化鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)) 等之任一者的單層結構或堆疊結構。絕緣層可具有，例如，大於或等於 1nm 且少於或等於 100nm 的厚度，大於或等於 10nm 且少於或等於 50nm 為佳。

包括導電材料之層可使用金屬材料，諸如鋁、銅、鈦、鋇、或鎢，形成。包括導電材料之層可能使用半導體材料，諸如多晶矽，形成。用於形成包括導電材料之層的方

法並無特別限制，並可使用各種沈積方法，諸如蒸鍍法、CVD法、濺鍍法，或旋轉塗佈法。須注意此實施例描述包括導電材料之層係使用金屬材料形成之情形的範例。

之後，選擇性地蝕刻該絕緣層及包括導電材料之層，使得閘極絕緣層108及閘極電極110形成（見圖6C）。

其次，將磷（P）、或砷（As）等加至半導體區域104，使得通道形成區域116及雜質區域120形成（見圖6D）。須注意於此處加入磷或砷以形成n-通道電晶體；在形成p-通道電晶體的情形中，可能加入諸如硼（B）或鋁（Al）之雜質元素。此處，可視情況設定加入的雜質濃度；當將半導體元件的尺寸極度減少時，將濃度設定成增加為佳。

須注意可能將側壁絕緣層形成在閘極電極110的周邊，並可能形成雜質元素以不同濃度加入的雜質區域。

其次，將金屬層122形成為覆蓋閘極電極110、及雜質區域120等（見圖7A）。可將各種沈積方法，諸如真空蒸鍍法、濺鍍法、或旋轉塗佈法用於形成金屬層122。金屬層122使用與包括在半導體區域104中之半導體材料反應以成為低電阻金屬化合物的金屬材料形成為佳。此種金屬材料的範例包括鈦、鉭、鎢、鎳、鈷、及鉑。

其次，實施熱處理，使得金屬層122與該半導體材料反應。因此，形成與雜質區域120接觸的金屬化合物區域124（見圖7A）。須注意當閘極電極110係使用多晶矽等形成時，也將金屬化合物區域形成在閘極電極110與金屬層122接觸的區域中。

例如，可將使用閃光燈的照射使用為該熱處理。雖然可能使用其他熱處理法，使用可藉由其實現極短時間之熱處理的方法為佳，以改善該金屬化合物形成時之化學反應的可控制性。須注意該金屬化合物區域係藉由金屬材料與半導體材料的反應形成，並具有足夠高的導電性。該等金屬化合物區域的形成可充份地降低電阻並改善元件特徵。須注意金屬層122係在金屬化合物區域124形成之後移除。

然後，將絕緣層128及絕緣層130形成為覆蓋形成於上述步驟中的該等組件（見圖7B）。絕緣層128及絕緣層130可使用包括無機絕緣材料，諸如氧化矽、氮氧化矽、氮化矽、氧化鋁，的材料形成。特別係將低介電常數（低-k）材料使用為絕緣層128及絕緣層130為佳，因為可將由電極或佈線之重疊所導致的電容充份地降低。須注意可能將包括任何此等材料的多孔絕緣層使用為絕緣層128及絕緣層130。因為相較於緻密絕緣層，多孔絕緣層具有低介電常數，可更行降低電極或佈線所導致的電容。此外，絕緣層128及絕緣層130也可使用有機絕緣材料形成，諸如聚醯亞胺或丙烯酸。須注意此處使用絕緣層128及絕緣層130的堆疊結構；然而，本揭示發明的實施例並未受限於此。也可使用單層結構或包括三或多層的堆疊結構。

經由上述步驟，形成使用包括半導體材料之基材100的電晶體160（見圖7B）。此種電晶體160能以高速操作。因此，當將電晶體160使用為讀取電晶體時，資料的讀取可用高速實施。

此外，將賦予導電型的雜質元素加至電晶體 160 的通道形成區域 116，使得臨界電壓為正電壓。因此，當將電晶體 160 使用為讀取電晶體時，不需為記憶體胞元提供產生用於讀取之負電位的電源；因此，可降低電力消耗且半導體裝置可縮減尺寸。另外，相較於使用用於讀取之負電位的情形，操作可用高速實施。須注意只要可將臨界電壓控制成係正電壓，用於控制臨界電壓的方法並未受限於將雜質加至通道形成區域。

之後，在絕緣層 128 及絕緣層 130 上實施作為電晶體 162 及電容器 164 形成前之處理的 CMP 處理，使得閘極電極 110 的頂表面曝露（見圖 7C）。可能使用蝕刻處理以取代 CMP 處理，作為用於曝露閘極電極 110 之頂表面的處理。將絕緣層 128 及絕緣層 130 的表面儘可能地平坦化為佳，以改善電晶體 162 的特徵。

須注意在上述步驟之前或之後，可能實施用於形成額外電極、佈線、半導體層、或絕緣層等的步驟。例如，當將包括絕緣層及導電層之堆疊結構的多層結構使用為佈線結構時，可實現高積體半導體裝置。

<製造上部中之電晶體的方法>

其次，將導電層形成在閘極電極 110、絕緣層 128、及絕緣層 130 等的上方，並選擇性地蝕刻導電層，使得源極或汲極電極 142a 及源極或汲極電極 142b 形成（見圖 8A）。

導電層可藉由 PVD 法，諸如濺鍍法，或 CVD 法，諸如

電漿 CVD 法，形成。可將選自鋁、鉻、銅、鉭、鈦、鉬、或鎢的元素、或將任何此等元素包含為成份的合金等使用為導電層的材料。另外，可能使用選自錳、鎂、鋅、鈹、鈳、及鈳之一或多種材料。

該導電層可具有單層結構或包括二或多層的堆疊結構。例如，該導電層可具有鈦膜或氮化鈦膜的單層結構、包括矽之鋁膜的單層結構、將鈦膜堆疊在鋁膜上方的二層結構、將鈦膜堆疊在氮化鈦膜上方的二層結構、或將鈦膜、鋁膜、以及鈦膜以此次序堆疊的三層結構。須注意在導電層具有鈦膜或氮化鈦膜之單層結構的情形中，有將導電層輕易地處理為具有錐形之源極或汲極電極 142a 及源極或汲極電極 142b 的優點。

或者，該導電層可能使用導電金屬氧化物形成。可將氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，在部分情形中將其縮寫為 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或包含矽或氧化矽的任何此等金屬氧化物材料使用為該導電金屬氧化物。

將導電層蝕刻成使得源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部為錐形為佳。此處，錐形角，例如，大於或等於 30° 且少於或等於 60° 為佳。將蝕刻實施成使得源極或汲極電極 142a 及源極或汲極電極 142b 的終端部為錐形，因此可改善稍後形成之閘極絕緣層 146 的覆蓋率並可防止斷裂。

上部中之電晶體的通道長度（ L ）係由源極或汲極電極 142a 之低邊緣部及源極或汲極電極 142b 的低邊緣部之間的距離決定。須注意對於用於形成遮罩的曝光，該遮罩使用在形成具有少於 25nm 的通道長度（ L ）之電晶體的情形中，使用其波長為短至數奈米至數十奈米的極紫外光為佳。在藉由極紫外光的曝光中，解析度甚高且焦點深度甚大。因此，待於稍後形成之電晶體的通道長度（ L ）可在大於或等於 10nm 且少於或等於 1000nm (1 μ m) 的範圍中，且該電路可在高速操作。再者，小型化可導致半導體裝置的低電力消耗。

須注意可能將作為基底使用的絕緣層設置在絕緣層 128 及絕緣層 130 上方。該絕緣層可使用 PVD 法、或 CVD 法等形式。

須注意，將絕緣層 143a 及絕緣層 143b 分別形成在源極或汲極電極 142a 及源極或汲極電極 142b 上方（見圖 8B）。絕緣層 143a 及絕緣層 143b 可用形成覆蓋源極或汲極電極 142a 及源極或汲極電極 142b 之絕緣層並選擇性地蝕刻該絕緣層的此種方式形成。此外，將絕緣層 143a 及絕緣層 143b 形成為與稍後形成之閘極電極的一部分重疊。藉由設置此種絕緣層，可減少閘極電極及源極或汲極電極之間的電容。

絕緣層 143a 及絕緣層 143b 可使用包括無機絕緣材料，諸如氧化矽、氮氧化矽、氮化矽、氧化鋁，的材料形成。特別係將低介電常數（低- k ）材料用於絕緣層 143a 及絕緣

層 143b 爲佳，因爲可將閘極電極及源極或汲極電極之間的電容充份地降低。須注意可能將包括任何此等材料的多孔絕緣層使用爲絕緣層 143a 及絕緣層 143b。因爲相較於緻密絕緣層，多孔絕緣層具有低介電常數，可將閘極電極及源極或汲極電極之間的電容更行降低。

須注意有鑑於降低閘極電極及源極或汲極電極之間的電容，設置絕緣層 143a 及絕緣層 143b 爲佳。然而，也可使用不具有絕緣層的結構。

其次，將氧化物半導體層形成爲覆蓋源極或汲極電極 142a 及源極或汲極電極 142b，然後選擇性地蝕刻，使得氧化物半導體層 144 形成（見圖 8C）。

氧化物半導體層可使用係四成份金屬氧化物之 In-Sn-Ga-Zn-O-基質氧化物半導體；係三成份金屬氧化物之 In-Ga-Zn-O-基質氧化物半導體、In-Sn-Zn-O-基質氧化物半導體、In-Al-Zn-O-基質氧化物半導體、Sn-Ga-Zn-O-基質氧化物半導體、Al-Ga-Zn-O-基質氧化物半導體、或 Sn-Al-Zn-O-基質氧化物半導體；係二成份金屬氧化物之 In-Zn-O-基質氧化物半導體、Sn-Zn-O-基質氧化物半導體、Al-Zn-O-基質氧化物半導體、Zn-Mg-O-基質氧化物半導體、Sn-Mg-O-基質氧化物半導體、或 In-Mg-O-基質氧化物半導體；或係一成份金屬氧化物之 In-O-基質氧化物半導體；Sn-O-基質氧化物半導體；或 Zn-O-基質氧化物半導體形成。

特別係當沒有電場且因此可將截止電流充份地降低時，In-Ga-Zn-O-基質氧化物半導體材料具有足夠高的電阻。

此外，因為高場效遷移率，In-Ga-Zn-O-基質氧化物半導體材料適合用於半導體裝置。

將由 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 表示的材料提供為 In-Ga-Zn-O-基質氧化物半導體材料的範例。另外，當使用 M 以取代 Ga 時，有以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的氧化物半導體材料。此處，M 代表選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、或鈷 (Co) 等的一或多種金屬元素。例如，M 可係 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、或 Ga 及 Co 等。須注意上述組成物係從該氧化物半導體材料可具有且僅係範例之晶體結構所衍生。

將具有以方程式 $\text{In:Ga:Zn} = 1:x:y$ (x 大於或等於 0、且 y 大於或等於 0.5 且少於或等於 5) 表示之組成的靶材使用為藉由濺鍍法形成氧化物半導體層的靶材為佳。例如，可使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ [莫耳比率] 等之組成比率的金屬氧化物靶材。或者，可使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [莫耳比率] 之組成比率的金屬氧化物靶材、具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$ [莫耳比率] 之組成比率的金屬氧化物靶材、或具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:0:2$ [莫耳比率] 之組成比率的金屬氧化物靶材。

在此實施例中，具有非晶結構的氧化物半導體層係藉由使用 In-Ga-Zn-O-基質金屬氧化物靶材的濺鍍法形成。

包含在金屬氧化物靶材中的金屬氧化物具有高於或等於 80% 的相對密度為佳，高於或等於 95% 較佳，高於或等於 99.9% 更佳。使用具有高相對密度的金屬氧化物靶材，

可形成具有緻密結構的氧化物半導體層。

在其中形成氧化物半導體層的大氣為稀有氣體（典型地為氬）大氣、氧大氣、或包含稀有氣體（典型地為氬）及氧的混合大氣為佳。具體地說，使用，例如，將雜質，諸如氫、水、羥基、或氫化物自其移除，使得濃度少於或等於1ppm（少於或等於10ppb為佳）的高純度氣體大氣為佳。

在形成氧化物半導體層時，例如，將物件保持在維持降壓的處理室中，並將該物件加熱至高於或等於100℃且低於550℃的溫度，高於或等於200℃且低於或等於400℃為佳。或者，該物件在形成氧化物半導體層時的溫度可能係室溫（25℃±10℃）。然後，移除該處理室中的濕氣，將移除氫、及水等的濺鍍氣體引入，並使用上述靶材，使得氧化物半導體層形成。藉由在加熱該物件的同時形成氧化物半導體層，可減少氧化物半導體層中的雜質。此外，可減少由於濺鍍導致的損傷。為移除該處理室中的濕氣，使用截留真空泵較佳。例如，可使用低溫泵、離子泵、或鈦昇華泵等。可能使用設有冷凝阱的渦輪泵。藉由使用低溫泵等的抽氣，可將氫、及水等從處理室移除，從而可將氧化物半導體層的雜質濃度降低。

氧化物半導體層可在以下條件下形成，例如：物件及靶材之間的距離為170mm；壓力為0.4Pa；直流電（DC）功率為0.5kW；且大氣為氧（氧流動的比例為100%）大氣、氬（氬流動的比例為100%）大氣、或氧及氬的混合大氣

。脈衝直流電（DC）電源較佳，因為可減少沈積時產生的粉末物質（也稱為粒子或灰塵）且可使膜厚度均勻。氧化物半導體層的厚度大於或等於1nm且少於或等於50nm，大於或等於1nm且少於或等於30nm為佳，大於或等於1nm且少於或等於10nm更佳。使用具有此種厚度的氧化物半導體層，可抑制隨著小型化發生的短通道效應。須注意適當厚度取決於所使用的氧化物半導體材料、或半導體裝置的用途等而不同；因此，也可能取決於待使用的材料、或用途等而視情況設定厚度。

須注意在藉由濺鍍法形成氧化物半導體層之前，藉由導入氬氣體並產生電漿的反轉濺鍍將附於氧化物半導體層形成於其上方之表面（例如，絕緣層130的表面）上的材料移除為佳。此處，反轉濺鍍係離子與待處理表面碰撞，使得該表面修改的方法，與離子與濺靶碰撞的正常濺鍍相反。使離子與待處理表面碰撞之方法的範例係在氬大氣中將高頻電壓施加至待處理表面，使得電漿在該物件附近產生的方法。須注意可能使用氮、氦、或氧等的大氣取代氬大氣。

之後，在氧化物半導體層上實施熱處理（第一熱處理）為佳。氧化物半導體層中的過量氬（包括水及羥基）係藉由第一熱處理移除，並使該氧化物半導體層的結構有序，使得可將氧化物半導體層之能量間隙中的缺陷水準降低。例如，第一熱處理的溫度高於或等於300℃且低於550℃，或高於或等於400℃且低於或等於500℃。此外，該熱處

理可能與用於將加至電晶體160的通道形成區域116之雜質活化的熱處理等組合。

該熱處理可用，例如，將物件導入使用電阻加熱元件等之電爐，並在氮大氣中以450℃加熱一小時的此種方式實施。在該熱處理期間，該氧化物半導體層未曝露於空氣中，以防止水及氫進入。

熱處理設備並未受限於電爐，並可能係藉由來自媒體，諸如加熱氣體，之熱幅射或熱傳導將物件加熱的設備。例如，可使用快速熱退火（RTA）設備，諸如氣體快速熱退火（GRTA）設備或射線照射快速熱退火（LRTA）設備。LRTA設備藉由發射自燈，諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈，之光幅射（電磁波）加熱待處理物件的設備。GRTA設備係使用高溫氣體實施熱處理的設備。將不由於熱處理而與物件反應的惰性氣體，諸如氮或稀有氣體，諸如氬，使用為該氣體。

例如，可能將作為該第一熱處理之GRTA處理實施如下。將物件置於已加熱的惰性氣體大氣中，加熱數分鐘，並從該惰性氣體大氣取出。該GRTA處理致能短時間的高溫熱處理。此外，該GRTA處理甚至可在溫度超過物件的溫度上限時使用。須注意可能在處理期間將該惰性氣體切換為包含氧的氣體。此係因為由缺氧所導致的能量間隙中的缺陷水準可藉由在包含氧之大氣中實施第一熱處理而減少。

須注意將氮或稀有氣體（例如，氮、氖、或氬）包含

爲其主成份且不包含水、或氫等的大氣使用爲該惰性氣體大氣爲佳。例如，引入熱處理設備中的氮或稀有氣體，諸如氮、氬、或氫，的純度大於或等於6N（99.9999%），大於或等於7N（99.99999%）爲佳（亦即，雜質濃度少於或等於1ppm，少於或等於0.1ppm爲佳）。

無論如何，藉由第一熱處理將雜質減少，使得係i-型半導體層（本質半導體層）或實質i-型半導體層的氧化物半導體層形成。因此，可實現具有極有利特徵的電晶體。

可將上述熱處理（第一熱處理）稱爲脫水處理、或脫氫處理等，因爲其之移除氫、及水等的效果。該脫水處理或該脫氫處理可在，例如，該氧化物半導體層形成之後、該閘絕緣層形成之後、或該閘極電極形成之後實施。此種脫水處理或脫氫處理可能實行一次或複數次。

氧化物半導體層的蝕刻可在熱處理之前或之後實施。另外，有鑑於元件的小型化，實施乾蝕刻爲佳；然而，可能使用濕蝕刻。蝕刻氣體及蝕刻劑可取決於待蝕刻層的材料而視情況選擇。須注意在元件的漏電流未導致任何問題的情形中，不必將氧化物半導體層處理成具有島形。

其次，形成與氧化物半導體層144接觸的閘極絕緣層146，然後，在閘極絕緣層146上方，將閘極電極148a形成在與氧化物半導體層144重疊的區域中並將電極148b形成在與源極或汲極電極142a重疊的區域中（見圖8D）。

閘極絕緣層146可藉由CVD法、或濺鍍法等形成。閘極絕緣層146包括氧化矽、氮化矽、氮氧化矽、氧化鋁、

氧化鋇、氧化鉛、氧化釷、矽化鉛 ($\text{HfSi}_x\text{O}_y(x>0,y>0)$)、加入氮的矽化鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z(x>0,y>0,z>0)$)、或加入氮的鋁化鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z(x>0,y>0,z>0)$) 等為佳。閘極絕緣層 146 可能具有單層結構或堆疊結構。在其厚度上並無特別限制；然而，在將半導體裝置小型化的情形中，該厚度係確保電晶體操作的小厚度為佳。例如，在使用氧化矽的情形中，可將厚度設定成大於或等於 1 nm 且少於或等於 100 nm，大於或等於 10 nm 且少於或等於 50 nm 為佳。

當閘極絕緣層如上述地薄時，導致由穿隧效應等引起的閘極洩漏問題。為解決閘極洩漏問題，閘極絕緣層 146 使用高介電常數（高-k）材料，諸如，氧化鉛、氧化鋇、氧化釷、矽化鉛 ($\text{HfSi}_x\text{O}_y(x>0,y>0)$)、加入氮的矽化鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z(x>0,y>0,z>0)$)、或加入氮的鋁化鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z(x>0,y>0,z>0)$)，形成為佳。藉由將高-k材料用於閘極絕緣層 146，可確保電特徵且厚度可大到防止閘極洩漏。須注意可能使用包含高-k材料之膜及包含任何氧化矽、氮化矽、氮氧化矽、氮化氧化矽、及氧化鋁等之膜的堆疊結構。

在閘絕緣層 146 形成之後，第二熱處理可能在惰性氣體大氣或氧大氣中實施。該熱處理以高於或等於 200℃ 且低於或等於 450℃ 的溫度實施，高於或等於 250℃ 且低於或等於 350℃ 為佳。例如，該熱處理可能在氮大氣中以 250℃ 實施一小時。該第二熱處理可減少電晶體之電特徵的變異。另外，在閘極絕緣層 146 包含氧的情形中，將氧供應至

氧化物半導體層 144 以彌補氧化物半導體層 144 中的缺氧，使得可形成 i-型（本質半導體）或實質 i-型半導體層。

須注意在此實施例中，第二熱處理係在閘極絕緣層 146 形成之後實施；然而，第二熱處理的時機並未受限於此。例如，第二熱處理可能在閘極電極形成之後實施。或者，第二熱處理可能在第一熱處理之後實施、可能將第一熱處理地加倍為第二熱處理、或可能將第二熱處理加倍為第一熱處理。

如上文所述地，使用第一熱處理及第二熱處理之至少一者，因此可將氧化物半導體層 144 高度純化，使得儘可能地防止將不係氧化物半導體之主成份的雜質包含於其中。

閘極電極 148a 及電極 148b 可用將導電層形成在閘極絕緣層 146 上方，然後選擇性地蝕刻其的此種方式形成。待成為閘極電極 148a 及電極 148b 的導電層可藉由以濺鍍法為代表的 PVD 法或 CVD 法，諸如電漿 CVD 法形成。細節與源極或汲極電極 142a 等的細節相似；因此，可參考其描述。

然後，將絕緣層 150 及絕緣層 152 形成在閘極絕緣層 146、閘極電極 148a、以及電極 148b 上方（見圖 9A）。絕緣層 150 及絕緣層 152 可藉由 PVD 法、或 CVD 法等形成。絕緣層 150 及絕緣層 152 可使用包括無機絕緣材料，諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、或氧化鋁，的材料形成。

須注意將具有低介電常數的材料或具有低介電常數的

結構（例如，多孔結構）用於絕緣層 150 及絕緣層 152 為佳。此係因為可減少絕緣層 150 及絕緣層 152 的介電常數，因此可降低產生在佈線或電極之間的電容，其在高速操作時產生。

須注意在此實施例中使用絕緣層 150 及絕緣層 152 的堆疊結構；然而，本揭示發明的實施例並未受限於此。也可使用單層結構或包括三或多層的堆疊結構。也可能使用不具有絕緣層的結構。

須注意將絕緣層 152 形成為具有平坦表面為佳。此係因為即使在將半導體裝置小型化的情形中，可將電極、或佈線等有利地形成在絕緣層 152 上方。絕緣層 152 可藉由諸如化學機械研磨（CMP）處理之方法平坦化。

其次，將到達源極或汲極電極 142b 的開口形成在閘極絕緣層 146、絕緣層 150、以及絕緣層 152 中（見圖 9B）。該開口係藉由使用遮罩等的選擇性蝕刻形成。

之後，將電極 154 形成在該開口中，並將與電極 154 接觸的佈線 156 形成在絕緣層 152 上方（見圖 9C）。

例如，電極 154 可用下列方式形成：藉由 PVD 法、或 CVD 法等將導電層形成在包括開口的區域中，然後，藉由蝕刻處理、或 CMP 等將部分導電層移除。

具體地說，可能使用，例如，藉由 PVD 法將薄鈦膜形成在包括該等開口的區域中並藉由 CVD 法形成薄氮化鈦膜，然後將鎢膜形成為嵌入在該開口中的方法。此處，藉由 PVD 法形成的鈦膜具有將形成在鈦膜形成於其上方之表面

上的氧化物膜（例如，天然氧化物膜）減少的功能，以減少與低電極（此處，係源極或汲極電極 142b）的接觸電阻。在鈦膜形成之後形成的氮化鈦膜具有防止導電材料擴散的障壁功能。銅膜可能在鈦、或氮化鈦等之障壁膜形成之後藉由電鍍法形成。

須注意在形成電極 154 的情形中，實施該處理使得該等表面平坦化為佳。例如，當將薄鈦膜或薄氮化鈦膜形成在包括開口的區域中，然後將鎢膜形成為嵌入在開口中時，可藉由後續的 CMP 處理將過量的鎢、鈦、或氮化鈦等移除並可改善該表面的平坦性。藉由包括電極 154 的表面之平坦性的此種改善，可在稍後步驟中形成有利的電極、佈線、絕緣層、或半導體層等。

佈線 156 可藉由以 PVD 法，諸如濺鍍法、或 CVD 法，諸如電漿 CVD 法，形成導電層，並藉由型樣化該導電層而形成。可將選自鋁、鉻、銅、鈮、鈦、鉬、及鎢的元素、或將任何此等元素包含為成份的合金等使用為導電層的材料。另外，可能使用選自錳、鎂、鋅、鈹、釹、及銦之一或多種材料。細節與源極或汲極電極 142a 的細節相同。

經由上述步驟，將包括高度純化氧化物半導體層 144 的電晶體 162 及電容器 164 完成（見圖 9D）。

因為氧化物半導體層 144 在說明於此實施例中之電晶體 162 中高度純化，氫濃度少於或等於 5×10^{19} 原子/cm³，少於或等於 5×10^{18} 原子/cm³ 為佳，少於或等於 5×10^{17} 原子/cm³ 更佳。此外，相較於通常之矽晶圓的載體濃度（約為

$1 \times 10^{14}/\text{cm}^3$ ），氧化物半導體層 144 的載體濃度值夠低（例如，少於 $1 \times 10^{12}/\text{cm}^3$ ，少於 $1.45 \times 10^{10}/\text{cm}^3$ 為佳）。因此，可將電晶體 162 的截止電流充份地降低。例如，截止電流（此處為每單位通道寬度 ($1\mu\text{m}$)）在室溫 (25°C) 為少於或等於 $100\text{zA}/\mu\text{m}$ (1zA (介安培) 為 $1 \times 10^{-21}\text{A}$)，少於或等於 $10\text{zA}/\mu\text{m}$ 為佳。

使用高度純化且本質的氧化物半導體層 144，有助於將電晶體的截止電流充份地降低。然後，藉由使用此種電晶體，可得到可將儲存資料保持極長時間的半導體裝置。

描述於此實施例中的結構、及方法等可視情況與描述在其他實施例中之任何結構、及方法等組合。

[實施例 4]

在此實施例中，參考圖 10A 至 10F 描述在上述任何實施例中描述的半導體裝置至電子的應用。於此實施例中，描述上述半導體裝置至電子裝置的應用，諸如電腦、行動電話機（也稱為行動電話或行動電話裝置）、可攜式資訊終端（包括可攜式遊戲機、及音訊再生裝置等）、數位相機、數位視訊攝影機、電子紙、及電視機（也稱為電視或電視接收器）。

圖 10A 描繪膝上型個人電腦，包括外殼 701、外殼 702、顯示部 703、及鍵盤 704 等。將記憶體電路設置在外殼 701 及 702 的內側，且該記憶體電路包括描述於上述任何實施例中的半導體裝置。因此，可實現於其中以高速實施資

料的寫入及讀取、將資料儲存長時間、及充份地降低電力消耗的膝上型個人電腦。

圖 10B 描繪可攜式資訊終端（個人數位助理 (PDA)）。主體 711 設有顯示部 713、外部介面 715、及操作鈕 714 等。另外，提供用於該可攜式資訊終端之操作的觸控筆 712 等。將記憶體電路設置在主體 711 的內側，且該記憶體電路包括描述於上述任何實施例中的半導體裝置。因此，可實現於其中以高速實施資料的寫入及讀取、將資料儲存長時間、及充份地降低電力消耗的可攜式資訊終端。

圖 10C 描繪載置有電子紙的電子書閱讀器 720，其包括二外殼，外殼 721 及外殼 723。外殼 721 及外殼 723 分別設有顯示部 725 及顯示部 727。外殼 721 及 723 係藉由轉軸部 737 連接，並可使用轉軸部 737 開關。外殼 721 設有電源開關 731、操作鍵 733、及揚聲器 735 等。將記憶體電路設置在外殼 721 及 723 之至少一者的內側，且該記憶體電路包括描述於上述任何實施例中的半導體裝置。因此，可實現於其中以高速實施資料的寫入及讀取、將資料儲存長時間、及充份地降低電力消耗的電子書閱讀器。

圖 10D 描繪行動電話，其包括二外殼，外殼 740 及外殼 741。再者，在圖 10D 中顯示為展開的外殼 740 及 741 可藉由滑動彼此重疊；因此，可減少該行動電話的尺寸，其使該行動電話適於攜帶。外殼 741 設有顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指標裝置 746、相機鏡頭 747、及外部連接終端 748 等。外殼 740 設有用於充電行動

電話的太陽能電池 749、及外部記憶體插槽 750等。此外，將天線併入外殼 741中。將記憶體胞元設置在外殼 740及 741之至少一者的內側，且該記憶體電路包括描述於上述任何實施例中的半導體裝置。因此，可實現於其中以高速實施資料的寫入及讀取、將資料儲存長時間、及充份地降低電力消耗的行動電話。

圖 10E描繪數位相機，其包括主體 761、顯示部 767、目鏡 763、操作開關 764、顯示部 765、及電池 766等。將記憶體電路設置在主體 761的內側，且該記憶體電路包括描述於上述任何實施例中的半導體裝置。因此，可實現於其中以高速實施資料的寫入及讀取、將資料儲存長時間、及充份地降低電力消耗的數位相機。

圖 10F描繪電視機 770，其包括外殼 771、顯示部 773、及腳架 775等。電視機 770可使用外殼 771或遙控器 780的操作開關操作。將記憶體電路設置在外殼 771及遙控器 780的內側，且該記憶體電路包括描述於上述任何實施例中的半導體裝置。因此，可實現於其中以高速實施資料的寫入及讀取、將資料儲存長時間、及充份地降低電力消耗的電視機。

如上文所述，將相關於上述實施例的半導體裝置載置在描述於此實施例中的電子裝置中。因此，可實現將其電力消耗充份地降低之電子裝置。

[範例 1]

在此範例中，將描述藉由量測包括高度純化氧化物半導體之電晶體的截止電流而得到的結果。

首先，鑒於包括高度純化氧化物半導體的電晶體之非常小的截止電流，製備具有夠寬之 1m 通道寬度 W 的電晶體，並量測截止電流。圖 11 顯示藉由量測具有 1m 之通道寬度 W 的電晶體之截止電流而得到的結果。在圖 11 中，水平軸表示閘極電壓 V_G 且垂直軸表示汲極電流 I_D 。在汲極電壓 V_D 為 $+1\text{V}$ 或 $+10\text{V}$ 且閘極電壓 V_G 在 -5V 至 -20V 之範圍內的情形中，發現該電晶體之截止電流少於或等於係偵測限制的 $1 \times 10^{-12}\text{A}$ 。再者，發現該電晶體的截止電流（此處為每單元通道寬度 $(1\mu\text{m})$ ）少於或等於 $1\text{aA}/\mu\text{m}$ ($1 \times 10^{-18}\text{A}/\mu\text{m}$)。

其次描述藉由更精確地量測包括高度純化氧化物半導體之電晶體的截止電流而得到的結果。如上文所述，發現包括高度純化氧化物半導體之電晶體的截止電流少於或等於係該量測裝置之偵測極限的 $1 \times 10^{-12}\text{A}$ 。此處，描述使用用於特徵估算之元件，量測更精確之截止電流的結果（該值少於或等於上述量測中之量測裝置的偵測限制）。

首先，參考圖 12 描述使用在量測電流的方法中之用於特徵估算的元件。

在圖 12 之用於特徵估算的元件中，將三個量測系統 800 並聯連接。量測系統 800 各者包括電容器 802、電晶體 804、電晶體 805、電晶體 806、以及電晶體 808。將包括高度純化氧化物半導體的電晶體使用為電晶體 804 及 808 各者。

在量測系統 800 中，將電晶體 804 之源極終端及汲極終端的一者、電容器 802 之終端的一者、以及電晶體 805 之源極終端及汲極終端的一者連接至電源供應（用於供應 V_2 ）。將電晶體 804 之源極終端及汲極終端的另一者、電晶體 808 之源極終端及汲極的一者、電容器 802 之終端的另一者、以及電晶體 805 之閘極終端彼此連接。將電晶體 808 之源極終端及汲極終端的另一者、電晶體 806 之源極終端及汲極終端的一者、以及電晶體 806 之閘極終端連接至電源供應（用於供應 V_1 ）。將電晶體 805 之源極終端及汲極終端的另一者及電晶體 806 之源極終端及汲極終端的另一者彼此連接，且該節點作為輸出終端使用。

將用於控制電晶體 804 之開啓狀態及關閉狀態的電位 V_{ext_b2} 供應至電晶體 804 的閘極終端。將用於控制電晶體 808 之開啓狀態及關閉狀態的電位 V_{ext_b1} 供應至電晶體 808 的閘極終端。從該輸出終端輸出電位 V_{out} 。

其次，描述使用用於特徵估算之元件量測電流的方法。

首先，簡短地描述於其中施加電位差以量測該截止電流的初始化週期。在該初始化週期中，將用於開啓電晶體 808 之電位輸入至電晶體 808 的閘極終端，並將電位 V_1 供應至係與電晶體 804 之源極終端及汲極終端的另一者連接之節點的節點 A（亦即，該節點連接至電晶體 808 之源極終端及汲極終端的一者、電容器 802 之終端的另一者、以及電晶體 805 之閘極終端）。此處，例如，電位 V_1 係高電位。

將電晶體 804 保持在截止狀態。

之後，將用於關閉電晶體 808 的電位 V_{ext_b1} 輸入至電晶體 808 之閘極終端，使得電晶體 808 關閉。在電晶體 808 關閉之後，將電位 V_1 設定為低電位。仍將電晶體 804 保持在截止狀態。電位 V_2 係與 V_1 相同的電位。因此，該初始化週期完成。當該初始化週期結束時，電位差在節點 A 及電晶體 804 之源極電極及汲極電極的一者之間產生。此外，電位差在節點 A 及電晶體 808 之源極電極及汲極電極的另一者之間產生。因此，小量的電荷流經電晶體 804 及電晶體 808。亦即，截止電流流動。

其次，簡短地描述截止電流的量測週期。在該量測週期中，將電晶體 804 之源極終端及汲極終端之一者的電位（亦即， V_2 ）及電晶體 808 之源極終端及汲極終端之另一者的電位（亦即， V_1 ）設定至低電位並固定。另一方面，節點 A 的電位在該量測週期中係不固定的（節點 A 在浮動狀態中）。因此，電荷流經電晶體 804，且保持在節點 A 的電荷量隨時間經過改變。節點 A 的電位依據保持在節點 A 之電荷量的改變而改變。亦即，輸出終端的輸出電位 V_{out} 也改變。

圖 13 顯示在施加電位差之初始化週期中的電位及在隨後之量測週期中的電位間之關係的細節（時序圖）。

在該初始化週期中，首先，將電位 V_{ext_b2} 設定成將電晶體 804 開啓的電位（高電位）。因此，節點 A 的電位變成 V_2 ，亦即，低電位（ V_{ss} ）。須注意無需將低電位（ V_{ss} ）

供應至節點 A。之後，將電位 V_{ext_b2} 設定成在將電晶體 804 關閉的電位（低電位），因此將電晶體 804 關閉。其次，將電位 V_{ext_b1} 設定成將電晶體 808 開啓的電位（高電位）。因此，節點 A 的電位變成 V_1 ，亦即，高電位（ V_{DD} ）。之後，將電位 V_{ext_b1} 設定成將電晶體 808 關閉的電位。因此，使節點 A 進入浮動狀態且該初始化週期完成。

在後續的量測週期中，將電位 V_1 及電位 V_2 分別設定成電荷流至節點 A 或自其流出的電位。此處，電位 V_1 及電位 V_2 為低電位（ V_{SS} ）。須注意在量測輸出電位 V_{out} 時，必需操作輸出電路；因此，在部分週期中將 V_1 暫時設定成高電位（ V_{DD} ）。將 V_1 為高電位（ V_{DD} ）的週期設定成短至使得量測不受影響。

當如上文所述地產生電位差且量測週期開始時，儲存在節點 A 的電荷量隨時間經過而改變，其改變節點 A 的電位。此意謂著電晶體 805 之閘極終端的電位改變，而因此，輸出終端的輸出電位 V_{out} 也隨時間經過而改變。

於下文描述在已得到之輸出電位 V_{out} 的基礎上計算截止電流的方法。

節點 A 的電位 V_A 及輸出電位 V_{out} 之間的關係係在計算截止電流之前預先得到。使用其，可使用輸出電位 V_{out} 得到節點 A 的電位 V_A 。根據上述關係，可藉由下列方程式將節點 A 的電位 V_A 表示為輸出電位 V_{out} 的函數。

[方程式 1]

$$V_A = F(V_{out})$$

節點的電荷 Q_A 可藉由使用節點 A 的電位 V_A 、連接至節點 A 之電容 C_A 、以及常數 (const) 的下列方程式表示。此處，連接至節點 A 的電容 C_A 係電容器 802 之電容及其他電容的和。

[方程式 2]

$$Q_A = C_A V_A + \text{const}$$

因為節點的電流 I_A 係藉由將流至節點 A 之電荷（或從節點 A 流出的電荷）對時間差分而得到，節點 A 的電流 I_A 係藉由下列方程式表示。

[方程式 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

以此方式，節點 A 的電流 I_A 可從連接至節點 A 的電容 C_A 及輸出終端之輸出電位 V_{out} 得到。

根據上述方法，可能量測在截止狀態中之電晶體的源極及汲極之間流動的漏電流（截止電流）。

在此範例中，具有 $10\mu\text{m}$ 之通道長度 L 及 $50\mu\text{m}$ 之通道寬度 W 的電晶體 804、電晶體 805、電晶體 806、以及電晶體 808 係使用高度純化氧化物半導體製造。此外，在並聯配置的量測系統 800 中，電容器 802 的電容為 100fF 、 1pF 、以及 3pF 。

須注意根據此範例的量測係假設滿足 $V_{DD}=5\text{V}$ 及 $V_{SS}=0\text{V}$ 而實施。在量測週期中，將電位 V_I 基本上設定為 V_{SS} 且僅在每 10 秒至 300 秒中之 100msec 的週期中設定為 V_{DD} ，並量測 V_{out} 。另外，使用在流經該元件的電流 I 之計算中

的 Δt 約為 30000 秒。

圖 14 顯示在電流量測時在輸出電位 V_{out} 及經過時間 Time 之間的關係。根據圖 14，電位隨時間經過而變化。

圖 15 顯示基於上述電流量測計算之在室溫 (25°C) 下的截止電流。圖 15 顯示源極 - 汲極電壓 V 及截止電流 I 之間的關係。根據圖 15，在源極 - 汲極電壓為 4V 的條件下，截止電流約為 $40\text{ zA}/\mu\text{m}$ 。此外，在源極 - 汲極電壓為 3.1V 的條件下，截止電流少於或等於 $10\text{ zA}/\mu\text{m}$ 。須注意 1 zA 代表 10^{-21} A 。

另外，圖 16 顯示在 85°C 之溫度的環境中的截止電流，其係基於上述電流量測而計算。圖 16 顯示在 85°C 之溫度的環境中，源極 - 汲極電壓 V 及截止電流 I 之間的關係。根據圖 16，在源極 - 汲極電壓為 3.1V 的條件下，截止電流約為 $100\text{ zA}/\mu\text{m}$ 。

根據此範例，證實在包括高度純化氧化物半導體的電晶體中，截止電流可夠小。

[範例 2]

調查可將根據本揭示發明之實施例的半導體裝置重寫的次數。在此範例中，將參考圖 17A 至 17C 描述該調查結果。

用於該調查的半導體裝置係具有描繪於圖 1A-1 中之電路組態的半導體裝置。此處，將氧化物半導體用於對應於電晶體 162 的電晶體。將具有 0.33 pF 之電容值的電容器使

用為對應於電容器 164 的電容器。

資料係藉由將 0V 或 5V 施加至對應於圖 1A-1 中之第三佈線的佈線並將 0V 或 5V 施加至對應於第四佈線的佈線而保持及寫入記憶體胞元中。當對應於第四佈線之佈線的電位為 0V 時，對應於電晶體 162 之電晶體（寫入電晶體）係在截止狀態中；因此，將供應至節點 FG 的電位保持。當對應於第四佈線之佈線的電位為 5V 時，對應於電晶體 162 之電晶體係在開啓狀態；因此，將對應於第三佈線之佈線的電位供應至節點 FG。

圖 17A 顯示在寫入 1×10^9 次之前及之後，對應於第五佈線之佈線的電位 V_{cg} 與對應於電晶體 160 之電晶體（讀取電晶體）的汲極電流 I_d 之間的關係之曲線（ $V_{cg}-I_d$ 曲線）。在圖 17A 中，「低態寫入」係指將 0V 施加至節點 FG，而「高態寫入」係指將 5V 施加至節點 FG。須注意在圖 17A 中，水平軸顯示 $V_{cg}(V)$ 且垂直軸顯示 $I_d(A)$ 。

如圖 17A，在寫入 1×10^9 次之前及之後，低態寫入及高態寫入二者的 $V_{cg}-I_d$ 曲線幾乎不改變。此外，在寫入 1×10^9 次之前及之後，高態寫入之 $V_{cg}-I_d$ 曲線及低態寫入的 $V_{cg}-I_d$ 曲線之間的移位量（ ΔV_{cg} ）幾乎不改變。

圖 17B 描繪對應於第五佈線之佈線的電位及重寫次數之間的關係，該第五佈線係將用於高態寫入及低態寫入的電晶體 160 開啓之所需。在圖 17B 中，水平軸代表重寫次數且垂直軸代表對應於第五佈線之佈線的電位，亦即，電晶體 160 的明顯臨界值 $V_{th}(V)$ 。

須注意該臨界值通常可藉由切線法得到。具體地說，在水平軸代表閘極電壓 V_g 且垂直軸代差汲極電流 I_d 之平方根的圖中，得到該曲線之最大斜率點的切線。該切線的水平軸（閘極電壓 V_g 的值）截距即為該臨界值。同樣在圖 17B 中，藉由切線法得到明顯臨界值 V_{th} 。

將從圖 17B 得到的記憶體窗寬度提供於表 1 中。須注意藉由計算得到的記憶體窗寬度係電晶體 160 在高態寫入之情形中的明顯臨界值 V_{th_H} 及電晶體 160 在低態寫入之情形中的明顯臨界值 V_{th_L} 之間的差。

[表 1]

寫入 次數	1.E +00	1.E+ 01	1.E+ 02	1.E+ 03	1.E+ 04	1.E+ 05	1.E+ 06	1.E+ 07	1.E+ 08	1.E+ 09
記憶體 窗寬度	6.06	6.00	6.01	6.01	6.04	6.00	5.98	6.01	5.96	5.96

如在表 1 中看出的，在此範例的記憶體胞元中，在寫入 1×10^9 次之前及之後，記憶體窗寬度改變 2% 或以下，具體地說 1.68%。因此，顯示該半導體裝置至少在寫入 1×10^9 次之前及之後不退化。

圖 17C 顯示記憶體胞元的重寫次數及互導（gm）之間的關係。在圖 17C 中，水平軸代表重寫次數且垂直值代表互導（gm）。

記憶體胞元之互導（gm）的降低導致諸如難以區分寫

入狀態及抹除狀態的影響；然而，在此範例的記憶體胞元中， g_m 的值甚至在重寫 1×10^9 次之後仍幾乎不改變，如圖17C。因此，根據此範例的半導體裝置係具有即使重寫 1×10^9 次仍不退化之極高可靠性的半導體裝置。

如上文所述，根據本揭示發明之實施例的記憶體胞元具有極高的重寫耐久性，且即使將資料保持及寫入高達 1×10^9 次時，其特徵仍不改變。亦即，可說根據本揭示發明的實施例將具有極高可靠性的記憶體胞元及包括該記憶體胞元並具有極高可靠性的半導體裝置實現。

本申請案基於2010年2月26日向日本特許廳申請的日本專利申請案編號第2010-041852號，該專利之教示全文以提及之方式併入本文中。

【圖式簡單說明】

在該等隨附圖式中：

圖1A-1、1A-2、以及圖1B係半導體裝置的電路圖；

圖2係半導體裝置的電路圖；

圖3A係時序圖且圖3B係記憶體胞元之臨界值的分佈圖

；

圖4係半導體裝置的電路圖；

圖5A及5B係半導體裝置的橫剖面圖及平面圖；

圖6A至6D係相關於製造半導體裝置之步驟的橫剖面圖；

圖7A至7C係相關於製造半導體裝置之步驟的橫剖面圖

；

圖 8A 至 8D 係相 關 於 製 造 半 導 體 裝 置 之 步 驟 的 橫 剖 面 圖 ；

圖 9A 至 9C 係 相 關 於 製 造 半 導 體 裝 置 之 步 驟 的 橫 剖 面 圖

；

圖 10A 至 10F 各 者 描 繪 使 用 半 導 體 裝 置 的 電 子 裝 置 ；

圖 11 係 顯 示 包 括 氧 化 物 半 導 體 的 電 晶 體 之 特 徵 的 圖 ；

圖 12 係 用 於 估 算 包 括 氧 化 物 半 導 體 之 電 晶 體 的 特 徵 之 電 路 的 圖 ；

圖 13 係 用 於 估 算 包 括 氧 化 物 半 導 體 的 電 晶 體 之 特 徵 的 時 序 圖 ；

圖 14 係 顯 示 包 括 氧 化 物 半 導 體 的 電 晶 體 之 特 徵 的 圖 ；

圖 15 係 顯 示 包 括 氧 化 物 半 導 體 的 電 晶 體 之 特 徵 的 圖 ；

圖 16 係 顯 示 包 括 氧 化 物 半 導 體 的 電 晶 體 之 特 徵 的 圖 ；

且

圖 17A 至 17C 係 顯 示 記 憶 體 窗 寬 度 之 調 查 結 果 的 圖 。

【 主 要 元 件 符 號 說 明 】

100：基 材

102：保 護 層

104：半 導 體 區 域

106：元 件 隔 離 絕 緣 層

108、146：閘 極 絕 緣 層

110、148a：閘 極 電 極

116：通道形成區域

120：雜質區域

122：金屬層

124：金屬化合物區域

128、130、143a、143b、150、152：絕緣層

142a、142b：源極或汲極電極

144：氧化物半導體層

148b、154：電極

156：佈線

160、162、804、805、806、808、OS：電晶體

164、802：電容器

701、702、721、723、740、741、771：外殼

703、713、725、727、765、767、773：顯示部

704：鍵盤

711、761：主體

712：觸控筆

714：操作鈕

715：外部介面

720：電子書閱讀器

731：電源開關

733、745：操作鍵

735、743：揚聲器

737：轉軸部

742：顯示面板

744：麥克風
 746：指標裝置
 747：相機鏡頭
 748：外部連接終端
 749：太陽能電池
 750：外部記憶體插槽
 763：目鏡
 764：操作開關
 766：電池
 770：電視機
 775：腳架
 780：遙控器
 800：量測系統
 1100：記憶體胞元
 1111：第一驅動器電路
 1112：第二驅動器電路
 1113：第三驅動器電路
 1114：第四驅動器電路
 A、FG：節點
 BL：位元線
 C1、C2：電容值
 D：輸出
 gm：互導
 I：截止電流

I_d ：汲極電壓

L ：通道長度

R_1 、 R_2 ：電阻值

S_1 ：第一訊號線

S_2 ：第二訊號線

S_L ：源極線

V ：源極-汲極電壓

V_1 、 V_2 、 V_{cg} 、 V_{ext_b1} 、 V_{ext_b2} ：電位

V_{DD} ：高電位

V_g ：閘極電壓

V_{out} ：輸出電位

V_{SS} ：低電位

V_{th_men} ：臨界值

V_{th} ：明顯臨界值

W ：通道寬度

WL ：字線

七、申請專利範圍：

1. 一種半導體裝置，包含：

源極線；

位元線；

第一訊號線；

第二訊號線；

字線；以及

記憶體胞元，連接在該源極線及該位元線之間，

其中該記憶體胞元包含：

第一電晶體，包含第一閘極電極、第一源極電極、第一汲極電極、以及第一通道形成區域；

第二電晶體，包含第二閘極電極、第二源極電極、第二汲極電極、以及第二通道形成區域；以及

電容器，

其中該第一通道形成區域包括給予導電型的雜質元素使得該第一電晶體的臨界電壓為正電壓，

其中將該第一閘極電極、第二汲極電極、以及該電容器之電極中的一者彼此電性連接，以形成用於保持電荷的節點，

其中將該源極線電性連接至該第一源極電極，

其中將該位元線電性連接至該第一汲極電極，

其中將第一訊號線電性連接至該第二源極電極，

其中將第二訊號線電性連接至該第二閘極電極，

其中將該字線電性連接至該電容器之電極的另一者，

其中該第一通道形成區包括單晶矽，
其中該第二通道形成區包括氧化物半導體，且
其中該第二電晶體在室溫的截止電流少於或等於
10zA。

2. 如申請專利範圍第 1 項之半導體裝置，其中將用於控制該第一電晶體之導電性的複數種電荷之一種供應至該節點。

3. 如申請專利範圍第 1 項之半導體裝置，其中當將 0V 的電位供應至該字線時，該第一電晶體的該臨界電壓係該第一電晶體於該電壓關閉而與保持在該節點中之該電荷無關的電壓。

4. 如申請專利範圍第 1 項之半導體裝置，
其中將硼、鋁、以及銻之至少一者加入作為該雜質元素。

5. 如申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體包含銦、銻和鋅。

6. 如申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體中的載體濃度少於 $1 \times 10^{12} / \text{cm}^3$ 。

7. 一種半導體裝置，包含：

記憶體胞元，包含：

第一電晶體，包含第一閘極電極、第一源極電極、第一汲極電極、以及第一通道形成區域，其中該第一電晶體具有正臨界電壓；

第二電晶體，包含第二閘極電極、第二源極電

極、第二汲極電極、以及第二通道形成區域，其中該第二通道形成區域具有與該第一通道形成區域不同的半導體材料，並具有大於 3eV 的能量間隙；以及

電容器，包括第一電極及第二電極，

源極線，電性連接至該第一源極電極，

位元線，電性連接至該第一汲極電極，

第一訊號線，電性連接至該第二源極電極，

第二訊號線，電性連接至該第二閘極電極，以及

字線，電性連接至該電容器的該第一電極，

其中將該第一閘極電極、第二汲極電極、以及該電容器之該第二電極彼此電性連接，以形成用於保持電荷的節點，

其中該第一通道形成區包括單晶矽，

其中該第二通道形成區包括氧化物半導體，且

其中該第二電晶體在室溫的截止電流少於或等於 10zA 。

8. 如申請專利範圍第 7 項之半導體裝置，其中將該第一通道形成區域形成在矽基材中。

9. 如申請專利範圍第 7 項之半導體裝置，其中將該第一通道形成區域形成在 SOI 基材中。

10. 如申請專利範圍第 7 項之半導體裝置，另外包含操作地連接至至少該位元線以讀取該記憶體胞元之資料的驅動器電路。

11. 如申請專利範圍第 7 項之半導體裝置，

其中該第一通道形成區域包括硼、鋁、以及銻之至少一者。

12. 如申請專利範圍第 7 項之半導體裝置，其中該氧化物半導體中的載體濃度少於 $1 \times 10^{12} / \text{cm}^3$ 。

13. 一種半導體裝置，包含：

記憶體胞元，包含：

第一電晶體，包含第一閘極電極、第一源極電極、第一汲極電極、以及包含單晶矽的第一通道形成區域，其中該第一電晶體具有正臨界電壓；

絕緣層，形成在至少一部分的該第一電晶體上方；

第二電晶體，在該絕緣層上方，該第二電晶體包含第二閘極電極、第二源極電極、第二汲極電極、以及第二通道形成區域，其中該第二通道形成區域包含氧化物半導體，

其中將該第一閘極電極及第二汲極電極彼此電性連接，以形成用於保持電荷的節點，

其中該第二電晶體在室溫的截止電流少於或等於 10 zA 。

14. 如申請專利範圍第 13 項之半導體裝置，另外包含形成在該絕緣層上方的電容器，該電容器包括第一電極及第二電極，其中該第一電極電性連接至該第一閘極電極及該第二汲極電極以形成該節點。

15. 如申請專利範圍第 13 項之半導體裝置，其中將

該第一通道形成區域形成在矽基材中。

16. 如申請專利範圍第 13 項之半導體裝置，其中將該第一通道形成區域形成在 SOI 基材中。

17. 如申請專利範圍第 13 項之半導體裝置，其中該第一通道形成區域包括硼、鋁、以及鎵之至少一者。

18. 如申請專利範圍第 14 項之半導體裝置，其中該電容器另外包括形成自與該第二電晶體的閘絕緣層相同之層的第二絕緣層，該第二絕緣層夾於該第一電極及該第二電極之間。

19. 如申請專利範圍第 14 項之半導體裝置，其中該電容器另外包括形成自與該第二電晶體的閘絕緣層相同之層的第二絕緣層，該第二絕緣層夾於該第一電極及該第二電極之間並包含氧化鉛。

20. 如申請專利範圍第 13 項之半導體裝置，其中該記憶體胞元係非揮發性的。

21. 如申請專利範圍第 13 項之半導體裝置，其中該氧化物半導體中的載體濃度少於 $1 \times 10^{12} / \text{cm}^3$ 。

圖 1A-1

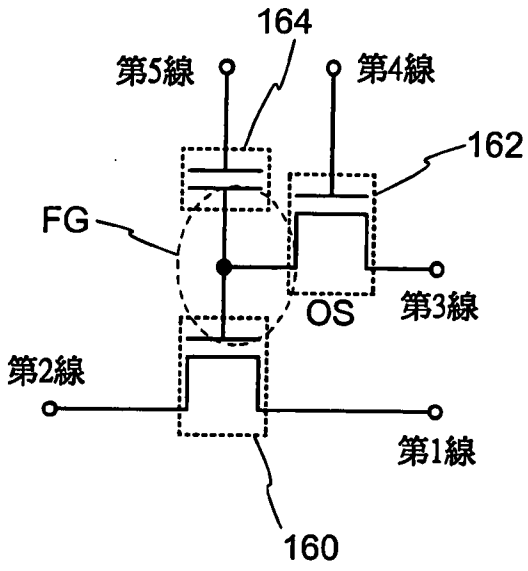


圖 1B

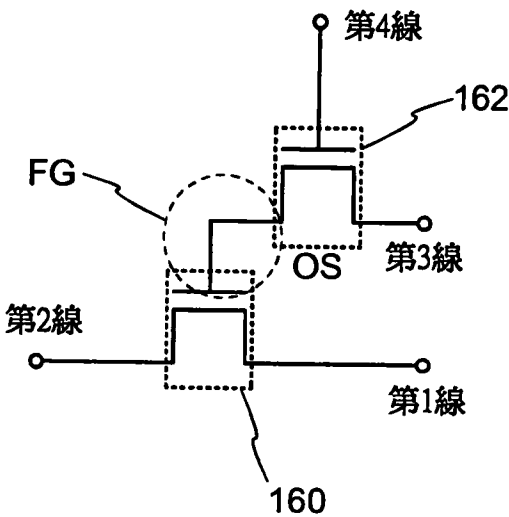


圖 1A-2

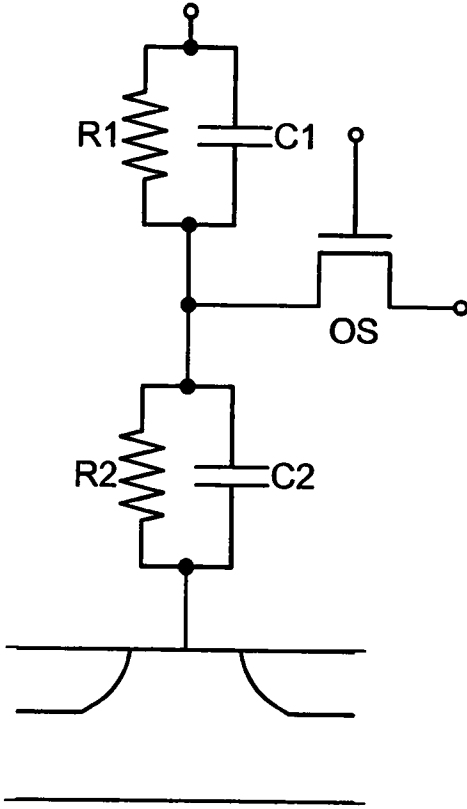


圖2

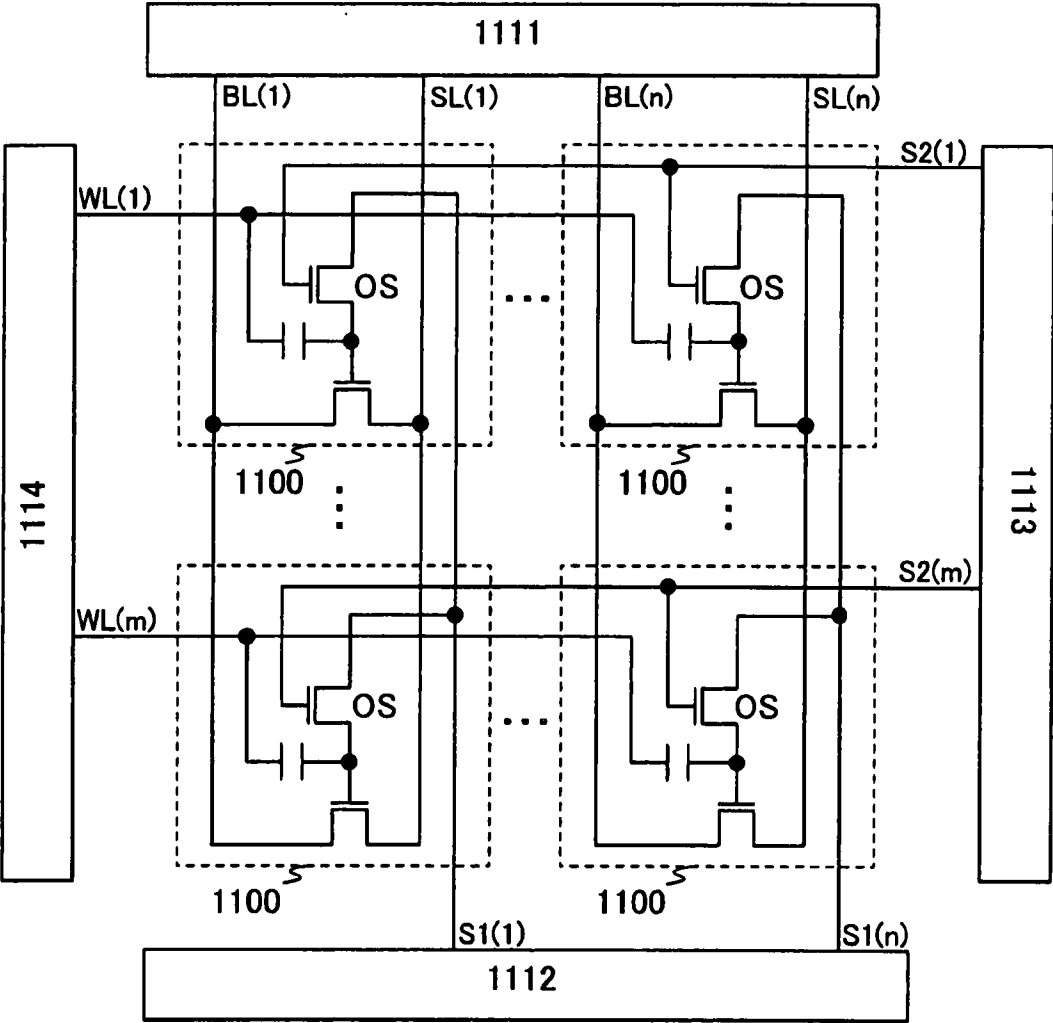


圖 3A

		第一列寫入 (1,1) "1" (1,2) "0"	第一列讀取 (1,1) "1" (1,2) "0"
S1(1)	V2 0V		
S1(2)	V2 0V		
S2(1)	V3 0V		
S2(2)	V3 0V		
BL(1)	Vdd 0V		
BL(2)	Vdd 0V		
WL(1)	V5 0V		
WL(2)	V5 0V		
SL(1),SL(2)	V1 0V		
D(1)	Vdd 0V	高阻抗	
D(2)	Vdd 0V	高阻抗	

圖 3B

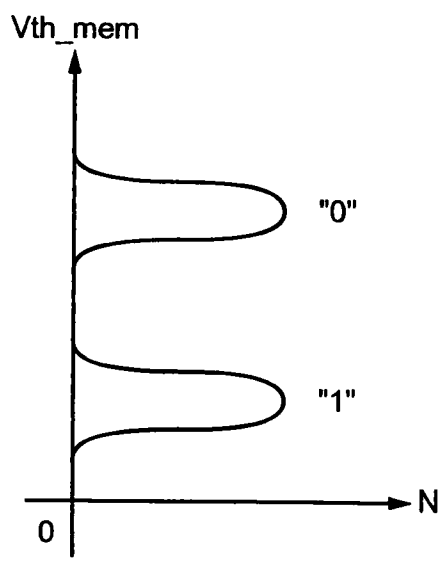


圖 4

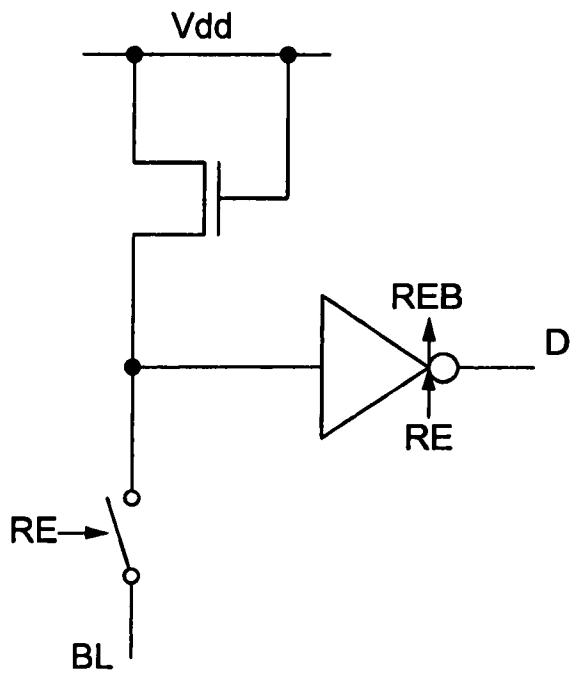


圖 6A

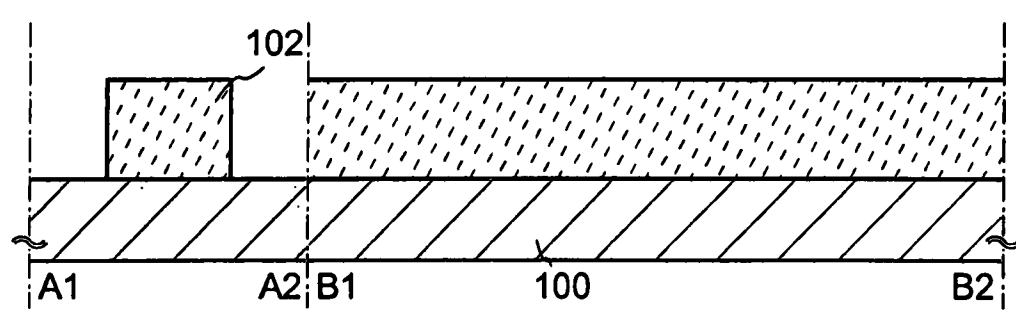


圖 6B

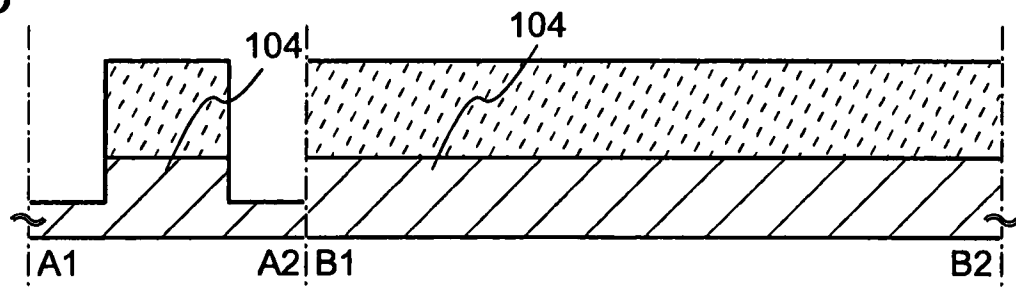


圖 6C

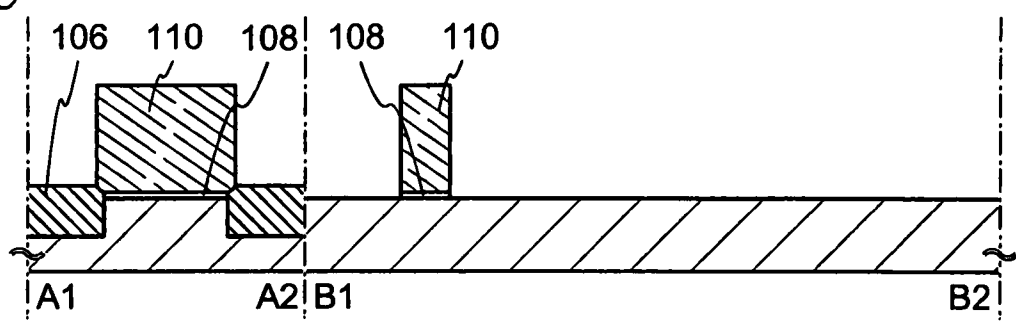


圖 6D

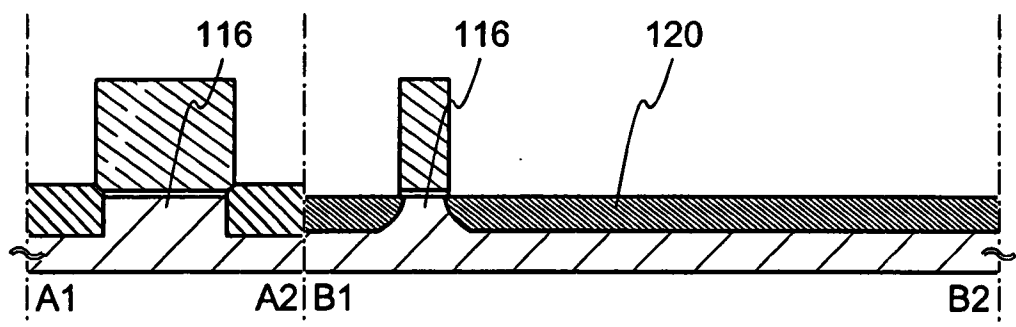


圖 7A

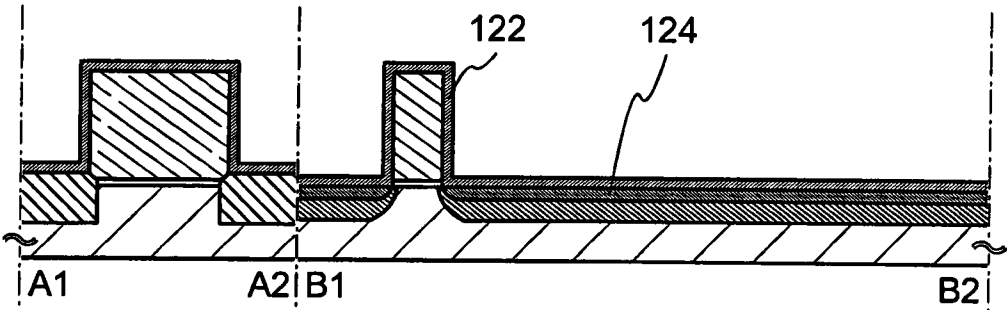


圖 7B

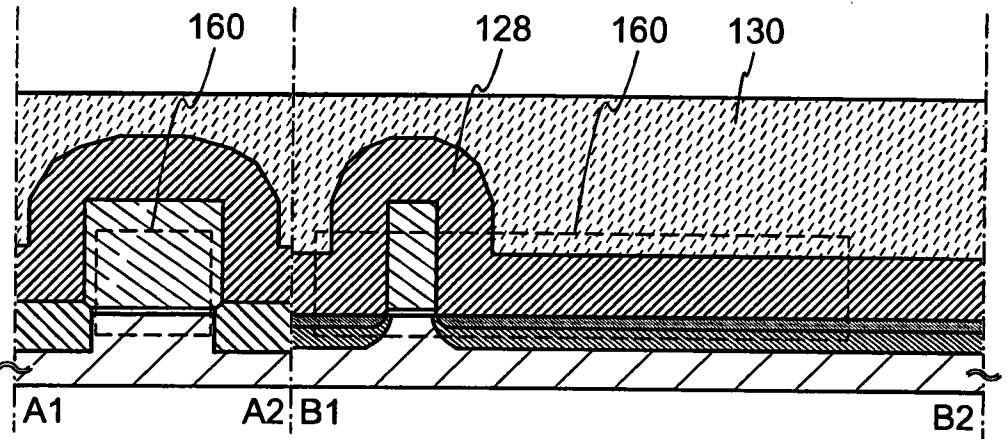


圖 7C

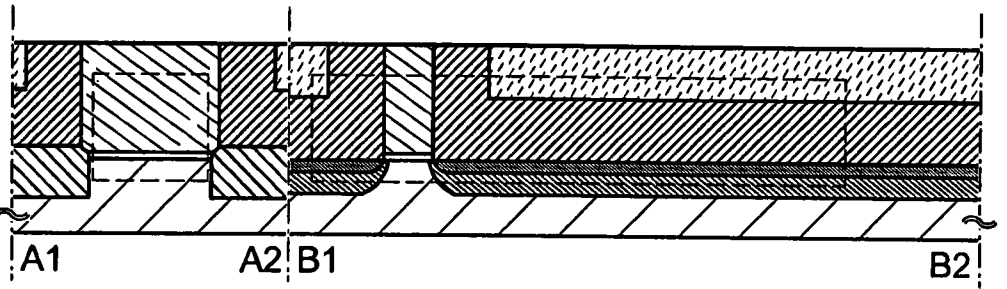


圖8A

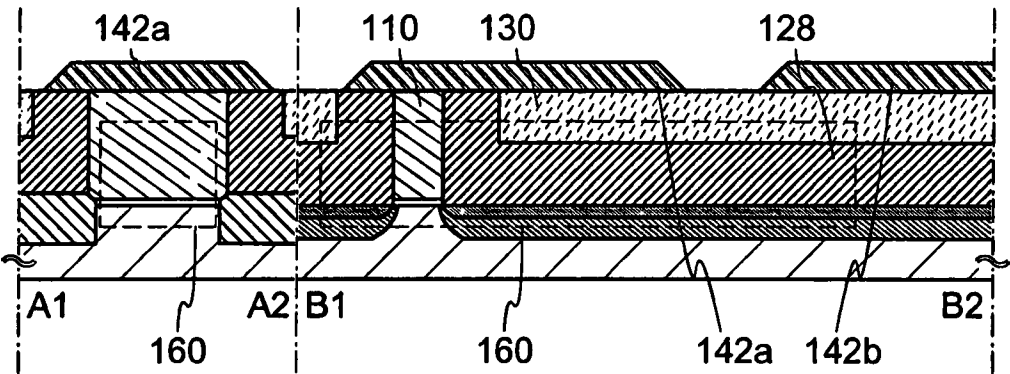


圖8B

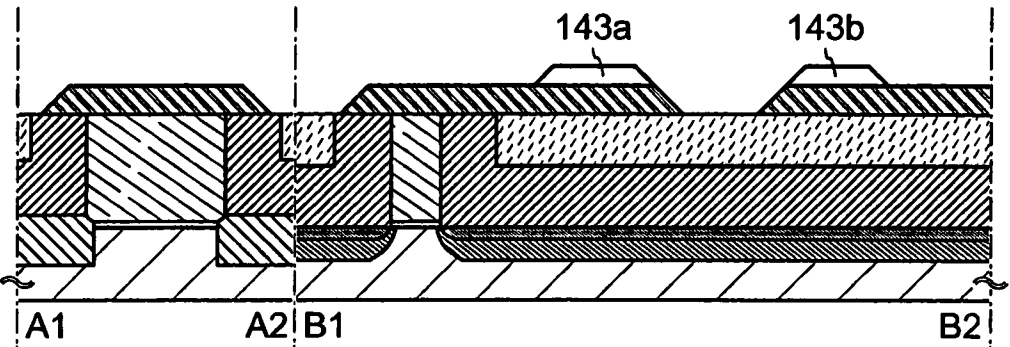


圖8C

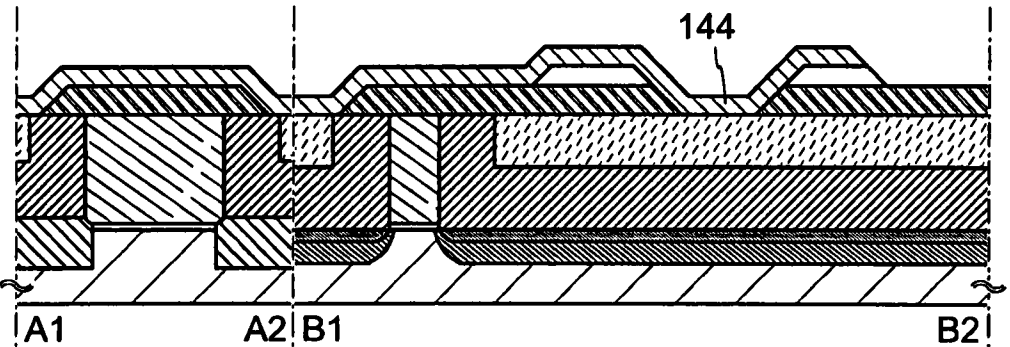


圖8D

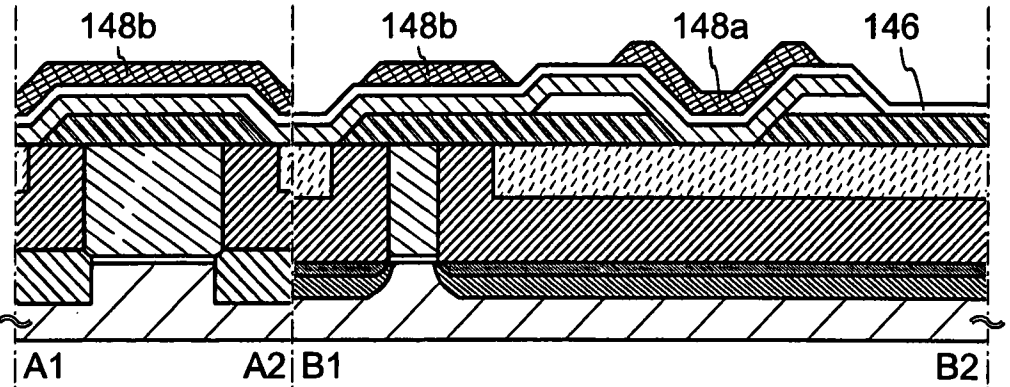


圖 9A

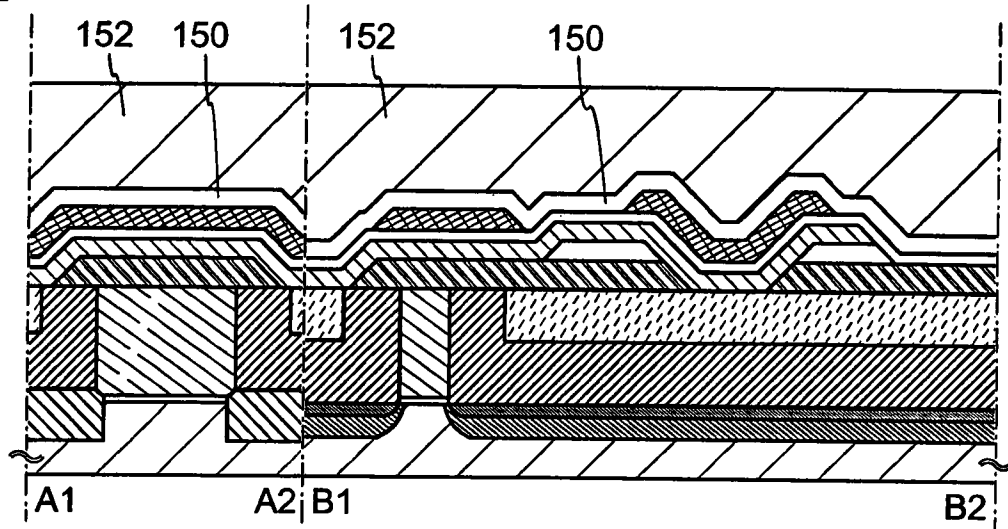


圖 9B

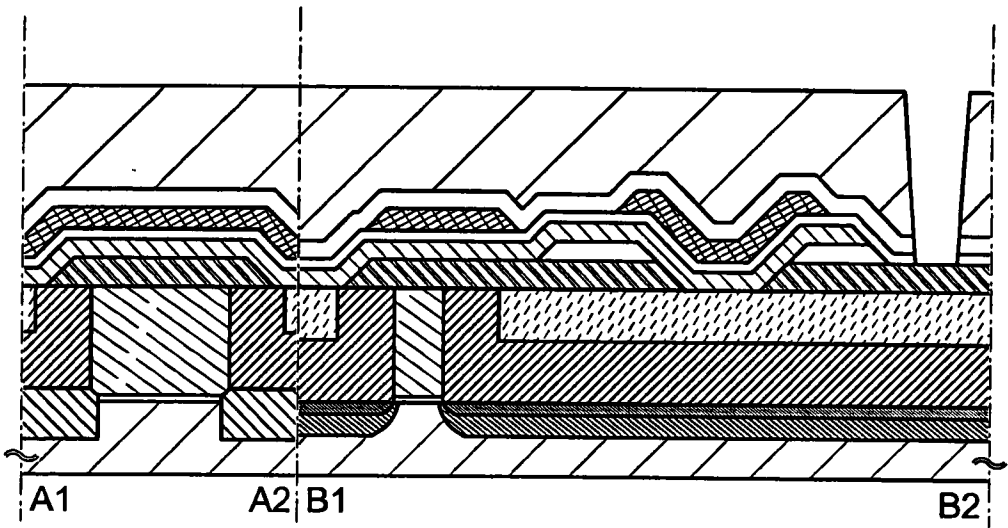


圖 9C

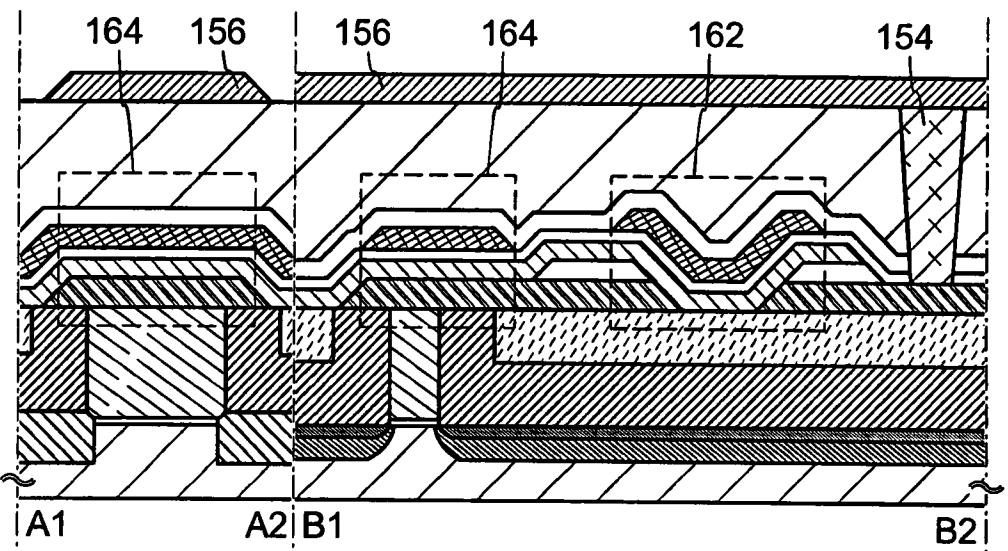


圖 10A

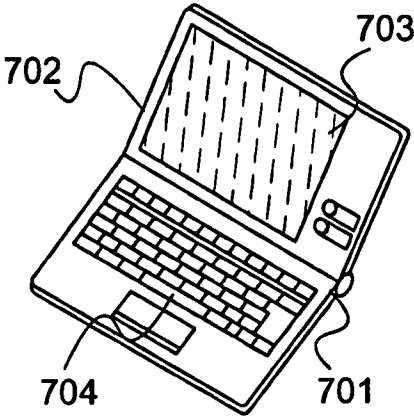


圖 10D

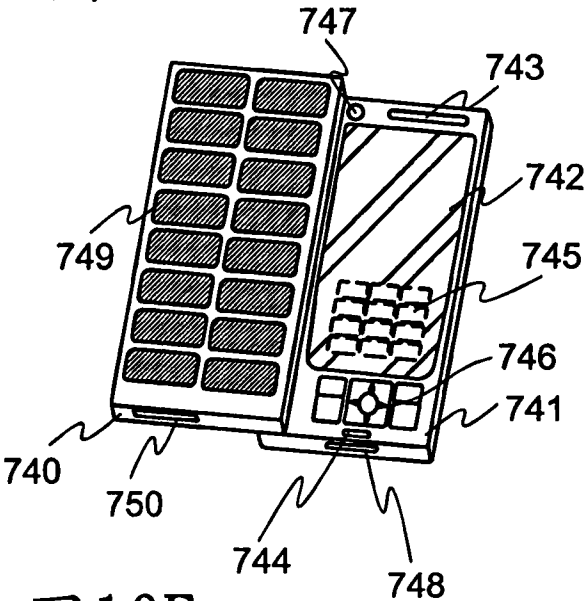


圖 10B

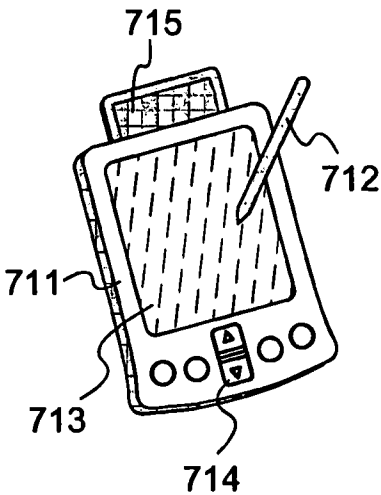


圖 10E

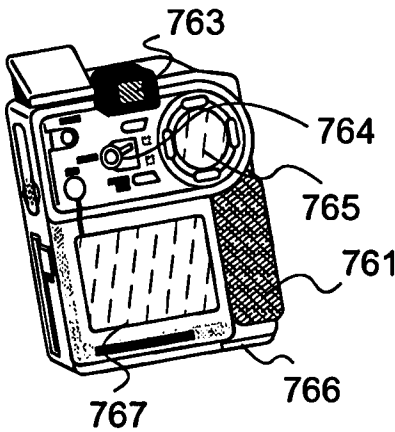


圖 10C

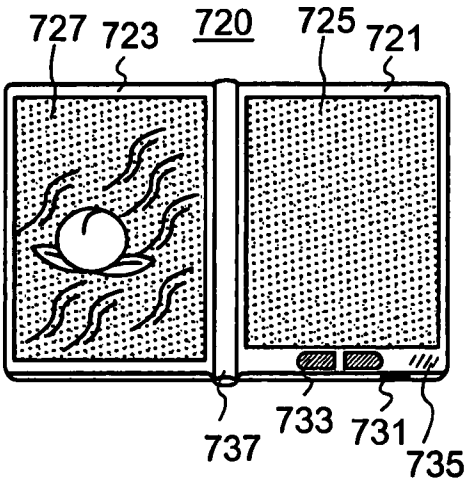


圖 10F

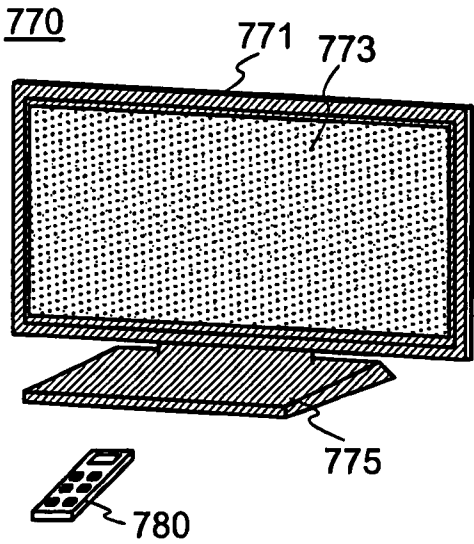


圖 11

$L/W=10.0/1,000,000\text{ }\mu\text{m}$ (1 m) 設計之TFT的ID-VG特徵

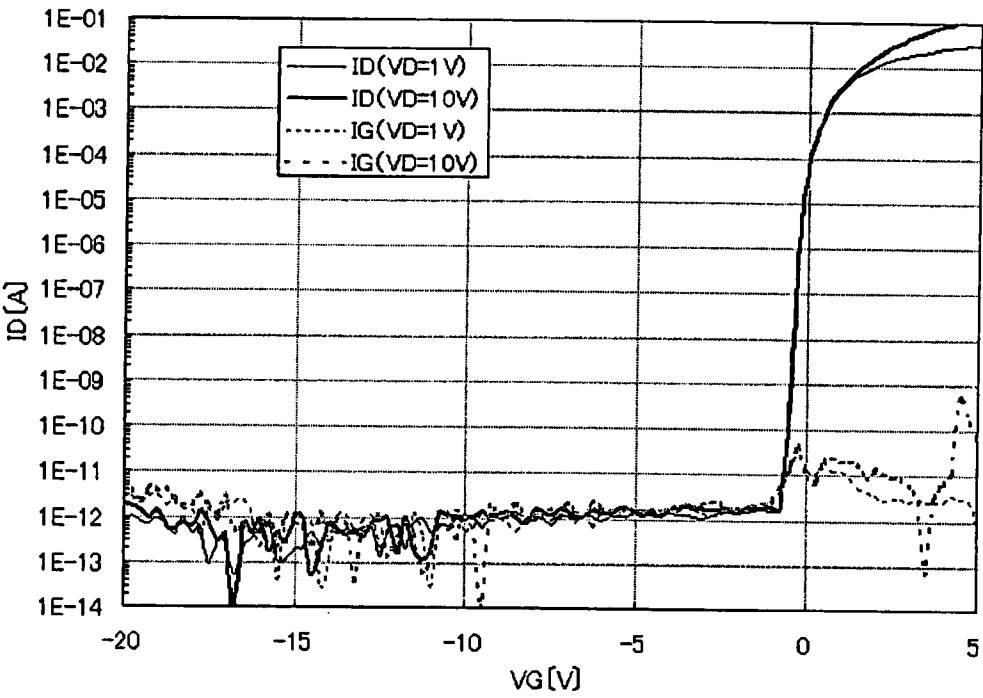


圖12

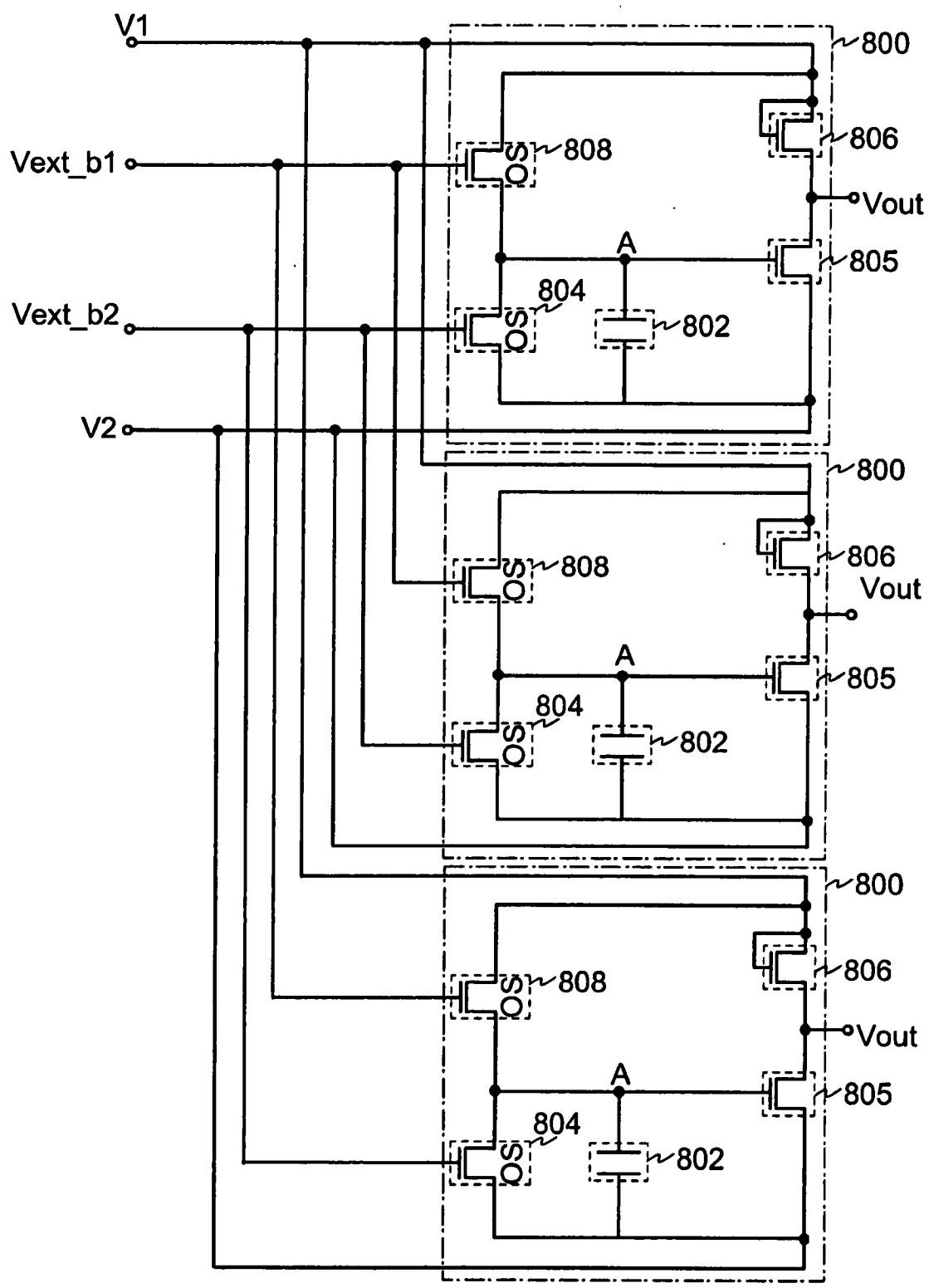


圖 13

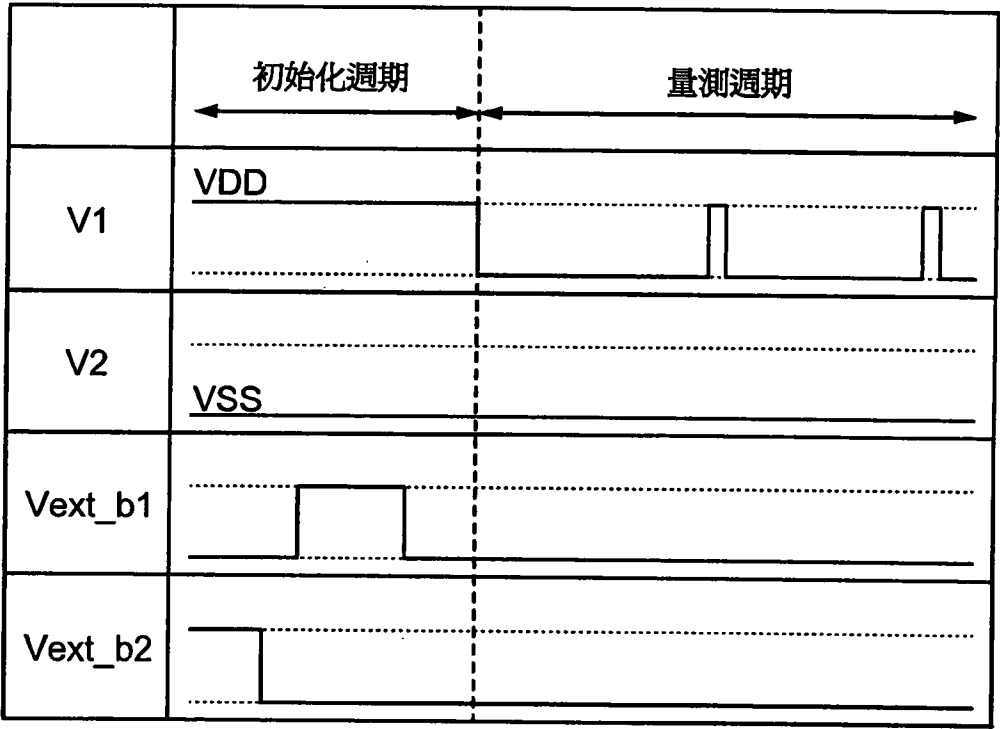


圖 14

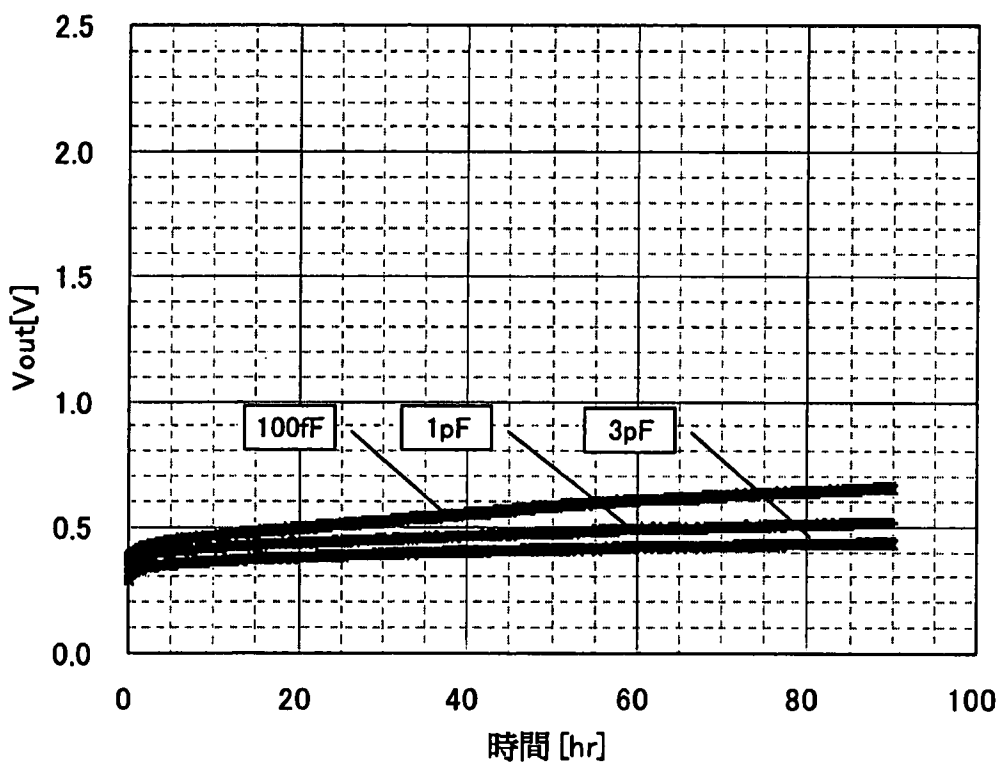


圖 15

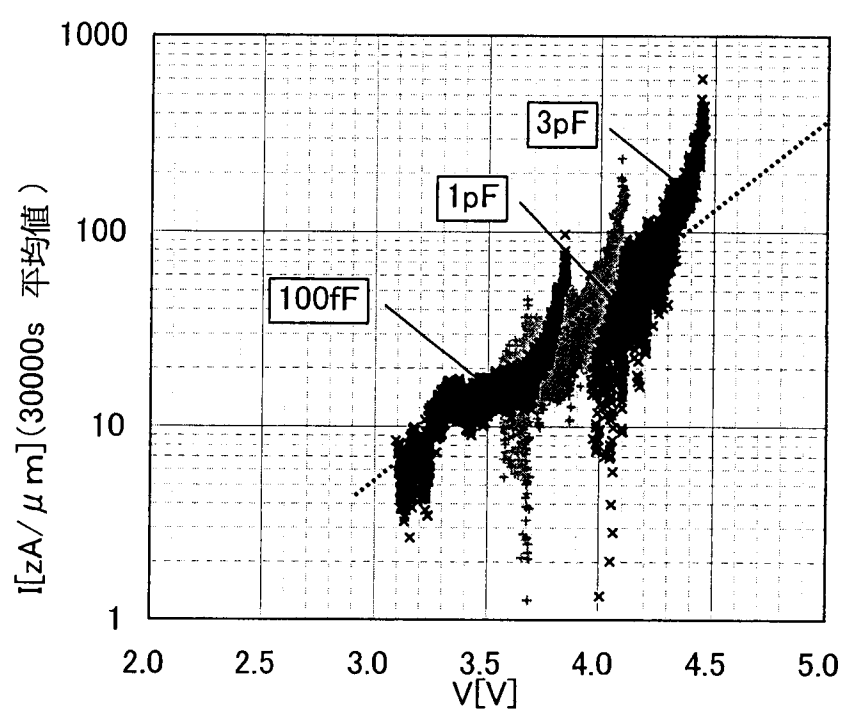


圖 16

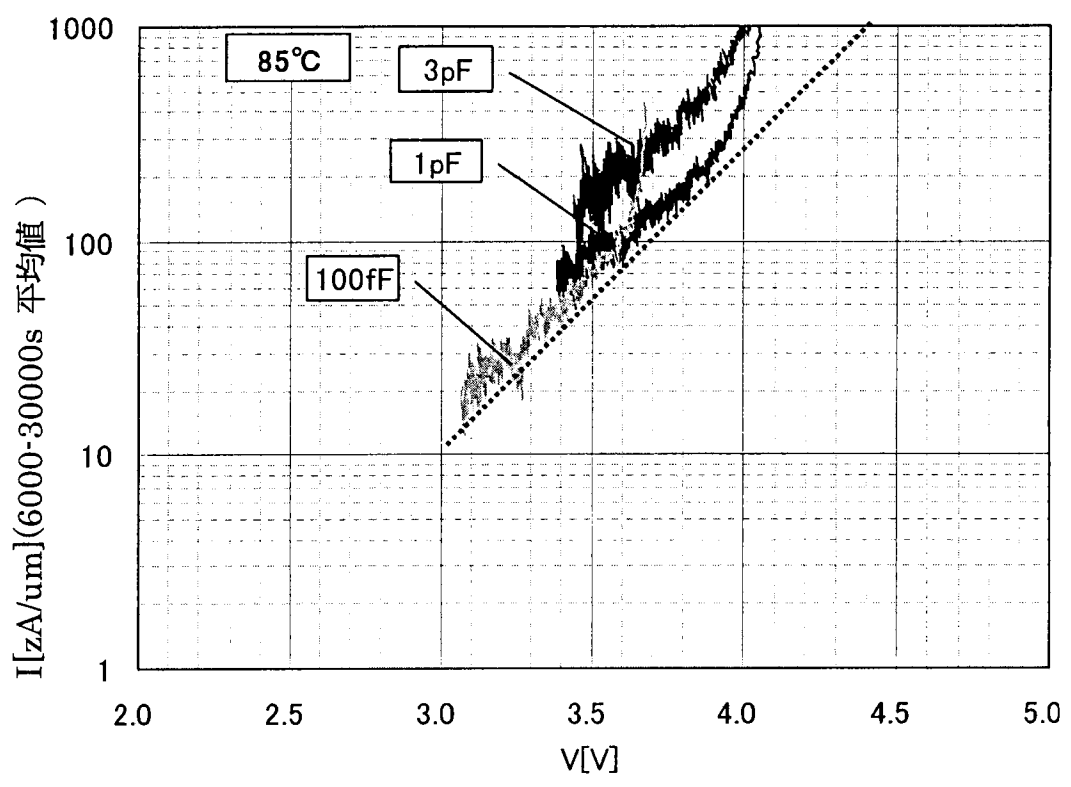


圖17A

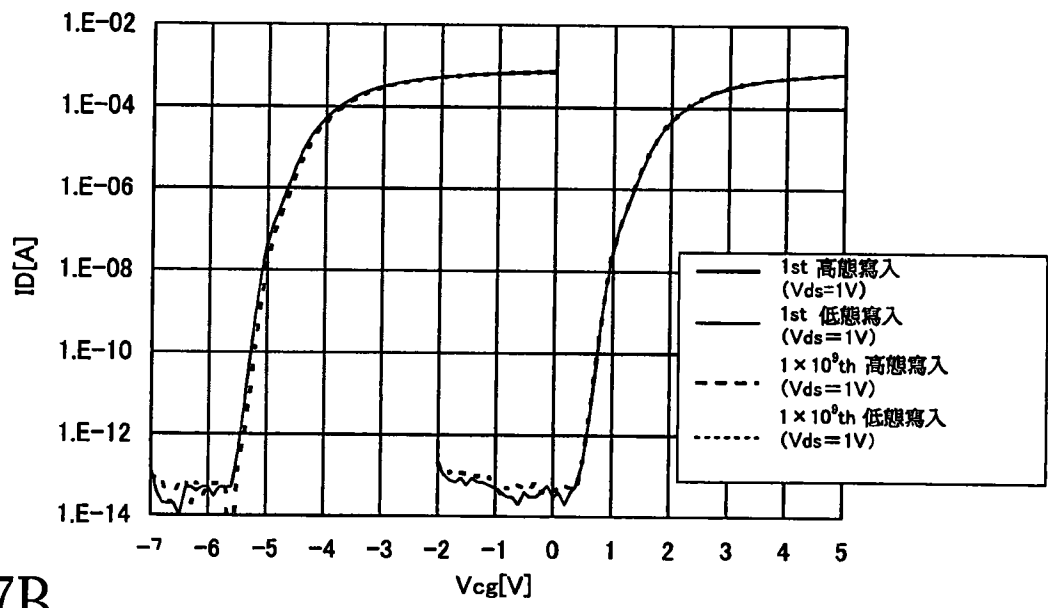


圖17B

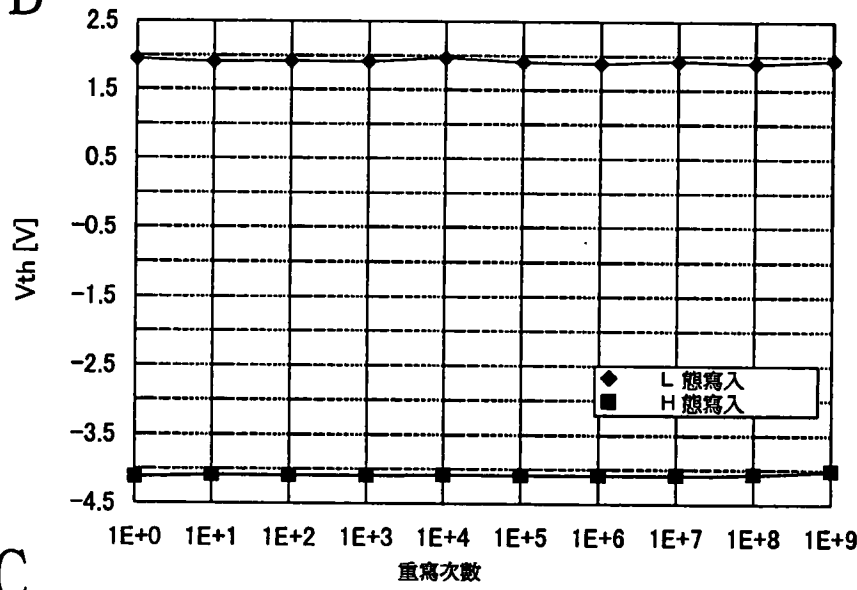


圖17C

