



[12] 发明专利申请公开说明书

[21] 申请号 90109031.X

[51] Int.Cl⁶
G11C 8/00

[43] 公开日 1991年6月5日

[22] 申请日 90.11.9

[30] 优先权

[32] 89.11.13 [33] US [31] 434,647

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 鲁塞尔·斯蒂芬·帕德吉特

道格拉斯·罗德里克·齐绍尔姆

塞拉芬·宙斯·艾丽扎·伽西亚

Jr·拉法埃尔·阿尔瓦雷兹 狄恩·

阿兰·卡尔曼 罗伯特·狄恩·约德

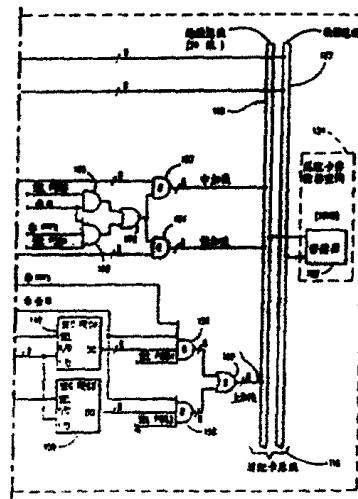
[74] 专利代理机构 中国国际贸易促进委员会专利
代理部
代理人 李 果

说明书页数: 9 附图页数: 3

[54] 发明名称 用于次级寻址段寄存器的扩展寻址

[57] 摘要

第二地址/数据总线的存储器空间的两个段中的一个的选择地址,可通过数据寄存器(136和138)中的一个由第一总线(102)来访问。此外,第二总线的存储器空间内的两个段的存储单元可通过段寄存器(148和156)来选择,而上述两寄存器是通过第一数据寄存器(136)由第一总线访问的。在可被第一总线直接访问的“状态”寄存器(126和128)中,数据存放在三个区域内。当状态寄存器的数据在第一区域内时,选择段寄存器可通过第二数据寄存器被访问。



< 40 >

权 利 要 求 书

1. 用于第一和第二地址/数据总线的扩展寻址电路分别具有彼此相关的第一和第二可寻址存储器空间。所述的扩展寻址电路，其特征在于：

第一和第二寄存器中所述寄存器可以存储位于第一、第二和第三非覆盖区域内的数据值。

用以访问来自所述第一总线的所述第二寄存器以响应所述第一总线的第一地址信号的装置，用以访问所述第二寄存器的所述装置被启动响应所述存储在所述第一寄存器的第一预定数值，所述第一预定值存放在所述第一区域内，当所述第二寄存器被如此访问时，其数据可在所述第二寄存器与所述第一总线之间传递。

用以选择所述第二存储器空间的第一段的装置，所述第一段的基地是与存储在所述第二寄存器的数据相对应；同时，用以访问所述第二存储器空间的所述第一段的选择地址以响应所述第一总线的第一地址信号的装置，在所述第一段内的所述选择地址的地址对应于所述第一寄存器内存储的数据，用以访问所述第一段的选择地址的所述装置被启动响应存放在所述第一寄存器内的数据值，该数据值位于所述第二区域内，当所述选择地址被如此访问时，其数据可在所述选择地址与所述第一总线之间传递。

2. 根据权利要求1，所述的扩展寻址电路，其特征在于：一个第三寄存器；

用于访问所来自所述第一总线的所述第三寄存器响应所述第一总线上的所述第一地址信号的装置，用于访问所述第三数据寄存器的所述

装置被启动响应所述第一寄存器内所有储的第二预定数据值。所述第二预定值位于所述第一域内，当所述第三寄存器被如此访问时，其数据可在所述第三寄存器和所述第一总线之间传递。

用以选择所述第二存储空间的第二段的装置，其所述第二段的基地址对应于所述第三寄存器中存储的数据。

3. 根据权利要求2所述的扩展寻址电路，其特征在于：

用以访问所述第二存储器空间的所述第二段的选择地址响应所述第一总线上的第二地址信号的装置，所述第二段的所述选择地址的地址与存储在所述第一寄存器内的数据相对应。用以访问所述第二段的选择地址的所述装置被启动响应位于所述第一或第二区域内的所述第一寄存器中存储的数据值，当所述选择地址被如此访问时，其数据值可在所述第一总线与所述选择地址之间传递。

4. 根据权利要求3所述的扩展寻址电路，其特征在于：

用以在所述第二存储器空间的地址被访问后，自动增量所述第一寄存器的装置。

5. 根据权利要求4所述的扩展寻址电路，其特征在于：

第四和第五寄存器；

用以访问来自所述第一总线的所述第四寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器的第三预定数据值，所述第三预定值位于所述第三区域内，其数据当所述第四寄存器被如此访问时可在所述第四寄存器与所述第一总线之间传递。

用以访问来自所述第一总线的所述第五寄存器响应所述第一总线上的第二地址信号的装置，用以访问所述第五寄存器的所述装置被启

动响应存储在所述第一寄存器中的所述第三预定值数据值，当所述第五寄存器被如此访问时，该数据可在所述第五寄存器与所述第一总线之间传递。

6. 根据权利要求3所述的扩展寻址电路，其特征在于：

第四与第五寄存器；

用于访问来自所述第一总线的所述第四寄存器响应所述第一总线上的第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器中的第三预定数据值，所述的第三预定值位于所述第三区域内，当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之间传递。

用以访问来自所述第一总线的所述第五寄存器响应所述第一总线上的第二地址信号的装置，用以访问所述第五寄存器的所述装置被启动响应存储在所述第一寄存器内的所述第三预定数据值，当所述第五寄存器被如此访问时，该数据可在所述第五寄存器与所述第一总线之间传递。

7. 根据权利要求2所述的扩展寻址电路，其特征在于：

用以在所述第二存储器空间的一个地址被访问后，自动增量所述第一寄存器的装置。

8. 根据权利要求7所述的扩展寻址电路，其特征在于：一个第四寄存器；

用以访问来自所述第一总线的所述第四寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应有贮在所述第一寄存器内的第三预定数据值，当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之

间传递。

9. 根据权利要求 2 所述的扩展寻址电路，其特征在于：一个第四寄存器；

用以访问来自所述第一总线的所述第四寄存器响应在所述第一总线上的所述第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器内的第三预定数据值，所述第三预定值在所述第三区域内，并当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之间传递。

10. 根据权利要求 1 所述的扩展寻址电路，其特征在于：

用以在所述第二存储空间的某地址 被访问后，自动增量所述第一寄存器的装置。

11. 根据权利要求 10 所述的扩展寻址电路，其特征在于：一个第三寄存器；

用以访问来自所述第一总线的所述第三寄存器响应在所述第一总线上的所述第一地址信号的装置，用以访问所述第三寄存器的所述装置被启动响应存储在所述第一寄存器内的第二预定数据值，所述第二预定值位于所述第三区域内，当所述第三寄存器被如此访问时，该数据可在所述第三寄存器与所述第一总线之间传递。

12. 根据权利要求 1 所述扩展寻址电路，其特征在于：一个第三寄存器；

用以访问来自所述第一总线的所述第三寄存器响应在所述第一总线上的所述第一地址信号的装置，用以访问所述第三寄存器的所述装置被启动响应存储在所述第一寄存器内的第二预定数据值，所述第二预定值位于所述第三区域内，当所述第三寄存器被如此访问时，该数

据可在所述第三寄存器与所述第一总线之间传递。

13. 一种具有扩展寻址的能力的适配卡，所述适配卡用于具有第一地址/数据总线的计算机，所述第一地址/数据总线具有一个与所述适配卡相关联的第一存储空间，其特征在于：

第二地址/数据总线具有与存储器相关的第二存储器空间；该存储器与所述第二总线相连，所述存储器在所述第二存储空间内可被寻址；

与所述第二总线的所述数据总线相连的装置，用以在所述第一和第二总线间传递数据；

第一和第二寄存器，所述的第一寄存器能够存储位于第一、第二和第三非覆盖区域内的数据值；

用以访问来自第一总线的所述第二寄存器响应所述第一总线上的第一地址信号的装置，用以访问所述第二寄存器的所述装置被启动响应存储在所述第一寄存器中的第一预定数据值，所述第一预定值位于所述第一区域内，当所述第二寄存器被如此访问时，该数据可在所述第二寄存器与所述第一总线之间传递。

用以选择所述存储器的第一段的装置，所述第一段的基地址与存储在所述第二寄存器内的数据相对应；

用以访问所述存储器的所述第一段的选择地址响应所述第一总线上的所述第一地址信号的装置，在所述第一段内的所述选择地址的地址与存储在所述第一寄存器中的数据相对应，用以访问所述第一段的选择地址的所述装置被启动响应存储在第二寄存器内的数据值，该值位于第二区域内，当所述选择地址被如此访问时，该数据可在所述选择地址与所述第一总线之间传递。

14. 根据权利要求13所述的适配卡，其特征在于：一个第三寄存器；

用以访问来自所述第一总线的所述第三寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第三数据寄存器的所述装置被启动响应存储在所述第一寄存器内的第二预定数据值，所述第二预定值位于所述第一区域内，当所述第三寄存器被如此访问时，该数据可在所述第三寄存器与所述第一总线之间传递。

用于选择所述存储器的第二段的装置，所述第二段的基地址与存储在所述第三寄存器中的数据对应。

15. 权利要求14所述的适配卡，其特征在于：

用以访问所述存储器的所述第二段的选择地址响应所述第一总线上的第二地址信号的装置，在所述第二段内的所述选择地址的地址与存储在所述第一寄存器内的数据相对应，用以访问所述第二段的选择地址的所述装置被启动响应存储在所述第一寄存器中的数据值，该数据值位于所述第一或第二区域内，当所述选择地址被如此访问时，该数据可在所述选择地址与所述第一总线之间传递。

16. 根据权利要求15所述的适配卡，其特征在于：

用以在所述存储器的一个地址被访问后自动增量所述第一寄存器的装置。

17. 根据权利要求16所述的适配卡，其特征在于：第四和第五寄存器；

用以访问来自所述第一总线的所述第四寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器内的第三预定数据值，所述第三预

定值位于所述第三区域内，当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之间传递。

用以访问来自所述第一总线的所述第五寄存器响应所述第一总线上的所述第二地址信号的装置，用以访问所述第五寄存器的所述装置被启动响应存储在所述第一寄存器的所述第三预定数据值，当所述第五寄存器被如此访问时，该数据可在所述第五寄存器与所述第一总线之间传递。

18. 根据权利要求 15 所述的适配卡，其特征在于：

第四和第五寄存器；

用以访问来自所述第一总线的所述第五寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器中的第三预定数据值，所述第三预定值位于所述第三区域内，当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之间传递。

用以访问来自第一总线的所述第五寄存器响应所述第一总线上的所述第二地址信号的装置，用以访问所述第五寄存器的所述装置被启动响应存储在所述第一寄存器内的所述第三预定数据值，当所述第五寄存器被如此访问时，该数据可在所述第五寄存器与所述第一总线之间传递。

19. 根据权利要求 14 所述的适配卡，其特征在于：

用于在所述存储器的一个地址已被访问后自动增量所述第一寄存器的装置：

20. 根据权利要求 19 所述适配卡，其特征在于：

一个第四寄存器；

用以访问来自所述第一总线的所述第四寄存器响应所述第一总线上的第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器内的第三预定数据值，所述第三预定值位于所述第三区域内，当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之间传递。

21. 根据权利要求14所述的适配卡，其特征在于：

一个第四寄存器；

用以访问来自所述第一总线的所述第四寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第四寄存器的所述装置被启动响应存储在所述第一寄存器内的第三预定数据值，所述第三预定值位于第三区域内，当所述第四寄存器被如此访问时，该数据可在所述第四寄存器与所述第一总线之间传递。

22. 根据权利要求13所述的适配卡，其特征在于：

用于在所述存储器的一个地址已被访问后自动增量所述第一寄存器的装置。

23. 根据权利要求22所述的适配卡，其特征在于：

一个第三寄存器；

用于访问来自所述第一总线的所述第三寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第三寄存器的所述装置被启动响应存储在所述第一寄存器的第二预定数据值，所述第二预定值位于所述第三区域内，当所述第三寄存器被如此访问时，该数据可在所述第三寄存器与所述第一总线之间传递。

24. 根据权利要求13所述的适配卡，其特征在于：

一个第三寄存器；

用于访问来自所述第一总线上的所述第三寄存器响应所述第一总线上的所述第一地址信号的装置，用以访问所述第三寄存器的所述装置被启动响应存储在所述第一寄存器内的第二预定数据值，所述第二预定值第三区域内，当所述第三寄存器被如此访问时，该数据可在所述第三寄存器与所述第一总线之间传递。

用于次级寻址段寄存器的
扩展寻址

本发明适用于计算机系统，更具体地讲，是一个扩展寻址电路允许从第一地址/数据总线访问同第二地址/数据总线相联的存储器段。

先有技术中，个人计算机系统的输入/输出(I/O)适配卡包含许多被称做可编程选择(POS)寄存器。每块插入主处理器总线的适配卡连接到主总线的唯一卡的设置信号线上，仅当该适配卡的卡设置信号线处于工作状态时，该POS寄存器可被访问。POS寄存器的数量是受限制的，典型数为八个，当然希望此数多些更好。此外，当适配卡是智能型的，亦即，适配卡具有自己的处理器、地址/数据总线及相关的存储器时，如果与适配卡总线相关联的一部分存储器能通过POS寄存器来访问，那将很具有优越性。

下面描述本发明应用的扩展寻址(或叫次级寻址Sub-addressing)，它允许一大段与适配卡关联的存储器段通过POS寄存器进行访问。本发明还允许这部分存储器段放置在与适配卡总线相关联的地址块内，并且还提供了自动增量的功能，这样存储器段的序列地址可以容易而迅速地被访问。

简单地讲，本发明是一种扩展寻址电路，它用于第一和第二地址/数据总线，它们分别具有与其各自相关联的第一和第二可寻

址存储器空间。扩展寻址电路含有第一和第二寄存器，其中第一寄存器可以存储位于第一、第二和第三非覆盖区域内的数据值，还包括一种从第一总线上响应在其总线上的第一地址信号来访问第二寄存器的装置。访问第二寄存器的装置能被启动应在第一寄存器内的第一预定数据值，该第一预定值放置在第一数值区域内，当第二寄存器被访问时，数据能够在第二寄存器和第一总线之间传递。还包括一种选择第二存储器空间的第一段的装置。第一段的基地址是与在第二个寄存器中存储的数据相对应的。此外，还提供了访问第二存储器空间的第一段的选择地址响应第一总线上的第一地址信号的装置。第一段中选择地址的地址对应第一寄存器中存储的数据。访问第一段的选择地址的装置能被启动应存储在第一寄存器中的数据值，该数据是位于第二区域内的，这样当选择地址被访问时，数据可在选择地址和第一总线之间传递。

本发明的另一具体应用是适配卡电路具有扩展寻址的功能。适配卡电路用于具有与第一存储器空间相关联的第一地址/数据总线的计算机中。适配卡电路包含与第二存储器空间相关联的第二地址/数据总线。存储器同第二总线相连，该存储器在第二存储器空间中是可寻址的。在第一和第二总线中传递数据的装置与第二总线的数据总线相连。该装置包含第一及第二寄存器，而第一寄存器能够存储位于第一、第二及第三非覆盖区域内的数据值。还包含有一种装置，它响应第一总线的第一地址信号，对第一总线的第二寄存器进行访问。访问第二寄存器的装置被启动响应在第一寄存器中存储的第一预定数据值。该预定值是位于第一数值区域内的。当第二寄存器被访问时，数据可在第二寄存器和第一总线之间传递。本发明还包括一种装置，它可用

于选择第二存储器的第一段。该第一段的基地址与存储在第二寄存器的数据相对应。此外，还提供一种装置，它可访问第二存储器的第一段的选择地址，以响应第一总线上第一地址信号。第一段的选择地址的地址是与第一寄存器中存储的数据相对应的。访问第一段的选择地址的装置被启动响应第一寄存器中存储的数据值，该数据位于第二区域内，以便使数据在选择地址被访问时，在选择地址与第一总线之间传递。

图 1 A 和图 1 B 是本发明的原理图。

图 2 是图 1 A 中 POS 7 和 POS 6 寄存器的原理图。

关于图 1，第一地址/数据总线 (102) 包含地址总线 (104) 和数据总线 (106)。地址总线还包括称为“卡设置”的 (108) 线。第一总线 (102) 用于接收适配卡 (110) 的信号，它能插到第一总线 (102) 上。图中尽管只标明一条卡设置信号线 (108)，而实际对每条插有一块适配卡的第一总线都包含一条单独的卡设置信号线。第一总线 (102) 是个人计算机的典型的主总线，第一存储器 (112) 与该总线相连并可在第一总线的存储器空间 (114) 内寻址；此存储器空间包含全部的存储单元或地址，这些存储单元或地址可以从总线直接寻址。此适配卡 (110) 还包括第二地址/数据总线 (116)，该总线也包括地址总线 (118) 和数据总线 (120)。第二存储器 (122) 是与第二总线 (116) 相连的，该存储器可在第二总线的存储器空间 (124) 内寻址。(102) 和 (116) 两条总线都含有通常的、未标明的控制线及读、写线。

标有 POS 7 (126) 和 POS 6 (128) 的两个寄存器

(POS表示“可编程选择器”)是与第一总线(102)的数据总线(106)连接的;同时分别通过地址译码器(130)和(132)与地址总线(104)相连。地址译码器(130)和(132)是按常规设计的,当卡设置信号线(108)处于工作状态时,它们就进行译码,其地址分别为7和6。因此,为使SEL POS 7 (“选择POS 7”)进入工作状态,卡设置线(108)必须处于工作状态,并且其地址的低3位必须为7。同样,要使SEL POS 6线处于工作状态,卡设置信号线(108)必须处于工作状态,且其地址的低三位必须为6。当(126)和(128)这两个寄存器中的一个被寻址时,数据都能在数据总线(106)和上述寄存器之间传递。

虽然POS 7和POS 6能够在第一总线上分别被访问,同时它们还分别具有一个16位寄存器的功能,称为:POS 7和POS 6。另外,存放在POS 7和POS 6的数据为四位16进制的数字,如:FFF6,数字中的“X”表示“不予理采”状态。POS 7和POS 6具有自动增量的功能,当POS 6的输入端“I”产生脉冲时,寄存器即被增量;当POS 7的输入端“I”产生脉冲时,同时POS 6的输出端“CO”或“Carry out”(“执行”)处于工作状态时,POS 7的“CI”或“Carry in”(“引发”)也处于工作状态,此时POS 7也同样被增量。POS 7和POS 6在下面的图2 中有详细地描述。

存储在POS 7和POS 6中的数据被划分到三个非覆盖区域,具体为,从FFF0到FFFF为第一区,从0001到FFEF为第二区,从0000到0000为第三区,(亦即:第三区域为零)。

地址译码器(134)解释了存储在POS 7/POS 6中的区域的值或五个特殊值,具体为,全零(0000或第三区域的值)及其取反非全零、FFF5、FFF6和非FFFX(亦即:非第一区域的值)。地址译码器(134)是按常规设计的。

寄存器POS 4(136)和POS 3(138)是常规的八位数据寄存器,它们与第一总线(102)的数据总线(106)相连。POS 4是通过地址译码器(140)及与门(142)和数据总线(104)相连的,POS 3是通过地址译码器(144)及与门(146)和第一总线相连的。当地址总线(104)的低三位等于4且卡设置信号线(108)处于工作状态时,SEL POS 4则进入工作状态。同样,当地址总线(104)的低三位等于3且卡设置信号线处于工作状态时,SEL POS 3则进入工作状态。然而,对选择POS 4和POS 3有一个附加的约束条件,即:存储在POS 7/POS 6的数据必须在第三区域内(即0000 \bar{x})。因此仅当寄存器从地址总线(104)和包含0000的POS 7/POS 6中正确寻址时,数据可在POS 4或POS 3与数据总线(106)之间传递。

除八条数据输出线“DO”是与寄存器的锁存器输出端直接相连外,段寄存器SEG REG 4和SEG REG 3是按常规设计的,因此,它们可以连续地被启动。通常的输入/输出线(“I/O”)的启动及阻断均通过“SELI/O”(选择输入/输出)来进行。这样数据只能是在SELI/O处于工作状态时传进或传出“I/O”端口。由于与门(152)的输出端与段寄存器SEG REG 4的输入端SELI/O相连;且它的输入端与地址译码器

(134)的输出端 FFF6 及地址译码器(140)的输出端 SEL POS4 相连,所以,当 POS4 被寻址且存放在 POS7/POS6 的数据值为 FFF6 时,SEG REG4 的端口方可启动。因此,当 POS4 被寻址且存放在 POS7/POS6 中的数据为 FFF6 时,SEG REG4 方可被访问(写入或读出)。同样地,由于与门(154)的输入端与译码器(134)的输出端 FFF5 及 SEL POS4 线相连,所以,当 POS4 被寻址且存储于 POS7/POS6 中的数据为 FFF5 时,SEG REG3 方可被访问。应强调的是,SEG REG4 和 SEG REG3 这两个寄存器都是靠寻址 POS4 而被访问的(亦即:SEG REG3 不是由 POS3 来访问的)。

段寄存器 SEG REG4 的八条数据输出线(DO)是通过八个与门(156)及八个或门(160)连到第二地址总线(116)的高8位上的(门中间标的“8”表示有这样的门八个,它们各自有一条单独的线)。由于到与门(156)的另外三个输入端连到地址译码器(134)的非 FFFX 及非全0输出端;相似地,(156)的输入端)连到 SEL POS4,仅当 POS4 被寻址且在 POS7/POS6 中存储的数据值处于第二区域(0001到 FFFF)时,SEG REG4 的八条输出信号线方被送通到第二总线(116)的八条高位地址线。SEG REG4 输出端的八条线是用于选择存储器空间(124)的第一个64KB段的。

类似地,与门(158)的两个输入端口与地址译码器(134)的输入端口非全零及 SEL POS3 线相连。而当 POS3 被寻址且存储在 POS7/POS6 的数据值位于第一或第二区域时,

SEG REG 3 的八条输出线被选通到第二总线 (116) 的高 8 位地址线。这样 SEG REG 3 就可用于选择第二存储器空间 (124) 的第二个 64 KB 段。

POS 7 的八条输出线和 POS 6 的八条输出线分别通过与门 (162) 和 (164) 同第二总线 (116) 的八条中位地址线和八条低位地址线相连。连到与门 (162) 和 (164) 的第二输入端口与通过与门 (166) 和 (168) 及或门 (170) 的地址译码器 (134); (140) 和 (144) 相连。所以, 当 POS 4 被寻址且 POS 7 / POS 6 中存储的数据值处于第二区域 (0001 - FFEF) 时, 或当 POS 3 被寻址并 POS 7 / POS 6 中存储的数据值处于第一区域 (0001 - FFEF) 时, POS 7 / POS 6 的十六条输出线就被选通到第二总线的十六条低位地址线。

这样, 将 POS 7 / POS 6 输入一个相应数值且对 POS 4 或 POS 3 寻址, 就可以通过第一总线对第二存储器空间的被选段中的存储单元进行相对寻址。当第二存储器空间的存储单元被如此访问时, 通过八个与门 (172) 及八个与门 (174), 数据在附加到第二总线 (116) 的存储器 (122) (经过数据总线 (120) 和第一总线 (102) 的数据总线数据总线 (106) 之间传递。标记为读、写的信号线是未加说明的来自第一总线的读、写控制线。

概括地讲, 段寄存器 (SEG REG 4 和 SEG REG 3) 是用于选择第二存储器空间 (124) 的两个 64 KB 段的。通过在 POS 7 / 6 存入值 FFF 6, 然后对 POS 4 寻址, 从而将第一段的基地址装至 SEG REG 4。同样, 通过在 POS 7 / 6 装入值 FFF 5, 然后对 POS 4 寻址, 从而将第二段的基地址装入至

SEG REG 3。

其次，存储器（122）第一段的一个特殊存储单元是通过把该段期望存储单元的地址装入POS 7/6（该地址的取值范围为：0001—FFFF）来进行寻址的，并且被选的存储单元通过寻址POS 4而被访问。类似地，存储器（122）第二段的一个特殊存储单元是通过把该段的期望存储单元的地址装入POS 7/6，该地址的取值范围必须为第一或第二区域，（即：不能为零）来寻址的，并且，被选存储器单元通过寻址POS 3而被访问。每次对第二存储器空间的某段内的一个存储单元的这样访问后，POS 7/6即被增量，由此它指向选择段内的下一个存储单元。

为访问POS 4和POS 3，POS 7/6被装入0000，且POS 4和POS 3由第一总线访问。

图2为详述POS 7和POS 6的原理图。POS 7含有两个八位的数据锁存器（202）和（204）。锁存器（202）是靠来自第一总线的寄存器装载时钟信号来同步的，或者是与第一总线访问第二存储器空间（124）中的某一个段的时间同步。来自第一数据总线（106）的数据当POS 7被寻址时通过与门（206）和或门（208）被装入到锁存器（202）中。类似地，当POS 4或POS 3被寻址时，POS 7/6中数据值为非零且“自动增量启动”（AUTO INC EN）有效时，在加法器（210）输出端的数据通过门（212）被送入锁存器（202），这些信号由与门（214）及或门（216）所确定。自动增量启动不过是另一个寄存器中的一位（bit）（POS 5，在图中没有说明），它能够从第一总线（102）上被置值或清除值，同时它用于改变自动增量的

特征：开（ON）和关（OFF）。加法器（210）的一个输入端来自锁存器（204）的输出端，而另一个输入端“引发”（Carry inPut）来自POS 6的“执行”（Carry output）端。因此，仅当POS 6含FF时，POS 7才被增量。除了加法器（218）的“引发”（Carry in）端口被置成逻辑“1”外，POS 6和POS 7的设计是相同的。这样，若假定自动增量有效，第二存储空器间的内存段的一个单元被访问，POS 6即被增量。

说明书附图

图. 1A

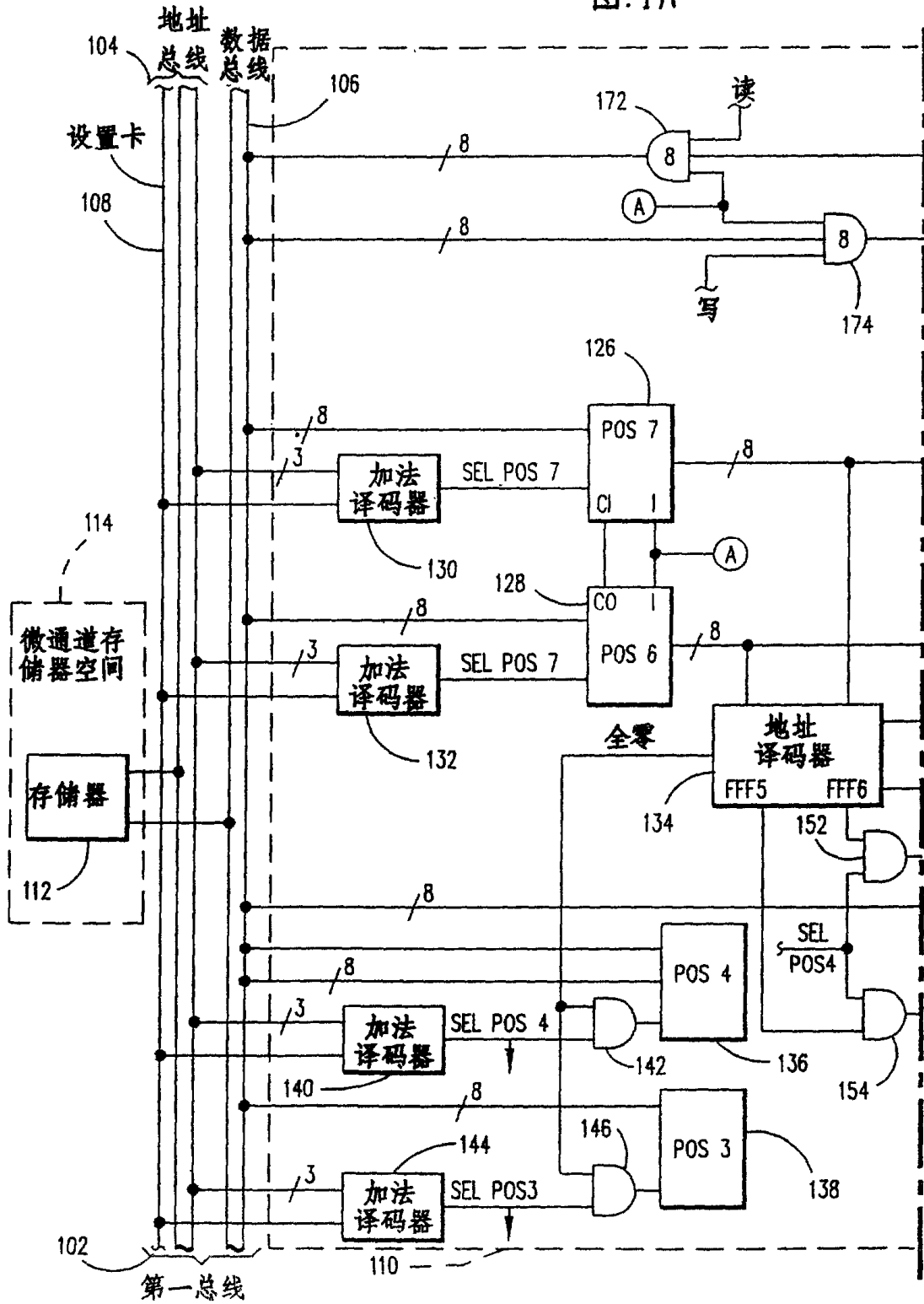


图. 1B

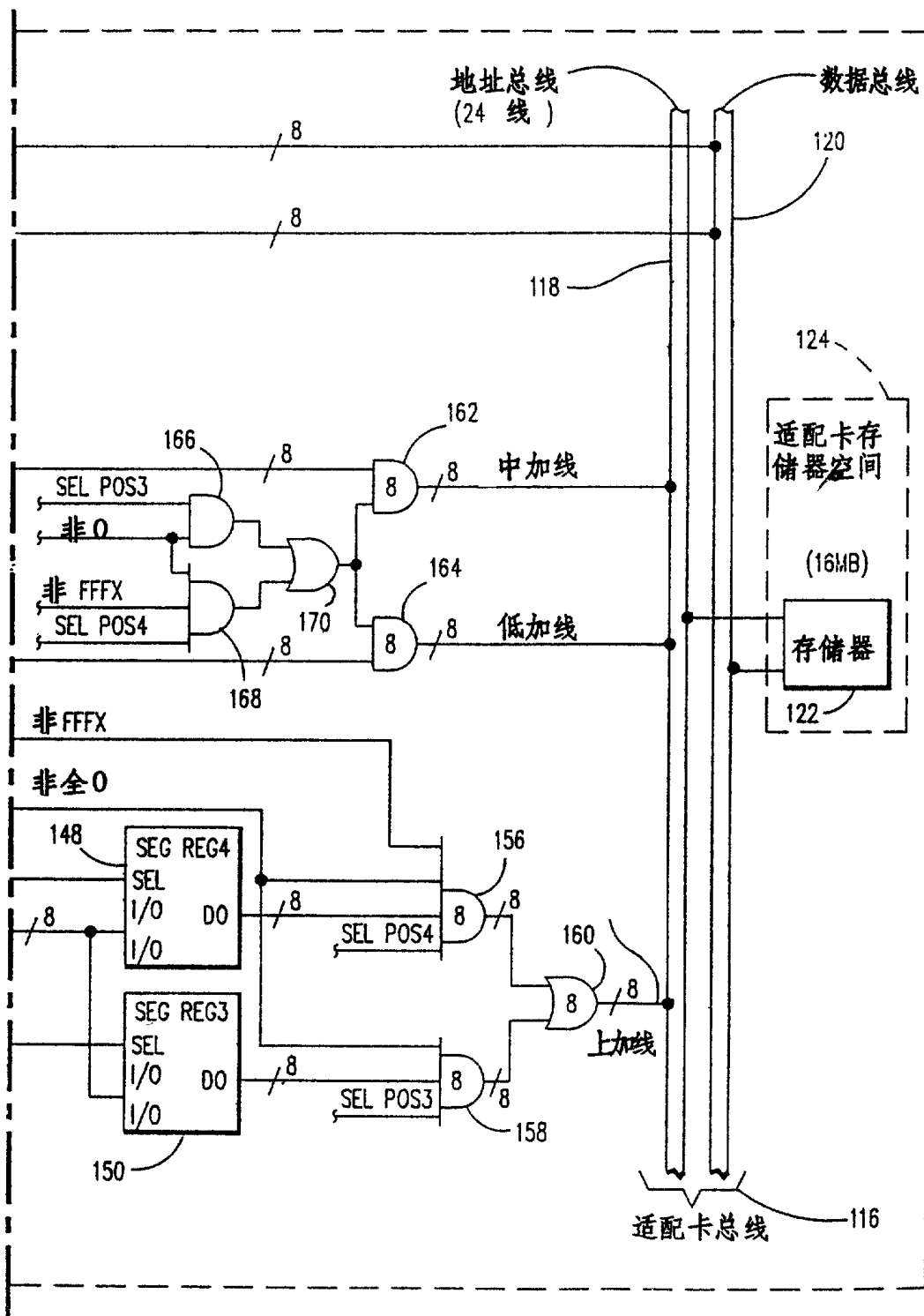


图. 2

