

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)



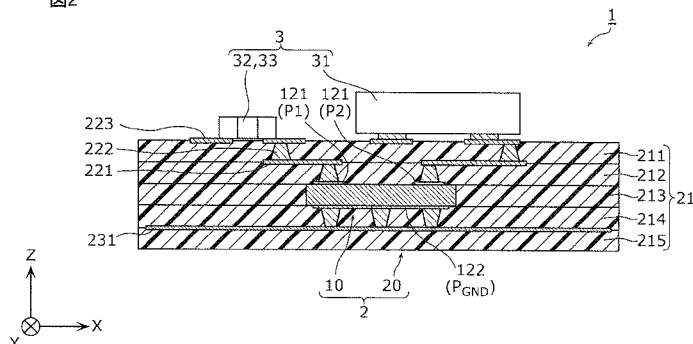
(10) 国際公開番号
WO 2017/179583 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) H03H 7/075 (2006.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2017/014851
- (22) 国際出願日: 2017 年 4 月 11 日(11.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-081471 2016 年 4 月 14 日(14.04.2016) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 矢▲崎▼ 浩和 (YAZAKI, Hirokazu); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 米森 啓人 (YONEMORI, Keito); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外 (YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 〇 号 タナカ・イトーピア新大阪ビル 6 階 新店国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: COMPOSITE COMPONENT-EMBEDDED CIRCUIT BOARD AND COMPOSITE COMPONENT

(54) 発明の名称: 複合部品内蔵回路基板、及び、複合部品

図2



(57) Abstract: This composite component-embedded circuit board (2) has: a circuit board (20) having a first functional block provided on an upper surface side thereof, and a second functional block which is different from the first functional block and is provided on a lower surface side thereof; and a composite component (10) which is embedded in the circuit board (20) and obtained by integrating, into a single chip, a composite circuit having a first circuit element and a second circuit element. The composite component (10) further has: a first terminal electrode (121) provided on an upper surface thereof and connected to the composite circuit and to the first functional block; and a second terminal electrode (122) provided on a lower surface thereof and connected to the composite circuit and to the second functional block.

(57) 要約: 複合部品内蔵回路基板 (2) は、上面側に第 1 機能ブロックが設けられ、下面側に第 1 機能ブロックとは異なる第 2 機能ブロックが設けられる回路基板 (20) と、回路基板 (20) に内蔵され、かつ、第 1 回路素子及び第 2 回路素子を有する複合回路が 1 チップ化された複合部品 (10) とを有し、複合部品 (10) は、さらに、上面に設けられ、複合回路に接続されるとともに第 1 機能ブロックに接続される第 1 端子電極 (121) と、下面に設けられ、複合回路に接続されるとともに第 2 機能ブロックに接続される第 2 端子電極 (122) とを有する。

WO 2017/179583 A1

明 細 書

発明の名称： 複合部品内蔵回路基板、及び、複合部品

技術分野

[0001] 本発明は、複合部品内蔵回路基板及び複合部品に関し、特に、所望の回路特性を得るための技術に関する。

背景技術

[0002] 従来、表面実装型の部品として、ハイパスフィルタやローパスフィルタ等のＬＣ回路を構成する部品が知られている（例えば、特許文献１及び２参照）。これらの表面実装型の部品は、インダクタを構成するパターン導体（コイル導体）やコンデンサを構成するパターン導体（コンデンサ導体）によって形成されたＬＣ回路をセラミック素体に内蔵し、セラミック素体の側面に入出力端子やグランド端子を備える。

[0003] また、近年、携帯電話端末等の携帯端末機器には、例えば、当該携帯端末機器の小型化、薄型化、さらには多機能化による部品点数の増加に伴い、部品の小型化及び高密度実装化が要求されている。そこで、プリント配線板等の基板に表面実装型の部品を内蔵した部品内蔵回路基板が提案されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００３－１９８３０７号公報

特許文献２：特開２００３－１００５２４号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、表面実装型の部品を基板に内蔵する場合、部品に設けられた回路と基板に設けられた回路との間に生じる寄生インダクタンス成分により、所望の回路特性が得られない場合がある。このような寄生インダクタンス成分は、特に、表面実装型の部品を内蔵した基板が高周波回路部品として使用される場合に、所望の高周波特性を得られない大きな要因となり得る。

[0006] また、一般的な基板では、当該基板の主面に沿って設けられたパターン導体と当該主面に垂直な方向に設けられたビア導体（層間接続導体）との接続信頼性が不安定になりやすい。このため、基板に部品を内蔵すると、パターン導体とビア導体との接続部分に加わる応力が増大して接続信頼性が低下することにより、所望の回路特性を得られない場合がある。

[0007] そこで、本発明は、所望の回路特性を得ることができる、複合部品内蔵回路基板及び複合部品を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係る複合部品内蔵回路基板は、上面側に第1機能ブロックが設けられ、下面側に前記第1機能ブロックとは異なる第2機能ブロックが設けられる回路基板と、前記回路基板に内蔵され、かつ、第1回路素子及び第2回路素子を有する複合回路が1チップ化された複合部品と、を有し、前記複合部品は、さらに、上面に設けられ、前記複合回路に接続されるとともに前記第1機能ブロックに接続される第1端子電極と、下面に設けられ、前記複合回路に接続されるとともに前記第2機能ブロックに接続される第2端子電極とを有する。

[0009] このように、複合部品の上面の第1端子電極が回路基板の上面側の第1機能ブロックに接続され、複合部品の下面の第2端子電極が回路基板の下面側の第2機能ブロックに接続されている。これにより、回路基板内部で必要となる配線の配線長を短縮化できる。つまり、回路基板に必要な回路構成を、最短の配線長（いわゆる配線引き回し）で実現することが可能となる。よって、回路基板内での余分な配線引き回しを抑制することにより回路基板における配線の寄生インダクタンス成分を抑制することができるので、所望の回路特性を得ることができる。

[0010] また、第1端子電極及び第2端子電極を上下別々の面に設けているので、その大型化が可能であり、第1端子電極及び第2端子電極と回路基板との電氣的な接続の信頼性の低下を抑制できるとともに、寄生インダクタンス成分を抑制することができる。

- [0011] また、前記第 1 回路素子及び前記第 2 回路素子のそれぞれは、受動素子であり、前記複合部品は、複数の第 1 基材層を上下方向に積層してなる積層素体と、前記積層素体に内蔵され、前記第 1 回路素子及び前記第 2 回路素子を構成するパターン導体とを有することにしてもよい。
- [0012] これにより、複合部品の小型化を図ることができるため、この複合部品を内蔵することによって回路基板にかかる応力を抑制できる。よって、回路基板に生じるクラック等を抑制しつつ、所望の回路特性を得ることができる。
- [0013] また、前記第 1 回路素子と前記第 2 回路素子とは、前記第 1 端子電極と前記第 2 端子電極との間にこの順に直列接続されていて、当該第 1 回路素子を構成するパターン導体は前記複合部品の上面寄りに偏在し、当該第 2 回路素子を構成するパターン導体は、前記複合部品の下面寄りに偏在することにしてもよい。
- [0014] これにより、複合部品内での余分な配線引き回しを抑制することができるので、複合部品における配線の寄生インダクタンス成分を抑制して所望の回路特性を得ることができる。
- [0015] また、前記第 1 端子電極と前記第 2 端子電極とは、前記回路基板の平面視において、少なくとも一部が重なって配置されていることにしてもよい。
- [0016] これにより、複合部品に生じ得る反りを抑制することができる。一般的に、回路基板に内蔵される部品の反りは、回路基板にかかる応力を増大させる要因となる。このため、複合部品の反りを抑制して回路基板にかかる応力を抑制することにより、回路基板に生じるクラック等を抑制しつつ、所望の回路特性を得ることができる。
- [0017] また、前記複合部品は、複数の前記第 1 端子電極を有することにしてもよい。
- [0018] これにより、複合部品によって構成される複合回路と第 1 機能ブロックとを、回路基板内の複数の配線経路で接続することができる。このため、複合部品内蔵回路基板に設けられる第 1 機能ブロックを構成する配線及び回路素子等の自由度を高めることができる。

- [0019] また、前記第1機能ブロックは信号処理回路を含み、前記第1端子電極は、前記信号処理回路から信号が入力される入力端子または当該信号処理回路に信号を出力する出力端子であり、前記第2機能ブロックはグランドを含み、前記第2端子電極は、前記グランドに接続されるグランド端子であることにしてもよい。
- [0020] これにより、回路基板の上面側のみに、信号処理回路を含む第1機能ブロックを構成する能動素子を設けることが可能となる。これにより、複合部品内蔵回路基板を作製する際の工程数の増加を抑制することができる。
- [0021] また、前記第2端子電極は、前記複合部品の下面の略全面に設けられていることにしてもよい。
- [0022] これにより、第2端子電極と回路基板との電気的な接続を強固にすることが可能となる。つまり、第2端子電極のグランドを強化（安定化）することができるため、所望の回路特性を得ることができる。
- [0023] また、前記回路基板は、上下方向に積層された複数の第2基材層を有する多層基板であり、前記第2機能ブロックは、前記回路基板の内層に設けられたグランドパターン導体であることにしてもよい。
- [0024] これにより、第2端子電極とグランドパターン導体との間の配線引き回しを抑制することができるので、配線の寄生インダクタンス成分を抑制して所望の回路特性を得ることができる。
- [0025] また、前記信号処理回路は、前記回路基板の上面に実装される電子部品により構成されることにしてもよい。
- [0026] このため、電子部品を有する複合部品内蔵回路基板の省スペース化を図ることができる。
- [0027] また、前記複合回路は、前記第1回路素子及び前記第2回路素子のうち一方の回路素子がコンデンサかつ他方の回路素子がインダクタのLC複合回路であることにしてもよい。
- [0028] これにより、ローパスフィルタ、バンドパスフィルタ、ハイパスフィルタ等のLCフィルタ、あるいは、これらの組み合わせのダイプレクサ等を構成

する複合部品を内蔵する複合部品内蔵回路基板を得ることができる。

[0029] また、前記コンデンサを形成する一对の対向電極のうち一方の対向電極は、前記第1端子電極または前記第2端子電極によって構成されることにしてもよい。

[0030] これにより、複合部品の薄型化（低背化）、さらには複合部品内蔵回路基板の薄型化を図ることができる。

[0031] また、前記複合部品は、主にセラミックを基材とすることにしてもよい。

[0032] これにより、複合部品を焼成により形成された焼結体として得ることができる。

[0033] また、前記回路基板は、主に樹脂を基材とすることにしてもよい。

[0034] これにより、例えば樹脂として熱可塑性樹脂を用いた場合、熱硬化前の樹脂材料中に複合部品を配置して熱処理することにより、複合部品を内蔵する回路基板（すなわち複合部品内蔵回路基板）を作製することができる。

[0035] また、前記複合部品よりも上面側に前記第1機能ブロックが設けられ、前記複合部品よりも下面側に前記第2機能ブロックが設けられてもよい。

[0036] これにより、回路基板内での余分な配線引き回しを抑制することができるので、回路基板における配線の寄生インダクタンス成分を抑制して所望の回路特性を得ることができる。

[0037] また、本発明は、複合部品としても実現できる。つまり、本発明の一態様に係る複合部品は、複数の第1基材層を上下方向に積層してなる積層素体と、前記積層素体に1チップ化された回路であって、当該積層素体に内蔵されたパターン導体によって構成された受動素子である第1回路素子及び第2回路素子を有する複合回路と、前記積層素体の上面に設けられ、前記複合回路の一部に接続された第1端子電極と、前記積層素体の下面に設けられ、前記複合回路の他部に接続された第2端子電極とを有する。

発明の効果

[0038] 本発明に係る複合部品内蔵回路基板等によれば、所望の回路特性を得ることができる。

図面の簡単な説明

[0039] [図1]図 1 は、実施の形態に係る複合部品内蔵回路基板を有するモジュール部品の斜視図である。

[図2]図 2 は、実施の形態に係る複合部品内蔵回路基板の断面構造を概念的に示す図である。

[図3]図 3 は、実施の形態に係る複合部品によって構成される回路構成を示す回路図である。

[図4]図 4 は、実施の形態に係る複合部品の外観斜視図である。

[図5A]図 5 A は、実施の形態に係る複合部品及びその周囲の導体を上側から見たときの斜視図である。

[図5B]図 5 B は、実施の形態に係る複合部品及びその周囲の導体を下側から見たときの斜視図である。

[図6]図 6 は、実施の形態に係る複合部品の断面構造を概念的に示す図である。

[図7]図 7 は、変形例 1 に係る複合部品によって構成される回路構成を示す回路図である。

[図8]図 8 は、変形例 1 に係る複合部品の断面構造を概念的に示す図である。

[図9]図 9 は、変形例 2 に係る複合部品内蔵回路基板の断面構造を概念的に示す図である。

[図10]図 1 0 は、変形例 2 に係る複合部品によって構成される回路構成を示す回路図である。

[図11]図 1 1 は、変形例 2 に係る複合部品の断面構造を概念的に示す図である。

[図12]図 1 2 は、変形例 3 に係る複合部品内蔵回路基板の断面構造を概念的に示す図である。

[図13]図 1 3 は、変形例 3 に係る複合部品によって構成される回路構成を示す回路図である。

[図14]図 1 4 は、変形例 4 に係る複合部品内蔵回路基板の断面構造を概念的

に示す図である。

[図15]図15は、変形例4に係る複合部品によって構成される回路構成を示す回路図である。

[図16]図16は、変形例4に係る複合部品の外観斜視図である。

[図17]図17は、変形例4に係る複合部品の断面構造を概念的に示す図である。

発明を実施するための形態

[0040] 以下、図面を参照しながら、本発明の実施の形態に係る複合部品内蔵回路基板について説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、製造プロセス、及び、製造プロセスの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。

[0041] (実施の形態)

図1は、実施の形態に係る複合部品内蔵回路基板2を有するモジュール部品1の斜視図である。

[0042] 同図では、複合部品内蔵回路基板2の厚さ方向をZ軸方向、Z軸方向に垂直かつ互いに直交する方向をそれぞれX軸方向及びY軸方向として説明し、Z軸方向プラス側を複合部品内蔵回路基板2の天面（上面）側として説明する。しかし、実際の使用態様においては、複合部品内蔵回路基板2の厚さ方向が上下方向とはならない場合もある。このため、実際の使用態様においては、複合部品内蔵回路基板2の天面側は上面側には限定されない。

[0043] モジュール部品1は、携帯端末機器の受信回路等の所定の回路を形成する。図1に示すように、モジュール部品1は、複合部品10及びこれを内蔵する回路基板20を有する複合部品内蔵回路基板2と、複合部品内蔵回路基板

2に実装された各種の電子部品3とを備える。

[0044] 電子部品3は、本実施の形態では、信号処理回路を含む半導体集積回路素子であるRFIC (Radio Frequency Integrated Circuit) 31、及び、整合回路等を構成するチップ部品32、33を含む。本実施の形態では、これらの電子部品3は、複合部品内蔵回路基板2の上面に配置される。なお、電子部品3の搭載面は、これに限らず、例えば回路基板20の下面であってもかまわない。

[0045] 以下、複合部品内蔵回路基板2の詳細な構成について、さらに図2を用いて説明する。

[0046] 図2は、実施の形態に係る複合部品内蔵回路基板2の断面構造を概念的に示す図である。具体的には、図2は、図1のII-II線における複合部品内蔵回路基板2の断面図である。

[0047] なお、図2では、複合部品内蔵回路基板2とともにモジュール部品1を構成する電子部品3についても併せて示している。また、図2では、簡明のため、厳密には別断面にある構成要素を同一図面内に示して説明している場合がある。また、電子部品3については側面視で示している。これらの事項は以降の断面図においても同様である。

[0048] 複合部品10は、後述する複合回路が1チップ化された部品であり、第1端子電極121が設けられた一方主面を上面側にし、第2端子電極122が設けられた他方主面を下面側にして、回路基板20に内蔵されている。本実施の形態では、第1端子電極121としては、複合回路の入力端子P1を構成する第1端子電極121と、複合回路の出力端子P2を構成する第1端子電極121とが設けられている。つまり、複合部品10は、複数の第1端子電極121（ここでは2つの第1端子電極121）を有する。また、第2端子電極122としては、複合回路のグランド端子P_{GND}を構成する第2端子電極122が設けられている。

[0049] なお、複合部品10の詳細については、この複合部品10によって構成される複合回路の構成と併せて後述する。

[0050] 回路基板 20 は、図 1 及び図 2 に示すように、上面側に第 1 機能ブロック（本実施の形態では電子部品 3）が設けられ、下面側に当該第 1 機能ブロックとは異なる第 2 機能ブロック（本実施の形態では後述するグランドパターン導体 231）が設けられる基板である。ここで、機能ブロックが異なるとは、例えば機能ブロックに含まれる構成が異なることで果される機能が異なることを意味する。本実施の形態では、電子部品 3（第 1 機能ブロック）は信号処理回路及び整合回路を含むかまたはその一部であり、グランドパターン導体 231（第 2 機能ブロック）はグランドを含む。つまり、機能ブロックには、能動素子または受動素子等の回路素子だけでなく、単なる電極または配線も含まれる。信号処理回路、整合回路は第 1 機能ブロックの一例であり、グランドは第 2 機能ブロックの一例である。

[0051] 本実施の形態では、回路基板 20 は、上下方向（Z 軸と平行な方向）に積層された複数の第 2 基材層を有する多層基板である。本実施の形態では、図 2 に示すように、回路基板 20 は、複数の第 2 基材層として 5 層の熱可塑性樹脂層 211～215 を上下方向（Z 軸と平行な方向）に積層してなる積層樹脂素体 21 と、熱可塑性樹脂層 211～215 に配置された各種導体とを有する。各種導体には、熱可塑性樹脂層 211～215 の主面に沿って（XY 平面に沿って）形成されたパターン導体 221 と、熱可塑性樹脂層 211～215 を厚み方向（Z 軸方向）に貫通して形成されたビア導体 222 とが含まれる。

[0052] 本実施の形態では、積層樹脂素体 21 を構成する熱可塑性樹脂層 211～215 のうち、熱可塑性樹脂層 213 内に複合部品 10 が設けられている。つまり、複合部品 10 は、厚み方向両側（Z 軸方向両側）から熱可塑性樹脂層 212 と熱可塑性樹脂層 214 とで挟み込まれ、厚み方向に直交する方向から熱可塑性樹脂層 213 で挟み込まれるようにして、回路基板 20 に内蔵されている。すなわち、複合部品 10 よりも上面側に第 1 機能ブロックが設けられ、複合部品 10 よりも下面側に第 2 機能ブロックが設けられている。

[0053] なお、複合部品 10 は、回路基板 20 に内蔵されていればよく、例えば、

熱可塑性樹脂層 2 1 1 ～ 2 1 5 のうち、最上層の熱可塑性樹脂層 2 1 1 及び最下層の熱可塑性樹脂層 2 1 5 を除くいずれの熱可塑性樹脂層 2 1 2 ～ 2 1 4 内に設けられていてもかまわない。よって、複合部品 1 0 が設けられる層は、複合部品 1 0 と第 1 機能ブロック（本実施の形態では電子部品 3）、ならびに、複合部品 1 0 と第 2 機能ブロック（本実施の形態ではグランドパターン導体）を電氣的に接続するパターン導体 2 2 1 及びビア導体 2 2 2 のレイアウト等に応じて、適宜決定されるものとする。

[0054] また、回路基板 2 0 の上面には、電子部品 3 を実装するための表面電極 2 2 3 が配置されている。なお、回路基板 2 0 の下面に、複合部品内蔵回路基板 2 を例えばマザーボードに実装するための表面電極が配置されていてもよい。

[0055] また、回路基板 2 0 の下面側には、グランドパターン導体 2 3 1 が設けられる。グランドパターン導体 2 3 1 は、具体的には、回路基板 2 0 内部において複合部品 1 0 より下面側に設けられ、より具体的には、回路基板 2 0 の厚さ方向の中央より下面側に設けられる。なお、グランドパターン導体 2 3 1 は、複合部品 1 0 より下面側に設けられていればよく、回路基板 2 0 の厚さ方向の中央より上面側であってもかまわない。

[0056] 本実施の形態では、グランドパターン導体 2 3 1 は、回路基板 2 0 の内層に設けられ、具体的には熱可塑性樹脂層 2 1 4 と熱可塑性樹脂層 2 1 5 との界面に設けられている。また、グランドパターン導体 2 3 1 は、厚み方向に見て（Z 軸と平行に見て）、回路基板 2 0 の略全体に配置されている、いわゆるベタパターン電極である。ここで、略全体とは、完全に全体であることを意味するだけでなく、実質的に全体であることも意味する。すなわち、グランドパターン導体 2 3 1 は、例えば、厚み方向に見て、グランド電位と異なるビア導体 2 2 2 を避けるように局所的に配置されていない部分があってもかまわない。

[0057] なお、グランドパターン導体 2 3 1 は、回路基板 2 0 の内層に限らず、回路基板 2 0 の下面（すなわち熱可塑性樹脂層 2 1 5 の下面）に設けられてい

てもかまわない。

[0058] このような回路基板 20 の材質は特に限定されないが、本実施の形態では、回路基板 20 は主に樹脂を基材とする。具体的には、回路基板 20 の積層樹脂素体 21 を構成する熱可塑性樹脂層 211 ~ 214 としては、ポリイミドまたは液晶ポリマ等の熱可塑性樹脂が用いられ得る。また、パターン導体 221、表面電極 223、及び、グランドパターン導体 231 としては、例えば、銅を主成分とする金属または合金が用いられ得る。なお、表面電極 223 には、例えば、ニッケル、パラジウムまたは金によるめっきが施されていてもよい。また、ビア導体 222 としては、例えば、錫を主成分とする金属または合金が用いられ得る。

[0059] 次に、複合部品 10 の詳細な構成について、さらに図 3 ~ 図 6 を用いて説明する。

[0060] 複合部品 10 は、第 1 回路素子及び第 2 回路素子を有する複合回路を構成し、本実施の形態では、複合回路として図 3 に示すローパスフィルタを構成する。ここで、複合回路とは、第 1 回路素子と第 2 回路素子とが互いに接続されており、所定の機能を果たす回路である。図 3 は、複合部品 10 によって構成される回路構成を示す回路図である。

[0061] 同図に示すように、複合回路（ここではローパスフィルタ）は、入力端子 P1 と出力端子 P2 との間に互いに直列接続されたインダクタ L1、L2 と、インダクタ L1 とインダクタ L2 との接続ノードをグランド端子 P_{GND} にシャントするコンデンサ C1 とを有する。ここで、「シャントする」とは、グランド端子に接続することを指す。このため、任意のノードをグランド端子にシャントする回路素子が設けられている場合、当該任意のノードと当該グランド端子とは当該回路素子を介して接続される。

[0062] ここで、インダクタ L1、L2 のそれぞれは、複合回路（本実施の形態ではローパスフィルタ）の第 1 回路素子に相当し、コンデンサ C1 は複合回路の第 2 回路素子に相当する。つまり、複合回路は、第 1 回路素子及び第 2 回路素子のそれぞれが受動素子の回路であり、特定的には、第 1 回路素子及び

第2回路素子のうち一方の回路素子（ここでは第2回路素子）がコンデンサかつ他方の回路素子（ここでは第1回路素子）がインダクタのLC複合回路である。

[0063] このような複合回路は、入力端子P1から入力された例えば高周波信号に含まれる周波数成分のうち、インダクタL1、L2及びコンデンサC1の定数によって規定される遮断周波数より高い周波数成分を通減させて、出力端子P2から信号処理回路に出力する。

[0064] また、複合部品10は、図4に示す外部構造を有する。図4は、複合部品10の外観斜視図である。

[0065] 第1端子電極121は、複合部品10の上面に設けられた平面電極であって、複合回路（本実施の形態ではローパスフィルタ）に接続されるとともに、第1機能ブロック（本実施の形態では電子部品3）に接続される。本実施の形態では、第1端子電極121は、後述する積層セラミック素体11の上面に設けられている。

[0066] 一方、第2端子電極122は、複合部品10の下面に設けられた平面電極であって、当該複合回路に接続されるとともに第2機能ブロック（本実施の形態ではグラウンドパターン導体231）に接続される第2端子電極122とを有する。本実施の形態では、第2端子電極122は、積層セラミック素体11の下面に設けられている。また、第2端子電極122は、複合部品10の下面の略全面に設けられている。ここで、略全面とは、完全に全面であることだけでなく、実質的に全面であることも含まれる。すなわち、第2端子電極122は、複合部品10の下面の周縁部を除いた領域のみに設けられてもよい。

[0067] これら第1端子電極121及び第2端子電極122のそれぞれは、一般的な複合部品の上面または下面から側面にわたって設けられる折り返し電極（端面電極）とは異なり、複合部品10の上面または下面のみに設けられている。具体的には、第1端子電極121は、複合部品10の上面の面内のみに設けられ、第2端子電極122は、複合部品10の下面の面内のみに設けら

れており、いわゆるLGA（Land Grid Array）型の端子構造を有する。

[0068] このように、第1端子電極121及び第2端子電極122を平面電極とすることにより、寄生インダクタンス成分が増大する要因となる電極サイズ的大型化を抑制しつつ、第1端子電極121及び第2端子電極122と回路基板20との電氣的な接続を確保するための電極サイズを確保することができる。よって、当該接続の信頼性の低下を抑制することで、所望の回路特性を得ることができる。

[0069] なお、第1端子電極121及び第2端子電極122のそれぞれは、平面電極に限らず、折り返し電極であってもかまわない。

[0070] 図5Aは、複合部品10及びその周囲の導体（パターン導体221及びビア導体222）を上側から見たときの斜視図である。図5Bは、複合部品10及びその周囲の導体（パターン導体221及びビア導体222）を下側から見たときの斜視図である。

[0071] これらの図に示すように、第1端子電極121及び第2端子電極122は、回路基板20のビア導体222と直接接続されている。本実施の形態では、複合部品10が回路基板20の熱可塑性樹脂層213内に設けられていることから、第1端子電極121は熱可塑性樹脂層212を貫通する1つのビア導体222と直接接続され、第2端子電極122は熱可塑性樹脂層214を貫通する3つのビア導体222と直接接続されている。具体的には、第1端子電極121は、ビア導体222及びパターン導体221を介して電子部品3に接続され、第2端子電極122は、ビア導体222を介してグランドパターン導体231に接続されている。

[0072] このように、複合部品10の上面に設けられた第1端子電極121は、パターン導体221またはビア導体222を介して回路基板20の上側に設けられた電子部品3に接続される。一方、複合部品10の下面に設けられた第2端子電極122は、ビア導体222を介して回路基板20の下側に設けられたグランドパターン導体231に接続される。

[0073] このとき、寄生インダクタンス成分を抑制する観点から、第1端子電極1

2 1 と電子部品 3 とを接続する配線（すなわちパターン導体 2 2 1 及びビア導体 2 2 2 の長さ）及び第 2 端子電極 1 2 2 とグランドパターン導体 2 3 1 とを接続する配線は、配線長が短くなるように設けられることが好ましい。例えば、第 1 端子電極 1 2 1 から電子部品 3 に至る配線経路は、上層へと延びるビア導体 2 2 2 のみを含むことが好ましい。なお、これらの配線の配置態様については、これに限定されず、回路基板 2 0 内の他の配線とのレイアウト等を勘案して適宜決定されるものとする。

[0074] 第 1 端子電極 1 2 1 と第 2 端子電極 1 2 2 とは、平面視において（Z 軸方向と平行に見て）、少なくとも一部が重なって配置されており、本実施の形態では、第 1 端子電極 1 2 1 の全体が第 2 端子電極 1 2 2 に重なって配置されている。

[0075] また、入力端子 P 1 を構成する第 1 端子電極 1 2 1 と出力端子 P 2 を構成する第 1 端子電極 1 2 1 とは、平面視において（Z 軸方向と平行に見て）、複合部品 1 0 の対称な位置に配置されている。なお、これらの第 1 端子電極 1 2 1 の配置位置はこれに限らず、平面視において、複合部品 1 0 の対称と異なる位置に配置されていてもよい。

[0076] また、第 1 端子電極 1 2 1 及び第 2 端子電極 1 2 2 は、複合部品 1 0 によって構成される複合回路（本実施の形態ではローパスフィルタ）の電気的な特性の観点から、小面積化を図ることが好ましい。ただし、過剰な小面積化は、ビア導体 2 2 2 と第 1 端子電極 1 2 1 及び第 2 端子電極 1 2 2 との接続信頼性を招くおそれがある。また、グランド端子 P_{GND} を構成する第 2 端子電極 1 2 2 は、複合部品 1 0 のグランドを強化する観点から、大面積化して多くのビア導体 2 2 2 と接続することが好ましい。このため、第 1 端子電極 1 2 1 及び第 2 端子電極 1 2 2 の面積は、上記の電気的な特性及び接続信頼性を勘案して、適宜決定されるものとする。

[0077] 次いで、複合部品 1 0 の内部構造について説明する。図 6 は、複合部品 1 0 の断面構造を概念的に示す図である。具体的には、図 6 は、図 4 の VI-VI 線における複合部品 1 0 の断面図である。

- [0078] 複合部品10は、複数の第1基材層を上下方向（Z軸と平行な方向）に積層してなる積層素体である積層セラミック素体11を有する。つまり、複合部品10は、主にセラミックを基材とする。具体的には、同図に示すように、積層セラミック素体11は、複数の第1基材層として6層の磁性体セラミック層111～116を積層してなる。
- [0079] この積層セラミック素体11は、複合回路の第1回路素子及び第2回路素子を構成する各種導体を内蔵する。本実施の形態では、この各種導体には、積層セラミック素体11の主面に沿って設けられたパターン導体であるコイル導体131及びコンデンサ導体132と、積層方向に設けられたビア導体（不図示）とが含まれる。
- [0080] コイル導体131は、複合回路の第1回路素子を構成するパターン導体であり、本実施の形態では、インダクタL1、L2のそれぞれを構成する。コイル導体131は、例えば、積層セラミック素体11の主面に垂直に見て略環状のパターン導体であり、端部がビア導体によって別層のコイル導体に接続されることにより、インダクタL1、L2のそれぞれを構成する。なお、コイル導体131の形状は特に限定されず、積層セラミック素体11の積層方向に見て、例えば複数回巻回されたスパイラル形状であってもかまわない。
- [0081] ここで、インダクタL1、L2は、コンデンサC1を介さずに第1端子電極121に接続されている。具体的には、インダクタL1とコンデンサC1とは、第1端子電極121と第2端子電極122との間にこの順に直列接続されている。同様に、インダクタL2及びコンデンサC1は、第1端子電極121と第2端子電極122との間にこの順に直列接続されている。そして、インダクタL1、L2を構成するコイル導体131は複合部品10の上面寄りに偏在する。
- [0082] 具体的には、インダクタL1を構成する1以上のコイル導体131（ここでは4層のコイル導体131）は、積層セラミック素体11の上面寄りに偏在し、本実施の形態では、6層の磁性体セラミック層111～116のうち上面寄りの5層の磁性体セラミック層111～115の界面に設けられてい

る。また、インダクタL1を構成する最上層のコイル導体131は、ビア導体（不図示）を介して入力端子P1を構成する第1端子電極121に接続されている。一方、インダクタL1を構成する最下層のコイル導体131は、複合回路の配線を構成するパターン導体及びビア導体（いずれも不図示）等を介して、コンデンサC1を構成する上層のコンデンサ導体132、及び、インダクタL2を構成する最下層のコイル導体131に接続されている。

[0083] インダクタL2を構成する1以上のコイル導体131は、インダクタL1を構成する1以上のコイル導体131と同層に設けられている。また、インダクタL2を構成する最上層のコイル導体131は、ビア導体（不図示）を介して出力端子P2を構成する第1端子電極121に接続されている。一方、インダクタL2を構成する最下層のコイル導体131は、パターン導体及びビア導体（いずれも不図示）等を介して、コンデンサC1を構成する上層のコンデンサ導体132、及び、インダクタL1を構成する最下層のコイル導体131に接続されている。

[0084] ここで、偏在するとは、偏って設けられることを意味する。例えば、インダクタL1を構成する1以上のコイル導体131が上面寄りに偏在するとは、当該1以上のコイル導体131全体（ここでは4層のコイル導体131）の重心が積層セラミック素体11の上下方向の中心よりも上面側に位置することを意味する。このため、インダクタL1を構成する一部のコイル導体131が積層セラミック素体11の上下方向の中心よりも下面側に位置してもかまわない。例えば、インダクタL1を構成するコイル導体131全体の重心は、各コイル導体131の長さ、幅または厚み等から求められ得る。

[0085] コンデンサ導体132は、複合回路の第2回路素子を構成するパターン導体であり、本実施の形態では、第2端子電極122とともにコンデンサC1を構成する。すなわち、本実施の形態では、コンデンサC1を形成する一対の対向電極のうち一方の対向電極は第2端子電極122によって構成され、他方の対向電極がコンデンサ導体132によって構成される。このように、コンデンサC1は、インダクタL1、L2を介さずに第2端子電極122に

接続され、コンデンサC 1を構成するコンデンサ導体1 3 2は複合部品1 0の下面寄りに偏在する。なお、コンデンサC 1を構成する一对の対向電極は、第2端子電極1 2 2とは別体の一对のコンデンサ導体1 3 2であってもよい。

[0086] 例えば、コンデンサ導体1 3 2は、積層セラミック素体1 1の主面に垂直に見て、第2端子電極1 2 2と同等のサイズかつ同等の形状に構成され、全体が第2端子電極1 2 2に重なるように配置された略矩形状のパターン導体である。

[0087] このような複合部品1 0において、積層セラミック素体1 1を構成する磁性体セラミック層1 1 1～1 1 6としては、例えば、磁性フェライトセラミックが用いられ、具体的には、酸化鉄を主成分とし、亜鉛、ニッケル及び銅のうち少なくとも1つ以上を含むフェライトが用いられる。

[0088] また、インダクタL 1、L 2及びコンデンサC 1を構成するパターン導体、ならびに、第1端子電極1 2 1及び第2端子電極1 2 2としては、例えば、銅を主成分とする金属または合金が用いられる。なお、第1端子電極1 2 1及び第2端子電極1 2 2としては、例えば、ニッケル、パラジウムまたは金によるめっきが施されていてもよい。

[0089] また、積層セラミック素体1 1を構成する磁性体セラミック層1 1 1～1 1 6としては、焼成温度が銀の融点以下であるL T C Cセラミックス (Low Temperature Co-fired Ceramics) を用いてもよい。これにより、複合部品1 0のパターン導体及びビア導体を、銀を用いて構成することが可能になる。

[0090] 抵抗率の低い銀を用いてパターン導体及びビア導体を構成することで、損失が少なく電力効率などの回路特性に優れた複合部品1 0が形成される。また、パターン導体及びビア導体に銀を用いることで、例えば大気などの酸化性雰囲気下で複合部品1 0を焼成できる。

[0091] なお、当該各種導体の材料、厚み、幅、導体間のピッチあるいは導体間に介在する部材（すなわち磁性体セラミック層）等は、複合部品1 0によって構成される複合回路に要求される遮断周波数やQ値などの各種の電気的特性

を勘案して適宜決定されるものとする。

[0092] 以上のように構成された複合部品内蔵回路基板 2 は、例えば次のようにして製造することができる。

[0093] まず、磁性体セラミック層 1 1 1 ~ 1 1 6 となるセラミックグリーンシートを準備する。セラミックグリーンシートは、具体的には、磁性体セラミック粉末を含んだスラリーをシート成形することによって作製される。

[0094] 次いで、セラミックグリーンシートに、貫通孔（ビアホール）を形成する。そして、当該貫通孔内に導体ペーストを充填してビア導体を形成するとともに、主面上の特定の位置に銀を主成分とする導体ペーストを印刷してコイル導体 1 3 1 及びコンデンサ導体 1 3 2 となる導体ペースト形成する。

[0095] 次いで、導体ペーストが配置されたセラミックグリーンシートを、位置合わせをして積層、圧着し、未焼成の積層体ブロックに一体化する。さらに、当該未焼成積層体ブロックに対して、第 1 端子電極 1 2 1 及び第 2 端子電極 1 2 2 となる導体を転写した後、一括して焼成する。

[0096] これにより、焼結体ブロックとしての複合部品 1 0 が形成される。

[0097] 次いで、熱可塑性樹脂層 2 1 1 ~ 2 1 5 となる熱可塑性樹脂シートを準備する。熱可塑性樹脂シートは、具体的には、熱硬化前のポリイミド材料または液晶ポリマ材料をシート成形することによって作製される。

[0098] 次いで、熱可塑性樹脂層 2 1 3 となる熱可塑性樹脂シートに、複合部品 1 0 を配置するための貫通孔を形成する。また、他の熱可塑性樹脂シートに、貫通孔（ビアホール）を形成し、当該貫通孔内に導体ペーストを充填して、ビア導体 2 2 2 を形成する。また、熱可塑性樹脂シートの上面の特定の位置に金属箔を配置してパターン導体 2 2 1、表面電極 2 2 3、グランドパターン導体 2 3 1 を形成する。ここで、貫通孔は、例えばレーザー加工により形成されてもよく、導体ペーストは錫を含んだ材料であってもよい。また、金属箔は銅または銅合金の箔であってもよい。

[0099] 次いで、複合部品 1 0 と、導体ペースト及び金属箔が配置された熱可塑性樹脂シートとを、位置合わせをして積層、圧着し、さらに熱処理をすること

で一体化することにより、複合部品内蔵回路基板 2 を形成する。つまり、加熱処理及び加圧処理により、熱可塑性樹脂シートを構成する熱可塑性樹脂が軟化して流動し、熱可塑性樹脂シートと複合部品 10 とが密に接合される。同時に、熱可塑性樹脂シートのビア導体（未焼結）の焼結によってビア導体が金属化するとともに、ビア導体と金属箔とが接続され、ビア導体と複合部品 10 の第 1 端子電極 121 及び第 2 端子電極 122 とが接続される。

[0100] 具体的には、熱可塑性樹脂層 212 を構成する樹脂が、磁性体セラミック層 111 の表面の微細な凹凸（ポーラス構造）にかみ込むことにより、アンカー構造が形成される。これにより、熱可塑性樹脂層 212 と磁性体セラミック層 111 との間に、機械的に強固な接合が生じる。このことは、熱可塑性樹脂層 214 と磁性体セラミック層 116 との間でも同様である。

[0101] また、一体化により、例えば、ビア導体 222 と第 1 端子電極 121 との間で、銀と錫との金属間化合物が形成され、ビア導体 222 とパターン導体 221 との間で、銅と錫との金属間化合物が形成される。これにより、パターン導体 221、ビア導体 222 及び第 1 端子電極 121 の相互間に、機械的及び電氣的に強固な接合が生じる。このことは、パターン導体 221、ビア導体 222 及び第 2 端子電極 122 との相互間についても同様である。

[0102] このような製造工程により、機械的強度（異種材料間での剥離耐性）を高めつつ、所望の回路特性を有する複合部品内蔵回路基板 2 が得られる。

[0103] その後、回路基板 20 の表面電極 223 に、電子部品 3 をリフローはんだ付けなどにより実装することにより、図 1 等 to 示されるモジュール部品 1 が完成する。

[0104] 以上説明したように、本実施の形態に係る複合部品内蔵回路基板 2 によれば、複合部品 10 の上面の第 1 端子電極 121 が回路基板 20 の上面側の第 1 機能ブロック（本実施の形態では電子部品 3）に接続され、複合部品 10 の下面の第 2 端子電極 122 が回路基板 20 の下面側の第 2 機能ブロック（本実施の形態ではグランドパターン導体 231）に接続されている。これにより、回路基板 20 内部で必要となる配線（本実施の形態では、モジュール

部品 1 の機能を果たすために必要となる配線) の配線長を短縮化できる。つまり、回路基板 20 に必要な回路構成を、最短の配線長で実現することが可能となる。よって、回路基板 20 内での余分な配線引き回しを抑制することにより回路基板 20 における配線の寄生インダクタンス成分を抑制することができるので、所望の回路特性を得ることができる。

[0105] また、第 1 端子電極 121 及び第 2 端子電極 122 を上下別々の面に設けているので、その大型化が可能であり、第 1 端子電極 121 及び第 2 端子電極 122 と回路基板 20 との電氣的な接続の信頼性の低下を抑制することができるとともに、寄生インダクタンス成分を抑制することができる。

[0106] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、複合部品 10 は、複数の第 1 基材層 (本実施の形態では、6 層の磁性体セラミック層 111 ~ 116) を積層してなり、第 1 回路素子 (本実施の形態ではインダクタ L1、L2) 及び第 2 回路素子 (本実施の形態ではコンデンサ C1) はパターン導体 (本実施の形態では、コイル導体 131 及びコンデンサ導体 132) によって構成されている。これにより、複合部品 10 の小型化を図ることができるため、この複合部品 10 を内蔵することによって回路基板 20 にかかる応力を抑制できる。よって、回路基板 20 に生じるクラック等を抑制しつつ、所望の回路特性を得ることができる。

[0107] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、第 1 回路素子を構成するパターン導体 (本実施の形態ではコイル導体 131) は複合部品 10 の上面寄りに偏在し、第 2 回路素子を構成するパターン導体 (本実施の形態ではコンデンサ導体 132) は複合部品 10 の下面寄りに偏在する。これにより、複合部品 10 内での余分な配線引き回しを抑制することができるので、複合部品 10 における配線の寄生インダクタンス成分を抑制して所望の回路特性を得ることができる。

[0108] 特に、複合部品 10 内での余分な配線の削減は、第 1 回路素子または第 2 回路素子がコンデンサの場合に有用である。具体的には、第 1 回路素子または第 2 回路素子がコンデンサの場合、このコンデンサと余分な配線による寄

生インダクタンス成分とで不要な共振が生じ得る。この場合、例えば所望の通過帯域内に当該共振による不要なトラップ（減衰極）が生じることにより、所望の回路特性が得られない場合がある。そこで、余分な配線を削減して寄生インダクタンス成分を抑制することにより、不要な共振を抑制して、所望の回路特性を得ることができる。

[0109] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、複合部品 10 よりも上面側に第 1 機能ブロックが設けられ、複合部品 10 よりも下面側に第 2 機能ブロックが設けられている。これにより、回路基板 20 内での余分な配線引き回しを抑制することができるので、回路基板 20 における配線の寄生インダクタンス成分を抑制して所望の回路特性を得ることができる。

[0110] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、第 1 端子電極 121 と第 2 端子電極 122 とは、平面視において、少なくとも一部が重なって配置されていることにより、複合部品 10 に生じ得る反りを抑制することができる。一般的に、回路基板に内蔵される部品の反りは、回路基板にかかる応力を増大させる要因となる。このため、複合部品 10 の反りを抑制して回路基板 20 にかかる応力を抑制することにより、回路基板 20 に生じるクラック等を抑制しつつ、所望の回路特性を得ることができる。

[0111] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、複合部品 10 が複数の第 1 端子電極 121 を有することにより、複合部品 10 によって構成される複合回路と第 1 機能ブロックとを、回路基板 20 内の複数の配線経路で接続することができる。このため、複合部品内蔵回路基板 2 に設けられる第 1 機能ブロック（本実施の形態では電子部品 3）を構成する配線及び回路素子等の自由度を高めることができる。

[0112] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、第 1 端子電極 121 は入力端子 P1 または出力端子 P2 であり、第 2 端子電極 122 はグランド端子 P_{GND} である。これにより、回路基板 20 の上面側のみに、信号処理回路を含む第 1 機能ブロック（本実施の形態では電子部品 3）等の能動素子を設けることが可能となる。これにより、複合部品内蔵回路基板 2 を作

製する際の工程数の増加を抑制することができる。

[0113] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、第 2 端子電極 1 2 2 が複合部品 1 0 の下面の略全面に設けられていることにより、第 2 端子電極 1 2 2 と回路基板 2 0 との電気的な接続を強固にすることが可能となる。つまり、第 2 端子電極 1 2 2 のグラウンドを強化（安定化）することができるため、所望の回路特性を得ることができる。

[0114] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、回路基板 2 0 は複数の第 2 基材層（本実施の形態では、5 層の熱可塑性樹脂層 2 1 1 ～ 2 1 5）を有する多層基板であり、第 2 機能ブロックは内層のグラウンドパターン導体 2 3 1 である。これにより、第 2 端子電極 1 2 2 とグラウンドパターン導体 2 3 1 との間の配線引き回しを抑制することができるので、配線の寄生インダクタンス成分を抑制して所望の回路特性を得ることができる。このことは、複合部品内蔵回路基板 2 が高周波モジュール部品等に用いられる場合に、高周波特性の改善に寄与するため、特に有用である。

[0115] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、信号処理回路は回路基板 2 0 の上面に実装される電子部品 3（特には R F I C 3 1）により構成される。このため、電子部品 3 を有する複合部品内蔵回路基板 2（すなわち、本実施の形態のモジュール部品 1）の省スペース化を図ることができる。このことは、省スペース化及び高密度実装化が要求される携帯端末機器等に搭載されるモジュール部品 1 として、特に有用である。

[0116] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、複合回路が L C 複合回路であることにより、ローパスフィルタ、バンドパスフィルタ、ハイパスフィルタ等の L C フィルタ、あるいは、これらの組み合わせのダイプレクサ等を構成する複合部品を内蔵する複合部品内蔵回路基板 2 を得ることができる。

[0117] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、コンデンサ C 1 を形成する一对の対向電極のうち一方の対向電極は、第 1 端子電極 1 2 1 または第 2 端子電極 1 2 2（本実施の形態では第 2 端子電極 1 2 2）によ

って構成される。これにより、複合部品 10 の薄型化（低背化）、さらには複合部品内蔵回路基板 2 の薄型化を図ることができる。

[0118] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、複合部品 10 は、主にセラミックを基材とする。これにより、複合部品 10 を焼成により形成された焼結体として得ることができる。

[0119] また、本実施の形態に係る複合部品内蔵回路基板 2 によれば、回路基板 20 は、主に樹脂を基材とする。これにより、例えば樹脂として熱可塑性樹脂を用いた場合、熱硬化前の樹脂材料中に複合部品 10 を配置して熱処理することにより、複合部品 10 を内蔵する回路基板 20（すなわち複合部品内蔵回路基板 2）を作製することができる。

[0120] （変形例 1）

なお、複合部品及びこれによって構成される複合回路の構成は、上記実施の形態に限定されない。そこで、実施の形態の変形例 1 に係る複合部品 10 A の構成を、図 7 及び図 8 を用いて説明する。実施の形態の変形例 1 に係る複合部品 10 A は、複合回路として、図 7 に示す 2 段のローパスフィルタを構成する。図 7 は、実施の形態の変形例 1 に係る複合部品 10 A によって構成される回路構成を示す回路図である。

[0121] 同図に示すように、複合回路（ここではローパスフィルタ）は、入力端子 P1 と出力端子 P2 との間に直列接続されたインダクタ L11、L12 と、インダクタ L11、L12 の出力端子 P2 側のノードをそれぞれグランド端子 P_{GND1}、P_{GND2} にシャントするコンデンサ C11、C12 とを有する。ここで、インダクタ L11、L12 のそれぞれは、複合回路（本実施の形態ではローパスフィルタ）の第 1 回路素子に相当し、コンデンサ C11、C12 のそれぞれは複合回路の第 2 回路素子に相当する。

[0122] このような複合回路は、入力端子 P1 から入力された例えば高周波信号に含まれる周波数成分のうち、インダクタ L11 及びコンデンサ C11 の定数によって規定される第 1 遮断周波数、ならびに、インダクタ L12 及びコンデンサ C12 の定数によって規定される第 2 遮断周波数より高い周波数成分

を透過させて、出力端子 P 2 から信号処理回路に出力する。

[0123] 図 8 は、実施の形態の変形例 1 に係る複合部品 10A の断面構造を概念的に示す図である。具体的には、図 8 は、図 4 の VI-VI 線に相当する断面における複合部品 10A の断面図である。

[0124] 同図に示すように、複合部品 10A は、図 6 に示す複合部品 10 に比べて、回路構成の違いに伴い、コンデンサ C 11 を構成するコンデンサ導体 132、及び、コンデンサ C 12 を構成するコンデンサ導体 132 が設けられている。ここで、コンデンサ C 12 を構成するコンデンサ導体 132 は、ビア導体（不図示）を介してインダクタ L 12 を構成する最上層のコイル導体 131、及び、出力端子 P 2 を構成する第 1 端子電極 121 に接続されている。

[0125] また、本変形例では、第 2 端子電極 122 が複数（ここでは 2 つ）設けられている。具体的には、コンデンサ C 11 を形成する一对の対向電極のうち一方の対向電極を構成する第 2 端子電極 122 と、コンデンサ C 12 を形成する一对の対向電極のうち一方の対向電極を構成する第 2 端子電極 122 とが、別体に設けられている。また、2 つの第 2 端子電極 122 は、それぞれグランド端子 P_{GND1}、P_{GND2} を構成する。

[0126] なお、本変形例では、2 つの第 2 端子電極 122 は同電位の P_{GND1}、P_{GND2} を構成するため、これらを共通化して 1 つの電極として設けることもできる。第 2 端子電極 122 を共通化して 1 つの電極として設けた場合、第 2 端子電極 122 に接続されるビア導体 222 の数を増やすことできるため、第 2 端子電極 122 のグランドを強化することができる。一方、この場合、第 2 端子電極 122 の寄生インダクタンス成分が増大するという別の問題が生じ得る。このため、第 2 端子電極 122 を共通化するか否かは、複合部品 10A に要求される高周波特性等の回路特性を勘案して適宜決定されるものとする。

[0127] 以上のように構成された複合部品 10A を有する複合部品内蔵回路基板であっても、実施の形態と同様の効果が奏される。すなわち、余分な配線引き

回しを抑制することにより、配線の寄生インダクタンス成分を抑制することができるので、所望の回路特性を得ることができる。

[0128] (変形例 2)

また、複合部品内蔵回路基板の複合部品によって構成される複合回路は、ハイパスフィルタであってもよい。そこで、実施の形態の変形例 2 に係る複合部品内蔵回路基板 2 B 及び複合部品 1 O B の構成を、図 9 ～図 11 を用いて説明する。

[0129] 図 9 は、実施の形態の変形例 2 に係る複合部品内蔵回路基板 2 B の断面構造を概念的に示す図である。具体的には、図 9 は、図 1 のII-II線に相当する断面における複合部品内蔵回路基板 2 B の断面図である。なお、図 9 では、複合部品内蔵回路基板 2 B とともにモジュール部品 1 B を構成する半導体集積回路素子である R F I C 3 1 及びスイッチ I C 3 4 についても併せて示している。

[0130] スイッチ I C 3 4 は、複合部品 1 O B の入力端子 P 1 を構成する第 1 端子電極 1 2 1 に接続される、例えば高周波スイッチ I C である。

[0131] 本変形例に係る複合部品 1 O B は、複合回路として図 10 に示すハイパスフィルタを構成する。図 10 は、実施の形態の変形例 2 に係る複合部品 1 O B によって構成される回路構成を示す回路図である。

[0132] 同図に示すように、複合回路（ここではハイパスフィルタ）は、入力端子 P 1 と出力端子 P 2 との間に直列接続されたコンデンサ C 2 1、C 2 2 と、コンデンサ C 2 1 とコンデンサ C 2 2 との接続ノードをグランド端子 P_{GND} にシャントするインダクタ L 2 1 とを有する。ここで、コンデンサ C 2 1、C 2 2 のそれぞれは、複合回路（本実施の形態ではハイパスフィルタ）の第 1 回路素子に相当し、インダクタ L 2 1 は複合回路の第 2 回路素子に相当する。

[0133] このような複合回路は、入力端子 P 1 から入力された例えば高周波信号に含まれる周波数成分のうち、コンデンサ C 2 1、C 2 2 及びインダクタ L 2 1 の定数によって規定される遮断周波数より低い周波数成分を通減させて、

出力端子 P 2 から信号処理回路に出力する。

[0134] 図 1 1 は、実施の形態の変形例 2 に係る複合部品 1 0 B の断面構造を概念的に示す図である。具体的には、図 1 1 は、図 4 の VI-VI 線に相当する断面における複合部品 1 0 B の断面図である。

[0135] 同図に示すように、複合部品 1 0 B は、図 6 に示す複合部品 1 0 に比べて、積層セラミック素体 1 1 に代わり積層セラミック素体 1 1 B を有するとともに、回路構成の違いに伴い、コイル導体 1 3 1 及びコンデンサ導体 1 3 2 の積層方向における位置が異なる。

[0136] 積層セラミック素体 1 1 B は、複数の第 1 基材層として、3 層の誘電体層 1 5 1 ~ 1 5 3 及び 5 層の磁性体セラミック層 1 1 1 ~ 1 1 5 を積層してなる。

[0137] 誘電体層 1 5 1 ~ 1 5 3 は、例えば、材料として、非磁性フェライトセラミックやアルミナ及びガラスを主成分とする絶縁性ガラスセラミックが用いられる非磁性体セラミック層である。なお、誘電体層 1 5 1 ~ 1 5 3 は、樹脂を主成分とする熱可塑性樹脂層であってもよい。

[0138] コイル導体 1 3 1 は、本変形例では、複合部品 1 0 B の下面寄りに偏在する。これは、コイル導体 1 3 1 によって構成されるインダクタ L 2 1 が、コンデンサ C 2 1、C 2 2 を介さずに第 2 端子電極 1 2 2 によって構成されるグラウンド端子 P_{GND} に接続されることによる。

[0139] コンデンサ導体 1 3 2 は、本変形例では、複合部品 1 0 B の上面寄りに偏在する。これは、コンデンサ導体 1 3 2 によって構成されるコンデンサ C 2 1、C 2 2 が、インダクタ L 2 1 を介さずに第 1 端子電極 1 2 1 によって構成される入力端子 P 1 または出力端子 P 2 に接続されることによる。具体的には、コンデンサ C 2 1 とインダクタ L 2 1 とは、第 1 端子電極 1 2 1 と第 2 端子電極 1 2 2 との間にこの順に直列接続されている。同様に、コンデンサ C 2 2 とインダクタ L 2 1 とは、第 1 端子電極 1 2 1 と第 2 端子電極 1 2 2 との間にこの順に直列接続されている。

[0140] ここで、本変形例では、コンデンサ導体 1 3 2 は、誘電体層 1 5 1 ~ 1 5

3による積層構造の内層に設けられている。これにより、コンデンサ導体132を磁性体セラミック層による積層構造の内層に設けた場合に比べて、所望のキャパシタンス値を得るためのコンデンサ導体132の面積を小さくすることができる。

[0141] 以上のように構成された複合部品10Bを有する複合部品内蔵回路基板2Bであっても、実施の形態と同様の効果が奏される。すなわち、余分な配線引き回しを抑制することにより、配線の寄生インダクタンス成分を抑制することができるので、所望の回路特性を得ることができる。

[0142] (変形例3)

また、複合部品内蔵回路基板の複合部品によって構成される複合回路は、バンドパスフィルタであってもよい。そこで、実施の形態の変形例3に係る複合部品内蔵回路基板2C及び複合部品10Cの構成を、図12及び図13を用いて説明する。

[0143] 図12は、実施の形態の変形例3に係る複合部品内蔵回路基板2Cの断面構造を概念的に示す図である。具体的には、図12は、図1のII-II線に相当する断面における複合部品内蔵回路基板2Cの断面図である。なお、図12では、複合部品内蔵回路基板2Cとともにモジュール部品1Cを構成する電子部品であるRFIC31についても併せて示している。

[0144] 同図に示す複合部品内蔵回路基板2Cでは、回路基板20の上面に、アンテナ（不図示）に接続される配線を構成するアンテナ接続配線225が設けられている。アンテナ接続配線225は、本変形例における第1機能ブロックに相当し、ビア導体222及びパターン導体221を介して複合部品10Cの入力端子P1を構成する第1端子電極121に接続されるパターン導体である。

[0145] 本変形例に係る複合部品10Cは、複合回路として図13に示すバンドパスフィルタを構成する。図13は、実施の形態の変形例3に係る複合部品10Cによって構成される回路構成を示す回路図である。

[0146] 同図に示すように、複合回路（ここではバンドパスフィルタ）は、入力端

子P 1 と出力端子P 2 との間に、並列接続されたコンデンサC 3 1 及びインダクタL 3 1、ならびに、並列接続されたコンデンサC 3 2 及びインダクタL 3 2 を有する。また、並列接続されたコンデンサ及びインダクタからなるLC並列共振フィルタの間のノードがグランド端子P_{GND}にシャントされている。ここで、並列接続されたコンデンサ及びインダクタは、一方が複合回路（本変形例ではハイパスフィルタ）の第1回路素子に相当し、他方が複合回路の第2回路素子に相当する。

[0147] このような複合回路は、入力端子P 1 から入力された例えば高周波信号に含まれる周波数成分のうち、コンデンサC 3 1 及びインダクタL 3 1 の定数によって規定される第1減衰極付近の周波数帯域、及び、コンデンサC 3 2 及びインダクタL 3 2 の定数によって規定される第2減衰極付近の周波数帯域の周波数成分を透過させて、出力端子P 2 から信号処理回路に出力する。

[0148] なお、バンドパスフィルタを構成するLC並列共振フィルタの段数は、2段に限らず、複合部品10Cに要求される通過帯域等に応じて適宜決定されるものとする。

[0149] 以上のように構成された複合部品10Cを有する複合部品内蔵回路基板2Cであっても、実施の形態と同様の効果が奏される。すなわち、余分な配線引き回しを抑制することにより、配線の寄生インダクタンス成分を抑制することができるので、所望の回路特性を得ることができる。

[0150] （変形例4）

また、複合部品内蔵回路基板の複合部品によって構成される複合回路は、ダイプレクサであってもよい。そこで、実施の形態の変形例4に係る複合部品内蔵回路基板2D及び複合部品10Dの構成を、図14～図17を用いて説明する。

[0151] 図14は、実施の形態の変形例4に係る複合部品内蔵回路基板2Dの断面構造を概念的に示す図である。具体的には、図14は、図1のII-II線に相当する断面における複合部品内蔵回路基板2Dの断面図である。なお、図14では、複合部品内蔵回路基板2Dとともにモジュール部品1Dを構成する

各種の電子部品についても併せて示している。この各種の電子部品には、LB (Low Band) 用の信号処理回路を構成するLB用RFIC31a、HB (High Band) 用の信号処理回路を構成するHB用RFIC31b、LB用のバンドパスフィルタを構成するLB用SAW (Surface Acoustic Wave : 弾性表面波) フィルタ35a、及び、HB用のバンドパスフィルタを構成するHB用SAWフィルタ35bが含まれる。なお、LB用RFIC31aとHB用RFIC31bとは、Y軸方向に並んで配置されているものとする。

[0152] 同図に示す複合部品内蔵回路基板2Dは、4層の熱可塑性樹脂層211～214を上下方向に積層してなる積層樹脂素体21Dを有し、複合部品10Dが熱可塑性樹脂層212内に設けられている。このため、各種の電子部品と複合部品10Dとが、パターン導体221を介さずにビア導体222により接続されている。

[0153] また、複合部品内蔵回路基板2Dでは、回路基板20の内層に、アンテナ(図15のアンテナANT)に接続される配線を構成するアンテナ接続配線225が設けられている。アンテナ接続配線225は、本変形例における第2機能ブロックに相当し、ビア導体222を介して複合部品10Dの入力端子P1を構成する第2端子電極122に接続されるパターン導体である。

[0154] 本変形例に係る複合部品10Dは、複合回路として図15に示すダイプレクサを構成する。図15は、実施の形態の変形例4に係る複合部品10Dによって構成される回路構成を示す回路図である。なお、同図には、複合部品内蔵回路基板2D及びこれに実装された各種の電子部品によって構成されるモジュール部品1Dの回路構成(受信回路)についても併せて示されている。

[0155] 同図に示すように、複合回路(ここではダイプレクサ)は、アンテナANTに接続される入力端子P1とLB用の出力端子P2との間に設けられるローパスフィルタと、入力端子P1とHB用の出力端子P3との間に設けられるハイパスフィルタとが組み合わせられることにより構成される。ローパスフィルタは、入力端子P1とLB用の出力端子P2との間に直列接続された

インダクタ L_{41} と、インダクタ L_{41} の出力端子 P_2 側のノードをグランド端子 P_{GND} にシャントするコンデンサ C_{41} とを有する。ハイパスフィルタは、入力端子 P_1 とHB用の出力端子 P_3 との間で直列接続されたコンデンサ C_{42} と、コンデンサ C_{42} の出力端子 P_3 側のノードをグランド端子 P_{GND} にシャントするインダクタ L_{42} とを有する。

[0156] ここで、コンデンサ C_{41} 及びインダクタ L_{42} は、複合回路（本変形例ではダイプレクサ）の第1回路素子に相当し、インダクタ L_{41} 及びコンデンサ C_{42} は、複合回路の第2回路素子に相当する。

[0157] このような複合回路は、入力端子 P_1 から入力された例えば高周波信号に含まれる周波数成分のうち、インダクタ L_{41} 及びコンデンサ C_{41} の定数によって規定される第1遮断周波数より高い周波数成分を透過させて、出力端子 P_2 からLB用の信号処理回路に出力する。また、コンデンサ C_{42} 及びインダクタ L_{42} の定数によって規定される第2遮断周波数より低い周波数成分を透過させて、出力端子 P_3 からHB用の信号処理回路に出力する。

[0158] 図16は、複合部品10Dの外観斜視図である。

[0159] 同図に示すように、複合部品10Dは、平面視において、第1端子電極121と第2端子電極122が重なるように配置され、具体的には、略一致するように配置されている。これにより、複合部品10Dに生じ得る反りを一層抑制することができる。

[0160] 図17は、実施の形態の変形例4に係る複合部品10Dの断面構造を概念的に示す図である。具体的には、図17は、図4のVI-VI線に相当する断面における複合部品10Dの断面図である。

[0161] 同図に示すように、複合部品10Dは、図6に示す複合部品10に比べて、積層セラミック素体11に代わり積層セラミック素体11Dを有するとともに、回路構成の違いに伴い、コイル導体131及びコンデンサ導体132の積層方向における位置が異なる。

[0162] 積層セラミック素体11Dは、複数の第1基材層として、8層の誘電体層151～158を積層してなる。

[0163] 本変形例では、コンデンサC 4 1を構成するコンデンサ導体1 3 2及びインダクタL 4 2を構成するコイル導体1 3 1が、複合部品1 0 Dの下面寄りに偏在し、インダクタL 4 1を構成するコイル導体1 3 1及びコンデンサC 4 2を構成するコンデンサ導体1 3 2が、複合部品1 0 Dの上面寄りに偏在する。これは、コンデンサC 4 1及びインダクタL 4 2が、それぞれインダクタL 4 1及びコンデンサC 4 2を介さずに第2端子電極1 2 2によって構成されるグランド端子P_{GND}に接続されることによる。

[0164] 以上のように構成された複合部品1 0 Dを有する複合部品内蔵回路基板2 Dであっても、実施の形態と同様の効果が奏される。すなわち、余分な配線引き回しを抑制することにより、配線の寄生インダクタンス成分を抑制することができるので、所望の回路特性を得ることができる。

[0165] (その他の変形例)

以上、本発明の実施の形態及び変形例に係る複合部品内蔵回路基板について説明したが、本発明は、個々の実施の形態及び変形例には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及びその変形例に施したものや、異なる実施の形態及びその変形例における構成要素を組み合わせる構築される形態も、本発明の一つまたは複数の態様の範囲内に含まれてもよい。

[0166] また、本発明は上述した複合部品内蔵回路基板として実現できだけでなく、例えば、回路基板に内蔵される内蔵用の複合部品としても実現できる。つまり、複合部品は、複数の第1基材層を上下方向に積層してなる積層素体と、前記積層素体に1チップ化された回路であって、当該積層素体に内蔵されたパターン導体によって構成された受動素子である第1回路素子及び第2回路素子を有する複合回路と、前記積層素体の上面に設けられた平面電極であって、前記複合回路の一部に接続された第1端子電極と、前記積層素体の下面に設けられた平面電極であって、前記複合回路の他部に接続された第2端子電極とを有する。

[0167] さらに、上記の複合部品は内蔵の用途に限定されない。例えば、複合部品

は下面でプリント配線板に実装され、上面でフレキシブル配線板やフレキシブルケーブルに接続されていてもよい。

[0168] なお、本発明では、複合部品の各層の厚みや形状、導体の位置や大きさなどの各種の寸法値は、特には限定されない。また、複合部品の各層を構成するセラミック材料の成分及び成分の配合比、透磁率などの物性値、複合部品内の導体等に用いられる材料の成分及び成分の配合比、導電率などの物性値も特には限定されない。これらの数値は、複合部品に要求されるインダクタンス値や直流重畳特性などの各種の電気的特性を勘案して適宜決定されるものとする。

[0169] 同様に、多層基板の各層の厚みや形状、導体の位置や大きさなどの各種の寸法値は、特には限定されない。また、多層基板の各層を構成する樹脂材料の成分及び成分の配合比、多層基板内の導体等に用いられる材料の成分及び成分の配合比、導電率などの物性値も特には限定されない。これらの数値は、複合部品内蔵回路基板によって形成される回路（例えば、受信回路）に要求される高周波特性等の回路特性を勘案して適宜決定されるものとする。

[0170] また、回路基板の積層素体を構成する基材層の層数、及び、複合部品の積層素体を構成する磁性体セラミック層の層数は、上記の説明した層数に限られない。

[0171] また、複合部品は、積層素体（上記説明では積層セラミック素体）を有する構成に限らない。つまり、複合部品は多層部品に限らず、例えば、シリコン基板等の半導体基板に形成された複合回路が１チップ化されたＩＣ等であってもかまわない。すなわち、第１回路素子及び第２回路素子は、受動素子に限らず、ダイオードまたはトランジスタ等の能動素子であってもかまわない。

[0172] また、第１回路素子を構成するパターン導体、及び、第２回路素子を構成するパターン導体の配置態様は上述の態様に限定されない。例えば、第１回路素子を構成するパターン導体が複合部品の下面寄りに偏在し、第２回路素子を構成するパターン導体が複合部品の上面寄りに偏在してもかまわない。

- [0173] また、第1端子電極121と第2端子電極122とは、回路基板の平面視において、重ならないように配置されていてもかまわない。
- [0174] また、複合部品は1つの第1端子電極121のみを有してもよく、例えば、当該第1端子電極121が入力端子であり、第2端子電極122が出力端子であってもかまわない。
- [0175] また、モジュール部品は送信回路を構成してもよく、RFICに接続される第1端子電極121はRFICによって構成される信号処理回路から信号が入力される入力端子であってもかまわない。
- [0176] また、回路基板は、複数の第2基材層（上記説明では熱可塑性樹脂層）を有する多層基板に限らず、単層の基板であってもかまわない。
- [0177] また、第2機能ブロックは、グランドパターン導体またはアンテナパターン導体等の導体に限らず、例えば電子部品であってもかまわない。
- [0178] また、複合回路は、LC複合回路に限らず、例えば、第1回路素子及び第2回路素子がいずれもインダクタであってもかまわない。このような複合回路としては、例えば、バランまたはカプラ等が挙げられる。
- [0179] また、複合部品の主な基材はセラミックに限定されず、樹脂であってもかまわない。また、回路基板の主な基材は樹脂に限定されない。また、複合部品と回路基板とが、樹脂等の同種材料を主な基材としてもかまわない。
- [0180] また、複合部品内蔵回路基板は、回路基板に設けられる第1機能ブロック及び第2機能ブロックを有する構成であってもかまわない。つまり、上記説明したモジュール部品全体が複合内蔵回路基板であってもかまわない。
- [0181] また、上記実施の形態及び変形例で示した回路基板は、当該回路基板よりもさらに大きい基板の一部であって、当該基板には、上記実施の形態及び変形例で示した構成以外の多数の電子部品及びパターン導体等が搭載または内蔵されていてもかまわない。

産業上の利用可能性

- [0182] 本発明は、複合部品内蔵回路基板及び複合部品として、携帯電話端末等の携帯端末機器に広く利用できる。

符号の説明

- [0183] 1、1 B～1 D モジュール部品
- 2、2 B～2 D 複合部品内蔵回路基板
- 3 電子部品
- 1 0、1 0 A～1 0 D 複合部品
- 1 1、1 1 B、1 1 D 積層セラミック素体
- 2 0 回路基板
- 2 1、2 1 D 積層樹脂素体
- 3 1 R F I C
- 3 1 a L B用R F I C
- 3 1 b H B用R F I C
- 3 2 チップ部品
- 3 4 スイッチ I C
- 3 5 a L B用S A Wフィルタ
- 3 5 b H B用S A Wフィルタ
- 1 1 1～1 1 6 磁性体セラミック層
- 1 2 1 第1 端子電極
- 1 2 2 第2 端子電極
- 1 3 1 コイル導体
- 1 3 2 コンデンサ導体
- 1 5 1～1 5 8 誘電体層
- 2 1 1～2 1 5 熱可塑性樹脂層
- 2 2 1 パターン導体
- 2 2 2 ビア導体
- 2 2 3 表面電極
- 2 2 5 アンテナ接続配線
- 2 3 1 グランドパターン導体

請求の範囲

- [請求項1] 上面側に第1機能ブロックが設けられ、下面側に前記第1機能ブロックとは異なる第2機能ブロックが設けられる回路基板と、
- 前記回路基板に内蔵され、かつ、第1回路素子及び第2回路素子を有する複合回路が1チップ化された複合部品と、を有し、
- 前記複合部品は、さらに、
- 上面に設けられ、前記複合回路に接続されるとともに前記第1機能ブロックに接続される第1端子電極と、
- 下面に設けられ、前記複合回路に接続されるとともに前記第2機能ブロックに接続される第2端子電極とを有する、
- 複合部品内蔵回路基板。
- [請求項2] 前記第1回路素子及び前記第2回路素子のそれぞれは、受動素子であり、
- 前記複合部品は、
- 複数の第1基材層を上下方向に積層してなる積層素体と、
- 前記積層素体に内蔵され、前記第1回路素子及び前記第2回路素子を構成するパターン導体とを有する、
- 請求項1に記載の複合部品内蔵回路基板。
- [請求項3] 前記第1回路素子と前記第2回路素子とは、前記第1端子電極と前記第2端子電極との間にこの順に直列接続されていて、当該第1回路素子を構成するパターン導体は前記複合部品の上面寄りに偏在し、当該第2回路素子を構成するパターン導体は、前記複合部品の下面寄りに偏在する、
- 請求項2に記載の複合部品内蔵回路基板。
- [請求項4] 前記第1端子電極と前記第2端子電極とは、前記回路基板の平面視において、少なくとも一部が重なって配置されている、
- 請求項1～3のいずれか1項に記載の複合部品内蔵回路基板。
- [請求項5] 前記複合部品は、複数の前記第1端子電極を有する、

請求項 1 ～ 4 のいずれか 1 項に記載の複合部品内蔵回路基板。

[請求項6]

前記第 1 機能ブロックは信号処理回路を含み、

前記第 1 端子電極は、前記信号処理回路から信号が入力される入力端子または当該信号処理回路に信号を出力する出力端子であり、

前記第 2 機能ブロックはグランドを含み、

前記第 2 端子電極は、前記グランドに接続されるグランド端子である、

請求項 1 ～ 5 のいずれか 1 項に記載の複合部品内蔵回路基板。

[請求項7]

前記第 2 端子電極は、前記複合部品の下面の略全面に設けられている、

請求項 6 に記載の複合部品内蔵回路基板。

[請求項8]

前記回路基板は、上下方向に積層された複数の第 2 基材層を有する多層基板であり、

前記第 2 機能ブロックは、前記回路基板の内層に設けられたグランドパターン導体である、

請求項 6 または 7 に記載の複合部品内蔵回路基板。

[請求項9]

前記信号処理回路は、前記回路基板の上面に実装される電子部品により構成される、

請求項 6 ～ 8 のいずれか 1 項に記載の複合部品内蔵回路基板。

[請求項10]

前記複合回路は、前記第 1 回路素子及び前記第 2 回路素子のうち一方の回路素子がコンデンサかつ他方の回路素子がインダクタの LC 複合回路である、

請求項 1 ～ 9 のいずれか 1 項に記載の複合部品内蔵回路基板。

[請求項11]

前記コンデンサを形成する一対の対向電極のうち一方の対向電極は、前記第 1 端子電極または前記第 2 端子電極によって構成される、

請求項 10 に記載の複合部品内蔵回路基板。

[請求項12]

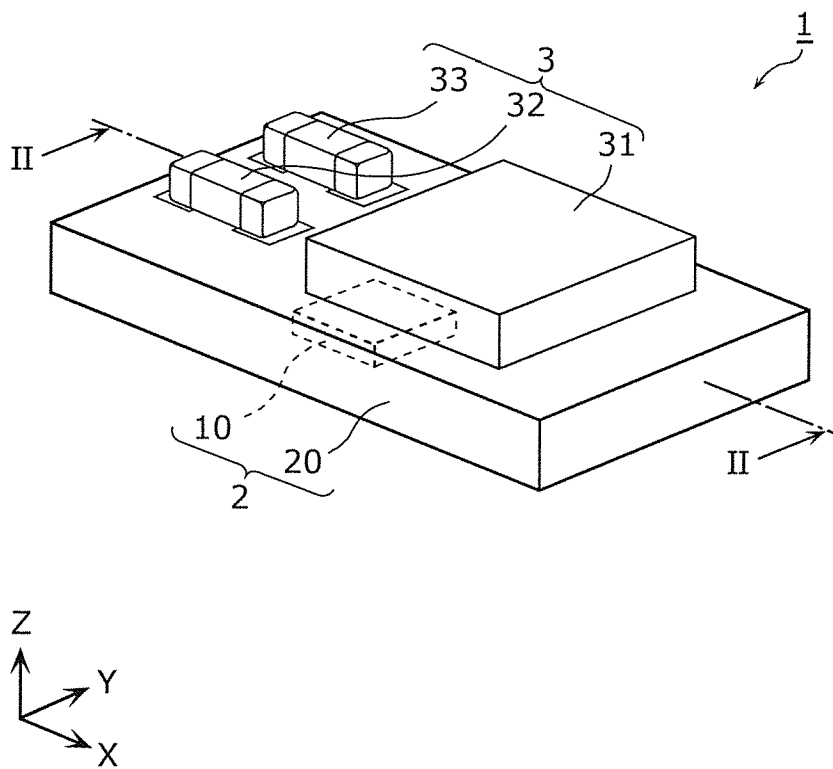
前記複合部品は、主にセラミックを基材とする、

請求項 1 ～ 11 のいずれか 1 項に記載の複合部品内蔵回路基板。

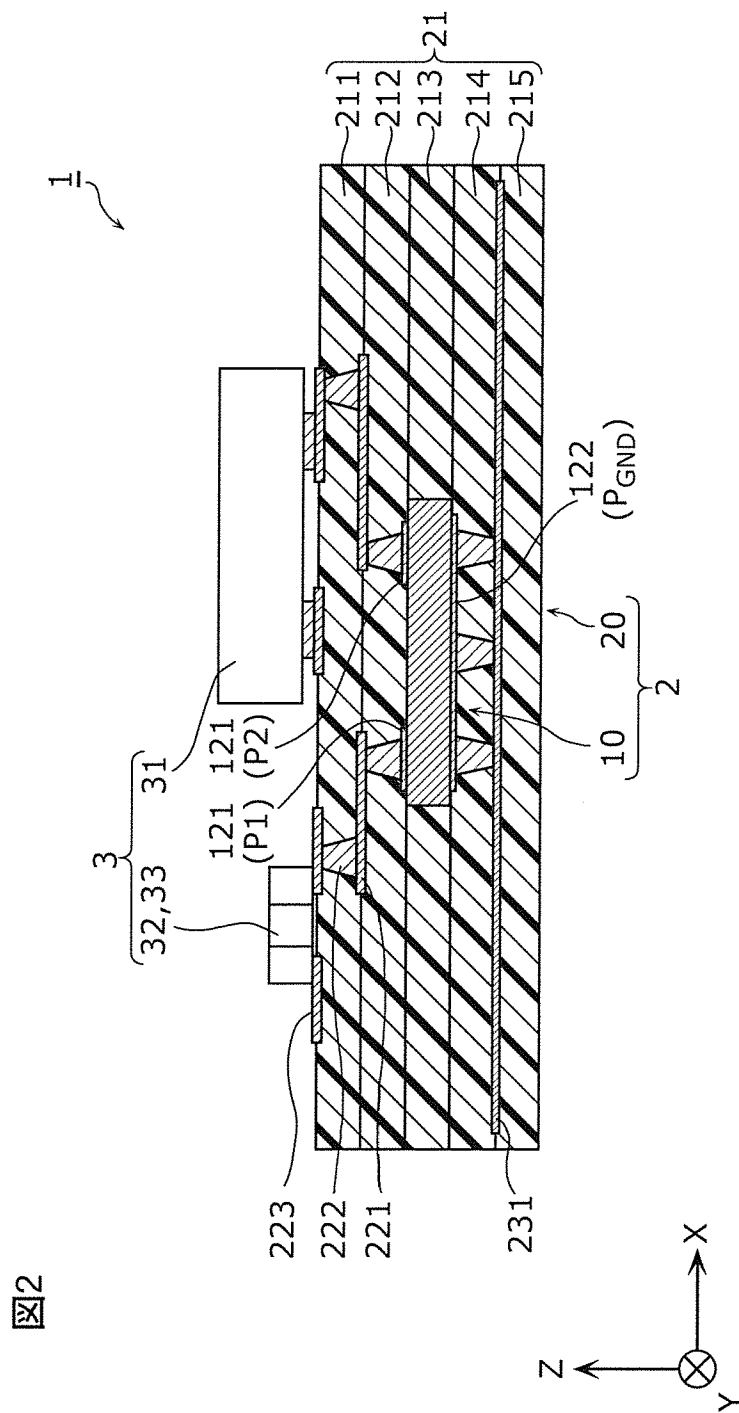
- [請求項13] 前記回路基板は、主に樹脂を基材とする、
請求項1～12のいずれか1項に記載の複合部品内蔵回路基板。
- [請求項14] 前記複合部品よりも上面側に前記第1機能ブロックが設けられ、前記複合部品よりも下面側に前記第2機能ブロックが設けられる、
請求項1～13のいずれか1項に記載の複合部品内蔵回路基板。
- [請求項15] 複数の第1基材層を上下方向に積層してなる積層素体と、
前記積層素体に1チップ化された回路であって、当該積層素体に内蔵されたパターン導体によって構成された受動素子である第1回路素子及び第2回路素子を有する複合回路と、
前記積層素体の上面に設けられ、前記複合回路の一部に接続された第1端子電極と、
前記積層素体の下面に設けられ、前記複合回路の他部に接続された第2端子電極とを有する、
複合部品。

[図1]

図1

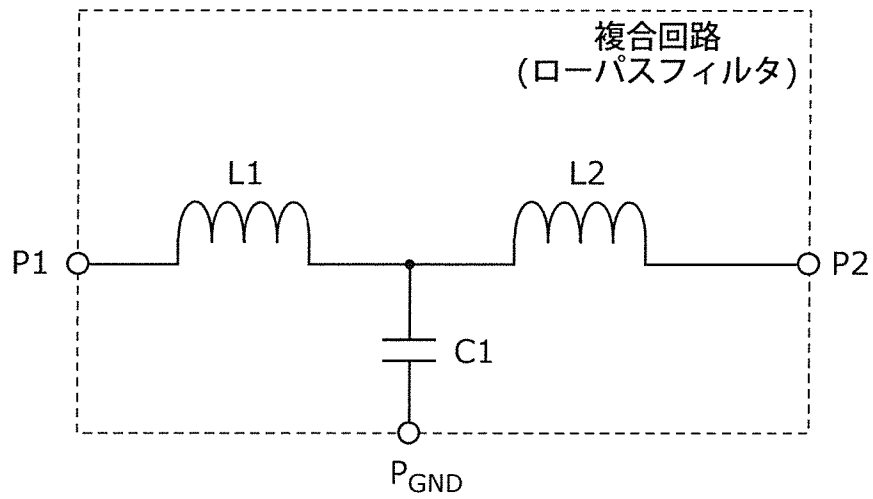


[図2]



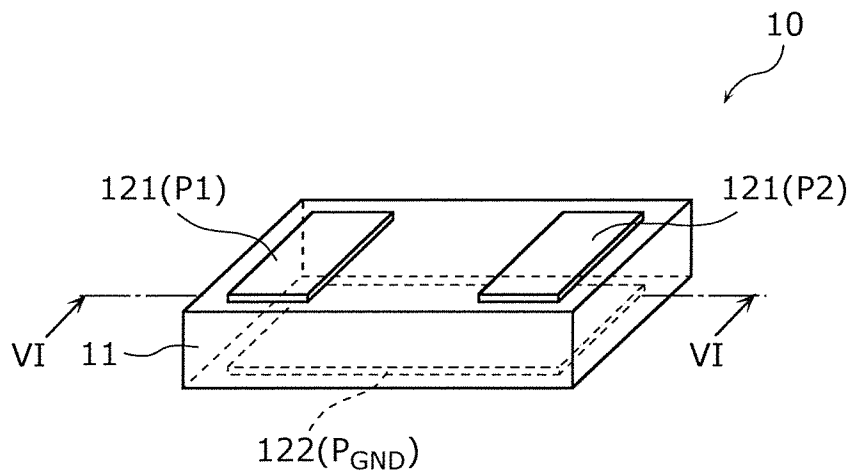
[図3]

図3



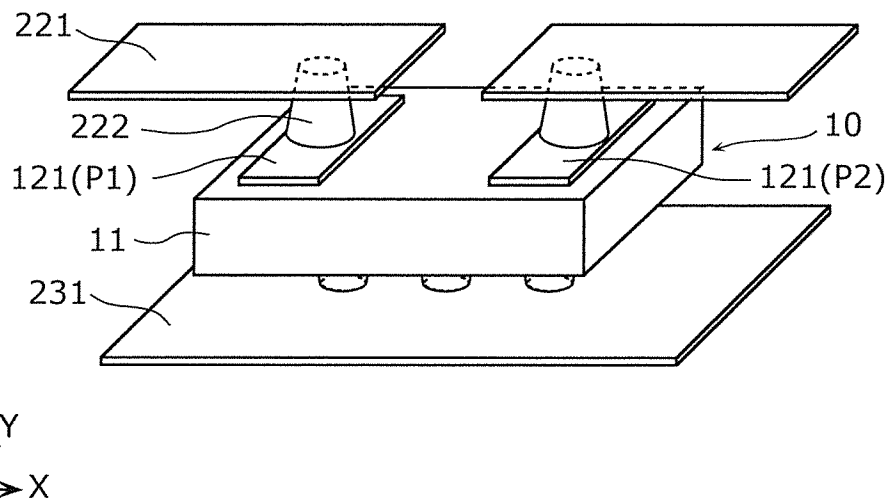
[図4]

図4



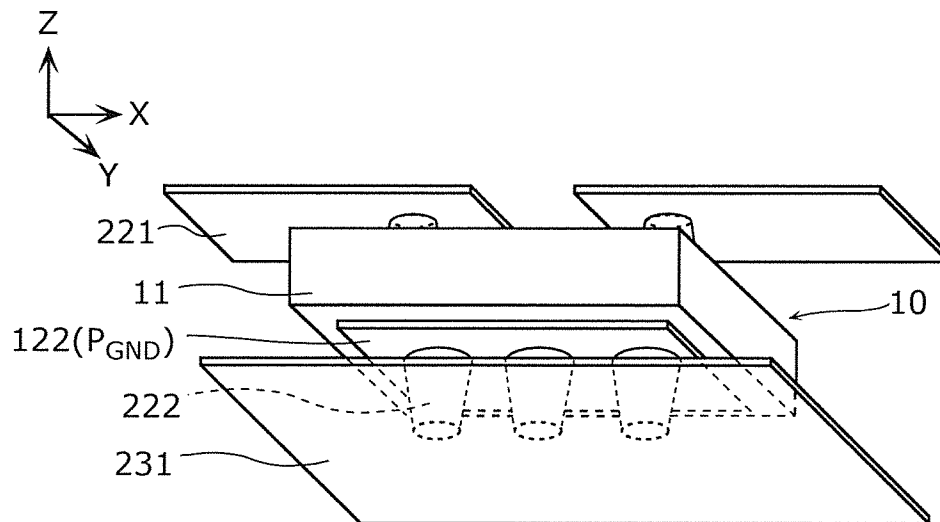
[図5A]

図5A

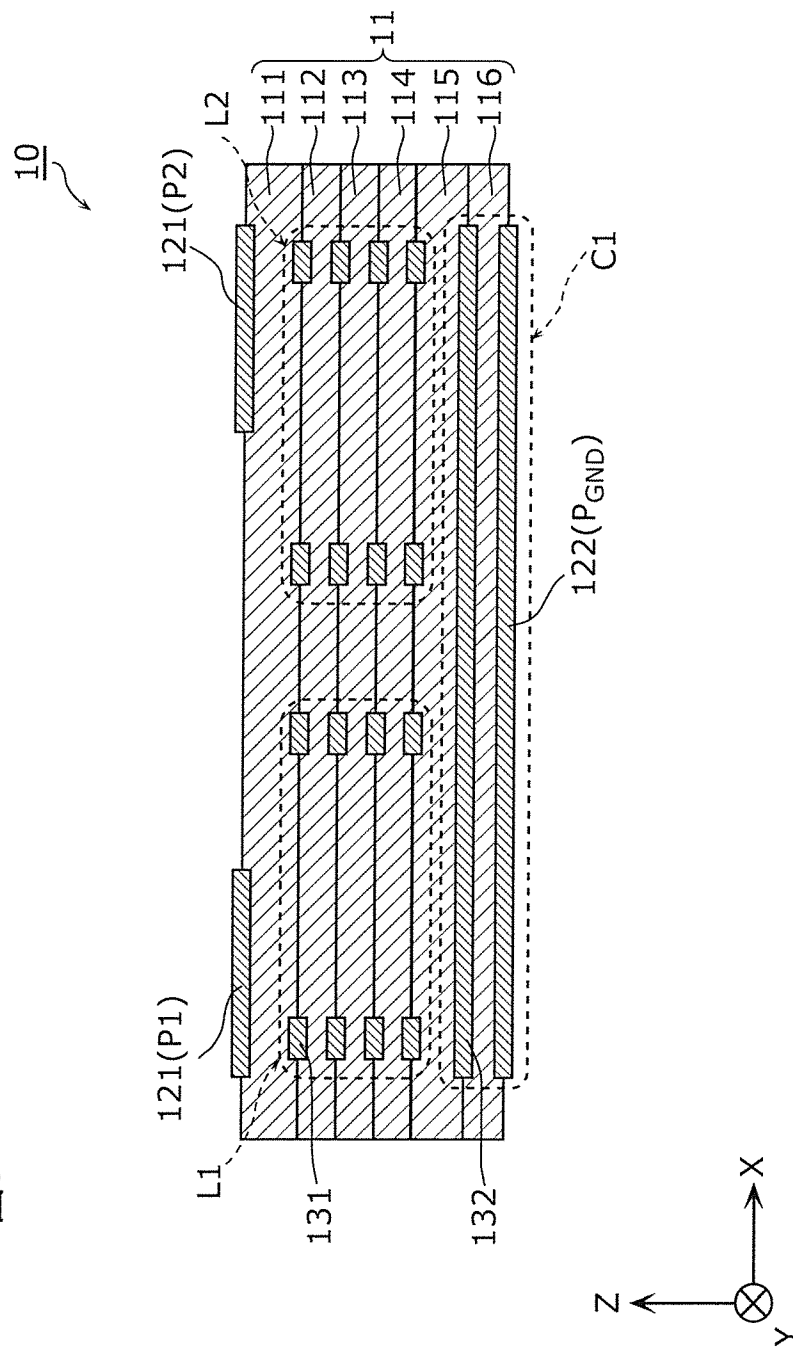


[図5B]

図5B

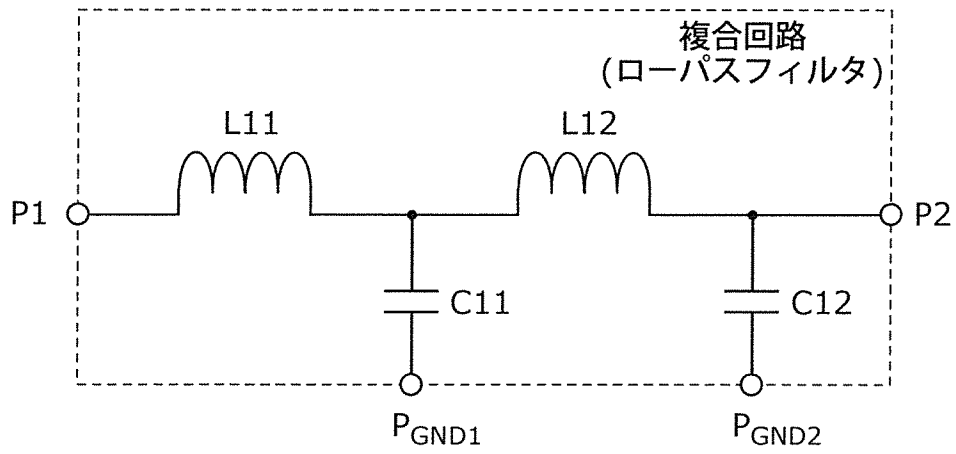


[図6]

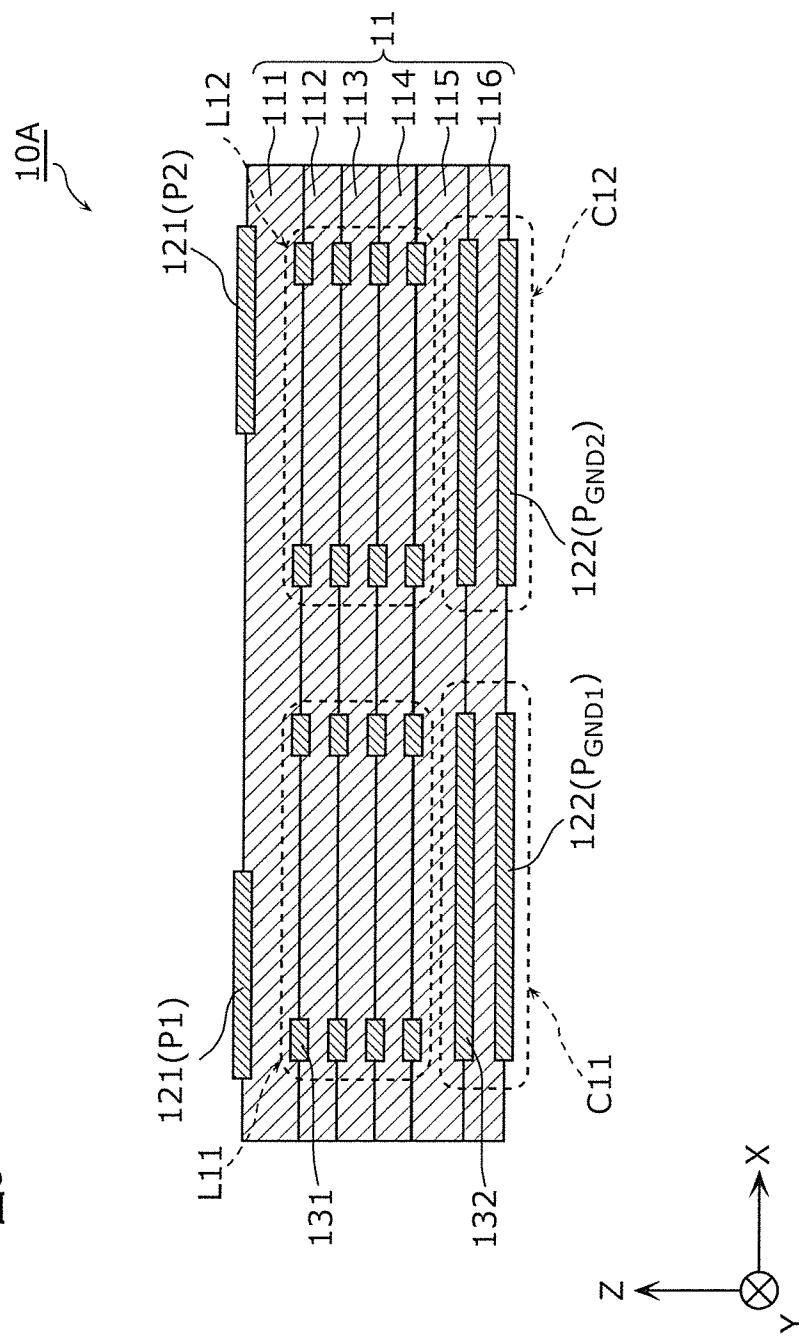


[図7]

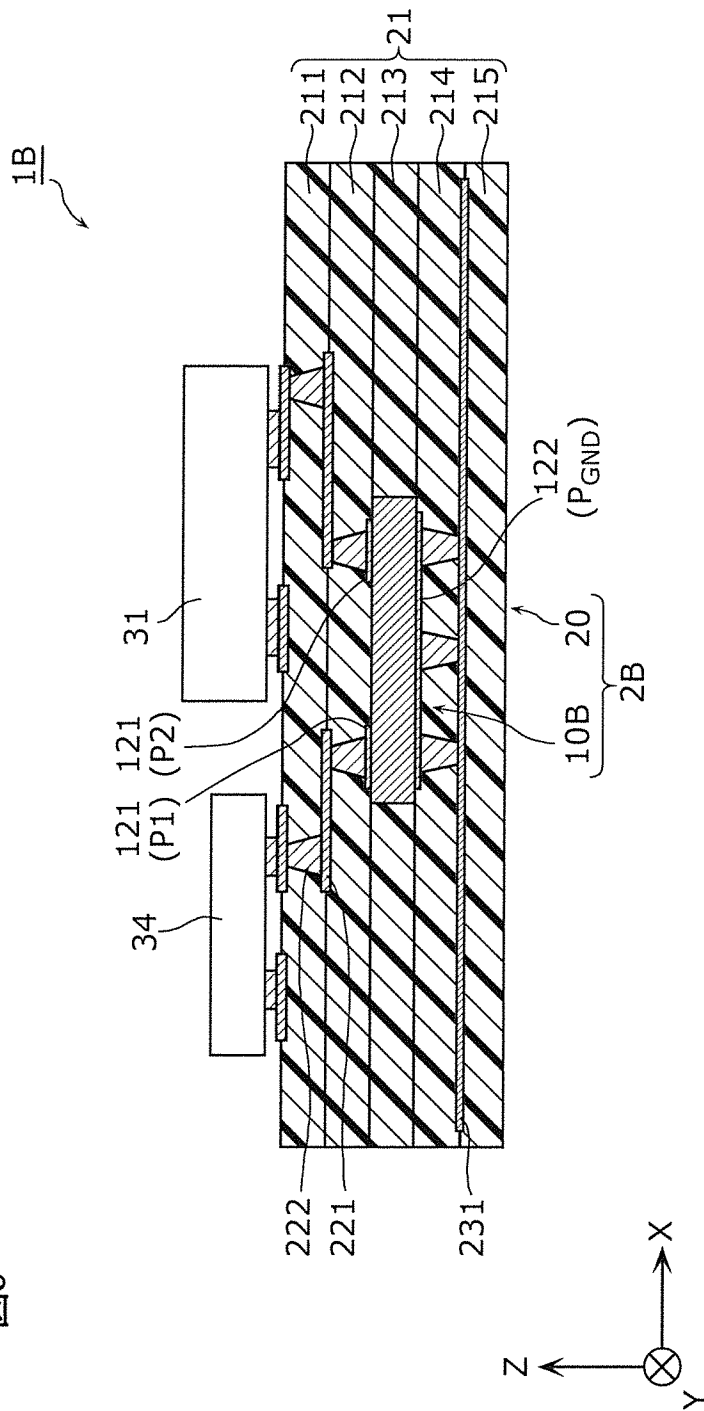
図7



[図8]

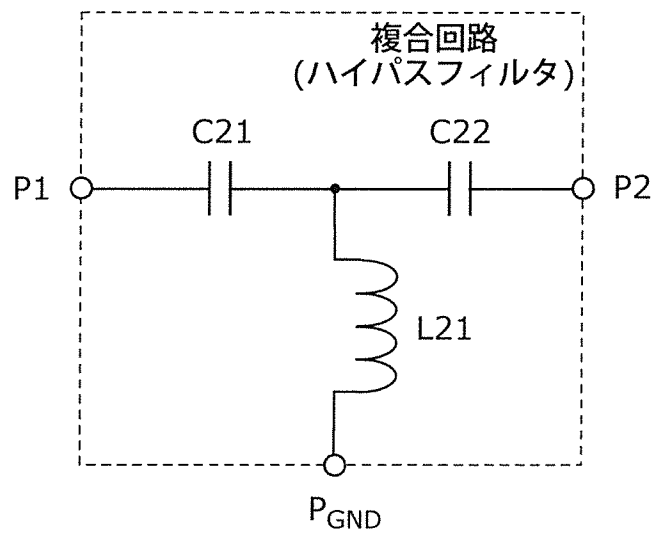


[図9]

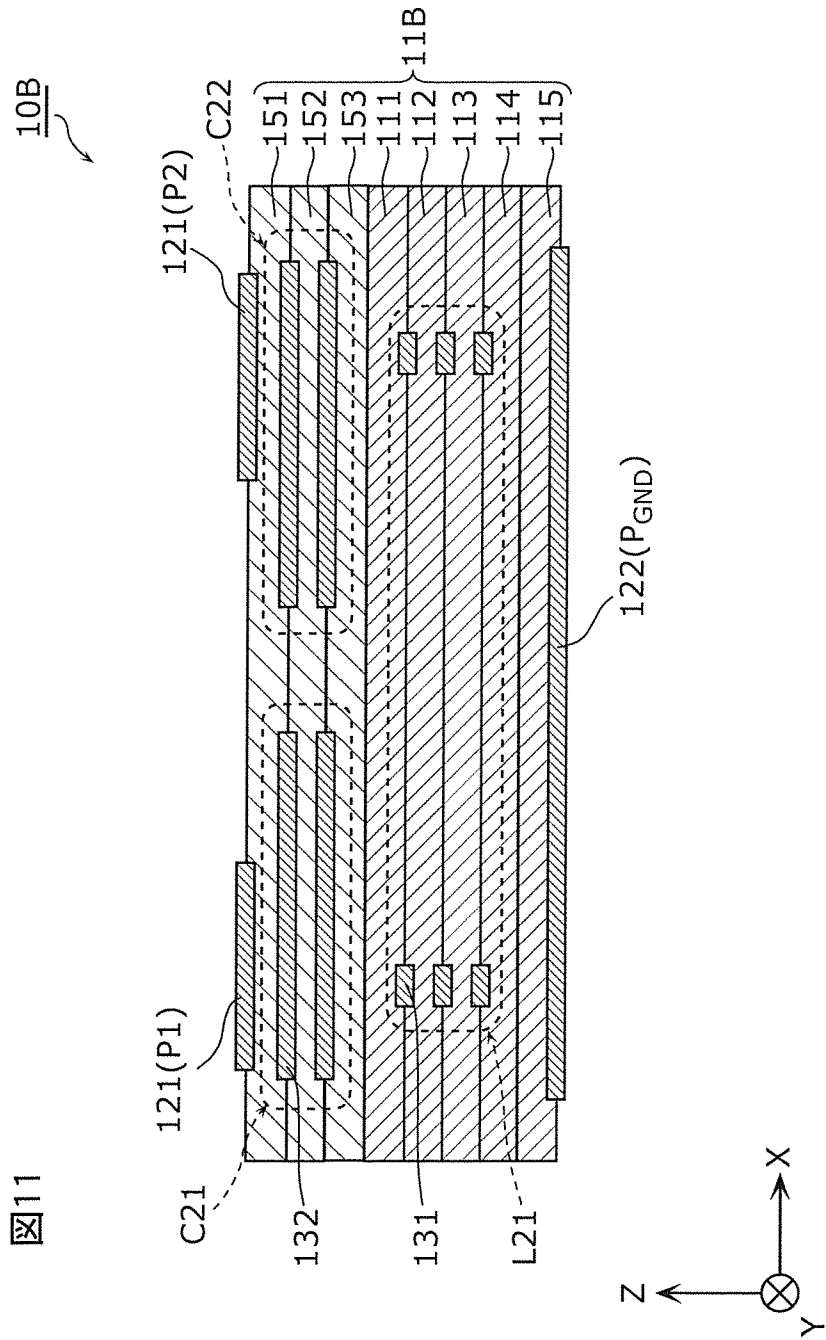


[図10]

図10

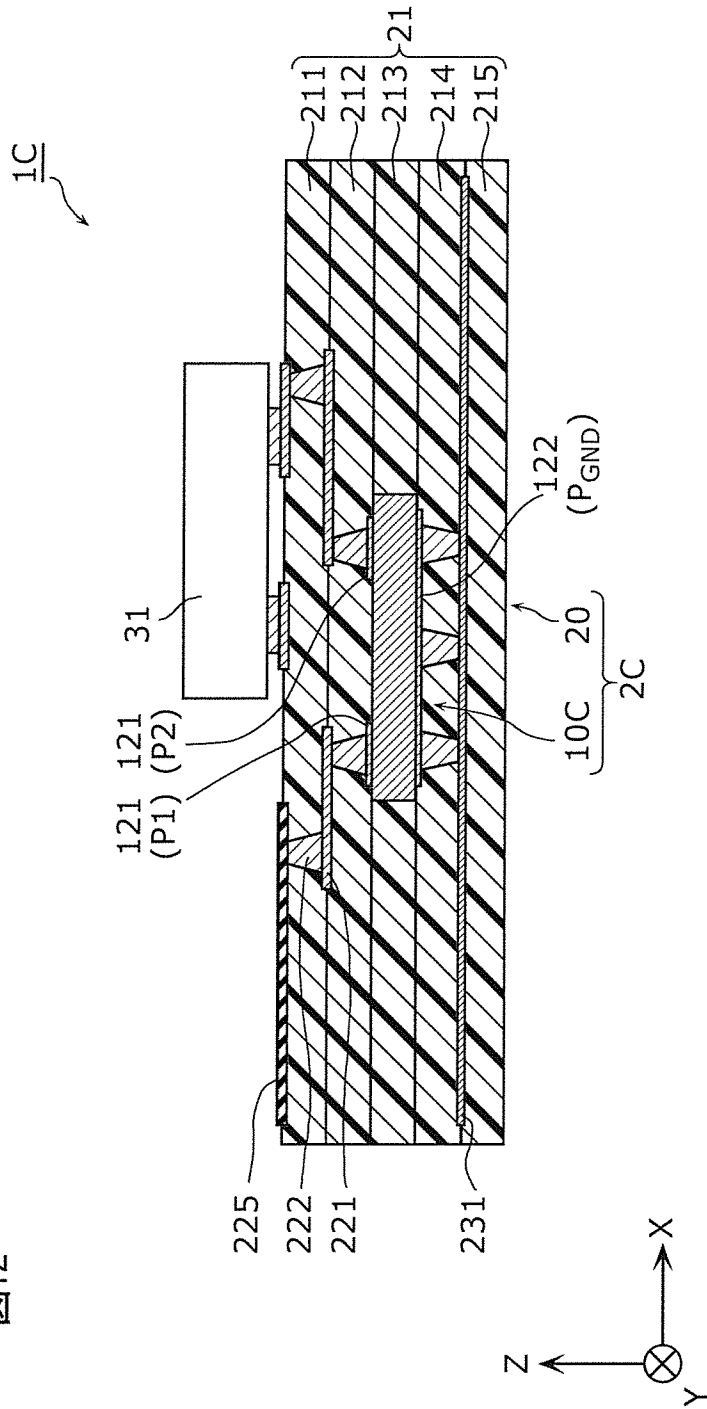


[図11]



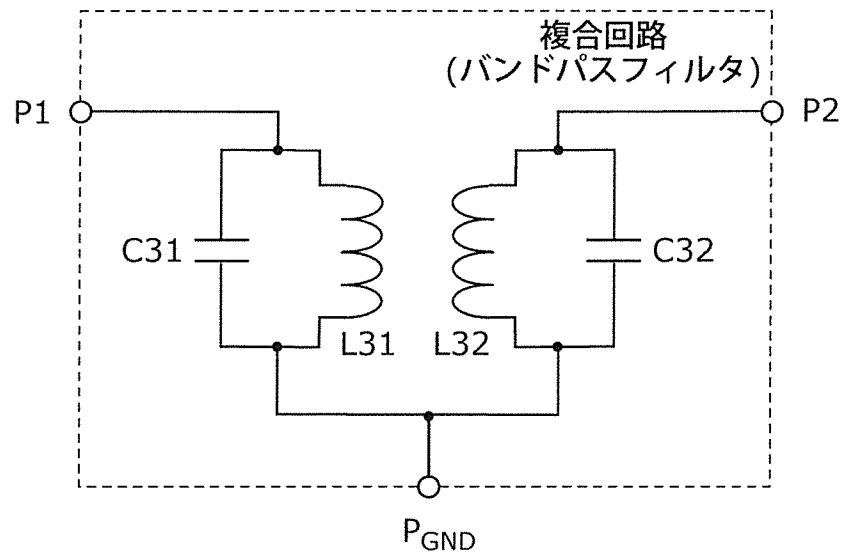
[図12]

図12

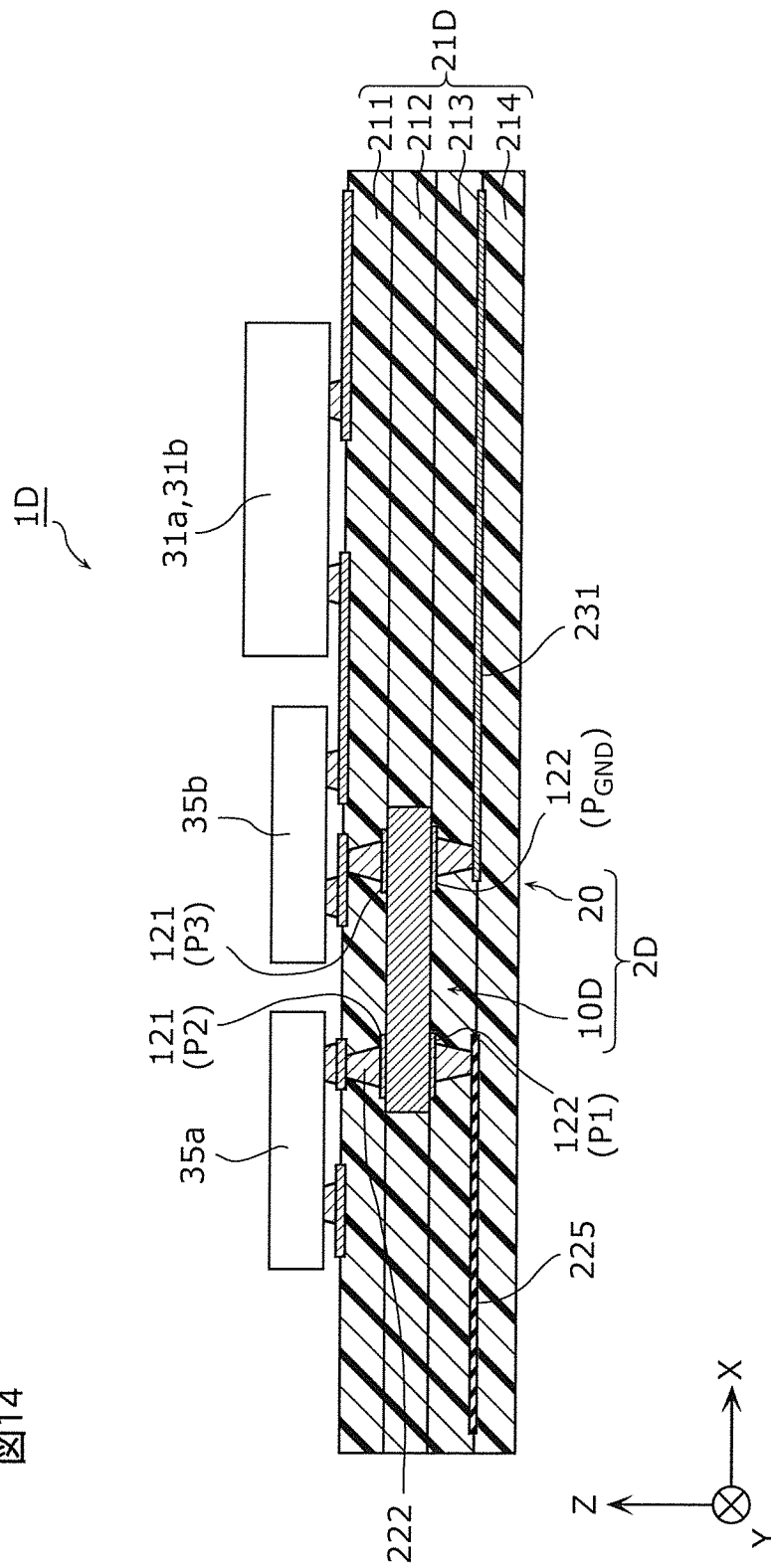


[図13]

図13

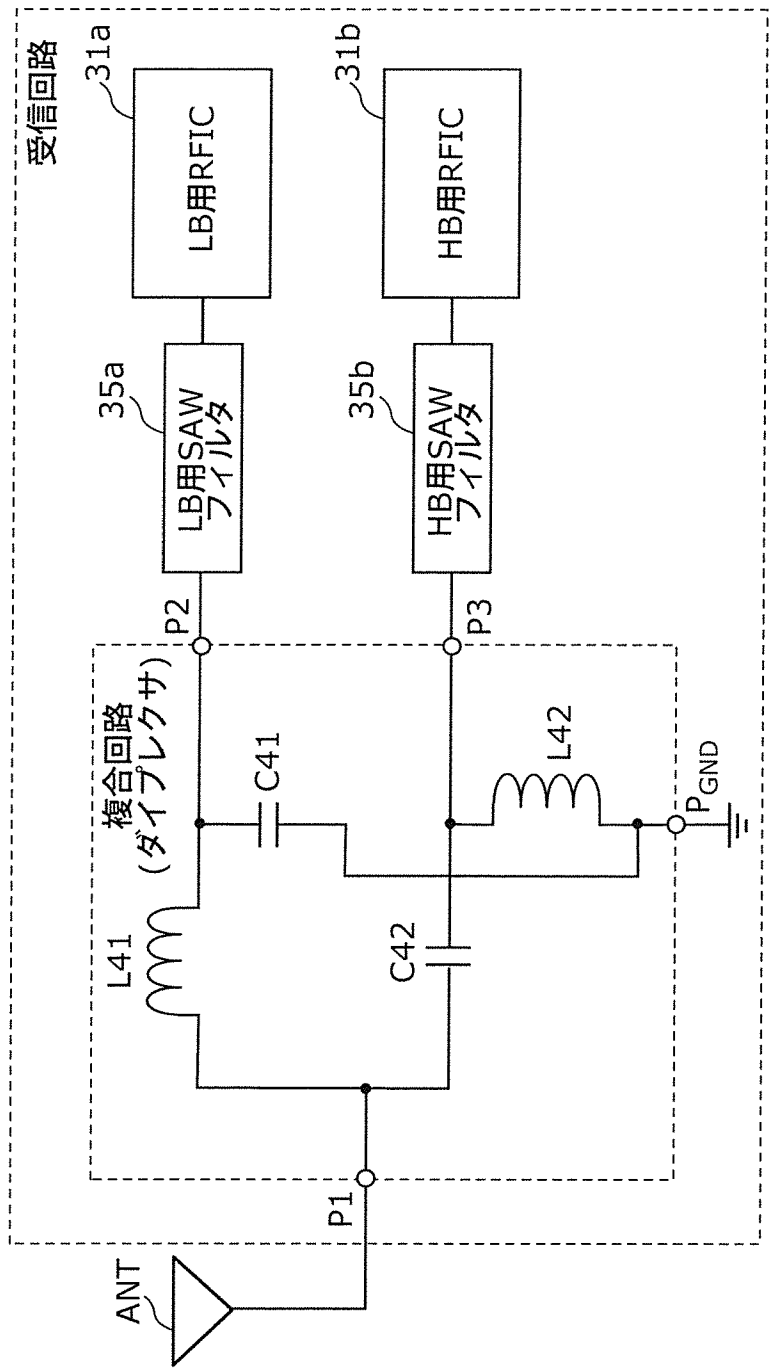


[図14]



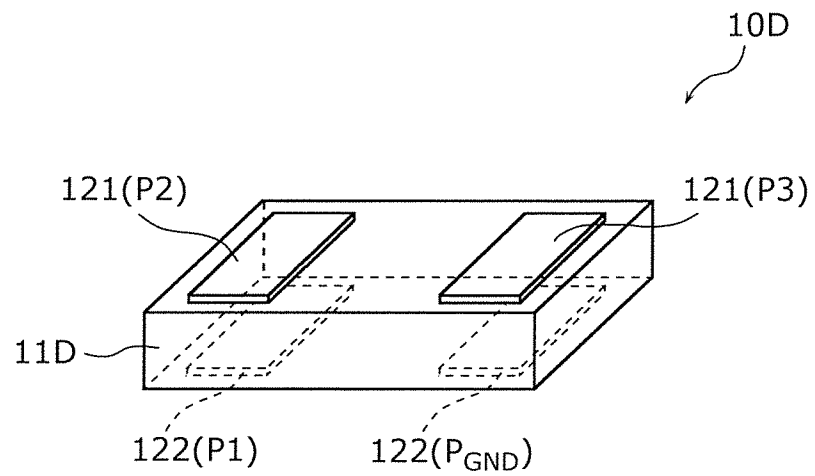
[図15]

図15



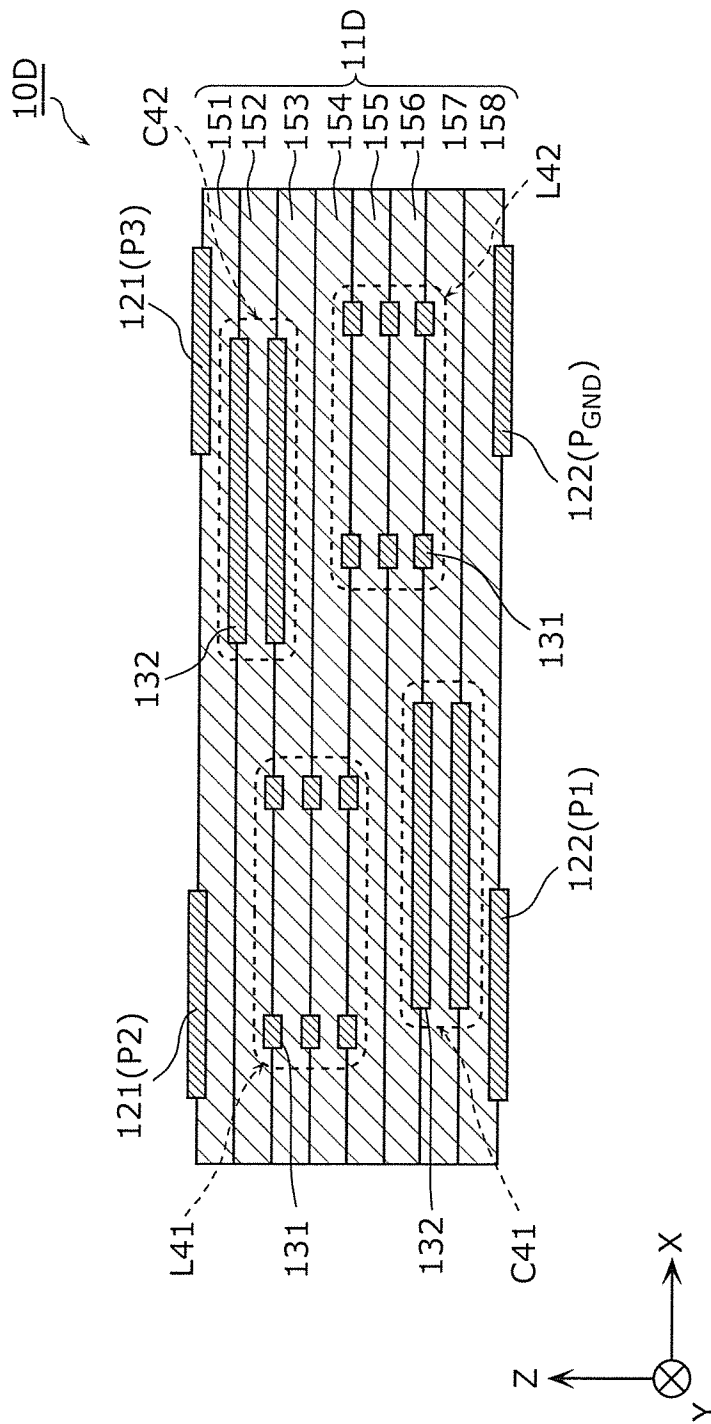
[図16]

図16



[図17]

図17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014851

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01)i, H01L23/12(2006.01)i, H03H7/075(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46, H01L23/12, H03H7/075

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-11284 A (Hitachi, Ltd.), 20 January 2014 (20.01.2014), paragraphs [0011] to [0027]; fig. 1 to 6 & WO 2014/002663 A1	1-6, 8-14 7
X Y A	JP 2000-151327 A (Murata Mfg. Co., Ltd.), 30 May 2000 (30.05.2000), paragraphs [0010] to [0035]; fig. 1 to 3 (Family: none)	15 1-6, 8-14 7
A	JP 2016-6847 A (TDK Corp.), 14 January 2016 (14.01.2016), entire text & US 2015/0351243 A1 entire text & CN 105322906 A & TW 201547183 A	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 June 2017 (19.06.17)

Date of mailing of the international search report
27 June 2017 (27.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014851

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-141128 A (Murata Mfg. Co., Ltd.), 24 June 2010 (24.06.2010), entire text (Family: none)	1-15
A	JP 2005-86676 A (TDK Corp.), 31 March 2005 (31.03.2005), entire text (Family: none)	1-15
A	JP 2000-151324 A (Murata Mfg. Co., Ltd.), 30 May 2000 (30.05.2000), entire text (Family: none)	1-15
A	JP 2011-23381 A (Nippon Zeon Co., Ltd.), 03 February 2011 (03.02.2011), entire text (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/46(2006.01)i, H01L23/12(2006.01)i, H03H7/075(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/46, H01L23/12, H03H7/075

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-11284 A（株式会社日立製作所）2014.01.20, 段落[0011]-[0027], 図 1-6 & WO 2014/002663 A1	1-6, 8-14 7
X Y A	JP 2000-151327 A（株式会社村田製作所）2000.05.30, 段落[0010]-[0035], 図 1-3（ファミリーなし）	15 1-6, 8-14 7
A	JP 2016-6847 A（TDK株式会社）2016.01.14, 全文 & US 2015/0351243 A1, 全文 & CN 105322906 A & TW 201547183 A	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19.06.2017

国際調査報告の発送日

27.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

原田 貴志

5 D

4 6 9 0

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-141128 A (株式会社村田製作所) 2010.06.24, 全文 (ファミリーなし)	1-15
A	JP 2005-86676 A (TDK株式会社) 2005.03.31, 全文 (ファミリーなし)	1-15
A	JP 2000-151324 A (株式会社村田製作所) 2000.05.30, 全文 (ファミリーなし)	1-15
A	JP 2011-23381 A (日本ゼオン株式会社) 2011.02.03, 全文 (ファミリーなし)	1-15