

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-96258  
(P2023-96258A)

(43)公開日 令和5年7月7日(2023.7.7)

(51)国際特許分類		F I		テーマコード(参考)	
G 1 1 C	19/28 (2006.01)	G 1 1 C	19/28	2 3 0	5 B 0 7 4
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20	6 2 2 A	5 C 0 0 6
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/20	6 2 2 E	5 C 0 8 0
H 0 1 L	29/786(2006.01)	G 0 9 G	3/36		5 F 1 1 0
		H 0 1 L	29/78	6 1 8 B	
		審査請求	未請求	請求項の数	10 O L (全23頁) 最終頁に続く

(21)出願番号	特願2021-211880(P2021-211880)	(71)出願人	520487808 シャープディスプレイテクノロジー株式会社 三重県亀山市白木町幸川464番
(22)出願日	令和3年12月27日(2021.12.27)	(74)代理人	100104695 弁理士 島田 明宏
		(74)代理人	100148459 弁理士 河本 悟
		(72)発明者	西村 淳 三重県亀山市白木町幸川464番 シャープディスプレイテクノロジー株式会社内
		(72)発明者	原 義仁 三重県亀山市白木町幸川464番 シャープディスプレイテクノロジー株式会社 最終頁に続く

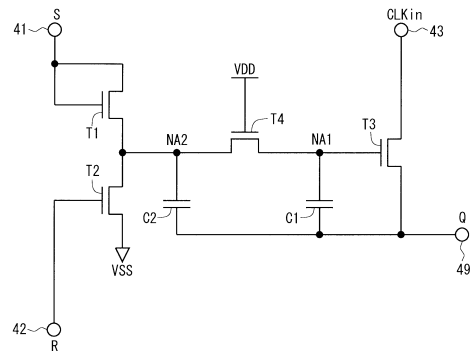
(54)【発明の名称】 シフトレジスタならびにそれを備えた走査信号線駆動回路および表示装置

(57)【要約】

【課題】制御ノード(単位回路からの出力を制御するノード)に導通端子が接続されたトランジスタでのリーク電流に起因する動作異常の発生を抑制することのできるシフトレジスタを実現する。

【解決手段】シフトレジスタの各段を構成する単位回路に、制御ノードを出力側の第1制御ノードNA1と入力側の第2制御ノードNA2とに分離する薄膜トランジスタ(分離トランジスタ)T4と、一端が第2制御ノードNA2に接続されたキャパシタC2とが設けられる。薄膜トランジスタ(分離トランジスタ)T4の制御端子には、ハイレベルの直流電源電圧VDDが与えられる。典型的には、単位回路からの出力を制御する薄膜トランジスタ(第1の出力制御トランジスタ)T3のチャネル幅は、薄膜トランジスタ(分離トランジスタ)T4のチャネル幅の10倍以上とされる。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

複数のクロック信号に基づいて動作する複数の段からなるシフトレジスタであって、各段を構成する単位回路は、

- 第 1 出力ノードと、
- 第 1 制御ノードと、
- 第 2 制御ノードと、

前記第 1 制御ノードに接続された制御端子と、前記複数のクロック信号の 1 つである入力クロック信号が与えられる第 1 導通端子と、前記第 1 出力ノードに接続された第 2 導通端子とを有する第 1 の出力制御トランジスタと、

10

先行する段を構成する単位回路から出力される出力信号であるセット信号が与えられる制御端子と、前記セット信号またはオンレベルの電位が与えられる第 1 導通端子と、前記第 2 制御ノードに接続された第 2 導通端子とを有するセットトランジスタと、

後続の段を構成する単位回路から出力される出力信号であるリセット信号が与えられる制御端子と、前記第 2 制御ノードに接続された第 1 導通端子と、オフレベルの電位が与えられる第 2 導通端子とを有するリセットトランジスタと、

オンレベルの電位が与えられる制御端子と、前記第 1 制御ノードに接続された第 1 導通端子と、前記第 2 制御ノードに接続された第 2 導通端子とを有する分離トランジスタと

、  
一端が前記第 1 制御ノードに接続され、他端が前記第 1 出力ノードに接続された第 1

20

キャパシタと、  
一端が前記第 2 制御ノードに接続された第 2 キャパシタと  
を含むことを特徴とする、シフトレジスタ。

## 【請求項 2】

前記第 2 キャパシタの他端は、前記第 1 出力ノードに接続されていることを特徴とする、請求項 1 に記載のシフトレジスタ。

## 【請求項 3】

前記第 2 キャパシタの他端には、オフレベルの電位が与えられることを特徴とする、請求項 1 に記載のシフトレジスタ。

## 【請求項 4】

前記第 1 の出力制御トランジスタのチャネル幅は、前記分離トランジスタのチャネル幅の 10 倍以上であることを特徴とする、請求項 1 から 3 までのいずれか 1 項に記載のシフトレジスタ。

30

## 【請求項 5】

前記単位回路は、更に、安定化ノードと、前記安定化ノードに接続された制御端子と前記第 2 制御ノードに接続された第 1 導通端子とオフレベルの電位が与えられる第 2 導通端子とを有する安定化トランジスタを含む、前記第 2 制御ノードの電位を制御するための安定化回路を含み、

前記第 1 制御ノードの電位がオフレベルで維持されるべき期間には、前記安定化ノードの電位はオンレベルで維持され、

40

前記第 1 制御ノードの電位がオンレベルで維持されるべき期間には、前記安定化ノードの電位はオフレベルで維持されることを特徴とする、請求項 1 から 4 までのいずれか 1 項に記載のシフトレジスタ。

## 【請求項 6】

前記単位回路は、  
第 2 出力ノードと、

前記第 1 制御ノードに接続された制御端子と、前記入力クロック信号が与えられる第 1 導通端子と、前記第 2 出力ノードに接続された第 2 導通端子とを有する第 2 の出力制御トランジスタと

を更に含み、

50

前記第 2 出力ノードから出力される出力信号は、先行する段を構成する単位回路に前記リセット信号として与えられるとともに後続の段を構成する単位回路に前記セット信号として与えられることを特徴とする、請求項 1 から 5 までのいずれか 1 項に記載のシフトレジスタ。

【請求項 7】

前記セットトランジスタおよび前記リセットトランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴とする、請求項 1 から 6 までのいずれか 1 項に記載のシフトレジスタ。

【請求項 8】

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素を含むことを特徴とする、請求項 7 に記載のシフトレジスタ。

10

【請求項 9】

画像を表示する表示部に配設された複数の走査信号線を駆動する走査信号線駆動回路であって、

請求項 1 から 8 までのいずれか 1 項に記載のシフトレジスタを備え、

前記複数の走査信号線と 1 対 1 で対応するように、前記複数の段を構成する複数の単位回路が設けられ、

各単位回路に含まれる前記第 1 出力ノードは、対応する走査信号線に接続されていることを特徴とする、走査信号線駆動回路。

【請求項 10】

20

前記表示部と請求項 9 に記載の走査信号線駆動回路とを備えたことを特徴とする、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

以下の開示は、アクティブマトリクス型の表示装置の駆動回路に設けられるシフトレジスタに関し、特に、モノリシック化された走査信号線駆動回路内のシフトレジスタに関する。

【背景技術】

【0002】

30

従来より、複数本のソースバスライン（映像信号線）および複数本のゲートバスライン（走査信号線）を含む表示部を備えた液晶表示装置が知られている。そのような液晶表示装置において、ソースバスラインとゲートバスラインとの交差点には、画素を形成する画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）や、画素電圧値を保持するための画素容量などを含んでいる。液晶表示装置には、また、ゲートバスラインを駆動するためのゲートドライバ（走査信号線駆動回路）とソースバスラインを駆動するためのソースドライバ（映像信号線駆動回路）とが設けられている。

【0003】

40

画素電圧値を示す映像信号はソースバスラインによって伝達される。しかしながら、各ソースバスラインは複数行分の画素電圧値を示す映像信号を一時（同時）に伝達することができない。このため、表示部に設けられた複数個の画素形成部内の画素容量への映像信号の書き込み（充電）は 1 行ずつ順次に行われる。これを実現するために、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数の段からなるシフトレジスタによって構成されている。そして、それら複数の段から順次にアクティブな走査信号が出力されることによって、上述のように、画素容量への映像信号の書き込みが 1 行ずつ順次に行われる。

【0004】

従来、ゲートドライバは液晶パネルを構成する基板の周辺部に集積回路（IC）チップ

50

として搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」と呼ばれている。また、近年、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とする酸化物半導体である酸化インジウムガリウム亜鉛によりチャンネル層が形成されたTFET（以下「IGZO-TFET」という。）を使用した液晶表示装置の開発が進んでいる。

#### 【0005】

なお、以下においては、シフトレジスタの各段を構成する回路のことを「単位回路」という。また、nチャンネル型の薄膜トランジスタに関してはドレインとソースのうち電位の高い方がドレインと呼ばれているが、以下で説明する単位回路内の薄膜トランジスタの中には、動作中にドレインとソースとが入れ替わるものもある。そこで、以下、ドレインまたはソースとして機能する2つの端子のうちの一方を「第1導通端子」、他方を「第2導通端子」という。また、薄膜トランジスタのゲートとして機能する端子を「制御端子」という。但し、必要に応じて、ゲート、ドレイン、およびソースという用語も用いる。

10

#### 【0006】

図15は、モノリシックゲートドライバに含まれる従来の単位回路の一構成例を示す回路図である。この単位回路は、3個の薄膜トランジスタT91～T93と1個のキャパシタ（容量素子）C91とを備えている。また、この単位回路は、ローレベルの直流電源電圧VSS用の入力端子のほか、3個の入力端子91～93と、1個の出力端子99とを有している。入力端子91には先行する段を構成する単位回路からの出力信号がセット信号Sとして与えられ、入力端子92には後続の段を構成する単位回路からの出力信号がリセット信号Rとして与えられ、入力端子93にはシフトレジスタを動作させる複数のクロック信号の1つが入力クロック信号CLKinとして与えられる。出力端子99からは走査信号となる出力信号Qが出力される。なお、薄膜トランジスタT93の制御端子に接続されているノードを「制御ノード」といい、制御ノードには符号NAを付す。

20

#### 【0007】

図16を参照しつつ、図15に示す単位回路の理想的な動作を説明する。時刻t91よりも前の期間には、制御ノードNAの電位および出力信号Qの電位（出力端子99の電位）はローレベルである。

#### 【0008】

時刻t91になると、セット信号Sがローレベル（オフレベル）からハイレベル（オンレベル）に変化する。薄膜トランジスタT91は図15に示すようにダイオード接続となっているので、セット信号Sがハイレベルに変化することによって薄膜トランジスタT91はオン状態となり、キャパシタC91が充電される。これにより、制御ノードNAの電位はローレベルからハイレベルに変化し、薄膜トランジスタT93がオン状態となる。ここで、時刻t91～時刻t92の期間中、入力クロック信号CLKinはローレベルで維持されている。このため、この期間中、出力信号Qはローレベルで維持される。

30

#### 【0009】

時刻t92になると、入力クロック信号CLKinがローレベルからハイレベルに変化する。このとき、薄膜トランジスタT93はオン状態であるので、入力端子93の電位の上昇とともに出力端子99の電位が上昇する。ここで、図15に示すように制御ノードNA - 出力端子99間にはキャパシタC91が設けられているので、出力端子99の電位の上昇とともに制御ノードNAの電位も上昇する（制御ノードNAがブースト状態となる）。その結果、薄膜トランジスタT93には大きな電圧が印加され、この出力端子99に接続されているゲートバスラインが選択状態となるのに十分なレベルにまで出力信号Qの電位が上昇する。

40

#### 【0010】

時刻t93になると、入力クロック信号CLKinがハイレベルからローレベルに変化する。これにより、入力端子93の電位の低下とともに出力端子99の電位が低下する。すなわち、出力信号Qの電位がローレベルとなる。また、キャパシタC91を介して制御

50

ノードNAの電位も低下する。

【0011】

時刻 $t_{94}$ になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタT92がオン状態となる。その結果、制御ノードNAの電位がローレベルとなる。

【0012】

以上のような動作がシフトレジスタを構成する全ての単位回路で行われることによって、複数本のゲートバスラインが所定期間ずつ順次に選択状態となる。なお、国際公開第2011/055569号パンフレットには様々な構成の単位回路が開示されているが、い

10

【0013】

ところで、上述したIGZO-TFTを用いたモノリシックゲートドライバについては、薄膜トランジスタのゲート-ソース間電圧 $V_{gs}$ が0Vである時には当該薄膜トランジスタはオフ状態である(ドレイン-ソース間電流がほぼ0である)ということ为前提にして回路が構成されている。しかしながら、近年のIGZO-TFTの高移動度化に起因して、単位回路内の薄膜トランジスタの特性がエンハnst型の特性からデプレッション型の特性へと変化するケースが生じている。薄膜トランジスタがデプレッション型の特性を有することになると、ゲート-ソース間電圧 $V_{gs}$ が0Vである時に当該薄膜トランジスタのドレイン-ソース間に無視できない大きさの電流が流れる。これにより、動作異常が生じ得る。また、インセルタッチパネルを搭載した構成に対応しているモノリシックゲートドライバにおいては、閾値電圧がマイナス方向にシフトするような電圧ストレスが薄膜トランジスタにかかるので、装置の使用中に単位回路内の薄膜トランジスタの特性がエンハnst型の特性からデプレッション型の特性へと変化して動作異常が生じることが懸念される。以下、図17を参照しつつ、図15に示す単位回路内の薄膜トランジスタの特性がエンハnst型の特性からデプレッション型の特性へと変化したときに生じる動作異常について説明する。

20

【0014】

上述したように、時刻 $t_{92}$ になると、入力クロック信号CLKinがローレベルからハイレベルに変化することにより、出力端子99の電位(出力信号Qの電位)および制御ノードNAの電位が上昇する。ここで、薄膜トランジスタT91がデプレッション型の特性を有していると、当該薄膜トランジスタT91でリーク電流が生じる。同様に、薄膜トランジスタT92がデプレッション型の特性を有していると、当該薄膜トランジスタT92でリーク電流が生じる。このようリーク電流が生じると、図17で符号901を付した部分に示すように時刻 $t_{92}$ 以降に制御ノードNAの電位が低下する。

30

【0015】

時刻 $t_{93}$ になると、入力クロック信号CLKinがハイレベルからローレベルに変化する。このとき、薄膜トランジスタT91や薄膜トランジスタT92でのリーク電流に起因して時刻 $t_{92}$ 以降に制御ノードNAの電位が低下していると、薄膜トランジスタT93の放電能力が低下している。その結果、出力信号Qの電位は、図16に示した理想的な波形とは異なり、時刻 $t_{93}$ 以降に徐々に低下する(図17で符号902を付した部分を参照)。このように出力信号Qの波形が理想的な波形とは異なる波形となることにより、動作異常が生じる。

40

【0016】

なお、米国特許出願公開第2020/0135132号には、モノリシックゲートドライバに含まれる単位回路に関し、概略的には図18に示すような、制御ノードNAを2つの制御ノード(第1制御ノードNA1および第2制御ノードNA2)に分離するように薄膜トランジスタT94が設けられた構成が開示されている。

【先行技術文献】

【特許文献】

【0017】

50

【特許文献1】国際公開第2011/055569号パンフレット

【特許文献2】米国特許出願公開第2020/0135132号明細書

【発明の概要】

【発明が解決しようとする課題】

【0018】

図18に示した構成の単位回路によれば、薄膜トランジスタT94の制御端子にはハイレベルの直流電源電圧VDDが与えられている。それ故、図16や図17における時刻t92にブースト動作によって第1制御ノードNA1の電位が上昇すると、薄膜トランジスタT94はオフ状態となる。従って、時刻t92以降に第2制御ノードNA2の電位は上昇しない。これにより、薄膜トランジスタT91や薄膜トランジスタT92に関して、第1導通端子 - 第2導通端子間に高電圧が印加されることが抑制される。

10

【0019】

しかしながら、薄膜トランジスタT91あるいは薄膜トランジスタT92でリーク電流が生じた場合には、図16や図17における時刻t92～時刻t93の期間中に第2制御ノードNA2の電位が低下することによって薄膜トランジスタT94がオン状態となる。これにより、第1制御ノードNAの電位も低下するので、出力信号Qの波形が理想的な波形とは異なる波形となる。すなわち、動作異常が生じる。

【0020】

そこで、以下の開示は、制御ノード（単位回路からの出力を制御するノード）に導通端子が接続されたトランジスタでのリーク電流に起因する動作異常の発生を抑制することのできるシフトレジスタを実現することを目的とする。

20

【課題を解決するための手段】

【0021】

(1)本発明のいくつかの実施形態によるシフトレジスタは、複数のクロック信号に基づいて動作する複数の段からなるシフトレジスタであって、

各段を構成する単位回路は、

第1出力ノードと、

第1制御ノードと、

第2制御ノードと、

前記第1制御ノードに接続された制御端子と、前記複数のクロック信号の1つである入力クロック信号が与えられる第1導通端子と、前記第1出力ノードに接続された第2導通端子とを有する第1の出力制御トランジスタと、

30

先行する段を構成する単位回路から出力される出力信号であるセット信号が与えられる制御端子と、前記セット信号またはオンレベルの電位が与えられる第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有するセットトランジスタと、

後続の段を構成する単位回路から出力される出力信号であるリセット信号が与えられる制御端子と、前記第2制御ノードに接続された第1導通端子と、オフレベルの電位が与えられる第2導通端子とを有するリセットトランジスタと、

オンレベルの電位が与えられる制御端子と、前記第1制御ノードに接続された第1導通端子と、前記第2制御ノードに接続された第2導通端子とを有する分離トランジスタと

40

、  
一端が前記第1制御ノードに接続され、他端が前記第1出力ノードに接続された第1キャパシタと、

一端が前記第2制御ノードに接続された第2キャパシタと

を含む。

【0022】

(2)また、本発明のいくつかの実施形態によるシフトレジスタは、上記(1)の構成を含み、

前記第2キャパシタの他端は、前記第1出力ノードに接続されている。

【0023】

50

(3) また、本発明のいくつかの実施形態によるシフトレジスタは、上記(1)の構成を含み、

前記第2キャパシタの他端には、オフレベルの電位が与えられる。

【0024】

(4) また、本発明のいくつかの実施形態によるシフトレジスタは、上記(1)から(3)までのいずれかの構成を含み、

前記第1の出力制御トランジスタのチャネル幅は、前記分離トランジスタのチャネル幅の10倍以上である。

【0025】

(5) また、本発明のいくつかの実施形態によるシフトレジスタは、上記(1)から(4)までのいずれかの構成を含み、

前記単位回路は、更に、安定化ノードと、前記安定化ノードに接続された制御端子と前記第2制御ノードに接続された第1導通端子とオフレベルの電位が与えられる第2導通端子とを有する安定化トランジスタとを含む、前記第2制御ノードの電位を制御するための安定化回路を含み、

前記第1制御ノードの電位がオフレベルで維持されるべき期間には、前記安定化ノードの電位はオンレベルで維持され、

前記第1制御ノードの電位がオンレベルで維持されるべき期間には、前記安定化ノードの電位はオフレベルで維持される。

【0026】

(6) また、本発明のいくつかの実施形態によるシフトレジスタは、上記(1)から(5)までのいずれかの構成を含み、

前記単位回路は、

第2出力ノードと、

前記第1制御ノードに接続された制御端子と、前記入力クロック信号が与えられる第1導通端子と、前記第2出力ノードに接続された第2導通端子とを有する第2の出力制御トランジスタと  
を更に含み、

前記第2出力ノードから出力される出力信号は、先行する段を構成する単位回路に前記リセット信号として与えられるとともに後続の段を構成する単位回路に前記セット信号として与えられる。

【0027】

(7) また、本発明のいくつかの実施形態によるシフトレジスタは、上記(1)から(6)までのいずれかの構成を含み、

前記セットトランジスタおよび前記リセットトランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタである。

【0028】

(8) また、本発明のいくつかの実施形態によるシフトレジスタは、上記(7)の構成を含み、

前記酸化物半導体は、インジウム、ガリウム、亜鉛、および酸素を含む。

【0029】

(9) また、本発明のいくつかの実施形態による走査信号線駆動回路は、画像を表示する表示部に配設された複数の走査信号線を駆動する走査信号線駆動回路であって、

上記(1)から(8)までのいずれかの構成を有するシフトレジスタを備え、

前記複数の走査信号線と1対1で対応するように、前記複数の段を構成する複数の単位回路が設けられ、

各単位回路に含まれる前記第1出力ノードは、対応する走査信号線に接続されている。

【0030】

(10) また、本発明のいくつかの実施形態による表示装置は、前記表示部と上記(9)の構成を有する走査信号線駆動回路とを備える表示装置である。

10

20

30

40

50

## 【発明の効果】

## 【0031】

本発明のいくつかの実施形態によるシフトレジスタによれば、各段を構成する単位回路に、制御ノード（単位回路からの出力を制御するノード）を出力側の第1制御ノードと入力側の第2制御ノードとに分離する分離トランジスタと、一端が第2制御ノードに接続された第2キャパシタとが設けられる。このように一端が第2制御ノードに接続された第2キャパシタが単位回路に設けられているので、セットトランジスタあるいはリセットトランジスタでリーク電流が生じても、第2制御ノードの電位は緩やかに低下する。それ故、セットトランジスタあるいはリセットトランジスタでリーク電流が生じても、第1制御ノードの電位も緩やかに低下し、第1の出力制御トランジスタの放電能力の低下が抑制される。すなわち、動作異常の発生が抑制される。以上のように、制御ノードに導通端子が接続されたトランジスタでのリーク電流に起因する動作異常の発生を抑制することのできるシフトレジスタが実現される。

10

## 【図面の簡単な説明】

## 【0032】

【図1】第1の実施形態における単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

【図2】全ての実施形態における液晶表示装置の全体構成を示すブロック図である。

【図3】全ての実施形態におけるゲートドライバの概略構成について説明するためのブロック図である。

20

【図4】全ての実施形態におけるゲートドライバ内のシフトレジスタの構成を示すブロック図である。

【図5】全ての実施形態におけるゲートドライバの動作について説明するための信号波形図である。

【図6】上記第1の実施形態における単位回路の動作について説明するための信号波形図である。

【図7】上記第1の実施形態の効果について説明するための信号波形図である。

【図8】第2の実施形態における単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

【図9】上記第2の実施形態における単位回路の動作について説明するための信号波形図である。

30

【図10】上記第2の実施形態の効果について説明するための信号波形図である。

【図11】実際的な回路への適用に関する第1の例における単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

【図12】上記第1の例における単位回路の動作について説明するための信号波形図である。

【図13】実際的な回路への適用に関する第2の例における単位回路からの出力信号について説明するための図である。

【図14】上記第2の例における単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

40

【図15】従来単位回路の一構成例を示す回路図である。

【図16】従来単位回路の動作について説明するための信号波形図である。

【図17】従来単位回路で生じ得る動作異常について説明するための信号波形図である。

【図18】従来例に関し、制御ノードを2つのノードに分離するように薄膜トランジスタが設けられた単位回路の構成を示す回路図である。

## 【発明を実施するための形態】

## 【0033】

以下、添付図面を参照しつつ、実施形態について説明する。

## 【0034】

50

< 1 . 全体構成および動作概要 >

図 2 は、全ての実施形態における液晶表示装置の全体構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、電源 1 0 0 と D C / D C コンバータ 1 1 0 と表示制御回路 2 0 0 とソースドライバ（映像信号線駆動回路）3 0 0 とゲートドライバ（走査信号線駆動回路）4 0 0 と共通電極駆動回路 5 0 0 と表示部 6 0 0 とを備えている。ゲートドライバ 4 0 0 と表示部 6 0 0 とは同一基板（液晶パネルを構成する 2 枚の基板のうちの一方の基板である T F T 基板）上に形成されている。すなわち、ゲートドライバ 4 0 0 は、モノリシックゲートドライバである。

【 0 0 3 5 】

表示部 6 0 0 には、複数本（ $j$  本）のソースバスライン（映像信号線） $S L 1 \sim S L j$  と、複数本（ $i$  本）のゲートバスライン（走査信号線） $G L 1 \sim G L i$  と、それら複数本のソースバスライン  $S L 1 \sim S L j$  と複数本のゲートバスライン  $G L 1 \sim G L i$  との交差点にそれぞれ対応して設けられた複数個（ $i \times j$  個）の画素形成部とが形成されている。上記複数個の画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されると共に当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（T F T）6 0 と、その薄膜トランジスタ 6 0 のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極 E c と、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極 E c との間に挟持された液晶層とからなる。そして、画素電極と共通電極 E c とにより形成される液晶容量により、画素容量 C p が構成される。なお、一般的には、画素容量 C p に確実に電荷を保持すべく、液晶容量に並列に補助容量が設けられる。

【 0 0 3 6 】

薄膜トランジスタ 6 0 としては、酸化物半導体によって形成されたチャネル層を有する薄膜トランジスタ（酸化物 T F T）が採用されている。酸化物 T F T としては、例えば、I G Z O - T F T（インジウム、ガリウム、亜鉛、および酸素を含む酸化物半導体によって形成されたチャネル層を有する薄膜トランジスタ）が採用されている。これらの点については、ゲートドライバ 4 0 0 内の薄膜トランジスタについても同様である。

【 0 0 3 7 】

電源 1 0 0 は、D C / D C コンバータ 1 1 0 と表示制御回路 2 0 0 と共通電極駆動回路 5 0 0 とに所定の電源電圧を供給する。D C / D C コンバータ 1 1 0 は、その電源電圧からソースドライバ 3 0 0 およびゲートドライバ 4 0 0 を動作させるための直流電圧（ハイレベルの直流電源電圧 V D D およびローレベルの直流電源電圧 V S S）を生成し、それをソースドライバ 3 0 0 およびゲートドライバ 4 0 0 に供給する。共通電極駆動回路 5 0 0 は、共通電極 E c に共通電極駆動電圧 V c o m を与える。

【 0 0 3 8 】

表示制御回路 2 0 0 は、外部から送られる画像信号 D A T および水平同期信号や垂直同期信号などのタイミング信号群 T G を受け取り、デジタル映像信号 D V と、ソースドライバ 3 0 0 の動作を制御するためのソース制御信号 S C T L と、ゲートドライバ 4 0 0 の動作を制御するためのゲート制御信号 G C T L とを出力する。ソース制御信号 S C T L には、ソーススタートパルス信号 S S P , ソースクロック信号 S C K , およびラッチストロープ信号 L S が含まれている。ゲート制御信号 G C T L には、ゲートスタートパルス信号 G S P , ゲートエンドパルス信号 G E P , およびゲートクロック信号 G C K が含まれている。

【 0 0 3 9 】

ソースドライバ 3 0 0 は、表示制御回路 2 0 0 から送られるデジタル映像信号 D V とソース制御信号 S C T L とに基づいて、ソースバスライン  $S L 1 \sim S L j$  に駆動用映像信号  $S ( 1 ) \sim S ( j )$  を印加する。このとき、ソースドライバ 3 0 0 では、ソースクロック信号 S C K のパルスが発生するタイミングで、各ソースバスライン S L に印加すべき電圧を示すデジタル映像信号 D V が順次に保持される。そして、ラッチストロープ信号 L S の

パルスが発生するタイミングで、上記保持されたデジタル映像信号  $DV$  がアナログ電圧に変換される。その変換されたアナログ電圧は、駆動用映像信号  $S(1) \sim S(j)$  として全てのソースバスライン  $SL1 \sim SLj$  に一斉に印加される。

【0040】

ゲートドライバ400は、表示制御回路200から送られるゲート制御信号  $GCTL$  に基づいて、アクティブな走査信号  $G(1) \sim G(i)$  の各ゲートバスライン  $GL1 \sim GLi$  への印加を1垂直走査期間を周期として繰り返す。このゲートドライバ400についての詳しい説明は後述する。

【0041】

以上のようにして、ソースバスライン  $SL1 \sim SLj$  に駆動用映像信号  $S(1) \sim S(j)$  が印加され、ゲートバスライン  $GL1 \sim GLi$  に走査信号  $G(1) \sim G(i)$  が印加されることにより、外部から送られた画像信号  $DAT$  に基づく画像が表示部600に表示される。

10

【0042】

< 2. ゲートドライバの概略構成 >

図3は、全ての実施形態におけるゲートドライバ400の構成について説明するためのブロック図である。図3に示すように、ゲートドライバ400は複数段からなるシフトレジスタ410によって構成されている。表示部600には  $i$  行  $\times$   $j$  列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と1対1で対応するようにシフトレジスタ410の各段が設けられている。すなわち、シフトレジスタ410には  $i$  個の単位回路4(1)  $\sim$  4(i)が含まれている。なお、1段目よりも前や  $i$  段目よりも後にダミー段としての単位回路が設けられる場合もあるが、これについては、本開示の主題には関係しないので、説明を省略する。以下、ゲートドライバ400の構成および動作について詳しく説明する。

20

【0043】

図4は、ゲートドライバ400内のシフトレジスタ410の構成を示すブロック図である。上述したように、このシフトレジスタ410は  $i$  個の単位回路4(1)  $\sim$  4(i)で構成されている。但し、図4には、(  $n - 2$  ) 段目から (  $n + 3$  ) 段目までの単位回路4(  $n - 2$  )  $\sim$  4(  $n + 3$  )を示している。以下においては、 $i$  個の単位回路4(1)  $\sim$  4(i)を互いに区別する必要がない場合には単位回路に符号4を付す。

30

【0044】

シフトレジスタ410には、ゲート制御信号  $GCTL$  として、ゲートスタートパルス信号  $GSP$  (図4では不図示) と、ゲートエンドパルス信号  $GEP$  (図4では不図示) と、ゲートクロック信号  $GCK$  とが与えられる。ゲートクロック信号  $GCK$  は、詳しくは、4相のクロック信号  $GCK1 \sim GCK4$  である。それら4相のクロック信号  $GCK1 \sim GCK4$  のうち各単位回路4に入力されるクロック信号(以下、「入力クロック信号」という。)には符号  $CLKin$  を付している。また、シフトレジスタ410には、直流電源電圧  $VSS$  および直流電源電圧  $VDD$  も与えられる。

【0045】

シフトレジスタ410の各段(各単位回路4)の入力端子に与えられる信号は次のようになっている(図4参照)。ゲートクロック信号に関しては、(  $n - 2$  ) 段目の単位回路4(  $n - 2$  )にはクロック信号  $GCK3$  が与えられ、(  $n - 1$  ) 段目の単位回路4(  $n - 1$  )にはクロック信号  $GCK4$  が与えられ、 $n$  段目の単位回路4(  $n$  )にはクロック信号  $GCK1$  が与えられ、(  $n + 1$  ) 段目の単位回路4(  $n + 1$  )にはクロック信号  $GCK2$  が与えられる。このような構成が、シフトレジスタ410の全ての段を通して4段ずつ繰り返される。なお、クロック信号  $GCK1$  とクロック信号  $GCK3$  とは位相が  $180$  度ずれていて、クロック信号  $GCK2$  とクロック信号  $GCK4$  とは位相が  $180$  度ずれていて、クロック信号  $GCK1$  の位相はクロック信号  $GCK2$  の位相よりも  $90$  度進んでいる。図4から把握されるように、 $n$  段目の単位回路4(  $n$  )には、2段前の単位回路4(  $n - 2$  )から出力される出力信号  $Q(n - 2)$  がセット信号  $S$  として与えられ、3段後の単位

40

50

回路 4 (  $n + 3$  ) から出力される出力信号  $Q ( n + 3 )$  がリセット信号  $R$  として与えられる。  $n$  段目以外の単位回路 4 についても同様である。 直流電源電圧  $VSS$  および直流電源電圧  $VDD$  については、全ての単位回路 4 ( 1 ) ~ 4 (  $i$  ) に共通的に与えられる。

【 0 0 4 6 】

シフトレジスタ 4 1 0 の各段 ( 各単位回路 4 ) の出力端子からは出力信号  $Q$  が出力される ( 図 4 参照 ) 。  $n$  段目の単位回路 4 (  $n$  ) から出力される出力信号  $Q$  は、走査信号  $G ( n )$  としてゲートバスライン  $GLn$  に与えられるほか、リセット信号  $R$  として 3 段前の単位回路 4 (  $n - 3$  ) に与えられるとともに、セット信号  $S$  として 2 段後の単位回路 4 (  $n + 2$  ) に与えられる。  $n$  段目以外の単位回路 4 から出力される出力信号  $Q$  についても同様である。

10

【 0 0 4 7 】

図 5 は、ゲートドライバ 4 0 0 の動作について説明するための信号波形図である。 上述した構成において、シフトレジスタ 4 1 0 にゲートスタートパルス信号  $GSP$  のパルスが与えられると、4 相のクロック信号  $GCK1 \sim GCK4$  のクロック動作に基づいて、各単位回路 4 から出力される出力信号  $Q$  に含まれるシフトパルスの転送が行われる。 すなわち、1 段目の単位回路 4 ( 1 ) から  $i$  段目の単位回路 4 (  $i$  ) において、出力信号  $Q$  が順次にハイレベルとなる。 これにより、図 5 に示すように、所定期間ずつ順次にハイレベル ( アクティブ ) となる走査信号  $G ( 1 ) \sim G ( i )$  が表示部 6 0 0 内のゲートバスライン  $GL1 \sim GLi$  に与えられる。 すなわち、 $i$  本のゲートバスライン  $GL1 \sim GLi$  が順次に選択状態となる。 その後、シフトレジスタ 4 1 0 にゲートエンドパルス信号  $GEP$  のパルスが与えられる

20

【 0 0 4 8 】

なお、ここでは各単位回路 4 から出力される出力信号  $Q$  がリセット信号  $R$  として 3 段前の単位回路 4 に与えられるとともにセット信号  $S$  として 2 段後の単位回路 4 に与えられる例を挙げているが、これには限定されない。 また、ここではゲートクロック信号  $GCK$  として 4 相のクロック信号  $GCK1 \sim GCK4$  が用いられる例を挙げているが、ゲートクロック信号  $GCK$  を構成するクロック信号の相数は 4 には限定されない。

【 0 0 4 9 】

< 3 . 単位回路 >

以下、単位回路の構成および動作について実施形態毎に説明する。

30

【 0 0 5 0 】

< 3 . 1 第 1 の実施形態 >

< 3 . 1 . 1 回路構成 >

図 1 は、本実施形態における単位回路 4 の構成 ( シフトレジスタ 4 1 0 の一段分の構成 ) を示す回路図である。 図 1 に示すように、この単位回路 4 は、4 個の薄膜トランジスタ  $T1 \sim T4$  と 2 個のキャパシタ ( 容量素子 )  $C1, C2$  とを備えている。 薄膜トランジスタ  $T1 \sim T4$  は、 $n$  チャネル型の  $IGZO-TFT$  である。 また、この単位回路 4 は、ローレベルの直流電源電圧  $VSS$  用の入力端子およびハイレベルの直流電源電圧  $VDD$  用の入力端子のほか、3 個の入力端子  $41 \sim 43$  と、1 個の出力端子  $49$  とを有している。 ここで、セット信号  $S$  を受け取る入力端子には符号  $41$  を付し、リセット信号  $R$  を受け取る入力端子には符号  $42$  を付し、入力クロック信号  $CLKin$  を受け取る入力端子には符号  $43$  を付している。 また、出力信号  $Q$  を出力するための出力端子に符号  $49$  を付している。

40

【 0 0 5 1 】

薄膜トランジスタ  $T3$  の制御端子、薄膜トランジスタ  $T4$  の第 1 導通端子、およびキャパシタ  $C1$  の一端は、第 1 制御ノード  $NA1$  を介して互いに接続されている。 薄膜トランジスタ  $T1$  の第 2 導通端子、薄膜トランジスタ  $T2$  の第 1 導通端子、薄膜トランジスタ  $T4$  の第 2 導通端子、およびキャパシタ  $C2$  の一端は、第 2 制御ノード  $NA2$  を介して互いに接続されている。

【 0 0 5 2 】

50

薄膜トランジスタ T 1 については、制御端子および第 1 導通端子は入力端子 4 1 に接続され（すなわち、ダイオード接続となっている）、第 2 導通端子は第 2 制御ノード N A 2 に接続されている。なお、薄膜トランジスタ T 1 の第 1 導通端子は、ハイレベルの直流電源電圧 V D D 用の入力端子に接続されていても良い。薄膜トランジスタ T 2 については、制御端子は入力端子 4 2 に接続され、第 1 導通端子は第 2 制御ノード N A 2 に接続され、第 2 導通端子はローレベルの直流電源電圧 V S S 用の入力端子に接続されている。薄膜トランジスタ T 3 については、制御端子は第 1 制御ノード N A 1 に接続され、第 1 導通端子は入力端子 4 3 に接続され、第 2 導通端子は出力端子 4 9 に接続されている。薄膜トランジスタ T 4 については、制御端子はハイレベルの直流電源電圧 V D D 用の入力端子に接続され、第 1 導通端子は第 1 制御ノード N A 1 に接続され、第 2 導通端子は第 2 制御ノード N A 2 に接続されている。

10

#### 【 0 0 5 3 】

キャパシタ C 1 については、一端は第 1 制御ノード N A 1 に接続され、他端は出力端子 4 9 に接続されている。キャパシタ C 2 については、一端は第 2 制御ノード N A 2 に接続され、他端は出力端子 4 9 に接続されている。

#### 【 0 0 5 4 】

上記のような構成において、薄膜トランジスタ T 3 のチャンネル幅は、薄膜トランジスタ T 4 のチャンネル幅の 1 0 倍以上となっている。従って、薄膜トランジスタ T 3 の駆動能力は薄膜トランジスタ T 4 の駆動能力に比べて充分に高くなっている。

#### 【 0 0 5 5 】

なお、本実施形態においては、薄膜トランジスタ T 1 によってセットトランジスタが実現され、薄膜トランジスタ T 2 によってリセットトランジスタが実現され、薄膜トランジスタ T 3 によって第 1 の出力制御トランジスタが実現され、薄膜トランジスタ T 4 によって分離トランジスタが実現され、キャパシタ C 1 によって第 1 キャパシタが実現され、キャパシタ C 2 によって第 2 キャパシタが実現され、出力端子 4 9 によって第 1 出力ノードが実現されている。

20

#### 【 0 0 5 6 】

##### < 3 . 1 . 2 動作 >

図 6 を参照しつつ、本実施形態における単位回路 4 の動作について説明する。時刻 t 1 1 よりも前の期間には、第 1 制御ノード N A 1 の電位、第 2 制御ノード N A 2 の電位、および出力信号 Q の電位（出力端子 4 9 の電位）はローレベル（オフレベル）である。なお、時刻 t 1 1 よりも前の期間には、薄膜トランジスタ T 4 はオン状態で維持されている。

30

#### 【 0 0 5 7 】

時刻 t 1 1 になると、セット信号 S がローレベルからハイレベル（オンレベル）に変化する。薄膜トランジスタ T 1 は図 1 に示すようにダイオード接続となっているので、セット信号 S がハイレベルに変化することによって薄膜トランジスタ T 1 はオン状態となり、キャパシタ C 2 が充電される。これにより、第 2 制御ノード N A 2 の電位はローレベルからハイレベルに変化する。このとき薄膜トランジスタ T 4 はオン状態であるので、キャパシタ C 1 が充電され、第 1 制御ノード N A 1 の電位もローレベルからハイレベルに変化する。これにより、薄膜トランジスタ T 3 がオン状態となる。ここで、時刻 t 1 1 ~ 時刻 t 1 2 の期間中、入力クロック信号 C L K i n はローレベルで維持されている。このため、この期間中、出力信号 Q はローレベルで維持される。

40

#### 【 0 0 5 8 】

時刻 t 1 2 になると、セット信号 S がハイレベルからローレベルに変化する。これにより、薄膜トランジスタ T 1 はオフ状態となる。また、時刻 t 1 2 には、入力クロック信号 C L K i n がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ T 3 はオン状態であるので、入力端子 4 3 の電位の上昇とともに出力端子 4 9 の電位が上昇する。ここで、図 1 に示すように第 1 制御ノード N A 1 - 出力端子 4 9 間にはキャパシタ C 1 が設けられているので、出力端子 4 9 の電位の上昇とともに第 1 制御ノード N A 1 の電位も上昇する（第 1 制御ノード N A 1 がブースト状態となる）。その結果、薄膜トランジスタ

50

タ T 3 には大きな電圧が印加され、この出力端子 4 9 に接続されているゲートバスライン G L が選択状態となるのに十分なレベルにまで出力信号 Q の電位が上昇する。また、図 1 に示すように第 2 制御ノード N A 2 - 出力端子 4 9 間にはキャパシタ C 2 が設けられているので、出力端子 4 9 の電位の上昇とともに第 2 制御ノード N A 2 の電位も上昇する（第 2 制御ノード N A 2 がブースト状態となる）。ところで、薄膜トランジスタ T 4 については、第 1 制御ノード N A 1 の電位および第 2 制御ノード N A 2 の電位が上昇することによって制御端子 - 第 1 導通端子間の電圧および制御端子 - 第 2 導通端子間の電圧が閾値電圧以下になるとオフ状態となる。これにより、第 1 制御ノード N A 1 と第 2 制御ノード N A 2 とは電氣的に切り離された状態となる。

【 0 0 5 9 】

時刻 t 1 3 になると、入力クロック信号 C L K i n がハイレベルからローレベルに変化する。これにより、入力端子 4 3 の電位の低下とともに出力端子 4 9 の電位が低下する。すなわち、出力信号 Q の電位がローレベルとなる。また、キャパシタ C 1 を介して第 1 制御ノード N A 1 の電位が低下し、キャパシタ C 2 を介して第 2 制御ノード N A 2 の電位が低下する。

【 0 0 6 0 】

時刻 t 1 4 になると、リセット信号 R がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ T 2 がオン状態となり、第 2 制御ノード N A 2 の電位がローレベルとなる。また、薄膜トランジスタ T 4 の制御端子 - 第 2 導通端子間の電圧が閾値電圧よりも大きくなり、薄膜トランジスタ T 4 がオン状態となる。これにより、第 1 制御ノード N A 1 の電位もローレベルとなる。

【 0 0 6 1 】

< 3 . 1 . 3 効果 >

出力信号 Q の電位（出力端子 4 9 の電位）をハイレベルからローレベルへと変化させる動作に関し、薄膜トランジスタ T 3 の放電能力は、入力クロック信号 C L K i n がハイレベルからローレベルに変化する時点（図 6 の時刻 t 1 3 ）の直前における第 1 制御ノード N A 1 の電位に依存する。第 1 制御ノード N A 1 の電位が十分に高ければ、入力クロック信号 C L K i n のハイレベルからローレベルへの変化に応じて出力信号 Q の電位は速やかにハイレベルからローレベルへと変化する。

【 0 0 6 2 】

図 1 5 に示した従来の構成においては、薄膜トランジスタ T 9 1 あるいは薄膜トランジスタ T 9 2 でリーク電流が生じると、図 1 7 に示したように、入力クロック信号 C L K i n がハイレベルからローレベルに変化する時点（時刻 t 9 3 ）の直前には制御ノード N A の電位が所望の電位から顕著に低下している。それ故、薄膜トランジスタ T 3 の放電能力の低下により出力信号 Q の電位（出力端子 4 9 の電位）は緩やかに低下する。これにより、動作異常が発生する。

【 0 0 6 3 】

これに対して、本実施形態によれば、図 1 8 に示した従来の構成と同様に単位回路 4 には制御ノード（単位回路 4 からの出力を制御するノード）を出力側の第 1 制御ノード N A 1 と入力側の第 2 制御ノード N A 2 とに分離する薄膜トランジスタ T 4 が設けられているが、単位回路 4 には更に一端が第 2 制御ノード N A 2 に接続され他端が出力端子 4 9 に接続されたキャパシタ C 2 が設けられている。このようにキャパシタ C 2 が設けられているので、出力信号 Q の電位（出力端子 4 9 の電位）の上昇に伴って第 2 制御ノード N A 2 の電位が上昇する。ここで、薄膜トランジスタ T 1 の特性がエンハnst型の特性からデプレッション型の特性へと変化することによる当該薄膜トランジスタ T 1 でのリーク電流あるいは薄膜トランジスタ T 2 の特性がエンハnst型の特性からデプレッション型の特性へと変化することによる当該薄膜トランジスタ T 2 でのリーク電流が生じて図 6 における時刻 t 1 2 ~ 時刻 t 1 3 の期間中に第 2 制御ノード N A 2 の電位が低下しても、第 2 制御ノード N A 2 の電位が「V D D - V t h」（V t h は薄膜トランジスタ T 4 の閾値電圧である）よりも高い限り薄膜トランジスタ T 4 はオフ状態で維持される。また、上述のよう

10

20

30

40

50

にキャパシタC2が設けられているので、リーク電流が生じて、キャパシタC2が設けられていない構成に比べて第2制御ノードNA2の電位は緩やかに低下する。以上より、図7で符号70を付した部分に示すように、入力クロック信号CLKinがハイレベルからローレベルに変化する時点(時刻t13)の直前には第1制御ノードNA1の電位は十分に高いレベルで維持されている。それ故、図7で符号71を付した部分に示すように、入力クロック信号CLKinのハイレベルからローレベルへの変化に応じて出力信号Qの電位は速やかに低下する。また、薄膜トランジスタT4がオフ状態からオン状態へと変化しても、上述したように薄膜トランジスタT3のチャネル幅が薄膜トランジスタT4のチャネル幅の10倍以上となっていて薄膜トランジスタT3の駆動能力が薄膜トランジスタT4の駆動能力に比べて充分に高くなっているため、第2制御ノードNA2の電位の低下に応じて第1制御ノードNA1の電位が顕著に低下する前に出力信号Qの電位は充分に低下する。なお、出力信号Qの電位が充分に低下した後は第1制御ノードNA1の電位が低下しても問題は生じない。

10

#### 【0064】

以上のように、本実施形態によれば、制御ノードに導通端子(第1導通端子または第2導通端子)(ドレインまたはソース)が接続された薄膜トランジスタT1, T2でのリーク電流に起因する動作異常の発生を抑制することのできるシフトレジスタ410が実現される。

#### 【0065】

<3.2 第2の実施形態>

20

<3.2.1 回路構成>

図8は、本実施形態における単位回路4の構成(シフトレジスタ410の一段分の構成)を示す回路図である。第1の実施形態と同様、この単位回路4は、4個の薄膜トランジスタT1~T4と2個のキャパシタ(容量素子)C1, C2とを備えている。第1の実施形態においてはキャパシタC2の他端は出力端子49に接続されていたが、本実施形態においてはキャパシタC2の他端はローレベルの直流電源電圧VSS用の入力端子に接続されている。それ以外の点については、第1の実施形態と同様である。

#### 【0066】

<3.2.2 動作>

図9を参照しつつ、本実施形態における単位回路4の動作について説明する。時刻t21よりも前の期間には、第1制御ノードNA1の電位、第2制御ノードNA2の電位、および出力信号Qの電位(出力端子49の電位)はローレベルである。なお、時刻t11よりも前の期間には、薄膜トランジスタT4はオン状態で維持されている。

30

#### 【0067】

時刻t21になると、セット信号Sがローレベルからハイレベルに変化する。薄膜トランジスタT1は図8に示すようにダイオード接続となっているので、セット信号Sがハイレベルに変化することによって薄膜トランジスタT1はオン状態となり、キャパシタC2が充電される。これにより、第2制御ノードNA2の電位はローレベルからハイレベルに変化する。このとき薄膜トランジスタT4はオン状態であるため、キャパシタC1が充電され、第1制御ノードNA1の電位もローレベルからハイレベルに変化する。これにより、薄膜トランジスタT3がオン状態となる。ここで、時刻t21~時刻t22の期間中、入力クロック信号CLKinはローレベルで維持されている。このため、この期間中、出力信号Qはローレベルで維持される。

40

#### 【0068】

時刻t22になると、セット信号Sがハイレベルからローレベルに変化する。これにより、薄膜トランジスタT1はオフ状態となる。また、時刻t22には、入力クロック信号CLKinがローレベルからハイレベルに変化する。このとき、薄膜トランジスタT3はオン状態であるため、入力端子43の電位の上昇とともに出力端子49の電位が上昇する。ここで、図8に示すように第1制御ノードNA1-出力端子49間にはキャパシタC1が設けられているので、出力端子49の電位の上昇とともに第1制御ノードNA1の電位

50

も上昇する（第1制御ノードNA1がブースト状態となる）。その結果、薄膜トランジスタT3には大きな電圧が印加され、この出力端子49に接続されているゲートバスラインGLが選択状態となるのに十分なレベルにまで出力信号Qの電位が上昇する。ところで、薄膜トランジスタT4の制御端子にはハイレベルの直流電源電圧VDDが与えられているので、時刻t21 - 時刻t22の期間に第1制御ノードNA1の電位および第2制御ノードNA2の電位が上昇することによって、時刻t22には薄膜トランジスタT4はオフ状態となっている（但し、薄膜トランジスタT4の閾値電圧によっては時刻t22以降に薄膜トランジスタT4がオフ状態となるケースもある）。従って、時刻t22以降に第1制御ノードNA1の電位が上昇しても第2制御ノードNA2の電位は上昇しない。

【0069】

10

時刻t23になると、入力クロック信号CLKinがハイレベルからローレベルに変化する。これにより、入力端子43の電位の低下とともに出力端子49の電位が低下する。すなわち、出力信号Qの電位がローレベルとなる。また、キャパシタC1を介して第1制御ノードNA1の電位が低下する。

【0070】

時刻t24になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタT2がオン状態となり、第2制御ノードNA2の電位がローレベルとなる。また、薄膜トランジスタT4の制御端子 - 第2導通端子間の電圧が閾値電圧よりも大きくなり、薄膜トランジスタT4がオン状態となる。これにより、第1制御ノードNA1の電位もローレベルとなる。

20

【0071】

< 3.2.3 効果 >

本実施形態によれば、薄膜トランジスタT1あるいは薄膜トランジスタT2でのリーク電流に起因して図9の時刻t22 ~ 時刻t23の期間中に第2制御ノードNA2の電位が低下すると、当該期間中に第1制御ノードNA1の電位も低下する。しかしながら、単位回路4には一端が第2制御ノードNA2に接続されたキャパシタC2が設けられているので、リーク電流が生じて、キャパシタC2が設けられていない構成に比べて第2制御ノードNA2の電位は緩やかに低下する。例えば、キャパシタC2が設けられていない構成においては図10で実線で示す波形のように第2制御ノードNA2の電位が低下するのに対して、キャパシタC2が設けられている構成（本実施形態の構成）においては図10で太点線で示す波形のように第2制御ノードNA2の電位が低下する。従って、本実施形態においては、リーク電流が生じたときに第1制御ノードNA1の電位は緩やかに低下し、薄膜トランジスタT3の放電能力の低下が抑制される。以上のように、本実施形態によれば、キャパシタC2が設けられていない構成に比べて、制御ノード（単位回路4からの出力を制御するノード）に導通端子（第1導通端子または第2導通端子）（ドレインまたはソース）が接続された薄膜トランジスタT1, T2でのリーク電流に起因する動作異常の発生が抑制される。

30

【0072】

また、本実施形態によれば、図9の時刻t22に第1制御ノードNA1がブースト状態となっても第2制御ノードNA2の電位は時刻t22の直前の電位で維持される。それ故、薄膜トランジスタT1, T2の第1導通端子 - 第2導通端子間（ドレイン - ソース間）に高電圧が印加されることが抑制される。これにより、薄膜トランジスタT1, T2の劣化や破壊に起因する動作異常の発生が抑制される。

40

【0073】

< 4. 実際的な回路への適用例 >

第1の実施形態および第2の実施形態として示した単位回路4は、基本的な構成を有する単位回路である。しかしながら実際の表示装置には様々な構成の単位回路が採用されており、本明細書での開示内容はそのような様々な構成の単位回路に適用することができる。そこで、実際的な回路への適用例として2つの例（第1の例および第2の例）を以下に説明する。

50

## 【 0 0 7 4 】

## &lt; 4 . 1 第 1 の 例 &gt;

ゲートドライバ 4 0 0 内のシフトレジスタ 4 1 0 を構成する単位回路 4 には、動作の安定化のための回路（以下、「安定化回路」という。）が設けられていることが多い。安定化回路の構成としては様々な構成が考えられているが、ここでは安定化回路を含む単位回路の一構成例を第 1 の例として説明する。

## 【 0 0 7 5 】

図 1 1 は、第 1 の例における単位回路 4 の構成（シフトレジスタ 4 1 0 の一段分の構成）を示す回路図である。図 1 1 に示すように、この単位回路 4 は、8 個の薄膜トランジスタ T 1 ~ T 8 と 2 個のキャパシタ（容量素子）C 1 , C 2 とを備えている。また、この単位回路は、ローレベルの直流電源電圧 V S S 用の入力端子およびハイレベルの直流電源電圧 V D D 用の入力端子のほか、3 個の入力端子 4 1 ~ 4 3 と、1 個の出力端子 4 9 とを有している。薄膜トランジスタ T 5 の制御端子、薄膜トランジスタ T 6 の第 2 導通端子、薄膜トランジスタ T 7 の第 1 導通端子、および薄膜トランジスタ T 8 の第 1 導通端子は、安定化ノード N B を介して互いに接続されている。

10

## 【 0 0 7 6 】

薄膜トランジスタ T 1 ~ T 4 およびキャパシタ C 1 , C 2 の構成については第 1 の実施形態と同様である。但し、第 2 の実施形態（図 8 参照）と同様にキャパシタ C 2 の他端がローレベルの直流電源電圧 V S S 用の入力端子に接続されていても良い。薄膜トランジスタ T 5 については、制御端子は安定化ノード N B に接続され、第 1 導通端子は第 2 制御ノード N A 2 に接続され、第 2 導通端子はローレベルの直流電源電圧 V S S 用の入力端子に接続されている。薄膜トランジスタ T 6 については、制御端子および第 1 導通端子はハイレベルの直流電源電圧 V D D 用の入力端子に接続され（すなわち、ダイオード接続となっている）、第 2 導通端子は安定化ノード N B に接続されている。薄膜トランジスタ T 7 については、制御端子は第 1 制御ノード N A 1 に接続され、第 1 導通端子は安定化ノード N B に接続され、第 2 導通端子はローレベルの直流電源電圧 V S S 用の入力端子に接続されている。薄膜トランジスタ T 8 については、制御端子は入力端子 4 1 に接続され、第 1 導通端子は安定化ノード N B に接続され、第 2 導通端子はローレベルの直流電源電圧 V S S 用の入力端子に接続されている。なお、薄膜トランジスタ T 5 ~ T 8 と安定化ノード N B とによって安定化回路 4 6 が実現されている。また、薄膜トランジスタ T 5 によって、安定化トランジスタが実現されている。

20

30

## 【 0 0 7 7 】

以上のような構成によれば、図 1 2 に示すように、第 1 制御ノード N A 1 の電位がローレベルで維持されるべき期間には安定化ノード N B の電位はハイレベルで維持され、第 1 制御ノード N A 1 の電位がハイレベルで維持されるべき期間には安定化ノード N B の電位はローレベルで維持される。これにより、図 1 2 における時刻 t 3 1 よりも前の期間および時刻 t 3 4 よりも後の期間には、薄膜トランジスタ T 5 がオン状態で維持されことによって第 2 制御ノード N A 2 の電位が確実にローレベルで維持される。このようにして、単位回路 4 の動作異常の発生が抑制される。

## 【 0 0 7 8 】

## &lt; 4 . 2 第 2 の 例 &gt;

第 1 の実施形態および第 2 の実施形態においては、各単位回路 4 から出力される出力信号 Q は、対応するゲートバスライン G L に走査信号 G として与えられるほか、リセット信号 R として 3 段前の単位回路 4 に与えられるとともにセット信号 S として 2 段後の単位回路 4 に与えられる。このような構成によれば、ゲートバスライン G L の負荷容量が顕著に大きい場合にリセット信号 R やセット信号 S に波形の鈍りが生じることによって単位回路 4 の動作に異常が生じることが懸念される。そこで、そのような異常の発生が抑制されるよう走査信号 G となる出力信号とセット信号 S およびリセット信号 R となる出力信号とが異なる出力端子から出力されるようにした構成を第 2 の例として説明する。

40

## 【 0 0 7 9 】

50

図13は、第2の例における単位回路4からの出力信号について説明するための図である。図13に示すように、単位回路4からは出力信号として第1出力信号Q1と第2出力信号Q2とが出力される。n段目の単位回路4(n)出力される第1出力信号Q1は、走査信号G(n)としてゲートバスラインGLnに与えられる。n段目以外の単位回路4から出力される第1出力信号Q1についても同様である。n段目の単位回路4(n)出力される第2出力信号Q2は、リセット信号Rとして3段前の単位回路4(n-3)に与えられるとともにセット信号Sとして2段後の単位回路4(n+2)に与えられる。n段目以外の単位回路4から出力される第2出力信号Q2についても同様である。

【0080】

図14は、第2の例における単位回路4の構成(シフトレジスタ410の一段分の構成)を示す回路図である。図14に示すように、この単位回路4は、5個の薄膜トランジスタT1~T4, T9と2個のキャパシタ(容量素子)C1, C2とを備えている。また、この単位回路は、ローレベルの直流電源電圧VSS用の入力端子およびハイレベルの直流電源電圧VDD用の入力端子のほか、3個の入力端子41~43と、2個の出力端子491, 492とを有している。出力端子491からは第1出力信号Q1が出力される。出力端子492からは第2出力信号Q2が出力される。

【0081】

薄膜トランジスタT3については、制御端子は第1制御ノードNA1に接続され、第1導通端子は入力端子43に接続され、第2導通端子は出力端子491に接続されている。薄膜トランジスタT9については、制御端子は第1制御ノードNA1に接続され、第1導通端子は入力端子43に接続され、第2導通端子は出力端子492に接続されている。キャパシタC1については、一端は第1制御ノードNA1に接続され、他端は出力端子491に接続されている。キャパシタC2については、一端は第2制御ノードNA2に接続され、他端は出力端子491に接続されている。それ以外の点については、第1の実施形態と同様である。なお、第2の実施形態(図8参照)と同様にキャパシタC2の他端がローレベルの直流電源電圧VSS用の入力端子に接続されていても良い。

【0082】

この第2の例においては、薄膜トランジスタT9によって第2の出力制御トランジスタが実現され、出力端子491によって第1出力ノードが実現され、出力端子492によって第2出力ノードが実現されている。

【0083】

以上のような第2の例によれば、ゲートバスラインGLの負荷容量が顕著に大きい場合であっても、各単位回路4においてセット信号Sに基づく動作およびリセット信号Rに基づく動作が速やかに行われ、回路動作の安定性が向上する。

【0084】

<5. その他>

以上において本発明を詳細に説明したが、以上の説明は全ての面で例示的なものであって制限的なものではない。多数の他の変更や変形が本発明の範囲を逸脱することなく案出可能であると了解される。例えば、上記の説明では液晶表示装置を例に挙げたが、複数のゲートバスライン(走査信号線)を順次に駆動する表示装置であれば液晶表示装置以外の表示装置(例えば、有機EL表示装置)にも上記開示内容を適用することができる。

【符号の説明】

【0085】

- 4 ... 単位回路
- 400 ... ゲートドライバ
- 410 ... シフトレジスタ
- 600 ... 表示部
- T1 ~ T9 ... 薄膜トランジスタ(TFT)
- C1, C2 ... キャパシタ
- NA1 ... 第1制御ノード

10

20

30

40

50

NA2 ... 第2制御ノード

GL、GL1 ~ GLi ... ゲートバスライン (走査信号線)

G、G(1) ~ G(i) ... 走査信号

CLKin ... 入力クロック信号

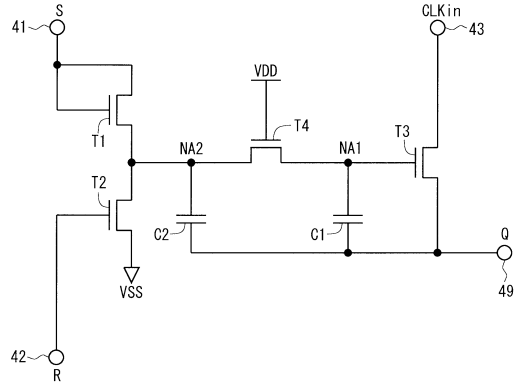
GCK ... ゲートクロック信号

S ... セット信号

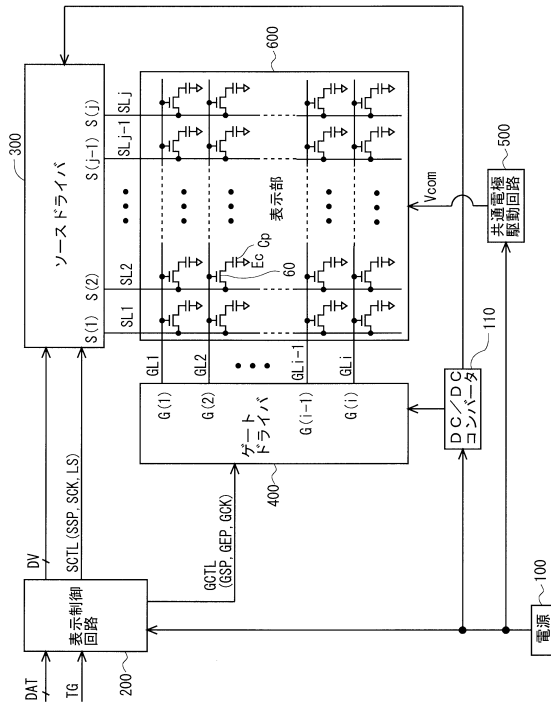
R ... リセット信号

【図面】

【図1】



【図2】



10

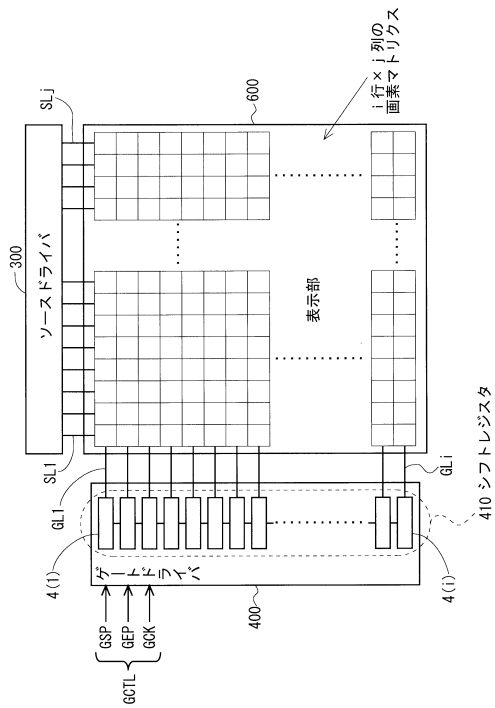
20

30

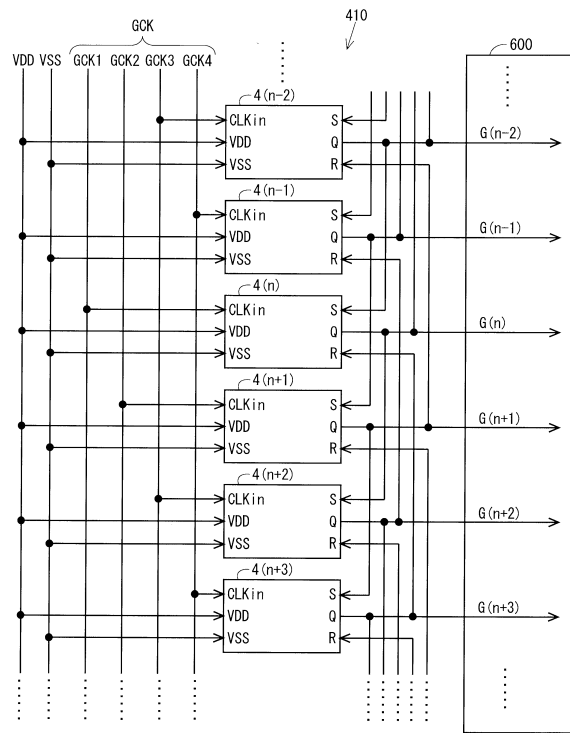
40

50

【 図 3 】



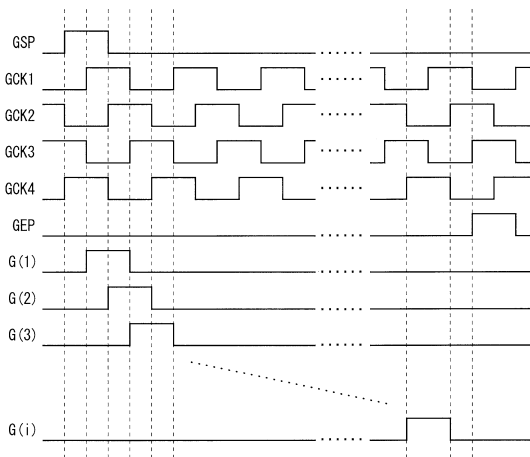
【 図 4 】



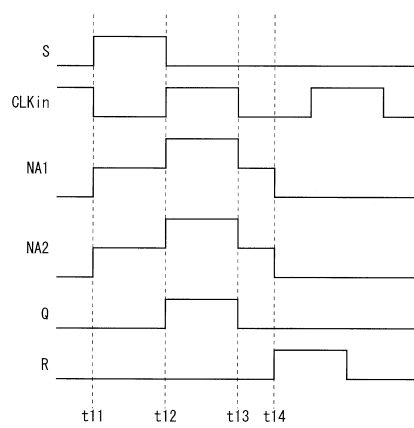
10

20

【 図 5 】



【 図 6 】

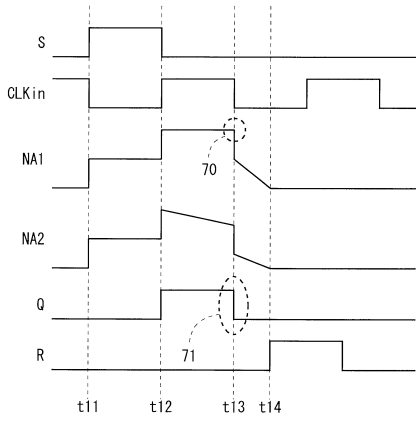


30

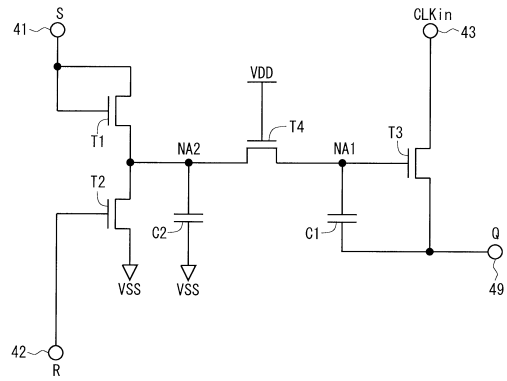
40

50

【 図 7 】



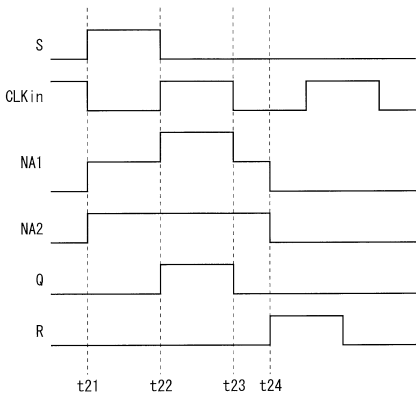
【 図 8 】



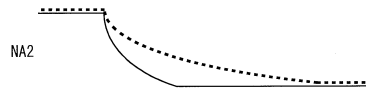
10

20

【 図 9 】



【 図 10 】

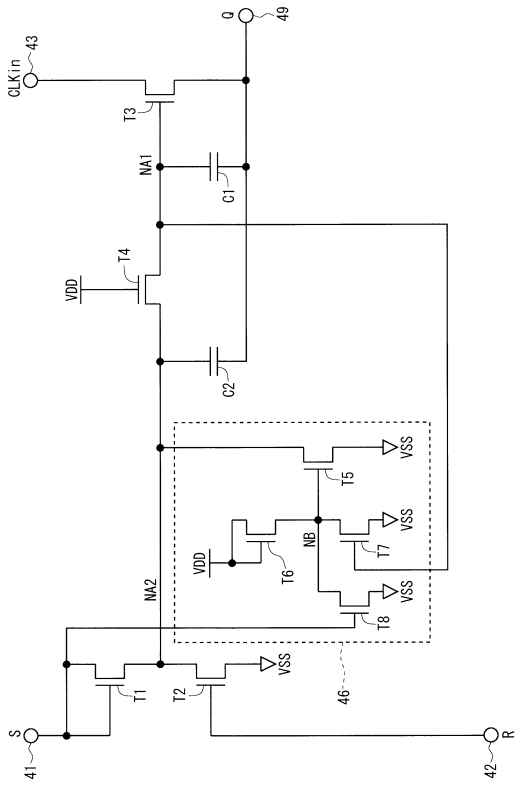


30

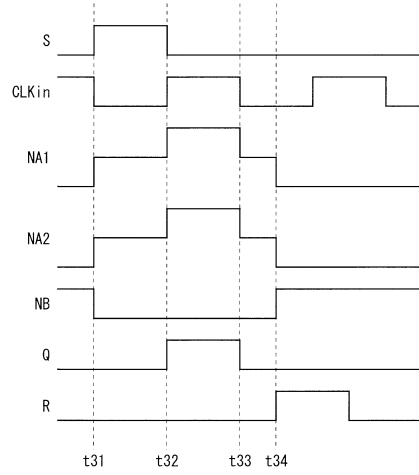
40

50

【 図 1 1 】



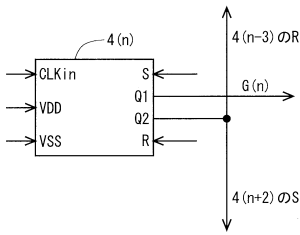
【 図 1 2 】



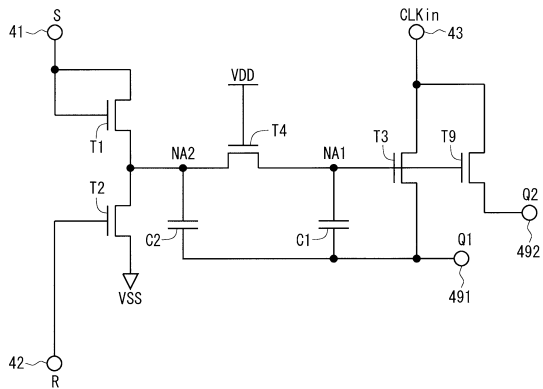
10

20

【 図 1 3 】



【 図 1 4 】

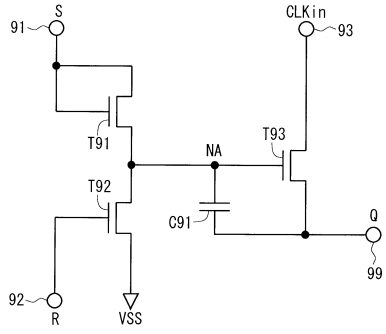


30

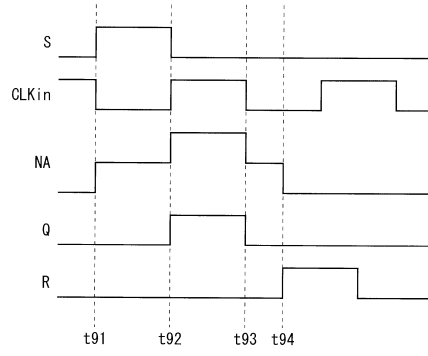
40

50

【 図 1 5 】

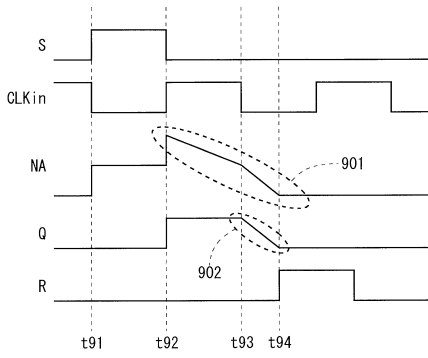


【 図 1 6 】

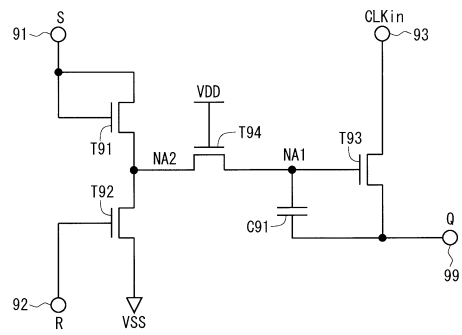


10

【 図 1 7 】



【 図 1 8 】



20

30

40

50

## フロントページの続き

(51)国際特許分類 F I テーマコード(参考)  
H 0 1 L 29/78 6 1 3 Z

内

(72)発明者 竹内 洋平

三重県亀山市白木町幸川4 6 4番 シャープディスプレイテクノロジー株式会社内

(72)発明者 原 健吾

三重県亀山市白木町幸川4 6 4番 シャープディスプレイテクノロジー株式会社内

(72)発明者 大東 徹

三重県亀山市白木町幸川4 6 4番 シャープディスプレイテクノロジー株式会社内

Fターム(参考) 5B074 AA02 CA01 EA02 EA04  
5C006 BB16 BC03 BC11 BF03 BF37 FA36  
5C080 AA10 BB05 DD09 FF11 JJ02 JJ03 JJ04 JJ05  
5F110 AA06 AA26 BB01 GG01 GG29 HM18 NN71 NN72