



(12) 发明专利申请

(10) 申请公布号 CN 116529897 A

(43) 申请公布日 2023. 08. 01

(21) 申请号 202180080673.0

(22) 申请日 2021.11.25

(30) 优先权数据

2018920.5 2020.12.01 GB

(85) PCT国际申请进入国家阶段日

2023.05.31

(86) PCT国际申请的申请数据

PCT/GB2021/053060 2021.11.25

(87) PCT国际申请的公布数据

W02022/117995 EN 2022.06.09

(71) 申请人 普列斯半导体有限公司

地址 英国德文郡

(72) 发明人 萨米尔·迈祖阿里

罗伯特·莱斯利·布雷克斯皮尔

科林·埃夫斯塔夫

(74) 专利代理机构 北京三高永信知识产权代理
有限责任公司 11138

专利代理师 郭翱杰

(51) Int.Cl.

H01L 33/58 (2006.01)

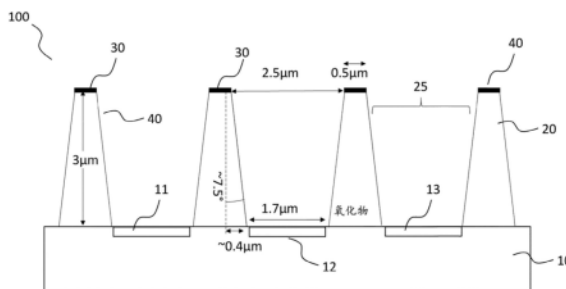
权利要求书1页 说明书6页 附图27页

(54) 发明名称

微型LED射束准直

(57) 摘要

一种制造发光二极管阵列的方法，该发光二极管阵列包括具有多个发光二极管的第一层，该多个发光二极管被布置成从第一层的发光表面发出光，该方法包括：在第一层的发光表面上沉积介电材料层；形成延伸穿过介电材料层的多个孔口，每个孔口的内表面是至少部分反射的，其中，多个孔口中的至少一个孔口以第一层的多个发光二极管中的发光二极管为中心并且与该发光二极管对准，使得从发光二极管发出的光在穿过至少一个孔口时被准直。



1. 一种制造发光二极管阵列的方法, 该发光二极管阵列包括具有多个发光二极管的第一层, 该多个发光二极管被布置成从该第一层的发光表面发出光, 该方法包括:

在该第一层的发光表面上沉积介电材料层;

形成延伸穿过该介电材料层的多个孔口, 每个孔口的内表面是至少部分反射的,

其中, 该多个孔口中的至少一个孔口以该第一层的多个发光二极管中的发光二极管为中心并且与该发光二极管对准, 使得从发光二极管发出的光在穿过该至少一个孔口时被准直。

2. 如权利要求1所述的方法, 其中, 该介电层具有在该第一层的发光表面上延伸的第一表面和相反的第二表面, 并且其中, 该多个孔口被形成成使得每个孔口包括在该介电层的第一表面中的第一开口和在该介电层的第二表面中的第二开口, 其中, 该第二开口大于该第一开口, 使得这些孔口为截头锥体形的。

3. 如权利要求2所述的方法, 其中, 该第一开口对应于底层发光二极管的区域。

4. 如任一前述权利要求所述的方法, 其中, 这些孔口是截头圆锥形的。

5. 如任一前述权利要求所述的方法, 其中, 这些孔口被形成成使得该孔口的内表面相对于垂直于该介电层的平面以7.5度的角度倾斜。

6. 如任一前述权利要求所述的方法, 其中, 该介电层的沉积厚度为1微米与5微米之间。

7. 如任一前述权利要求所述的方法, 进一步包括用反射金属涂覆这些孔口的内表面的步骤。

8. 如权利要求7所述的方法, 其中, 该反射金属是铝。

9. 如权利要求7所述的方法, 其中, 该反射金属是使用高靶材利用率溅射 (HiTUS) 工艺沉积的。

10. 如任一前述权利要求所述的方法, 其中, 该第一层的发光二极管间隔开3微米。

11. 如权利要求10所述的方法, 其中, 该介电层由二氧化硅或聚合物中的一种形成。

12. 如任一前述权利要求所述的方法, 其中, 在该介电层中形成该多个孔口的步骤包括将硬掩模材料沉积到该介电层的第二表面上并且对该硬掩模材料进行图案化以暴露该介电层的限定这些孔口的最大宽度的区域, 所述最大宽度大于该底层发光二极管的对应尺寸。

13. 如权利要求12所述的方法, 其中, 该硬掩模材料是钨。

14. 如权利要求12所述的方法, 进一步包括以下步骤: 蚀刻该介电层的暴露区域, 以便产生具有倾斜内表面的孔口, 该倾斜内表面从该介电层的由该硬掩模材料限定的第二表面中的开口延伸到该介电层的第一表面中的开口, 其中, 该第一表面中的开口对应于该底层发光二极管的区域。

15. 一种发光二极管阵列, 包括:

第一层, 该第一层具有多个发光二极管, 该多个发光二极管被布置成从该第一层的发光表面发出光; 以及

介电层, 该介电层在该第一层的发光表面上延伸, 该介电层包括:

延伸穿过该介电层的多个孔口, 每个孔口的内表面是至少部分反射的,

其中, 该多个孔口中的至少一个孔口以该多个发光二极管中的发光二极管为中心并且与该发光二极管对准, 使得从该发光二极管发出的光在穿过该至少一个孔口时被准直。

微型LED射束准直

技术领域

[0001] 本披露内容涉及一种LED阵列、一种包括单片LED阵列的LED器件及其制造方法。特别地,本披露内容提供了一种具有改进的光发射的LED阵列。

背景技术

[0002] 微型发光二极管(LED)阵列可以被定义为尺寸为 $100 \times 100 \mu\text{m}^2$ 或更小的LED阵列。微型LED阵列正在被开发以用于许多商业和军事应用,比如自发光微型显示器和投影仪,它们可以结合到各种装置(比如可穿戴显示器、平视显示器、便携式摄像机、取景器、多站点激发源和微型投影仪)中。

[0003] 基于III族氮化物的微型LED是无机半导体LED,其在有源发光区中含有GaN及其与InN和AlN的合金。基于III族氮化物的微型LED之所以受欢迎,是因为它们与传统的大面积LED(尤其是其中发光层为有机化合物的有机发光二极管(OLED))相比可以以高得多的电流密度驱动并且发出更高的光功率密度。因此,较高的明亮度(亮度)(被定义为光源在给定方向上每单位面积发出的光量,也以每平方米坎德拉(cd/m^2)度量,并且通常称为尼特(nt))使得微型LED适用于需要高亮度或受益于高亮度的应用,例如,高亮度环境中的显示器、或投影。

[0004] 另外,III族氮化物微型LED中以每瓦流明(lm/W)表示的高发光效率与其他光源相比实现了更低的功耗,并且使得微型LED特别适用于便携式装置。此外,由于III族氮化物的固有材料特性,微型LED可以在高温或低温和高湿度或低湿度等极端条件下运行,从而在可穿戴和户外应用中提供性能和可靠性优势。

[0005] 还众所周知,发光二极管(LED)器件为各种各样的应用提供了高效的光源。LED光产生效率和出光量(light extraction)的提高、以及更小LED(具有更小的发光表面积)的生产和将不同波长的LED发射器集成到阵列中,特别是在显示技术方面实现了提供具有多种应用的高品质彩色阵列。

[0006] 几种显示技术正被考虑并用于微型LED显示器,以用于各种应用,包括增强现实、合并现实、虚拟现实以及直视显示,比如智能手表和移动装置。比如数字微镜(DMD)和硅基液晶(LCoS)等技术是基于反射技术的,其中,使用外部光源以时间顺序模式产生红色光子、绿色光子和蓝色光子,并且像素要么将光从光学元件(DMD)转移开要么吸收光(LCoS)来调整像素的亮度以便形成图像。液晶显示器(LCD)通常使用背光、可寻址背板上的LCD面板和滤色器来产生图像。需要背板来打开和关闭单个像素,并为每个视频帧调整单个像素的亮度。比如有机发光二极管(OLED)或有源矩阵OLED(AMOLED)、以及最近的微型LED等发光显示技术越来越多,因为它们为不受限制的微型显示应用提供更低的功耗和更高的图像对比度。特别是微型LED,与微型OLED和AMOLED显示器相比提供更高的效率和更好的可靠性。

[0007] 标准微型LED以接近朗伯(Lambertian)发射的角度分布(120° 半峰全宽)发出光。将微型LED发射显示器耦合到投影和/或中继透镜时,仅使用在透镜的接受角内的光。例如,典型的F/3透镜具有的接受角为约 $\pm 9.5^\circ$ 。朗伯微型LED发出的光的仅2.7%在 $\pm 9.5^\circ$

内,并且其余97.3%的光全部丢失。

[0008] 现有解决方案主要依靠使用额外的光学元件来执行准直。这种光学元件通常存在于微透镜阵列上,其中每个微透镜与单独的微型LED对准以对发出的光进行准直。微型LED器件与光学部件之间的机械对准需要高精度(对于3微米的像素间距,精度在0.25微米以内)以维持以光轴(垂直于微型LED发射区域)为中心的准直射束分布。

发明内容

[0009] 为了减轻上述问题中的至少一些问题,根据本发明的第一方面,提供了一种制造发光二极管阵列的方法,该发光二极管阵列包括具有多个发光二极管的第一层,该多个发光二极管被布置成从第一层的发光表面发出光,该方法包括:在第一层的发光表面上沉积介电材料层;形成延伸穿过介电材料层的多个孔口,每个孔口的内表面是至少部分反射的,其中,多个孔口中的至少一个孔口以第一层的多个发光二极管中的发光二极管为中心并与该发光二极管对准,使得从该发光二极管发出的光在穿过至少一个孔口时被准直。

[0010] 有利地,该方法非常适合大规模制造具有高光学效率的LED器件,并提供了一种经由准直实现窄射束发射分布的单一微型LED器件,其中,使用晶片上的蚀刻微型孔口实现准直,使得不需要额外光学元件来实现窄发射分布。没有额外的光学元件不仅减少了器件的部件数量,而且由于不需要将所述光学元件与底层(underlying)LED对准的步骤而进一步简化了制造。此外,围绕每个单独的LED提供反射孔口提供增强的光学隔离,并有助于防止相邻管芯之间的串扰,并在这种LED阵列耦合到光学系统时大大减少了杂散光。此外,以下阐述的制造工艺适用于小间距LED晶片,从而提供必要的高保真度,并可以进一步在确保LED不会因高温加工而损坏或受损的低温下进行。

[0011] 优选地,介电层具有在第一层的发光表面上延伸的第一表面和相反的第二表面,并且其中,多个孔口被形成成使得每个孔口包括在介电层的第一表面中的第一开口和在介电层的第二表面中的第二开口,其中,第二开口大于第一开口,使得孔口为截头锥体形的。

[0012] 优选地,第一开口对应于底层发光二极管的区域。

[0013] 优选地,孔口是截头圆锥形的。

[0014] 优选地,孔口的内表面相对于垂直于介电层的平面以7.5度的角度倾斜。

[0015] 优选地,第二层具有在1微米与5微米之间的厚度。

[0016] 优选地,孔口的内表面涂覆有反射金属。

[0017] 在底层LED上提供这种内部反射孔口被示出为减小截止角并提高LED器件与投影透镜的耦合效率。

[0018] 优选地,反射金属是铝,其可以使用已知技术容易地沉积并且随后进行机械或化学抛光。

[0019] 优选地,反射金属是使用高靶材利用率溅射(HiTUS)工艺沉积的。这有利地允许在低温下在孔口内的均匀的薄膜沉积。

[0020] 优选地,第一层的发光二极管间隔开3微米。

[0021] 优选地,介电层由二氧化硅或聚合物中的一种形成。

[0022] 优选地,形成多个孔口是通过将硬掩模材料沉积到介电层的第二表面上并对硬掩模材料进行图案化以暴露介电层的限定孔口的最大宽度的区域实现的,所述最大宽度大于

底层发光二极管的对应尺寸。

[0023] 优选地,硬掩模材料是钨。

[0024] 优选地,介电层的暴露区域被蚀刻以产生具有倾斜内表面的孔口,该倾斜内表面从介电层的由硬掩模材料限定的第二表面中的开口延伸到介电层的第一表面中的开口,其中,第一表面中的开口对应于底层发光二极管的区域。该工艺以及详细描述中概述的工艺允许对孔口的位置和轮廓进行高分辨率控制,从而允许将要求保护的方法应用于小间距LED晶片。

[0025] 优选地,发光二极管阵列为单片发光二极管阵列。

[0026] 根据本发明的第二方面,提供了一种发光二极管阵列,该发光二极管阵列包括:第一层,该第一层具有多个发光二极管,该多个发光二极管被布置成从第一层的发光表面发出光;以及介电层,该介电层在第一层的发光表面上延伸,该介电层包括:延伸穿过介电层的多个孔口,每个孔口的内表面是至少部分反射的,其中,多个孔口中的至少一个孔口以多个发光二极管中的发光二极管为中心并与该发光二极管对准,使得从该发光二极管发出的光在穿过至少一个孔口时被准直。

[0027] 本发明的其他方面在依据说明书和所附权利要求书中是显而易见的。

具体实施方式

[0028] 仅作为示例,参考附图对本发明实施例的详细描述进行了描述,在附图中:

[0029] 图1示出了根据本发明的实施例的单片LED阵列的一部分的截面视图;

[0030] 图2至图8示出了根据本发明的实施例的用于LED阵列的单片制造工艺的阶段;

[0031] 图9至图15示出了根据本发明的替代性实施例的用于LED阵列的制造工艺的阶段。

[0032] 图16示出了根据本发明的实施例的单片LED阵列的斜视图;

[0033] 图17示出了经由电子显微镜获取的单片LED阵列的一部分的截面视图;

[0034] 图18是孔口高度与侧壁的角度的表格;

[0035] 图19示出了对于3微米的间距,不同反射孔口高度($H=1$ 微米、2微米、3.5微米和5微米)的光发射分布;

[0036] 图20示出了绘制各种透镜的半峰全宽角度(FWHM)、光学效率和耦合效率与3微米间距的微型LED器件的反射孔口高度的各种图表。

[0037] 图21和图22示出了根据本发明的实施例的用于形成单片LED阵列的典型掩模布局。

[0038] 图1中示出了单片微型LED阵列100的截面视图。该阵列由LED晶片10形成,该LED晶片具有被布置成从LED晶片10的最顶部表面(称为LED晶片10的发光表面)发出光的LED 11、12和13。每个LED 11、12、13具有相关联的发光表面。虽然没有示出电连接,但是应当理解,LED中的每一个都是可单独寻址的,从而控制来自由与LED 11、12、13相关联的发光表面限定的像素的光。LED晶片10经由已知技术提供。在实施例中,LED 11、12和13由通过金属有机化学气相沉积(MOCVD)生长、具有n型区和p型区、夹有包括一个或多个量子阱的有源区或发光区的基于GaN的外延多量子阱(MQW)结构提供。这样的器件以已知的方式操作并且本领域技术人员将意识到包含一个或多个附加层的替代性结构,或者实际上任何其他合适的器件,只要它们以下述方式操作。有利地,具有均匀结构和高内部量子效率的单片LED阵列与

精心形成的准直结构相结合,以与已知技术相比提供具有准确控制的发射角的改进的光输出分布、更少的部件和减少数量的处理步骤。

[0039] 虽然LED晶片10是单片微型LED阵列,但在进一步示例中,LED晶片10以任何适当的方式形成以提供具有多个发光二极管的层,这些发光二极管被布置成从多个发光表面发出光。例如,LED晶片10由通过拾放技术形成的发光二极管层提供。

[0040] LED 11、12、13被配置成发出具有不同主峰值波长的光。在示例中,一个LED 11发出主峰值波长对应于红光(大约620nm)的光,一个LED 12发出主峰值波长对应于绿光(大约520nm)的光,并且一个LED 13发出主峰值波长对应于蓝光(约450nm)的光。在进一步的示例中,LED 11、12、13被配置成发出具有相同主峰值波长的光和/或包括颜色转换区域以提供具有所需波长的光。虽然图1中示出了三个LED 11、12、13,但在进一步的示例中,使用任何适当数量和配置的LED来提供本文所述的准直光发射的功能。

[0041] 布置在LED晶片10顶上并在所述发光表面上分布的是具有孔口/通孔/空腔25的介电层20,其中每个孔口与底层LED晶片10的LED居中对准。孔口25具有倾斜的侧壁,使得每个孔口的宽度随着距底层LED的距离而增加。在优选实施例中,孔口25具有截头圆锥形轮廓,高度(或深度)为3微米,并且在与LED晶片10的界面处具有1.7微米宽的开口,在相对表面处开口延伸至2.5微米,其中侧壁在0.4微米的宽度上以7.5°的角度倾斜。在替代性实施例中,孔口25具有抛物线轮廓,该抛物线轮廓用于进一步准直从LED发出的光。尽管本领域技术人员将理解,孔口25的确切三维形状可以随着底层LED的形状和从其发出的光的角度分布而变化。在实施例中,介电层20由二氧化硅形成。

[0042] 介电层的最上表面(即,与介电层20的与LED晶片10的发光表面接触的表面相反的表面)被涂覆硬掩模层30。虽然介电层20的表面被示出为与LED晶片10接触,但在进一步的示例中,该结构包括在LED晶片10与介电层20之间的一个或多个中间层。在实施例中,硬掩模层30由钨形成。

[0043] 在孔口25的暴露的内表面和硬掩模层30上提供反射材料40外层,使LED 11、12和13的发光表面暴露。在实施例中,反射材料40是铝。图16中示出了单片LED阵列的斜视图,其中LED被布置成红-绿-蓝(RGB)行,并提供箭头以展示从LED 11、12和13发出的光穿过孔口25的方向。

[0044] 在使用中,从LED 11、12和13中的每一个发出的光经历来自涂覆下面的孔口的内表面/侧壁的反射材料40的内反射。这具有效果并对从单片LED阵列100的每个单独的LED发出的光进行准直,使得到任何后续光学器件(比如到投影或中继透镜)的光学耦合连同整个器件的光学效率一起得到改善。来自位于阵列100中的相邻LED的串扰也被最小化。

[0045] 图2至图8描绘了根据本发明的实施例的制造图1的单片LED阵列100的阶段。

[0046] 图2示出了在LED晶片10上沉积介电材料层20的步骤。为了防止损坏晶片上的微型LED器件,低温沉积方法是优选的,并且用于沉积约3微米厚度或以上的低应力二氧化硅层,不过在更小或更紧密封装的LED的情况下该层可以更薄。

[0047] 在图3所示的阶段,介电层20的顶表面被图案化以准备使用包含开口的掩模进行蚀刻,这些开口以LED晶片10中的LED 11、12和13为中心并且大于它们。掩模开口的尺寸被确定成允许蚀刻侧壁角度,使得蚀刻的孔口25的底部的尺寸将被确定成类似于LED 11、12和13的发光表面。在优选实施例中,将薄材料层30(比如钨)沉积在介电层20的顶部上,该薄

材料层将用作介电蚀刻用的硬掩模。在蚀刻介电层之前对该硬掩模30进行图案化。这允许将相对较小的几何形状蚀刻到相对较厚的介电层中,而无需厚的光刻胶覆盖物,从而为生产微型LED阵列提供了改进的工艺。可以使用(i)干法蚀刻或(ii)剥离工艺对硬掩模进行图案化。

[0048] 在(i)的情况下,将薄硬掩模材料层30沉积到介电层上,并且使用本领域技术人员已知的标准光刻技术在底层LED 11、12和13的位置上对窗口开口进行图案化。然后使用已知的干法蚀刻技术蚀刻硬掩模材料30并且移除来自光刻的任何光刻胶。

[0049] 在(ii)的情况下,沉积光刻胶层并且将具有开口的相反图案印刷到光刻胶中。然后将硬掩模材料30沉积在光刻胶上,并使用标准的剥离技术来移除覆盖LED 11、12和13的硬掩模材料,从而产生图3所示的结构。

[0050] 在图4所示的阶段,经由已知工艺蚀刻介电材料,以便在硬掩模材料30的岛状物之间向下到LED晶片10产生孔口25,每个孔口25以LED 11、12和13为中心。孔口侧壁(孔口25的内表面)的角度由氧化物层的厚度和蚀刻化学品这两者确定。

[0051] 在图5和图6,蚀刻的晶片被涂覆光刻胶50层,该光刻胶层被选择性显影或经受选择性剥离,以便从孔口25的内表面清除光刻胶50,使孔口的侧壁暴露同时在LED晶片10的LED上方的蚀刻孔口25的底部处维持光刻胶50层。在优选实施例中,这是使用掩模对准工艺印刷的。在替代性实施例中,该步骤使用光刻胶回蚀(resist-etch-back)技术完成,使得用于随后沉积反射材料40的掩模窗口可以自对准到用于对介电材料20进行图案化的掩模中的窗口。

[0052] 图7示出了将薄共形反射材料40层沉积到该结构的暴露表面上。在实施例中,该材料是铝并且被沉积到50nm的厚度。沉积优选使用高靶材利用率溅射(HiTUS)方法实现。溅射是通过远程产生高密度等离子体来进行的。等离子体在通向主工艺腔室的侧腔室中产生,该主工艺腔室包含靶材和要涂覆的基板。由于等离子体是远程产生的,而不是(如在常规的磁控溅射中)从靶材本身产生,因此到靶材的离子流与施加到靶材的电压无关。等离子体密度和沉积速率的最佳平衡被设置成在不需要基板偏置的情况下向沉积工艺提供低能量“等离子体辅助”。这有益地影响了薄膜涂覆特性并增强了反应沉积过程,从而能够将快速沉积速率、高密度膜涂覆到温度敏感的聚合物基板上并允许在低温下在孔口侧壁上均匀沉积薄膜。

[0053] 如图8所示,然后通过标准的剥离工序中溶解底层光刻胶来从孔口25的底部移除反射材料,从而使LED 11、12和13的发光表面暴露并被由孔口侧壁提供的反射内表面包围。从LED发出的任何光然后在离开其相应的孔口25之前被准直。

[0054] 在替代性实施例中,包含孔口的介电层是其中印刷有孔口的可光成像聚合物层。根据该实施例制造单片LED阵列100的关键步骤在图9和图10中示出,这些关键步骤替代了上述图2至图4中所示的步骤。图9描绘了用聚合物层21涂覆LED晶片10的步骤。聚合物层的厚度被选择为在由LED晶片10的LED的宽度和间距以及锥形孔口25的所需侧壁角度所设定的限制内的最大可能值。

[0055] 图10示出了形成在聚合物层21中产生的孔口25。这些孔口是通过对具有所需图案的聚合物层进行光成像,然后进行压印或蚀刻工艺来产生的。显示的尺寸是针对3微米间距的LED晶片10的。也可以藉由模制或压印方法在聚合物层中产生孔口25。孔口25的侧壁随后

被涂敷反射层,如关于上面的图5至图8或下面的图11至图15所描述的。

[0056] 在替代性实施例中,使用后沉积光掩模、蚀刻和剥去工艺沉积并随后对反射材料40进行图案化。替代图5至图8的图11至图15展示了该工艺。

[0057] 图11示出了涂覆有反射材料40使得孔口的侧壁被共形地涂敷的介电层20。

[0058] 然后反射材料40涂覆有抗蚀刻材料41,该抗蚀刻材料也施加到孔口侧壁上方的区域,如图12所示。

[0059] 图13描绘了在抗蚀刻材料41中产生的一系列孔口600。在实施例中,这经由掩模曝光和显影工艺执行。在替代性实施例中,该步骤经由自对准间隔物工艺来执行。

[0060] 在图14所示的阶段,反射材料40被蚀刻以在未被抗蚀刻材料41覆盖的区域中产生孔口。随后移除抗蚀刻材料,从而产生图15的结构。

[0061] 用于限定孔口25和对反射材料40进行图案化的替代性工艺(分别关于图9和图10以及图11至图15进行了描述)不是相互排斥的,使得可以采用其中之一、两者无一个、或两者来提供单片阵列100。

[0062] 图17示出了使用电子显微镜获取的单片LED阵列100的截面,示出了相邻孔口的顶部开口和底部开口之间的距离在它们的基部(即在介电层20与LED晶片层10之间的界面处)处为1.3微米并且在它们的顶部(介电层的相反表面)处为0.5微米。

[0063] 图18示出了表格,该表格展示了对于穿过介电层20的反射孔口25的对应高度,倾斜的内部孔口壁相对于与由介电层的相反表面形成的平面垂直的方向的角度 θ 。

[0064] 图19示出了针对反射孔口25的不同高度($A=1$ 微米, $B=2$ 微米, $C=3.5$ 微米和 $D=5$ 微米)对于3微米间距的光发射分布,其中间距是LED晶片10的LED间的间隔。如可以看出的,截止角从没有反射孔口25的情况下的典型朗伯分布的 90° 减小至5微米的孔口高度的 48° 。

[0065] 如图20A(其假定反射材料的镜面抛光表面和针对从LED发出的光的朗伯分布)的模拟结果所示,针对大于1微米的孔口高度,发出的光的半峰全宽从 120° 减小到低于 80° 。

[0066] 图20C至图20E示出了到具有孔口高度的 $F/3$ 、 $F/2$ 和 $F/1$ 透镜的光学耦合的所得增加,由此离开孔口25的现在被准直的光的更大比例在透镜的接受角内。

[0067] 图21示出了可以用于对介电层20进行图案化的示例掩模,该掩模针对1.7微米宽的LED阵列,三微米间距,3微米厚介电层20确定尺寸。窗口的确切形状(图20A中的方形和图20B中的圆形)自然取决于构成阵列的LED的形状。

[0068] 图22示出了用于对介电层20进行图案化的第一掩模200,第一掩模与在反射材料40的剥离工艺中使用的第二掩模300对准。

[0069] 相应地,提供了根据本发明的单片LED阵列100。

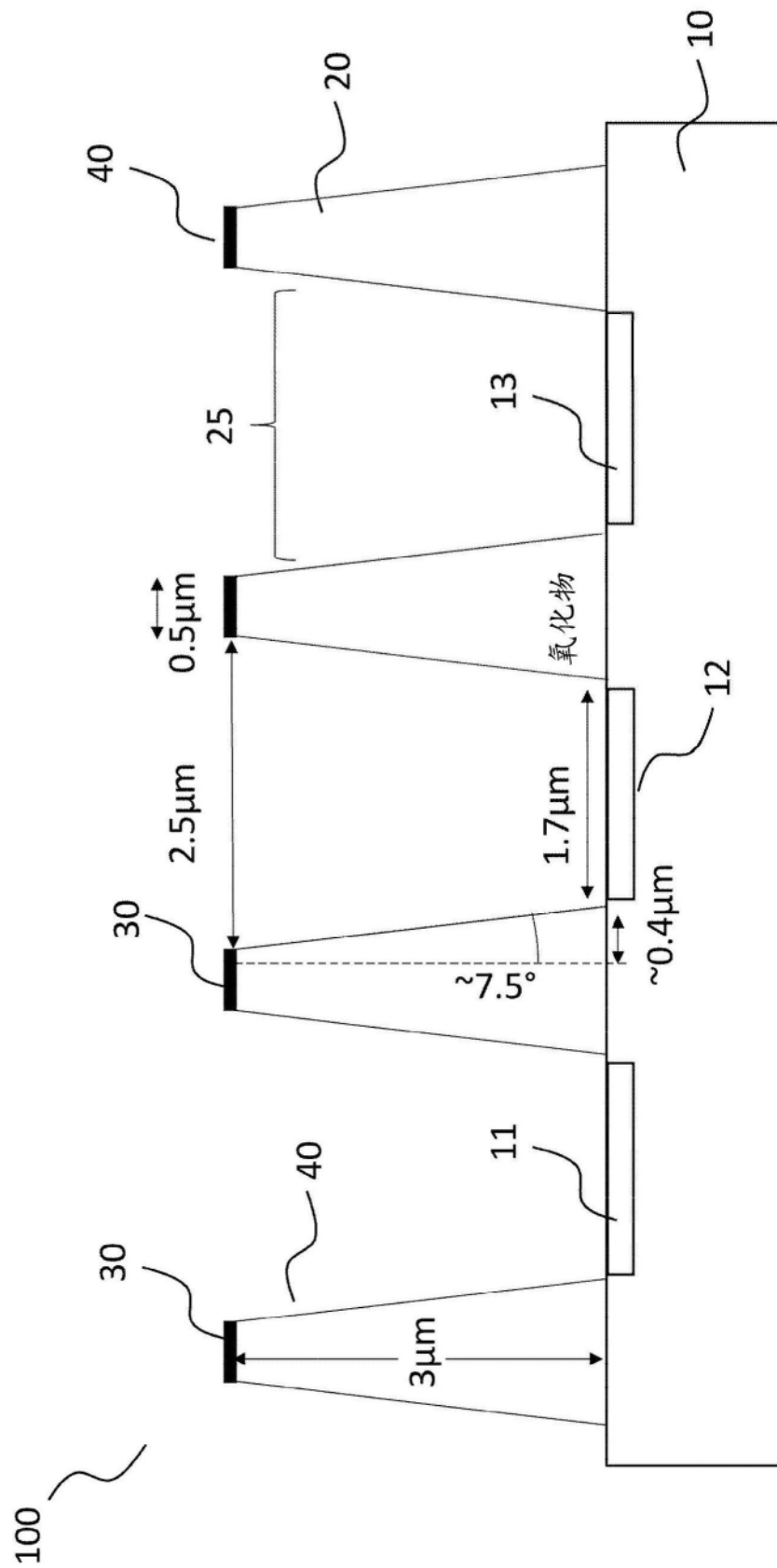


图1

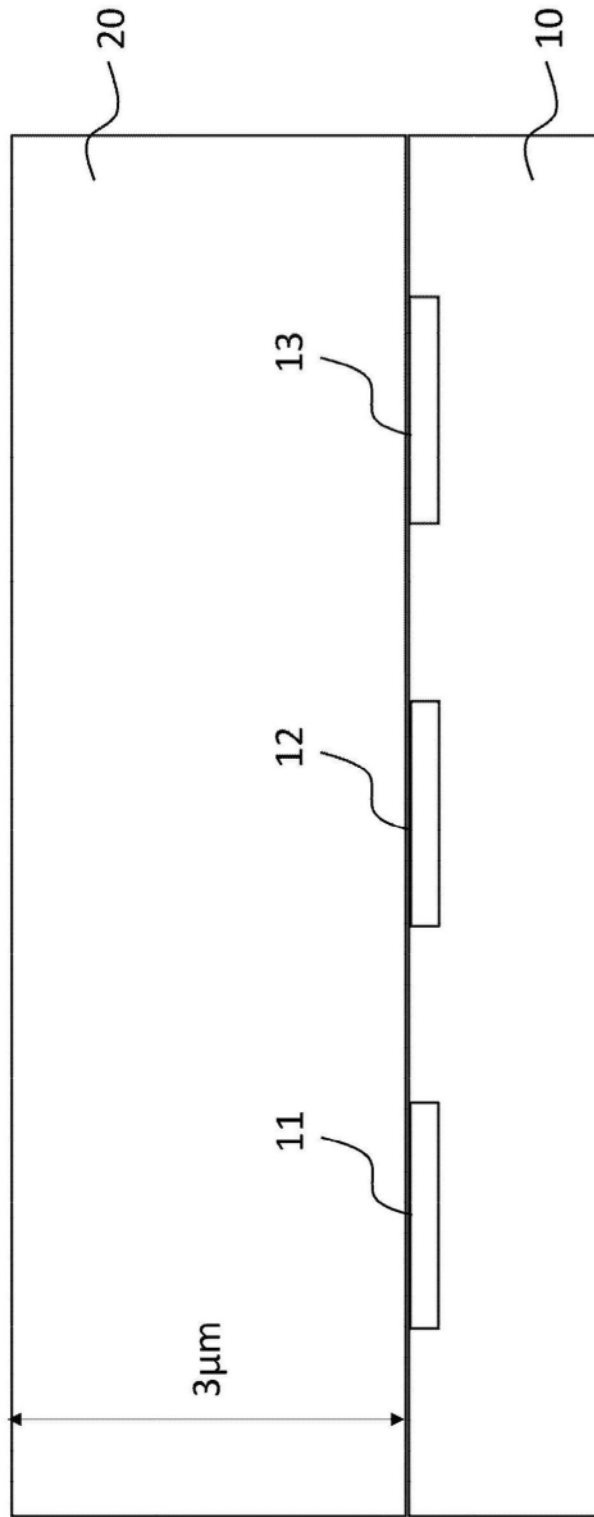


图2

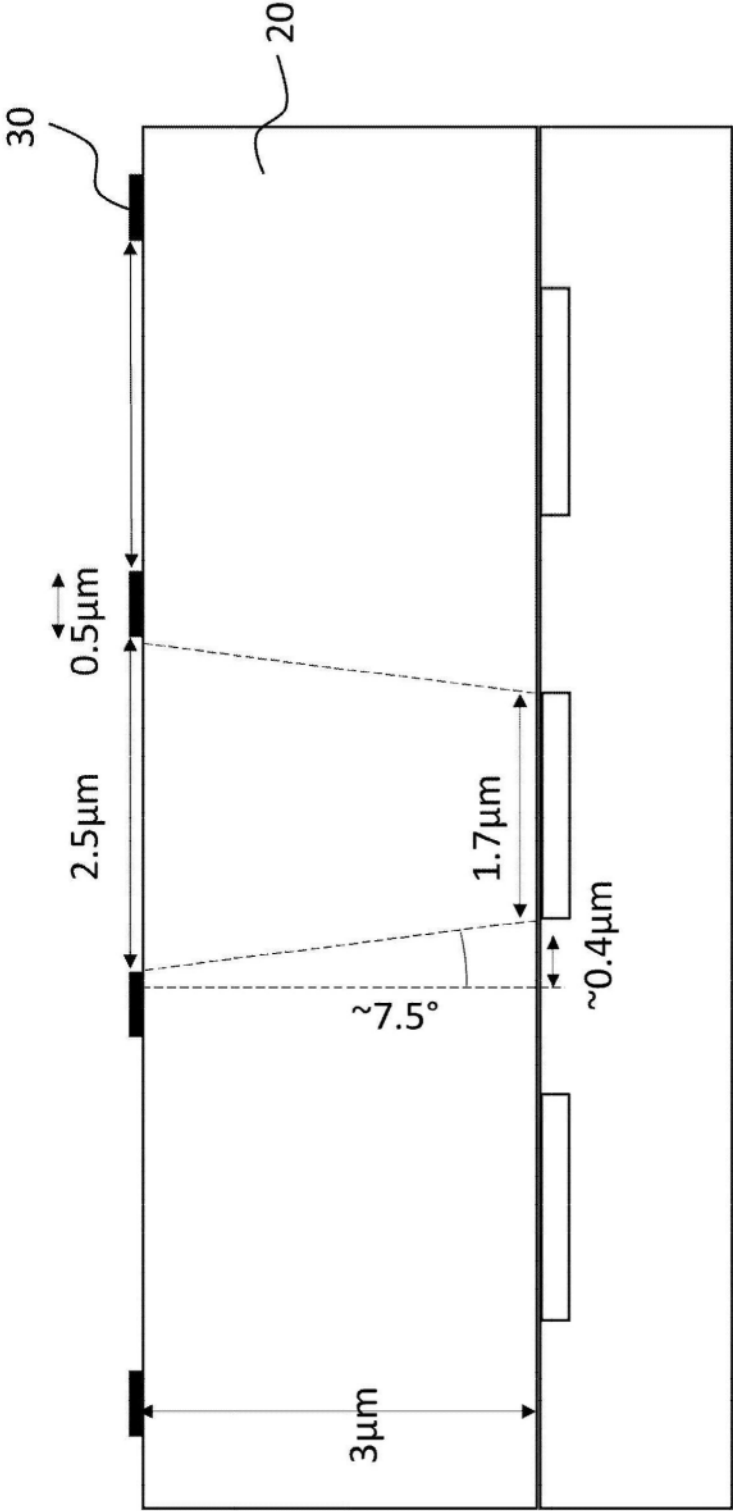


图3

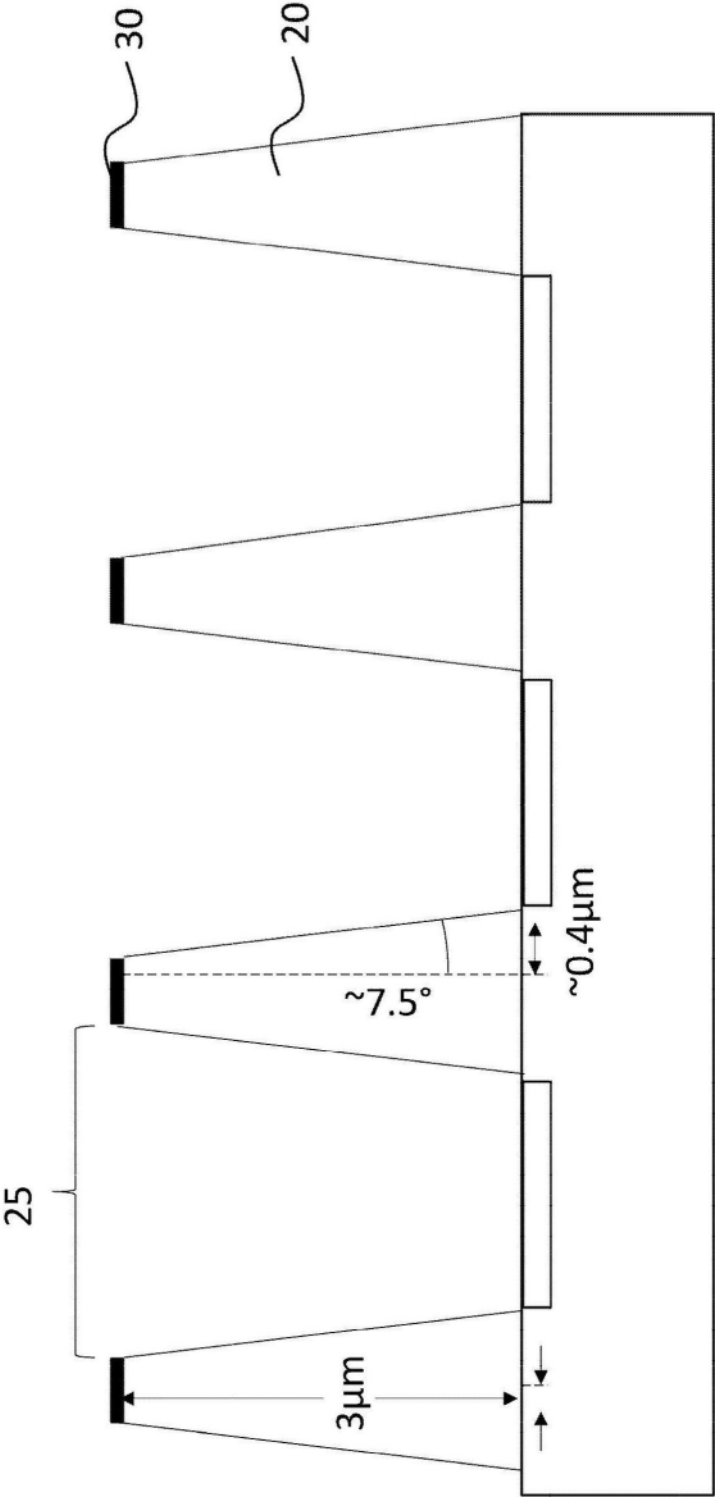


图4

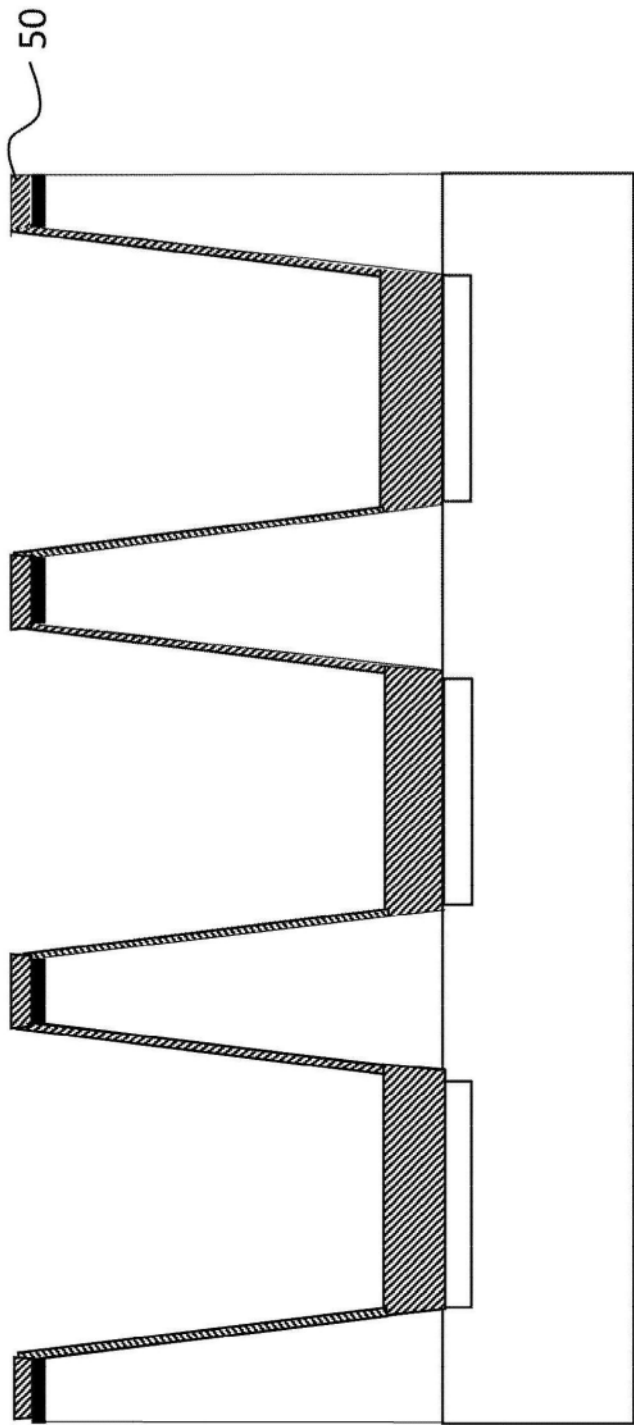


图5

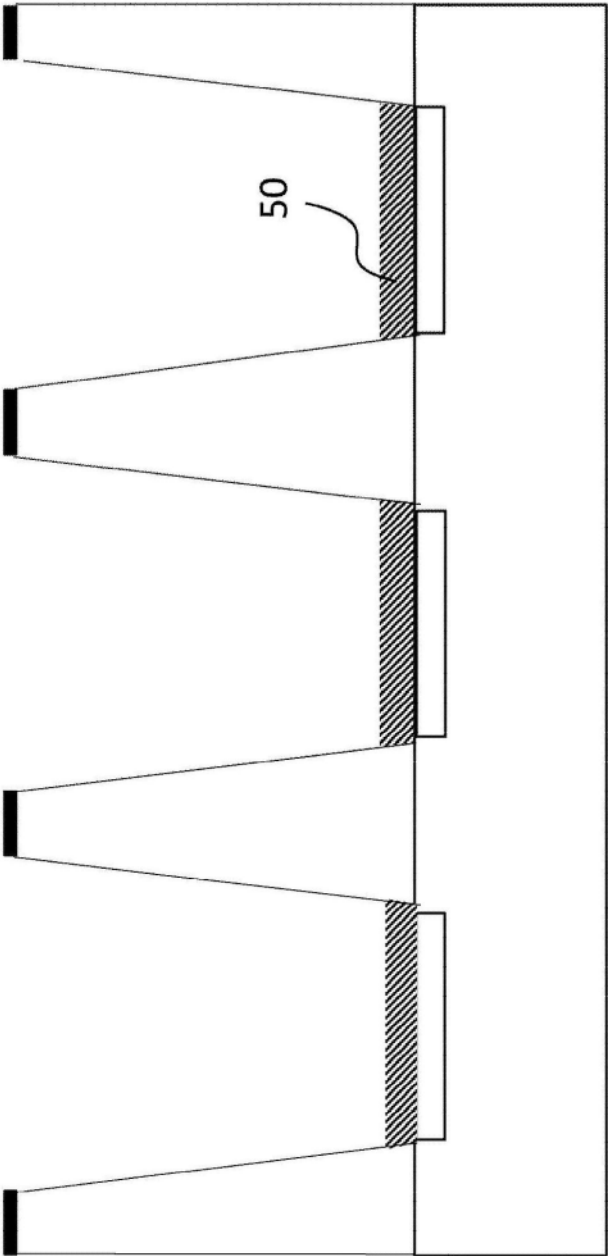


图6

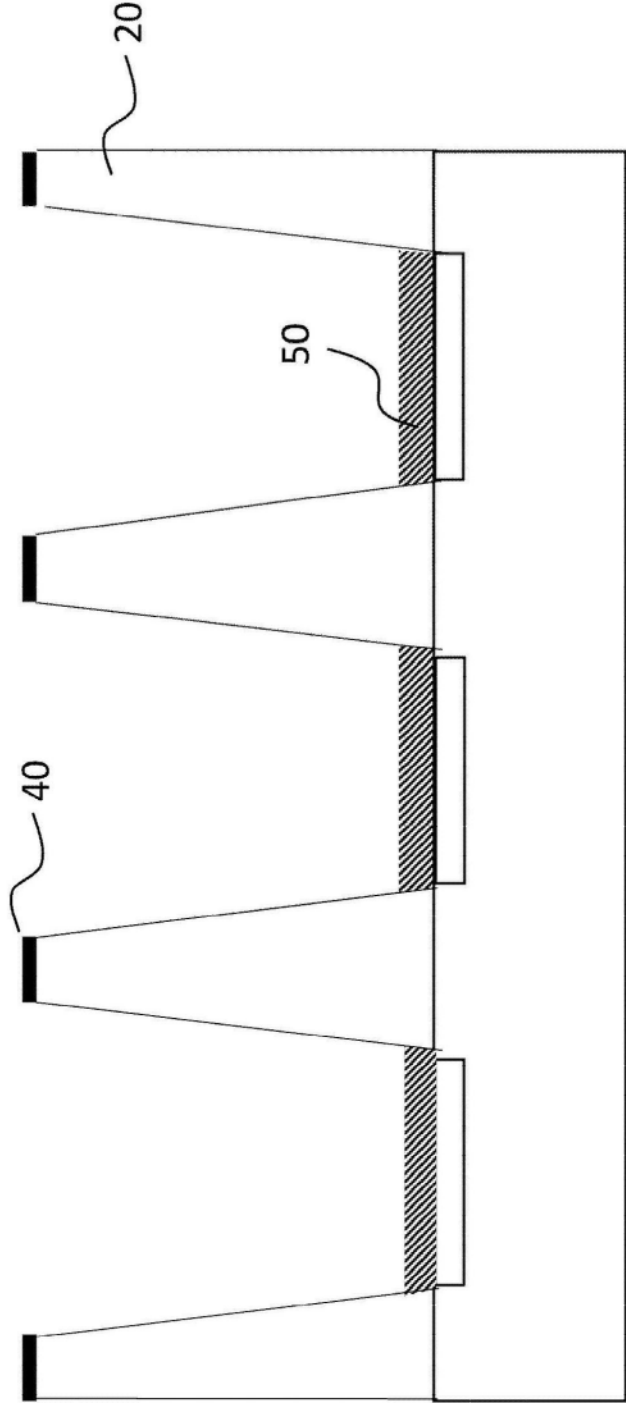


图7

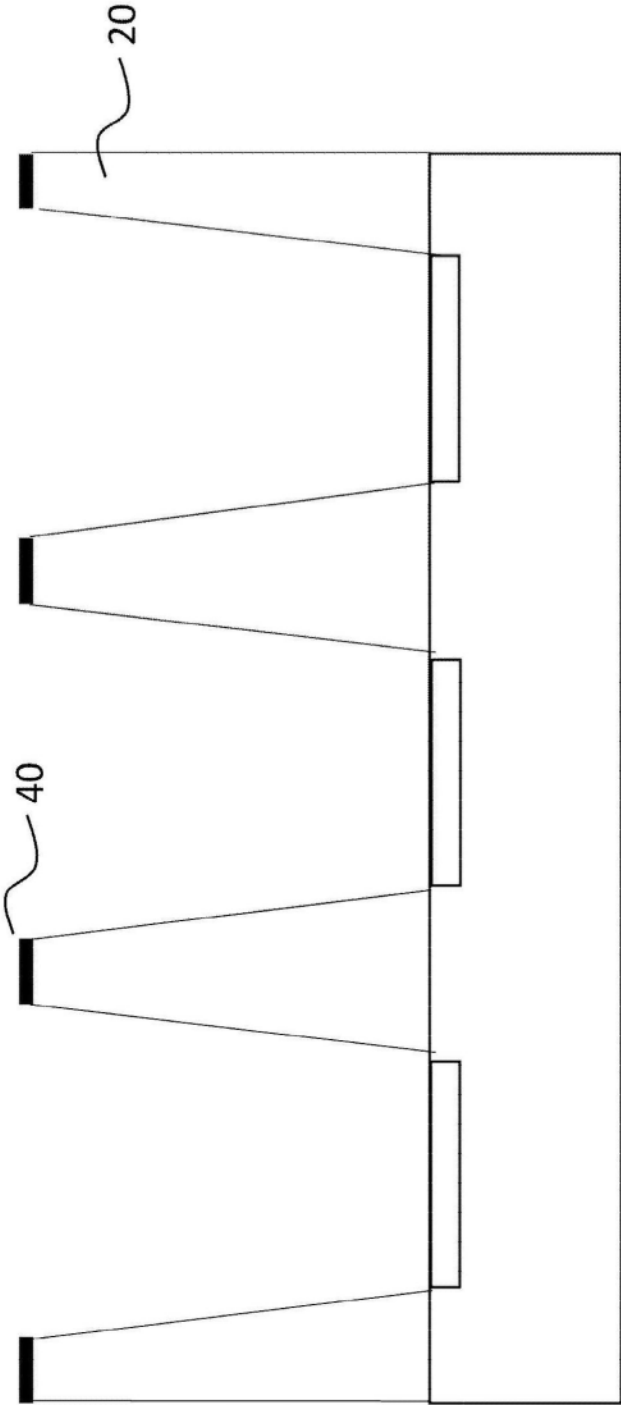


图8

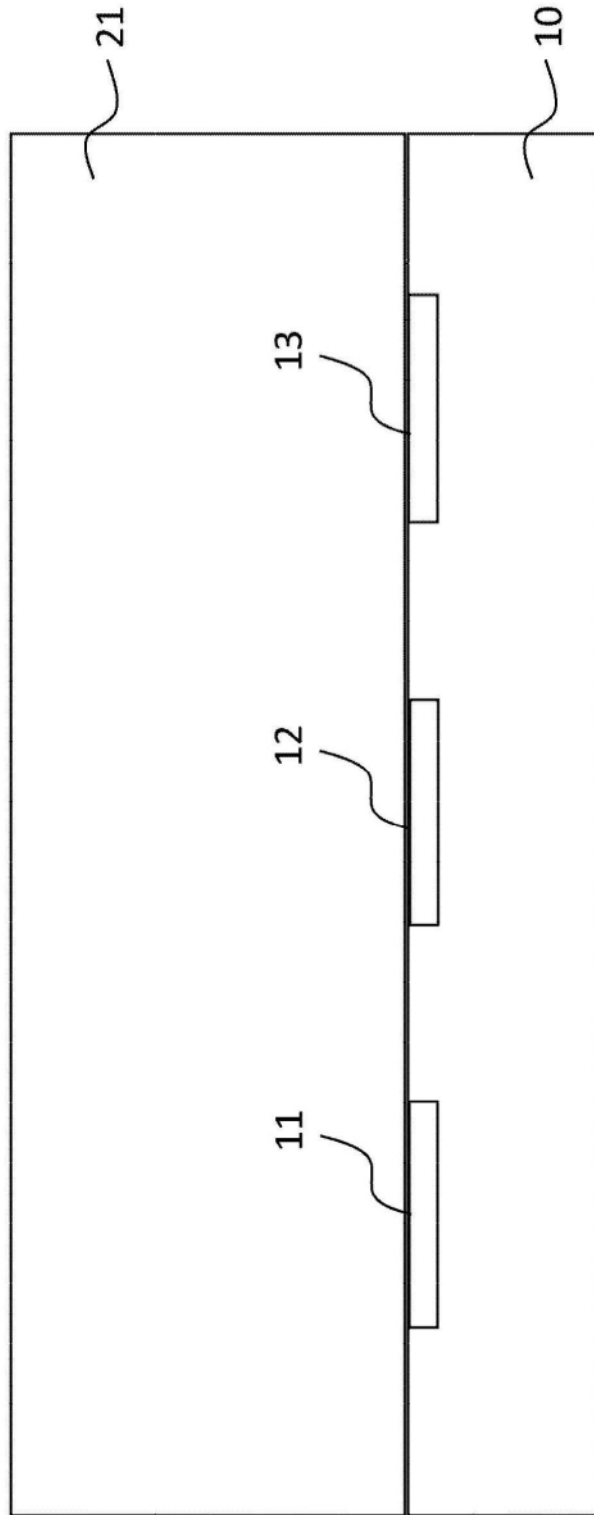


图9

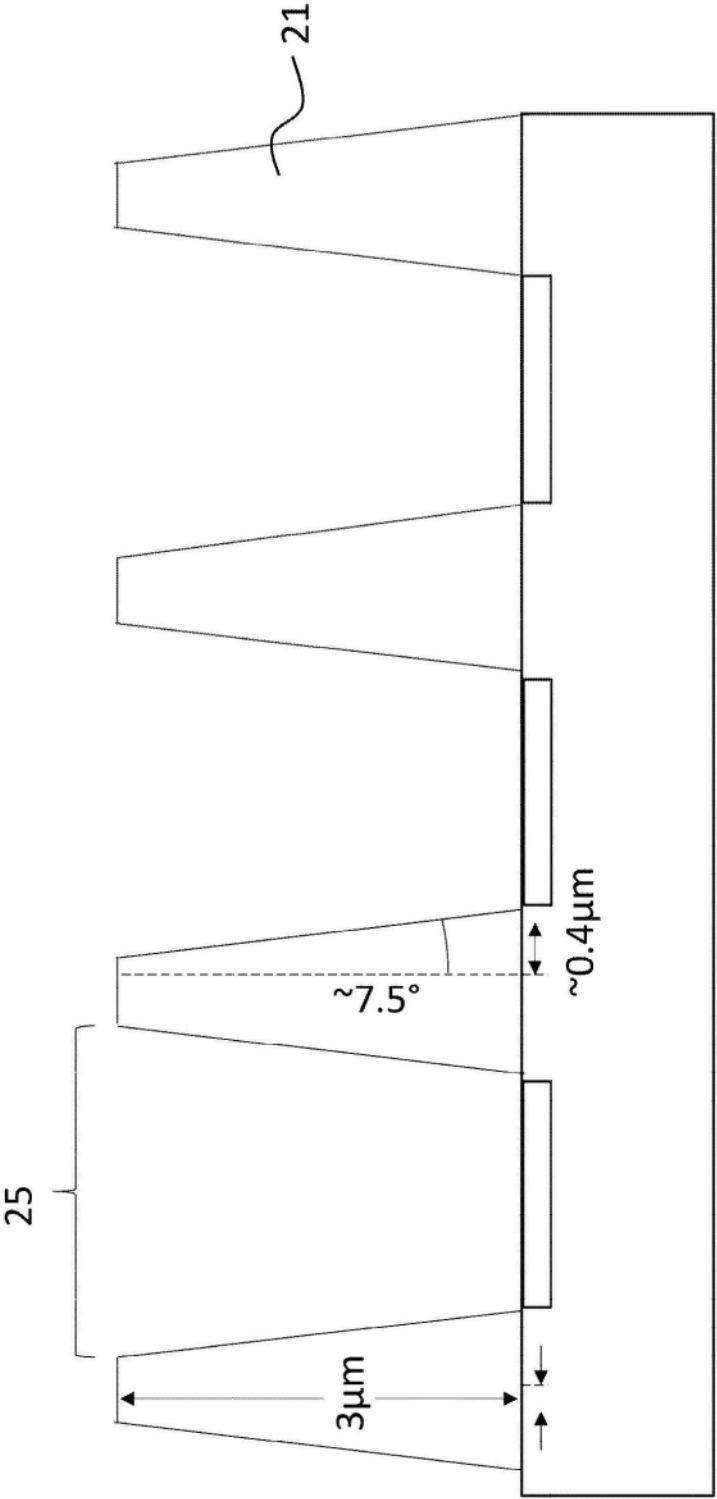


图10

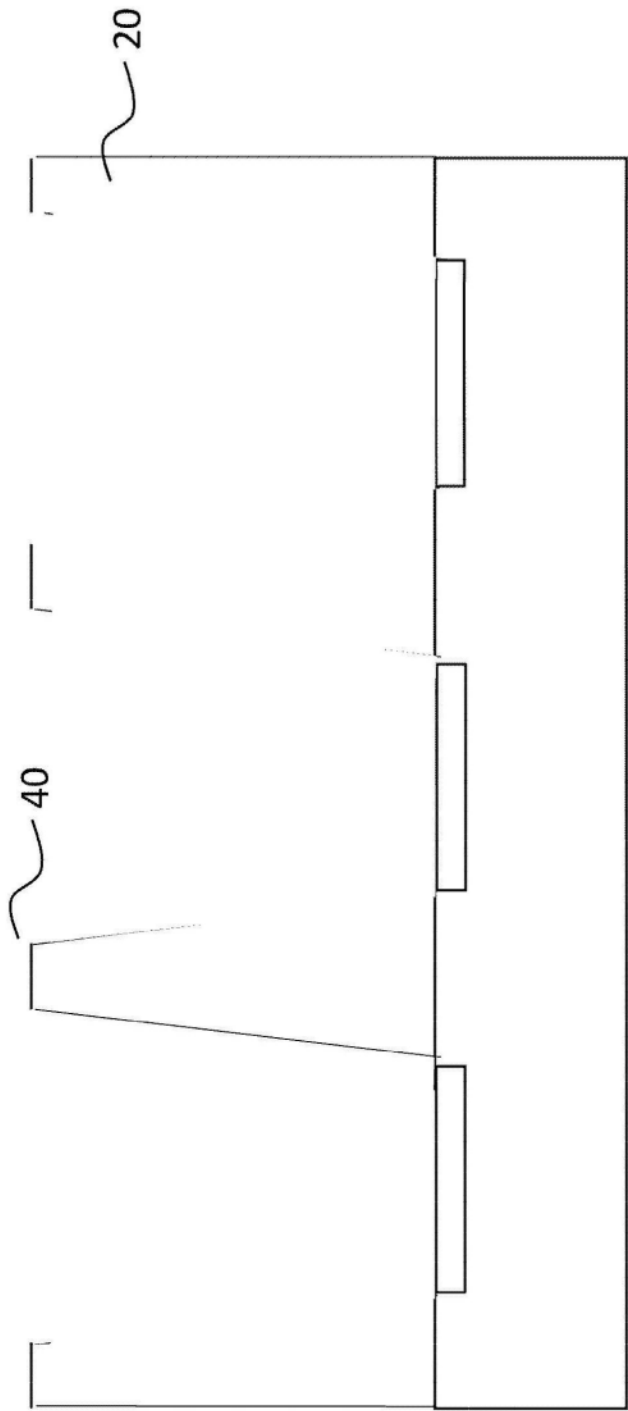


图11

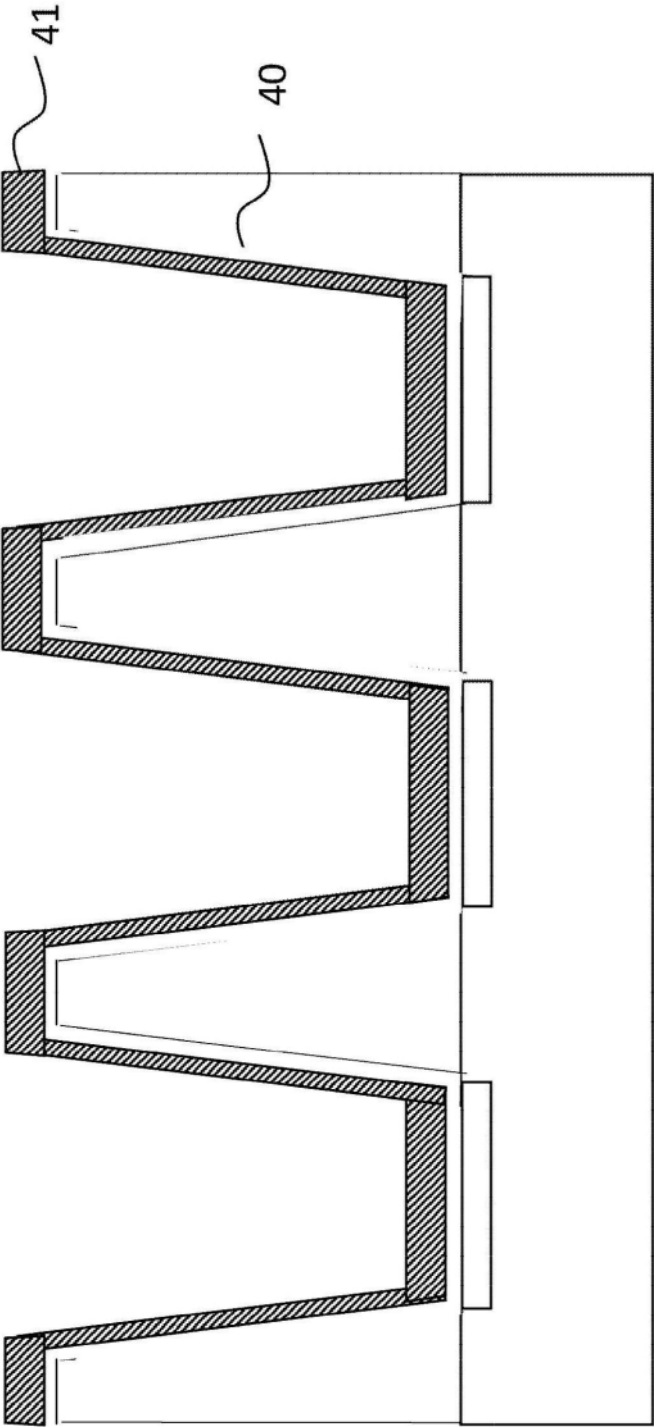


图12

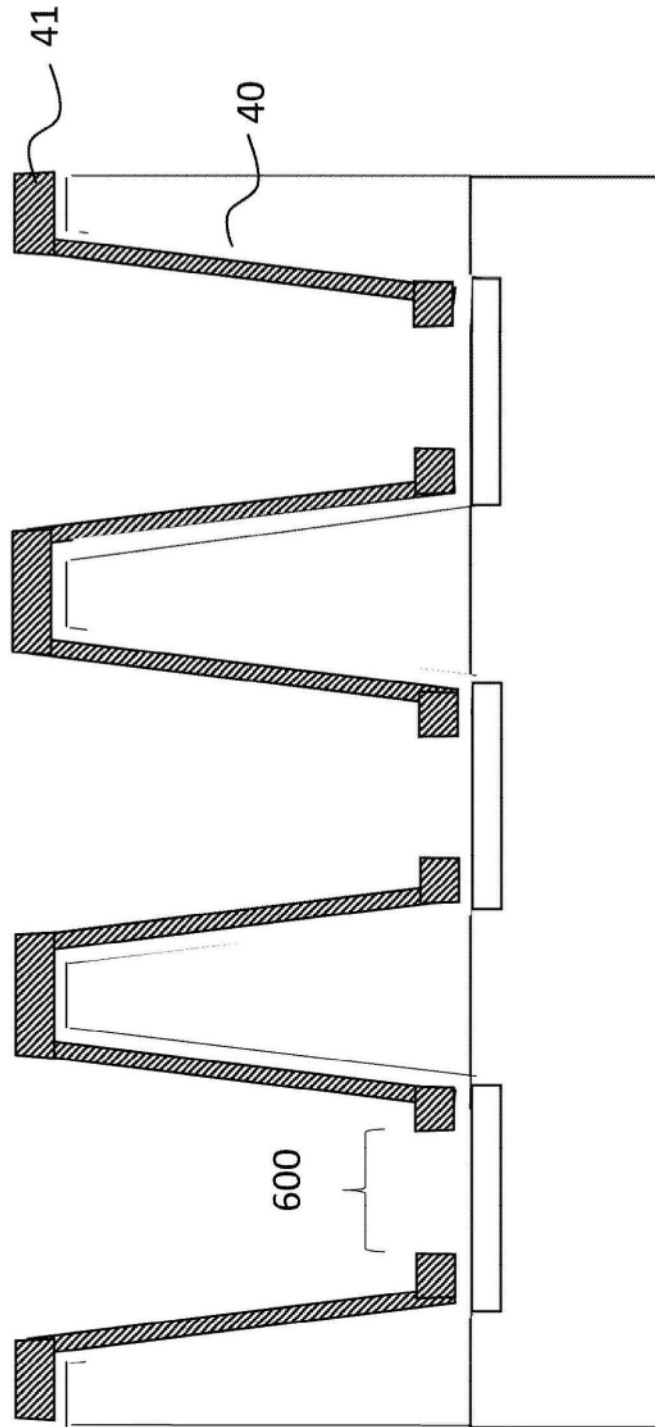


图13

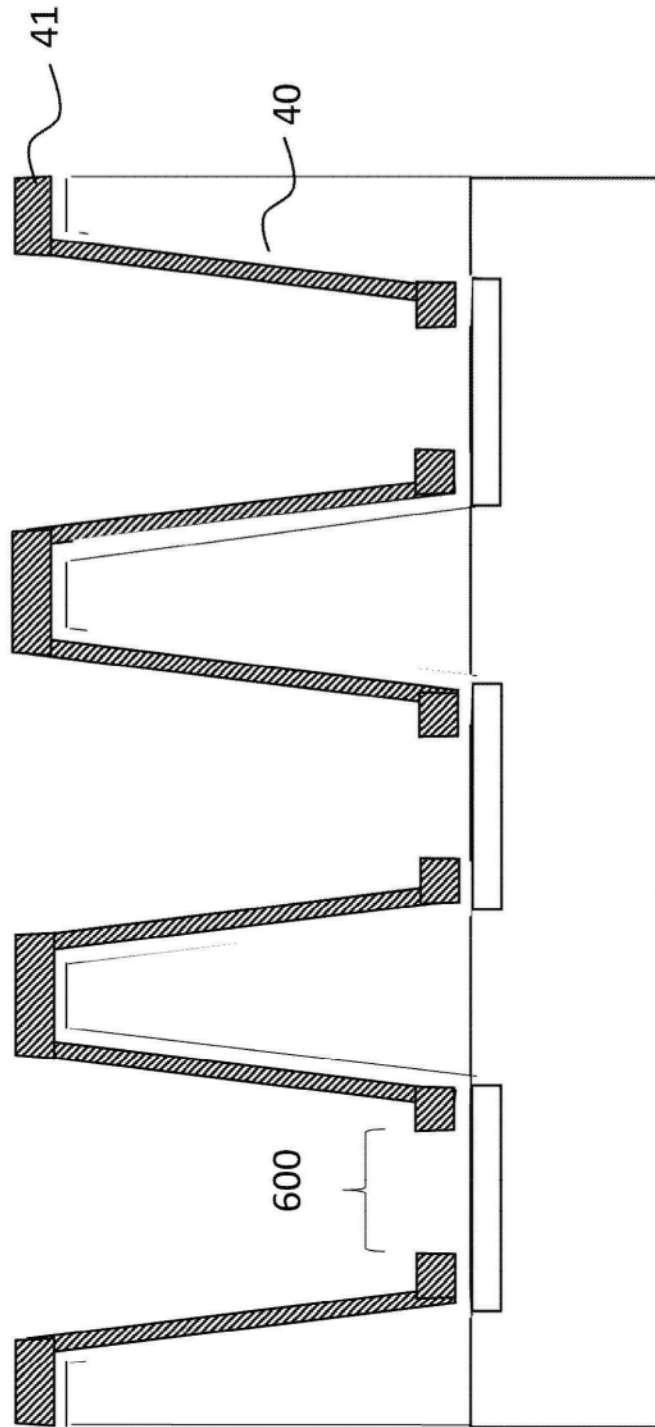


图14

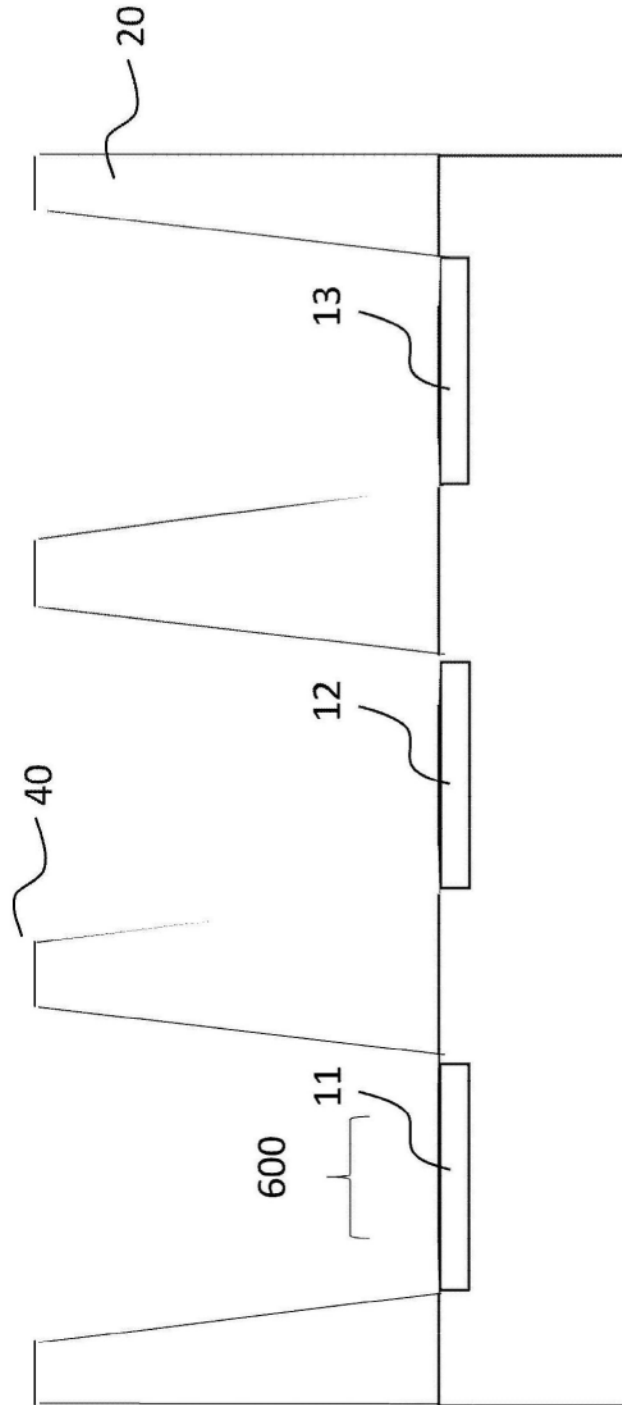


图15

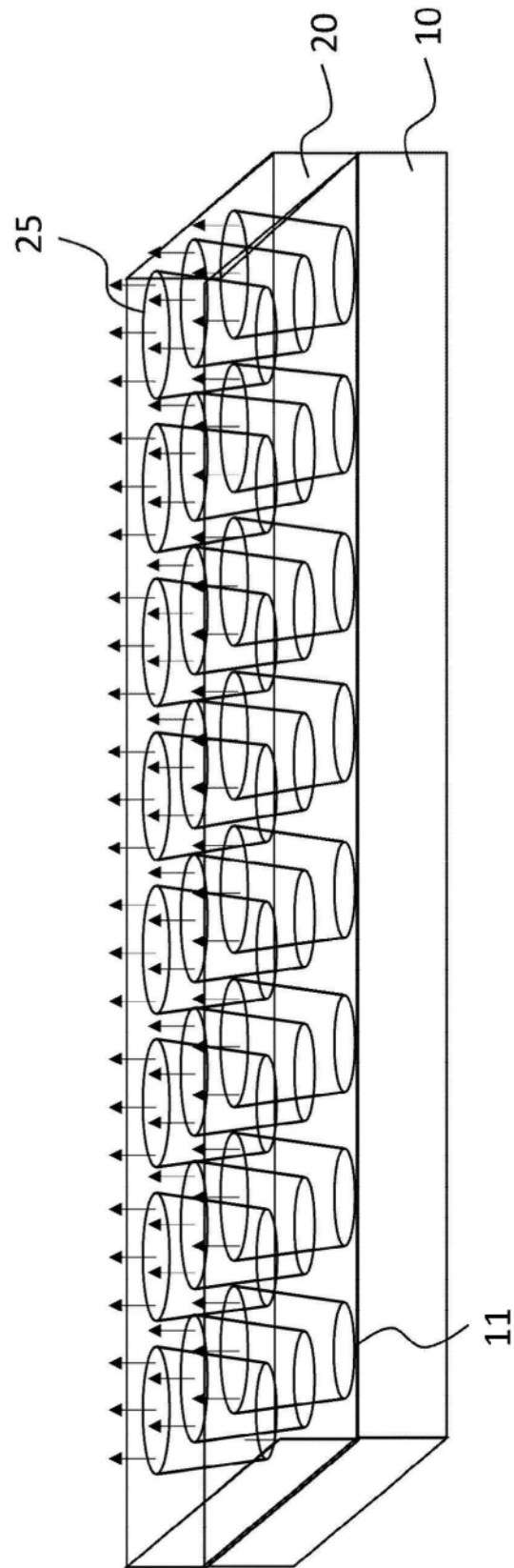


图16

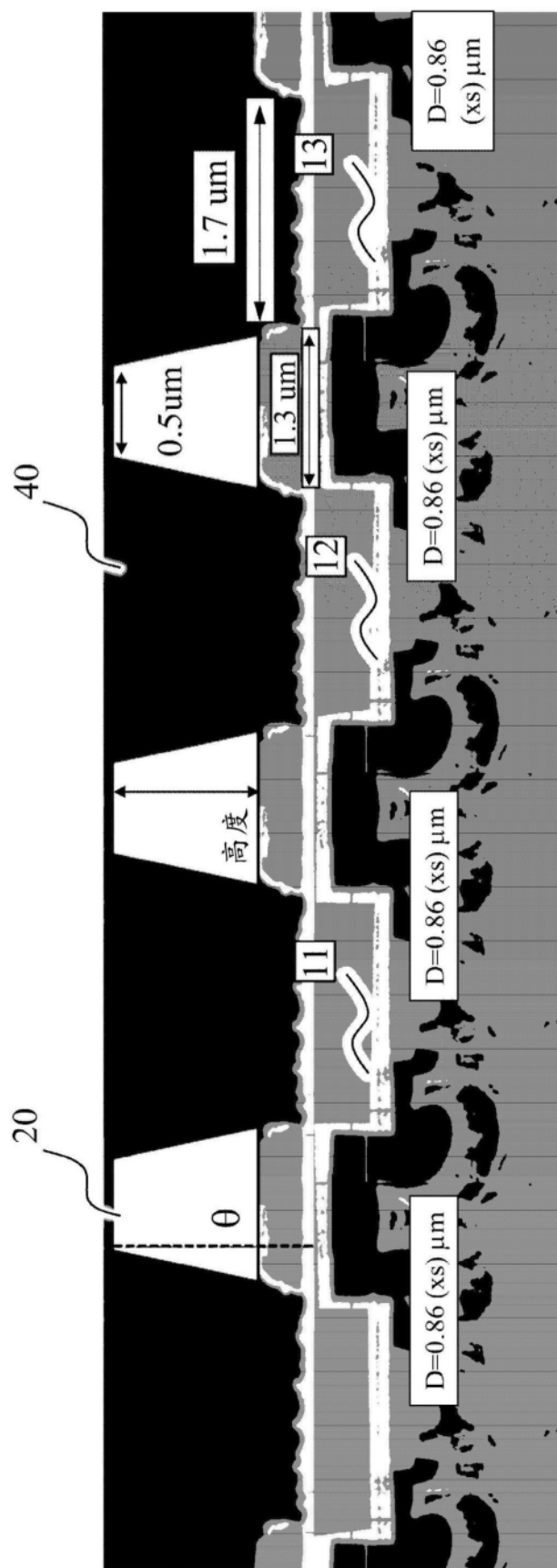


图17

高度 (um)	角度 θ (度)
1	21.8
2	11.3
3	7.6
4	5.7
5	4.6

图18

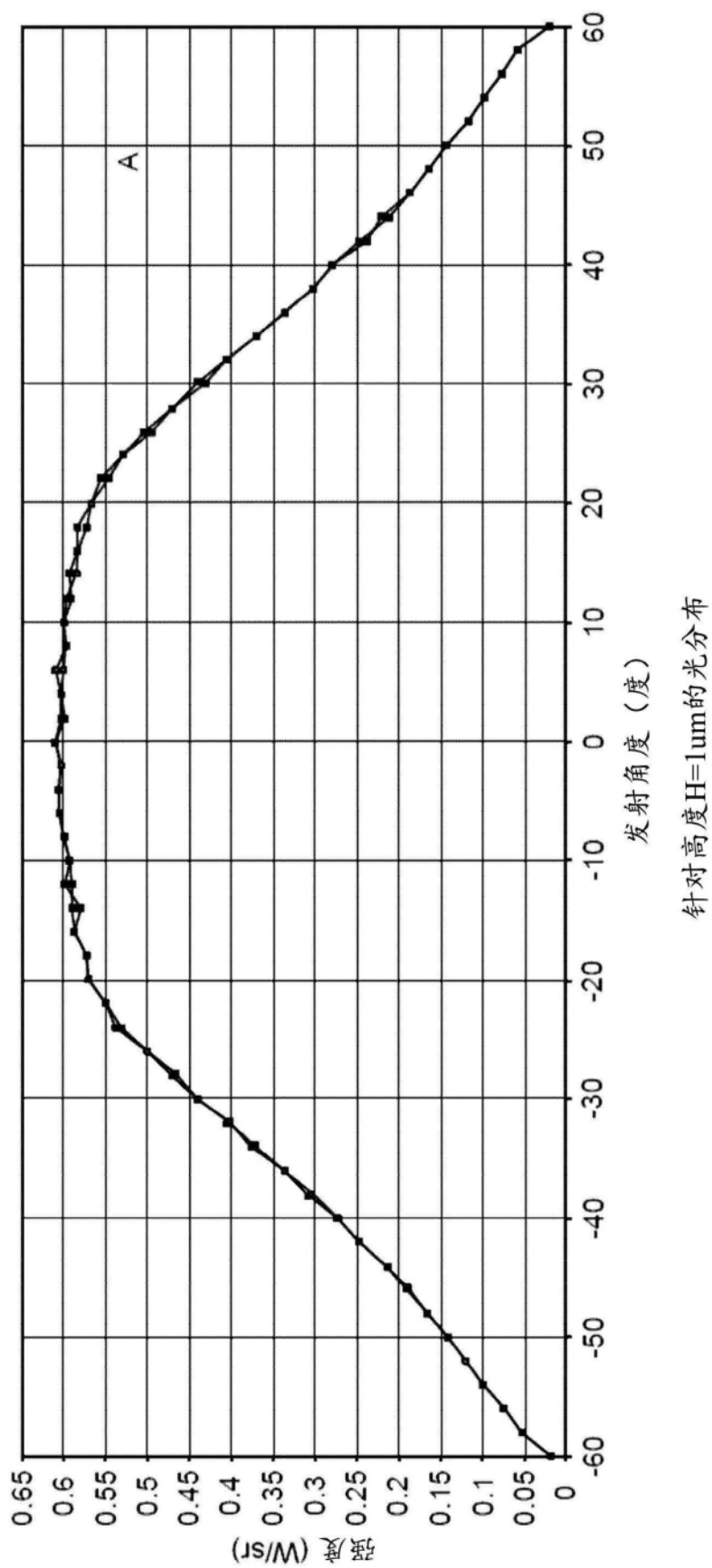


图19A

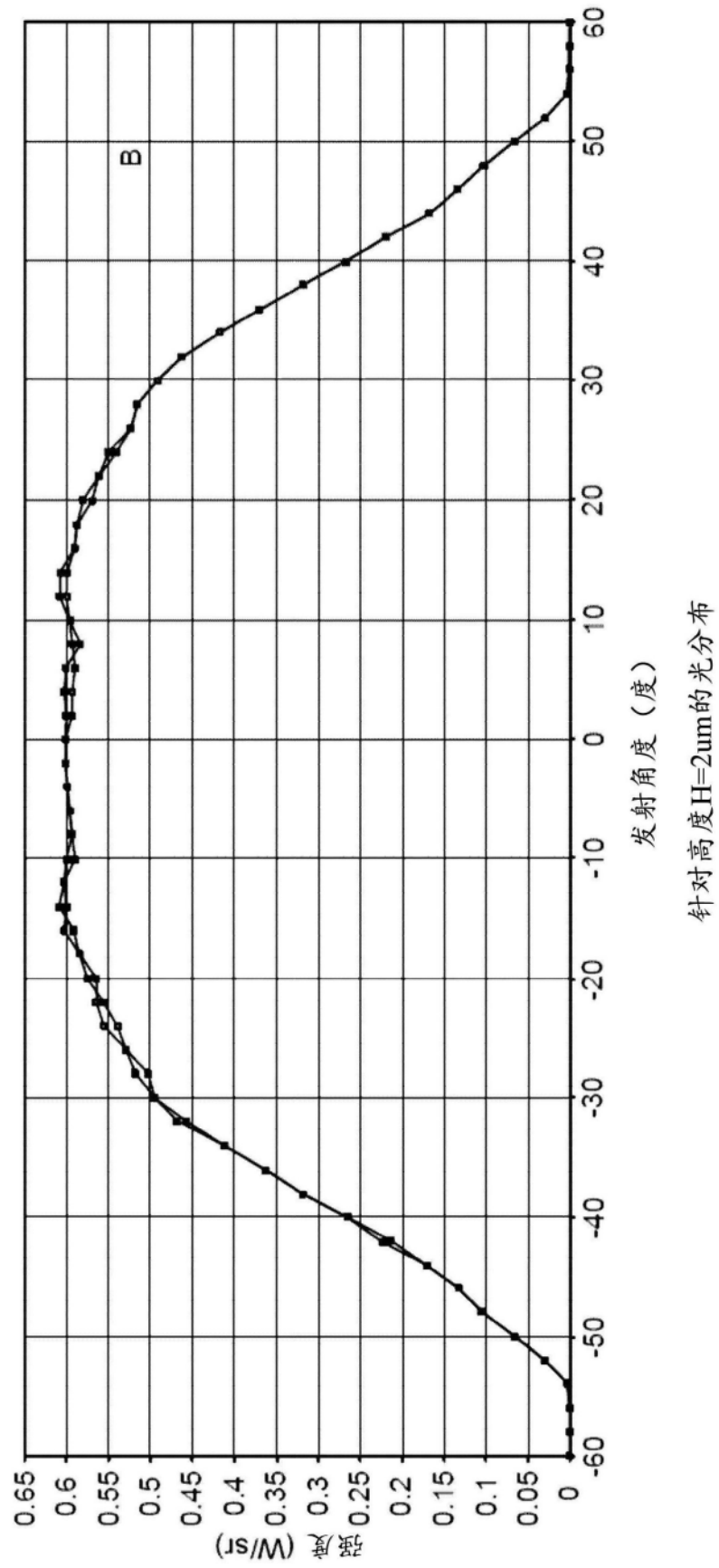


图19B

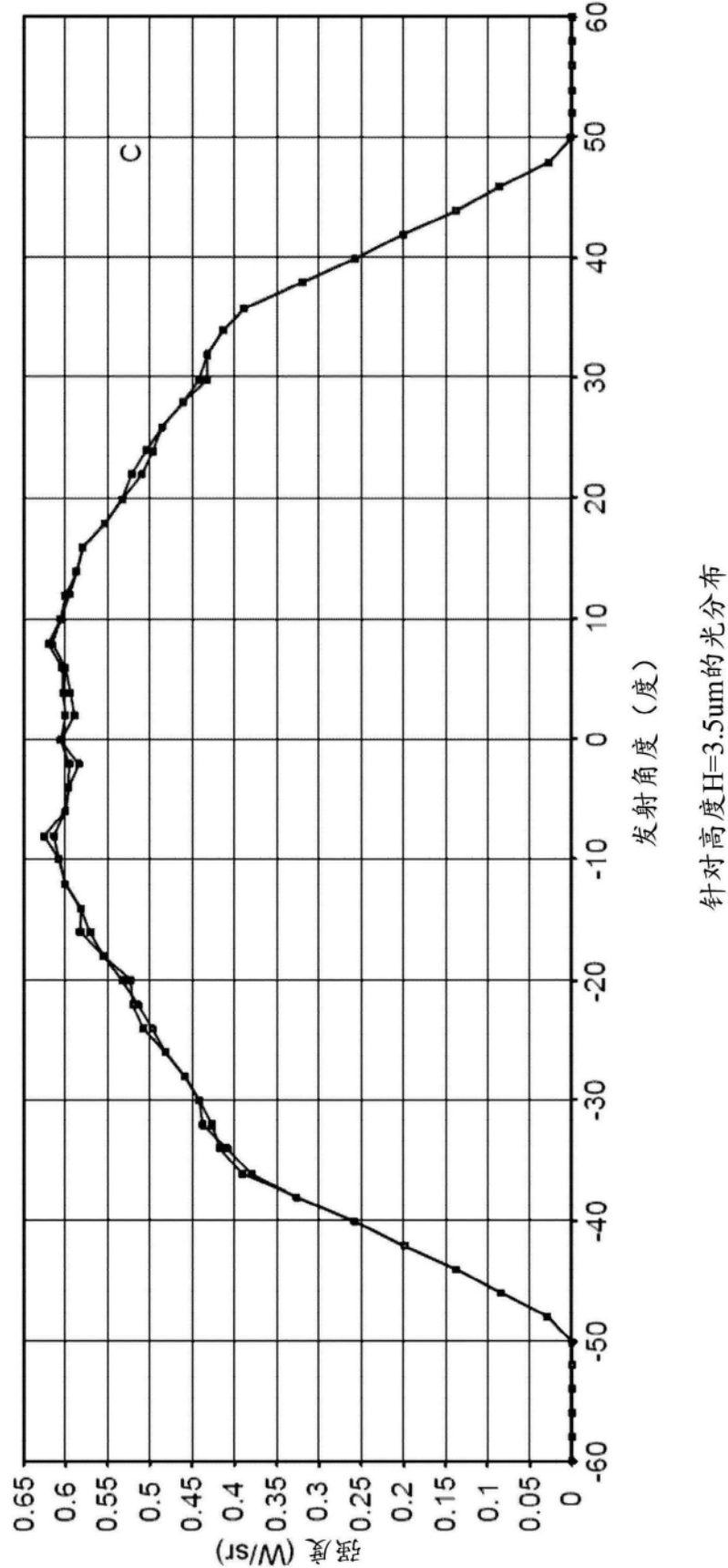


图19C

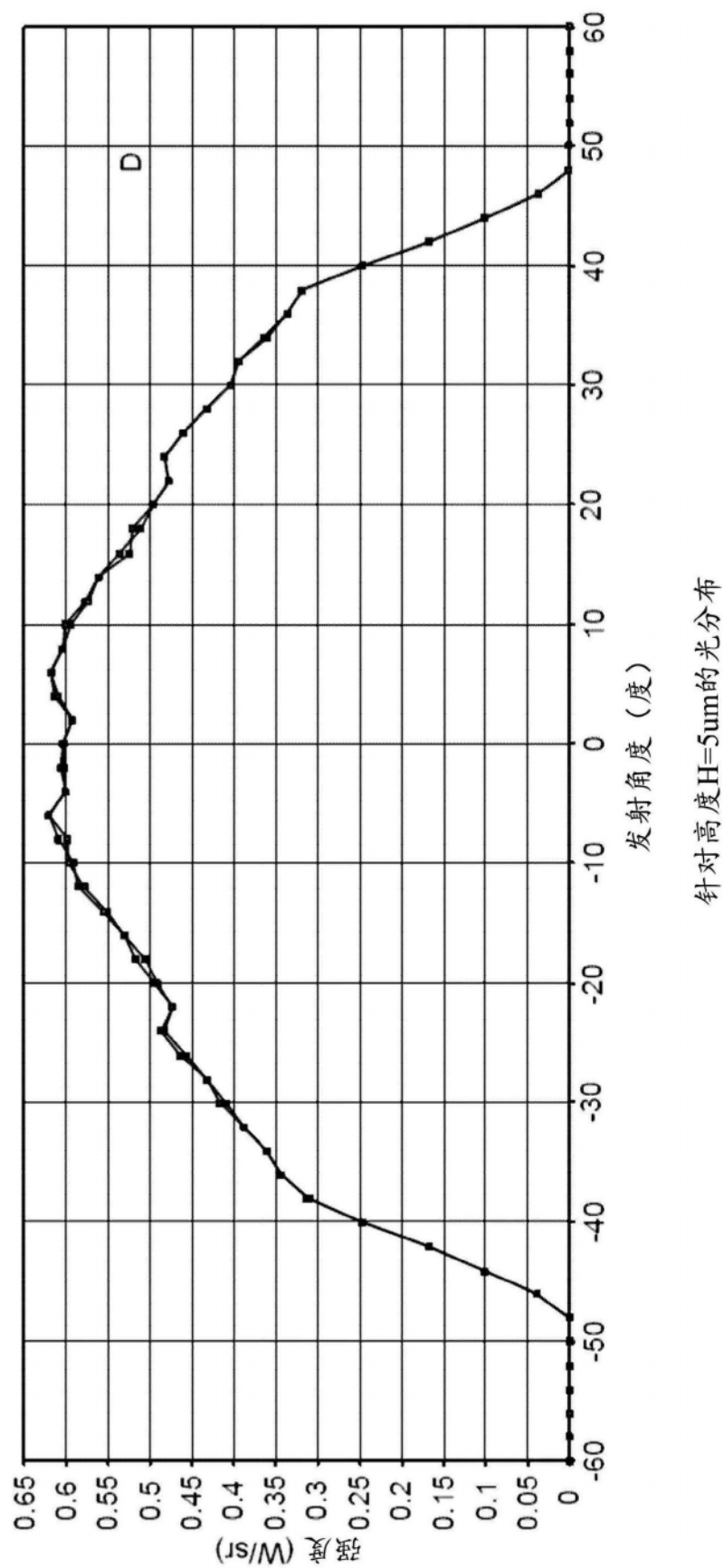


图19D

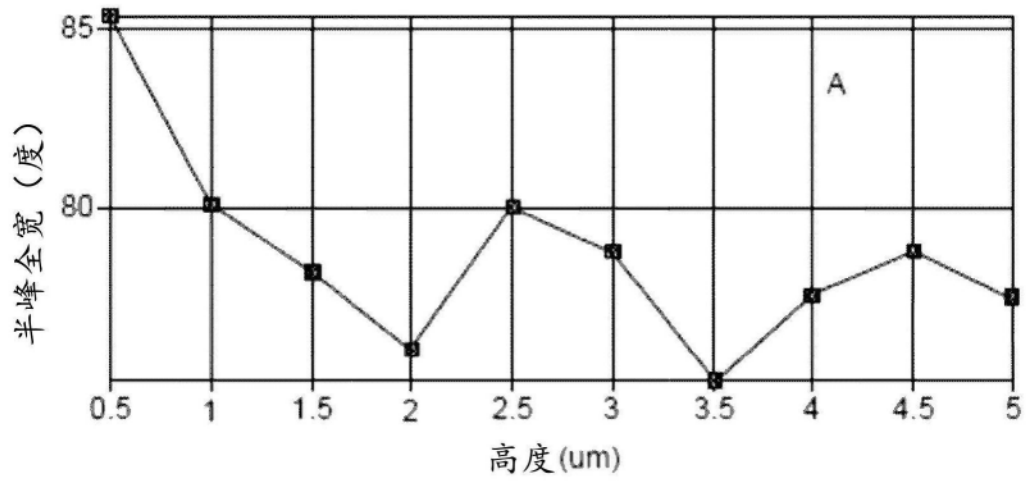


图20A

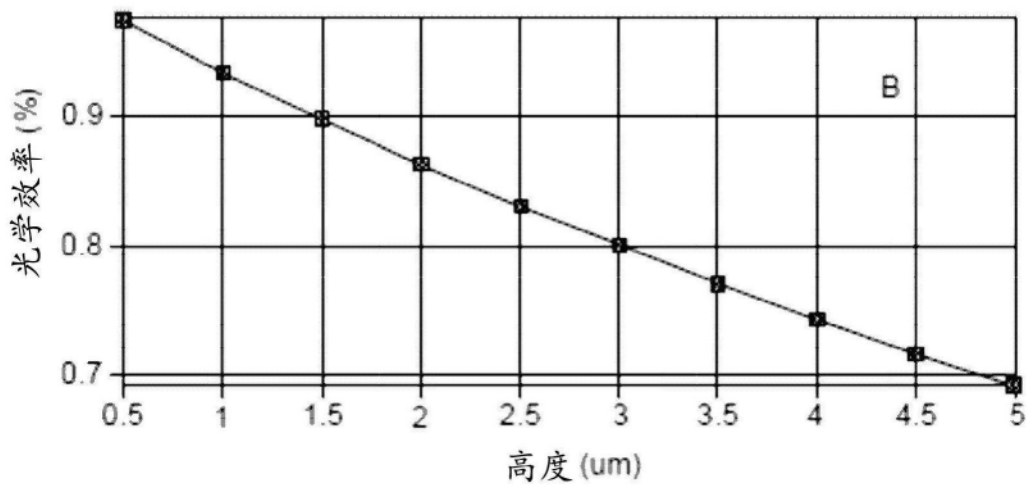


图20B

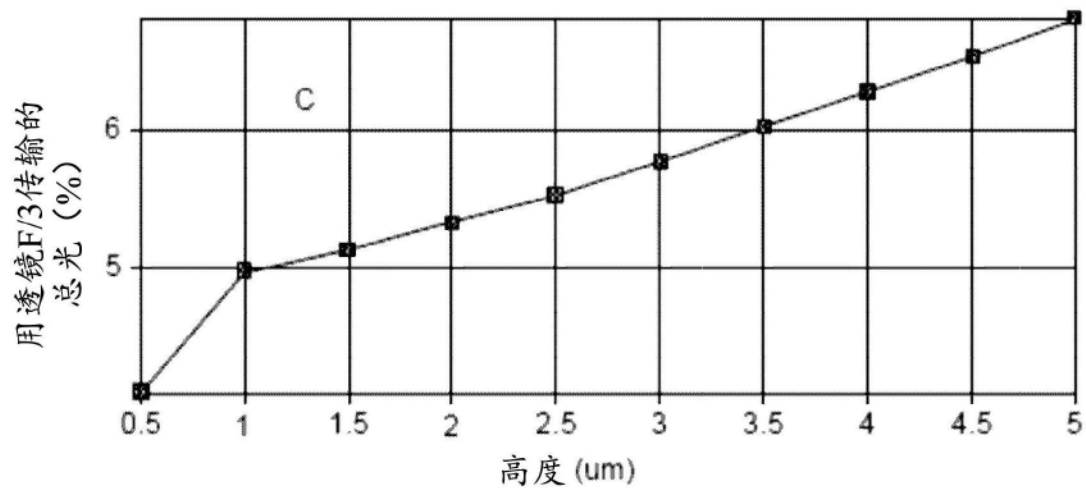


图20C

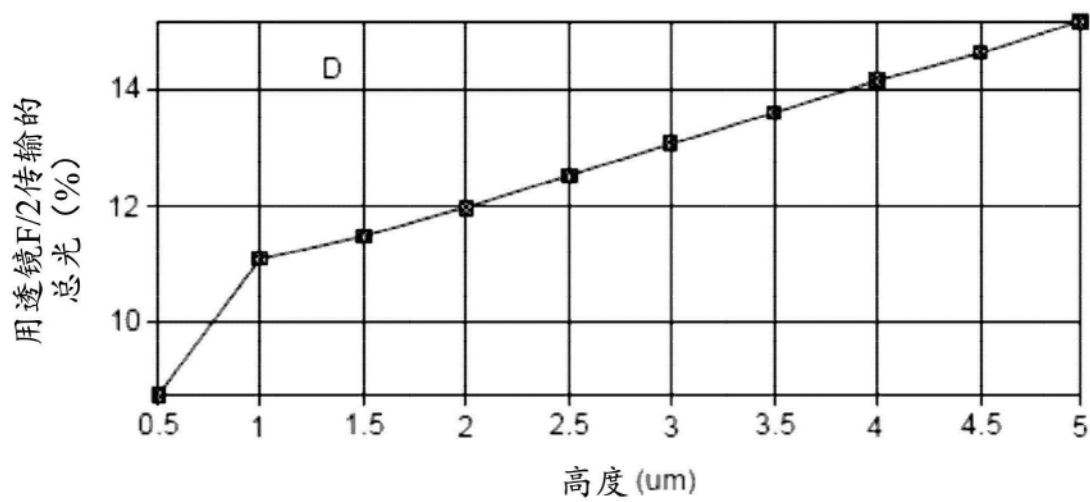


图20D

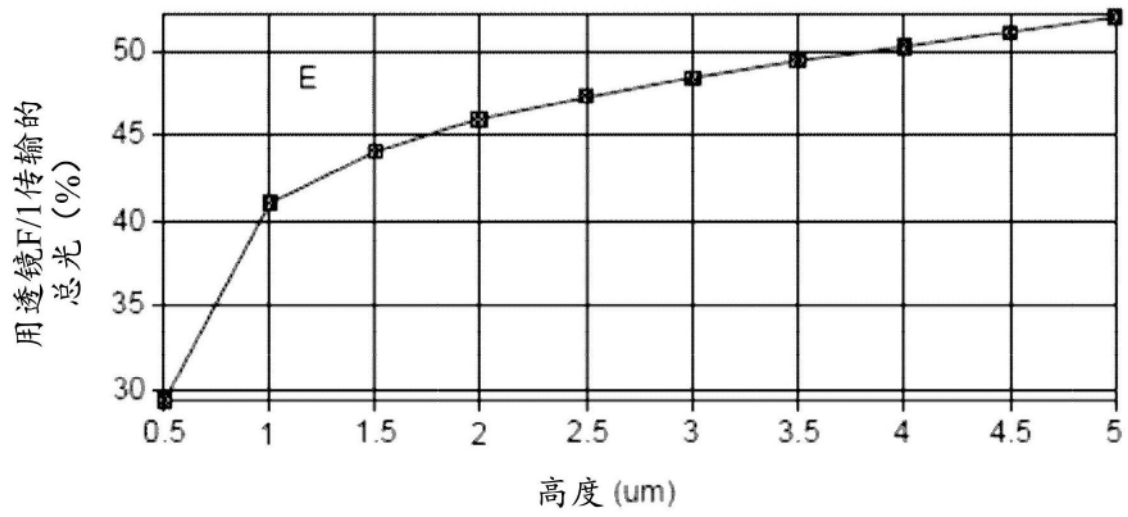


图20E

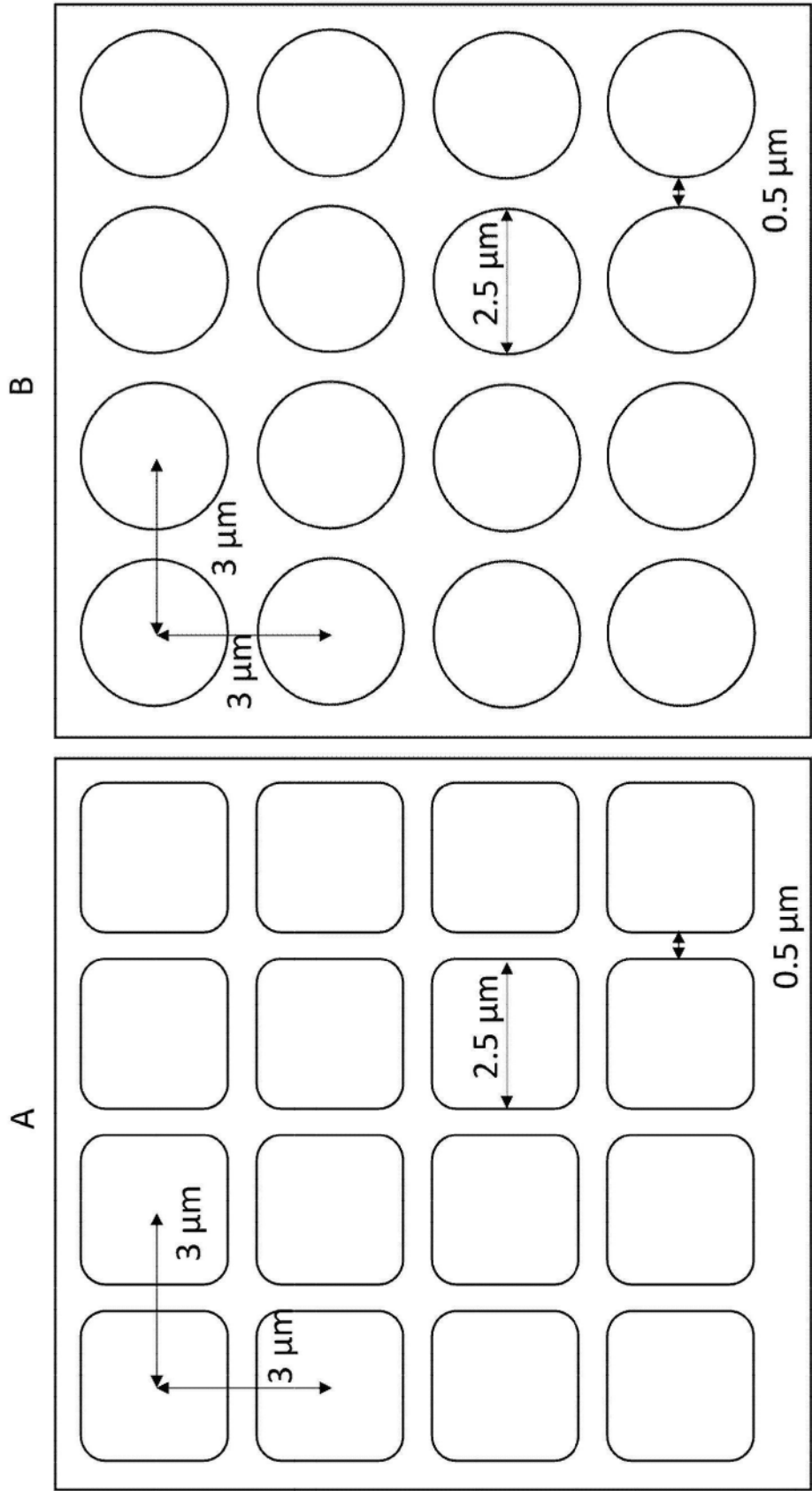


图21

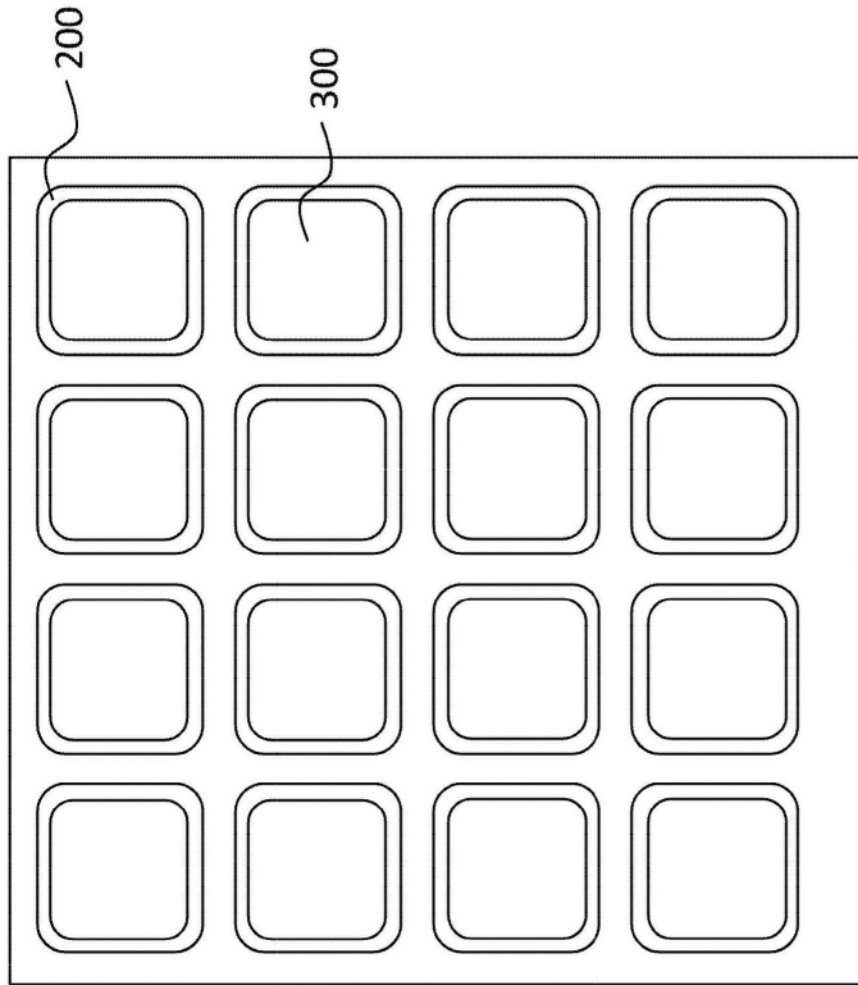


图22