(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0012874
(43) 공개일자 2015년02월04일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
(21) 출원번호 10-2013-0088971
(22) 출원일자 2013년07월26일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)
(72) 발명자
설영국
경기도 용인시 기흥구 삼성2로 95 (농서동)
김태웅
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

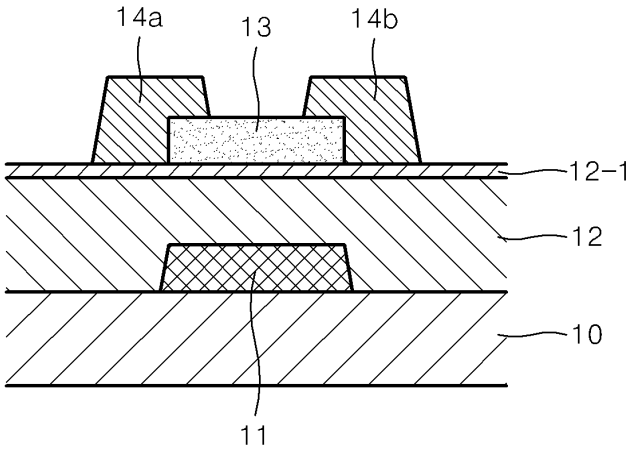
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **박막 트랜지스터 및 이의 제조 방법 및 평판 표시 장치용 백플레인의 제조 방법.**

(57) 요 약

박막 트랜지스터 및 이의 제조 방법 및 평판 표시 장치용 백플레인의 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮으며 상기 기판 상에 제1 절연층을 형성하는 단계; 상기 제1 절연층의 상단을 할로겐 가스를 이용하여 플라즈마 처리하는 단계; 상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 산화물 반도체층을 형성하는 단계; 및 상기 제1 절연층 상에 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계;를 포함한다.

대 표 도 - 도1



(72) 발명자

장진

서울 동대문구 경희대로 26, (회기동, 경희대학교)

아비스 크리스토프

서울 동대문구 경희대로 26, (회기동, 경희대학교)

특허청구의 범위

청구항 1

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 덮으며 상기 기판 상에 제1 절연층을 형성하는 단계;

상기 제1 절연층의 상단을 할로겐 가스를 이용하여 플라즈마 처리하는 단계;

상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 산화물 반도체층을 형성하는 단계; 및

상기 제1 절연층 상에 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계;를 포함하는

박막 트랜지스터의 제조 방법.

청구항 2

제1 항에 있어서,

상기 할로겐 가스는 트리플루오르화질소(nitrogen fluoride; NF_3)를 포함하는

박막 트랜지스터의 제조 방법.

청구항 3

제1 항에 있어서,

상기 제1 절연층은 고유전성 산화막을 포함하는 박막 트랜지스터의 제조 방법.

청구항 4

제3 항에 있어서,

상기 제1 절연층은 하프늄옥사이드(Hafnuim oxide; HfO_x)를 포함하는 박막 트랜지스터의 제조 방법.

청구항 5

제1 항에 있어서,

상기 제1 절연층을 형성하는 단계는, 용액공정(Sol-gel process)에 의해 상기 제1 절연층을 형성하는

박막 트랜지스터의 제조 방법.

청구항 6

제5 항에 있어서,

상기 제1 절연층을 형성하는 단계는,

염화하프늄(hafnium chloride; $HfCl_4$)을 아세토니트릴(acetonitrile) 및 에틸렌글리콜(ethylenglycol) 중 적어도 하나를 포함하는 용매에 용해시킨 용액을 이용하여 상기 용액공정을 수행하는

박막 트랜지스터의 제조 방법.

청구항 7

제1 항에 있어서,

상기 제1 절연층을 어닐링하는 단계;를 더 포함하는

박막 트랜지스터의 제조 방법.

청구항 8

제1 항에 있어서,

상기 반도체층은 비정질 금속 산화물을 포함하는 박막 트랜지스터의 제조 방법.

청구항 9

제8 항에 있어서,

상기 반도체층은 아연주석산화물(ZTO)를 포함하는 박막 트랜지스터의 제조 방법.

청구항 10

제1 항에 있어서,

상기 반도체층을 형성하는 단계는, 스핀코팅 또는 잉크젯 프린팅 공정에 의해 상기 반도체층을 형성하는 박막 트랜지스터의 제조 방법.

청구항 11

기판;

상기 기판 상에 구비된 게이트 전극;

상기 게이트 전극을 덮으며 상기 기판 상에 구비되고, 할로겐 가스에 의해 상단이 플라즈마 처리된 제1 절연층;

상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 구비된 산화물 반도체층; 및

상기 제1 절연층 상에 구비되어 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극;을 포함하는

박막 트랜지스터.

청구항 12

제11 항에 있어서,

상기 할로겐 가스는 트리플루오르화질소(nitrogen fluoride; NF_3)를 포함하는

박막 트랜지스터.

청구항 13

제11 항에 있어서,

상기 제1 절연층은 고유전성 산화막을 포함하는 박막 트랜지스터.

청구항 14

제13 항에 있어서,

상기 제1 절연층은 하프늄옥사이드(Hafnuim oxide; HfO_x)를 포함하는 박막 트랜지스터.

청구항 15

제11 항에 있어서,

상기 반도체층은 비정질 금속 산화물을 포함하는 박막 트랜지스터.

청구항 16

제15 항에 있어서,

상기 반도체층은 아연주석산화물(ZTO)를 포함하는 박막 트랜지스터의 제조 방법.

청구항 17

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 덮으며 상기 기판 상에 제1 절연층을 형성하는 단계;

상기 제1 절연층의 상단을 할로겐 가스를 이용하여 플라즈마 처리하는 단계;

상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 산화물 반도체층을 형성하는 단계;

상기 제1 절연층 상에 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계;

상기 반도체층, 상기 소스전극 및 상기 드레인전극을 덮으며 상기 제1 절연층 상에 형성되고, 상기 소스전극 또는 상기 드레인전극을 노출시키는 제1 홀을 포함하는 제2 절연층을 형성하는 단계; 및

상기 제1 홀을 채우며 상기 제2 절연층 상에 화소전극을 형성하는 단계;를 포함하는

평판 표시 장치용 백플레인의 제조 방법.

명 세 서

기 술 분 야

[0001] 박막 트랜지스터 및 이의 제조 방법 및 평판 표시 장치용 백플레인의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다.

[0003] 평판표시장치 중 하나인 유기전계발광소자(Organic Light Emitting Diode; OLED)는 자체발광형이기 때문에 액정 표시장치에 비해 시야각과 명암비 등이 우수하며 백라이트(backlight)가 필요하지 않기 때문에 경량 박형이 가

능하고, 소비전력 측면에서도 유리하다. 그리고, 직류 저전압 구동이 가능하고 응답속도가 빠르다는 장점이 있으며, 특히 제조비용 측면에서도 유리한 장점을 가지고 있다.

[0004] 최근 유기전계발광 디스플레이의 대면적화에 관한 연구가 활발하게 진행되고 있으며, 이를 달성하기 위하여 유기전계발광소자의 구동 트랜지스터로서 정전류 특성을 확보하여 안정된 작동 및 내구성이 확보된 박막 트랜지스터 개발이 요구되고 있다. 한편, 산화물 반도체는 실리콘 반도체에 비해 높은 이동도를 갖는 등의 장점이 있어, 산화물 반도체를 이용하는 박막 트랜지스터의 활용이 증대되고 있다.

발명의 내용

해결하려는 과제

[0005] 산화물 반도체를 포함하는 박막 트랜지스터 및 이의 제조 방법을 제공하고자 한다. 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 이하의 실시예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

과제의 해결 수단

[0006] 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일 측면에 따른 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮으며 상기 기판 상에 제1 절연층을 형성하는 단계; 상기 제1 절연층의 상단을 할로겐 가스를 이용하여 플라즈마 처리하는 단계; 상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 산화물 반도체층을 형성하는 단계; 및 상기 제1 절연층 상에 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계;를 포함한다.

[0007] 본 발명의 다른 측면에 따라, 상기 할로겐 가스는 트리플루오르화질소(nitrogen fluoride; NF3)를 포함한다.

[0008] 본 발명의 다른 측면에 따라, 상기 제1 절연층은 고유전성 산화막을 포함한다.

[0009] 본 발명의 다른 측면에 따라, 상기 제1 절연층은 하프늄옥사이드(Hafnuim oxide; HfOx)를 포함한다.

[0010] 본 발명의 다른 측면에 따라, 상기 제1 절연층을 형성하는 단계는, 용액공정(Sol-gel process)에 의해 상기 제1 절연층을 형성한다.

[0011] 본 발명의 다른 측면에 따라, 상기 제1 절연층을 형성하는 단계는, 염화하프늄(hafnium chloride; HfCl4)을 아세토니트릴(acetonitrile) 및 에틸렌글리콜(ethylenglycol) 중 적어도 하나를 포함하는 용매에 용해시킨 용액을 이용하여 상기 용액공정을 수행한다.

[0012] 본 발명의 다른 측면에 따라, 상기 제1 절연층을 어닐링하는 단계;를 더 포함한다.

[0013] 본 발명의 다른 측면에 따라, 상기 반도체층은 비정질 금속 산화물을 포함한다.

[0014] 본 발명의 다른 측면에 따라, 상기 반도체층은 아연주석산화물(ZTO)를 포함한다.

[0015] 본 발명의 다른 측면에 따라, 상기 반도체층을 형성하는 단계는, 스핀코팅 또는 잉크젯 프린팅 공정에 의해 상기 반도체층을 형성한다.

[0016] 본 발명의 다른 측면에 따른 박막 트랜지스터는, 기판; 상기 기판 상에 구비된 게이트 전극; 상기 게이트 전극을 덮으며 상기 기판 상에 구비되고, 할로겐 가스에 의해 상단이 플라즈마 처리된 제1 절연층; 상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 구비된 산화물 반도체층; 및 상기 제1 절연층 상에 구비되어 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극;을 포함한다.

[0017] 본 발명의 다른 측면에 따라, 상기 할로겐 가스는 트리플루오르화질소(nitrogen fluoride; NF3)를 포함한다.

[0018] 본 발명의 다른 측면에 따라, 상기 제1 절연층은 고유전성 산화막을 포함한다.

[0019] 본 발명의 다른 측면에 따라, 상기 제1 절연층은 하프늄옥사이드(Hafnuim oxide; HfOx)를 포함한다.

[0020] 본 발명의 다른 측면에 따라, 상기 반도체층은 비정질 금속 산화물을 포함한다.

[0021] 본 발명의 다른 측면에 따라, 상기 반도체층은 아연주석산화물(ZTO)를 포함한다.

[0022] 본 발명의 다른 측면에 따른 평판표시장치용 백플레인의 제조방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮으며 상기 기판 상에 제1 절연층을 형성하는 단계; 상기 제1 절연층의 상단을 할로겐 가스를 이용하여 플라즈마 처리하는 단계; 상기 제1 절연층 상에 상기 게이트 전극에 대응되도록 산화물 반도체층을 형성하는 단계; 상기 제1 절연층 상에 상기 반도체층의 일부와 접촉하는 소스전극 및 드레인전극을 형성하는 단계; 상기 반도체층, 상기 소스전극 및 상기 드레인전극을 덮으며 상기 제1 절연층 상에 형성되고, 상기 소스전극 또는 상기 드레인전극을 노출시키는 제1 홀을 포함하는 제2 절연층을 형성하는 단계; 및 상기 제1 홀을 채우며 상기 제2 절연층 상에 화소전극을 형성하는 단계;를 포함한다.

발명의 효과

[0023] 이상과 같은 본 발명의 일 실시예에 따르면, 소자 특성이 안정적인 산화물 박막 트랜지스터를 제공할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터를 개략적으로 도시한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인을 개략적으로 도시한 단면도이다

도 3 내지 도 8은 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터의 제조 공정을 개략적으로 나타내는 단면도이다.

도 9 및 도 10은 아연(Zn)의 스퍼터링 깊이 프로파일(depth profile)의 그래프이다.

도 11 및 도 12는 산화물 박막 트랜지스터의 전압-전류 특성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 실시예들의 특징을 명확히 설명하기 위하여 이하의 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 널리 알려져 있는 사항들에 관해서는 자세한 설명을 생략한다.

[0026] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되지 않는다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0028] 한편, 막, 영역, 구성 요소 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0029] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터를 개략적으로 도시한 단면도이다. 도 1을 참조하면, 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터는 기판(10), 기판(10) 상에 구비된 게이트 전극(11), 게이트 전극(11)을 덮으며 기판(10) 상에 구비되고, 할로겐 가스에 의해 상단(12-1)이 플라즈마 처리된 제1 절연층(12), 제1 절연층(12) 상에 게이트 전극(11)에 대응되도록 구비된 산화물 반도체층(13), 및 제1 절연층(12) 상에 구비되어 반도체층(13)의 일부와 접촉하는 소스전극(14a) 및 드레인전극(14b)을 포함한다.

[0031] 도 2는 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인을 개략적으로 도시한 단면도이다. 도 2를 참조하면, 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인은, 도 1에 도시된 산화물 박막 트랜지스터, 반도체층(13), 소스전극(14a), 및 드레인전극(14b)을 덮으며 제1 절연층(12) 상에 형성되고, 소스전극(14a) 또는 드레인전극(14b)을 노출시키는 홀을 포함하는 제2 절연층(15), 및 제2 절연층(15)의 홀을 채우며 제2 절연층(15)

상에 형성된 화소전극(16)을 포함한다.

[0032] 도 2를 참조하면, 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인은, 화소전극(16)의 가장자리를 덮으며 제2 절연층(15) 상에 형성된 제3 절연층(17), 제3 절연층(17)의 개구에 의해 노출된 화소전극(16) 상에 형성되고, 발광층을 포함하는 중간층(18), 중간층(18)을 사이에 두고 화소전극(16)에 대향하여 형성되는 대향전극(19)을 더 포함할 수 있다.

[0033] 도 3 내지 도 8은 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터의 제조 공정을 개략적으로 나타내는 단면도이다.

[0034] 먼저 도 3에 도시된 바와 같이 기판(10)이 마련된다. 기판(10)은 SiO2를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 그러나, 기판(10)은 반드시 이에 한정되는 것은 아니며 불투명 재질도 가능하고 플라스틱재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

[0035] 기판(10) 상에는 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(미도시)이 구비될 수 있다. 보조층은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다. 다만, 보조층은 생략될 수 있다.

[0036] 도 4를 참조하면, 기판(10) 상에 게이트 전극(11)이 형성된다. 게이트 전극(11)을 형성하기 위해 기판(10) 상에 금속층을 적층하고, 금속층을 선택적으로 식각할 수 있다. 그러나, 게이트 전극(11)을 형성하는 방법은 이에 한정하지 않는다. 예를 들어, 게이트 전극(11)은 리프트오프(lift-off) 공정을 사용한 마스크 공정에 의해 패터닝될 수도 있다.

[0037] 게이트 전극(11)은 도전성 재료로 형성될 수 있다. 예를 들어, 게이트 전극(11)은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 몰리텅스텐(MoW) 또는 구리(Cu) 중 선택된 하나 이상의 물질을 포함할 수 있다. 그러나 게이트 전극(11)의 재료는 이에 한정되지 않으며, 금속 등을 포함한 도전성 물질이라면 어느 것이든 무방하다.

[0038] 다음으로, 도 5에 도시된 바와 같이 게이트 전극(11)을 덮으며 기판(10) 상에 제1 절연층(12)을 형성한다. 제1 절연층(12)은 게이트 전극(11)과 후술하는 산화물 반도체층(13)의 사이에 게재되어 게이트 전극(11)과 산화물 반도체층(13)을 절연시키는 게이트 절연막의 역할을 할 수 있다.

[0039] 제1 절연층(12)은 화학기상증착(Chemical Vapour Deposition; CVD) 또는 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapour Deposition; PECVD)과 같은 화학기상증착방식, 스퍼터링(sputtering)과 같은 물리기상증착(Physical Vapour Deposition; PVD)방식, 스핀 코팅(spin coating)방식 또는 잉크젯 프린팅 방식과 같은 용액 공정(sol-gel process) 등으로 형성할 수 있다.

[0040] 제1 절연층(12)은 산화 실리콘, 질화 실리콘과 같은 무기물로 형성될 수 있으나, 하프늄(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막을 포함하여 형성될 수 있다. 예를 들어 하프늄 옥사이드는, HfAlO, HfLaO, HfO_2, HfON, HfSiO, 또는 HfSiON 을 포함할 수 있다.

[0041] 예를 들어, 제1 절연층(12)은 상기와 같은 하프늄 옥사이드를 포함하도록 용액 공정(sol-gel process)으로 형성할 수 있다. 예를 들어, 제1 절연층(12)은 염화하프늄(hafnium chloride; $HfCl_4$)을 아세토니트릴(acetonitrile) 및 에틸렌글리콜(ethylenglycol) 중 적어도 하나를 포함하는 용매에 용해시킨 용액을 이용하는 용액공정으로 형성할 수 있다.

[0042] 다음으로, 도 5에 도시된 바와 같이 제1 절연층(12)의 상단을 할로겐 가스를 이용하여 플라즈마 처리한다.

[0043] 이와 같은 플라즈마 처리에 의해 도 6에 도시된 바와 같이 제1 절연층(12)의 상단에 표면처리층(12-1)이 형성될 수 있다. 후술하는 반도체층(13)의 형성 시, 반도체층(13)을 구성하는 물질이 제1 절연층(12) 내부에 침투하는 문제가 발생하는데, 표면 처리층(12-1)은 이와 같은 침투를 방지한다. 이에 따라 산화물 박막 트랜지스터의 특성이 우수해진다. 이와 같은 효과에 대하여서는 도9 내지 도 12를 참조하여 후술한다.

[0044] 상기와 같은 플라즈마 처리 공정 시, 할로겐 가스는 할로겐 물질을 포함할 수 있다. 예를 들어, 할로겐 가스는 트리플루오르화질소(nitrogen fluoride; NF_3)를 포함할 수 있다. 그러나, 트리플루오르화질소(nitrogen

fluoride; NF_3)는 할로겐 물질의 예시이므로, 할로겐 가스의 조성물이 이에 한정되지 않는다.

[0045] 한편 , 본 발명의 일 실시예에 따라 제1 절연층(12)의 어닐링(annealing) 공정이 추가로 수행될 수 있다. 예를 들어, 제1 절연층(12)은 100℃이상 300℃이하의 온도에서 어닐링될 수 있다.

[0046] 다음으로, 도 7에 도시된 바와 같이, 제1 절연층(12) 상에 게이트 전극(11)에 대응되도록 산화물 반도체층(13)을 형성한다. 산화물 반도체층(13)은 제1 절연층(12)을 사이에 두고 게이트 전극(11)과 대응되는 위치에 구비된다.

[0047] 산화물 반도체층(13)은 비정질 금속 산화물을 포함할 수 있다. 예를 들어, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 하프늄(Hf) 과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다. 그러나 이는 예시에 불과하므로 산화물 반도체층(13)의 물질은 이에 한정되는 것이 아니다. 예를 들어, 산화물 반도체층(13)은 아연주석산화물(ZTO)를 포함한다.

[0048] 산화물 반도체층(13)은 용액공정에 의해 형성될 수 있다. 예를 들어, 산화물 반도체층(13)은 스핀코팅 또는 잉크젯 프린팅 방식의 공정에 의해 형성될 수 있다.

[0049] 다음으로 도 8을 참조하면, 제1 절연층(12) 상에, 반도체층(13)의 일부와 접촉하는 소스전극(14a) 및 드레인전극(14b)을 형성한다. 상세히, 소스전극(14a) 및 드레인전극(14b)은 제 1 절연층(12) 상에 형성된 표면처리막(12-1) 상에 형성될 수 있다.

[0050] 도 8을 참조하면, 산화물 반도체층(13)의 상면은 소스전극(14a) 및 드레인전극(14b)에 의해 완전히 덮이지 않으며, 소스전극(14a) 및 드레인전극(14b)은 서로 이격된다.

[0051] 소스전극(14a) 및 드레인전극(14b)을 형성하기 위하여 도 5의 구조물 상에 금속층을 적층하고, 금속층을 선택적으로 식각할 수 있다. 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행 가능하다. 금속층은 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 몰리텅스텐(MoW) 또는 구리(Cu) 중 선택된 하나 이상의 물질을 포함할 수 있다. 그러나, 소스전극(14a) 및 드레인전극(14b)의 재료는 이에 한정되지 않으며 금속 등을 포함한 도전성 물질이라면 어느 것이든 무방하다.

[0052] 예를 들어, 소스전극(14a) 및 드레인전극(14b)은 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투명한 도전물질 또는 전도성 고분자를 사용할 수 있으며, 상기 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.

[0053] 소스전극(14a) 및 드레인전극(14b)을 형성하는 방법은 상기 방법에 한정하지 않는다. 예를 들어, 소스전극(25a)과 드레인전극(25b)은 리프트오프(lift-off) 공정을 사용한 마스크 공정에 의해 패터닝될 수도 있다.

[0054] 도면에 도시되지는 않았으나, 반도체층(13)과 소스/드레인 전극(14a, 14b)의 사이에 추가적인 절연층이 개재될 수 있음은 물론이다.

[0055] 도 8의 구조물 상에 제2 절연층(15), 화소전극(16), 제3 절연층(17), 중간층(18), 대향전극(19)을 순차로 형성하면 도 2의 구조물과 같은 평판 표시 장치의 백플레인을 형성할 수 있다. 도 8의 구조물 상에 상기 구성을 형성하여 도 2의 구조물을 형성하는 방법을 상세히 설명하면 다음과 같다.

[0056] 먼저, 반도체층(13), 소스전극(14a) 및 드레인전극(14b)을 덮으며, 제1 절연층(12) 상에 형성되고, 소스전극(14a) 또는 드레인전극(14b)을 노출시키는 제1 홀을 포함하는 제2 절연층(15)을 형성한다. 상세하게는, 제2 절연층(15)은 제 1 절연층(12)의 표면처리층(12-1) 상에 형성된다.

[0057] 다음으로, 제2 절연층(15)의 제1 홀을 채우며 상기 제2 절연층(15) 상에 화소전극(16)을 형성한다. 화소전극(16)은 제2 절연층(15)의 제1 홀을 통해 소스전극(14a) 또는 드레인전극(14b)과 접속한다.

[0058] 다음으로, 화소전극(16)의 가장자리를 덮으며 화소전극(16)의 적어도 일부를 노출시키는 개구부를 포함하는 제3 절연층(17)을 제2 절연층(15) 상에 형성한다.

[0059] 다음으로, 개구부에 의해 노출된 화소전극(16) 상에 발광층을 포함하는 중간층(18)을 형성한다. 다음으로, 중간층(18)을 사이에 두고 화소전극(16)에 대향하여 대향전극(19)을 형성한다.

[0060] 제2 절연층(15), 및 제3 절연층(17)은 용액 공정(sol-gel process)에 의해 형성될 수 있다.

[0061] 도 2를 참조하면, 화소전극(16), 중간층(18), 및 대향전극(19)에 의해 유기발광소자(EL)가 구비됨으로써, 본 발명의 일 실시예에 따라 제조된 평판표시장치용 백플레인은 유기발광표시장치용 백플레인으로 사용될 수 있다. 그러나, 본 발명의 일 측면은 이에 한정되지 않는다. 예를 들어, 화소전극(16)과 대향전극(19) 사이에 액정이 구비되면, 본 발명의 일 실시예에 따라 제조된 평판표시장치용 백플레인은 액정표시장치용 백플레인으로 사용될 수도 있을 것이다.

[0062] 도 9 및 도 10은 스퍼터링 방식으로 아연(Zn)을 타겟에 공급하였을 때, 스퍼터링 시간에 따른 아연의 농도를 통하여 타겟 표면으로부터의 깊이에 따른 아연의 농도를 확인할 수 있는 아연(Zn)의 스퍼터링 깊이 프로파일(depth profile)의 그래프이다. 상세히, 도 9 및 도 10은 산화물 반도체층(13)이 형성된 기판(10)에 있어서, 아연(Zn)의 스퍼터링 깊이 프로파일(depth profile)의 그래프이다. 도 9 및 도 10은 산화물 반도체층(13)을 아연 주석산화물로 형성하였을 때, 아연 성분의 스퍼터링 깊이 프로파일을 나타낸 그래프이다.

[0063] 상세히, 도 9는 제1 절연층(12)의 상단을 할로겐 물질로 플라즈마 처리하지 않고, 제1 절연층(12) 상에 산화물 반도체층(13)을 형성한 경우의 예이다. 도 10은 본 발명의 일 실시예에 따라 제1 절연층(12)의 상단을 할로겐 물질, 예를 들어 트리플루오르화질소(NF_3)로 플라즈마 처리하여 표면처리층(12-1)을 형성한 후, 표면처리층(12-1) 상에 산화물 반도체층(13)을 형성한 경우의 예이다.

[0064] 도 9 및 도 10에서, 그래프의 가로 축은 제1 절연층(12) 및 산화물 반도체층(13)이 형성된 기판(10)을 타겟(target)으로 하여 스퍼터링 한 시간이다. 스퍼터링 깊이 프로파일 그래프에서, 스퍼터링 시간은 타겟 표면으로부터의 깊이에 비례하게 된다. 따라서, 도 9 및 도 10에서 스퍼터링 시간은 산화물 반도체층(13)으로부터의 깊이(depth)에 비례한다. 도 9 및 도 10에서, 그래프의 세로축은 전체 원자 대비 아연의 원자 농도이다.

[0065] 도 9 및 도 10과 같은 깊이 프로파일 그래프에서, 어떠한 성분의 농도가 급격하게 변하는 것은 두 층의 계면을 의미할 수 있다. 도 9 및 도 10에서 아연의 농도가 급격하게 감소하는 영역은 반도체층(13)과 제1 절연층(12)의 계면으로 볼 수 있다.

[0066] 도 9와 도 10의 그래프를 비교하면, 반도체층(13)과 제1 절연층(12)의 계면에서 아연 농도의 기울기 값은 도 10의 그래프에서 더 큰 값을 갖는다. 다시 말하면, 도 10의 경우 제1 절연층(12)의 상단을 플라즈마 처리함으로써 형성된 표면처리층(12-1)으로 인해, 아연이 제1 절연층(12) 안으로 침투되는 정도가 적음을 확인할 수 있다.

[0067] 도 11 및 도 12는 산화물 박막 트랜지스터의 전압-전류 특성을 도시한 그래프이다. 상세히, 도 11은 제1 절연층(12)의 상단을 할로겐 물질로 플라즈마 처리하지 않고 산화물 박막 트랜지스터를 형성한 경우의 그래프이다. 도 12는 제1 절연층(12)의 상단을 할로겐 물질로 플라즈마 처리하여 표면처리층(12-1)을 형성하여, 산화물 박막 트랜지스터를 형성한 경우의 그래프이다.

[0068] 도 11 및 도 12에서 복수 개의 그래프들은 서로 다른 바이어스 전압의 환경에서 측정된 전압-전류 특성 그래프이다. 도 11 및 도 12를 참조하면, 도 11의 경우 바이어스 전압의 변화에 따라 산화물 박막 트랜지스터의 전압-전류 특성이 다소 이동한다. 반면, 도 12의 경우 바이어스 전압이 변화하더라도 소자의 전압-전류 특성이 비교적 안정적으로 유지된다. 또한, 도 12의 경우 문턱전압에서의 전압-전류 특성도 도 11의 경우보다 매우 우수하다.

[0069] 즉, 제1 절연층(12)의 상단을 플라즈마 처리하여 표면처리층(12-1)을 형성함으로 인해 산화물 반도체층(13)과 제1 절연층(12)의 계면 특성이 우수하여지며 소자 특성이 향상된다.

[0070] 전술된 산화물 박막 트랜지스터 및 평판표시장치용 백플레인을 형성하기 위하여 수행 되어지는 마스크 공정은 건식 식각 또는 습식 식각으로 수행될 수 있다. 또한 본 발명의 일 실시예에 따른 평판표시장치용 백플레인을 설명하기 위한 도면에는 1개의 트랜지스터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않는다. 예를 들어, 본 발명의 일 실시예에 따른 평판표시장치용 백플레인은 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 트랜지스터를 포함할 수 있음은 물론이다.

[0071] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

[0072] 10: 기판

11: 게이트전극

12: 제1 절연층

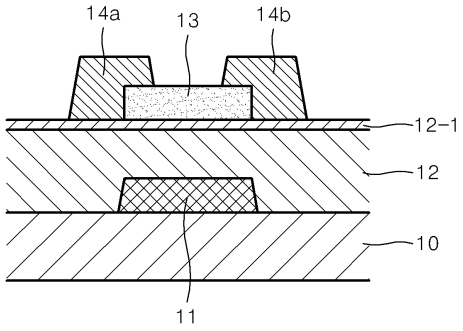
12-1: 표면처리층

13: 산화물 반도체층

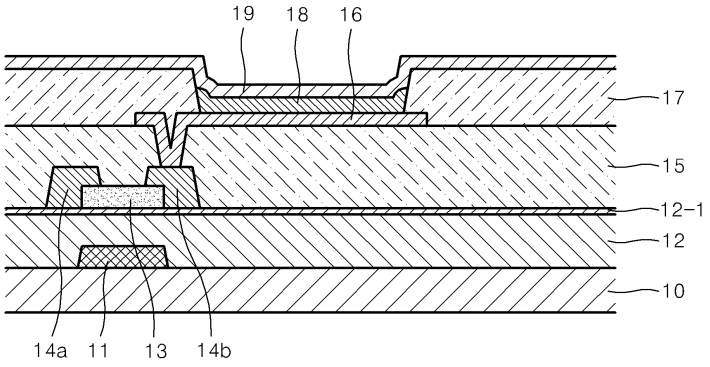
14a, 14b: 소스/드레인 전극

도면

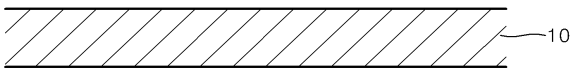
도면1



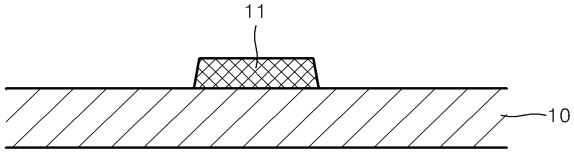
도면2



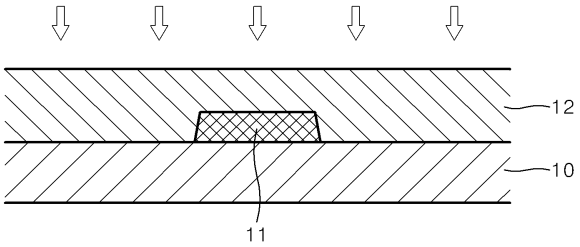
도면3



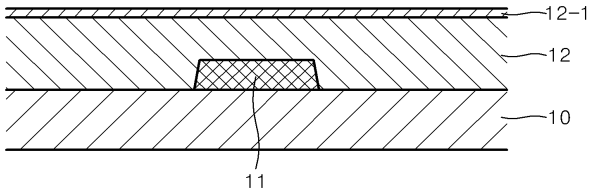
도면4



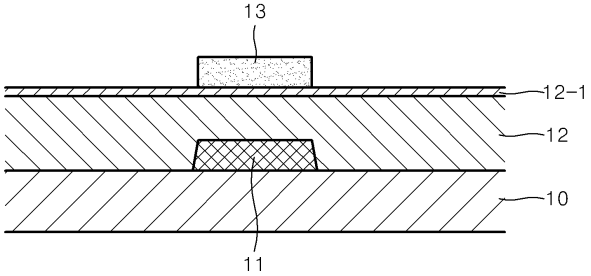
도면5



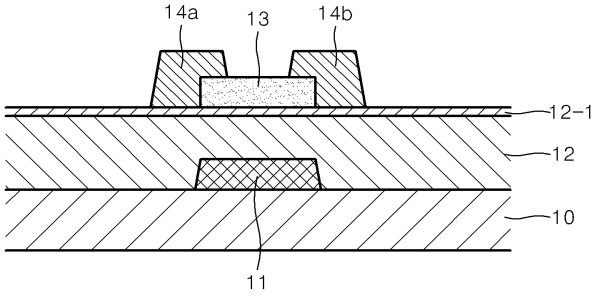
도면6



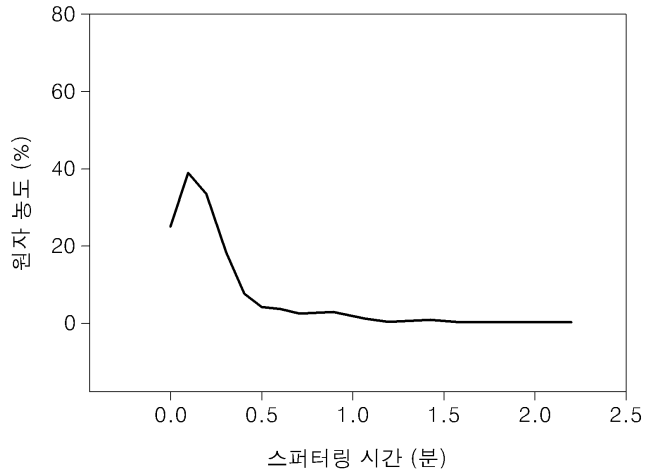
도면7



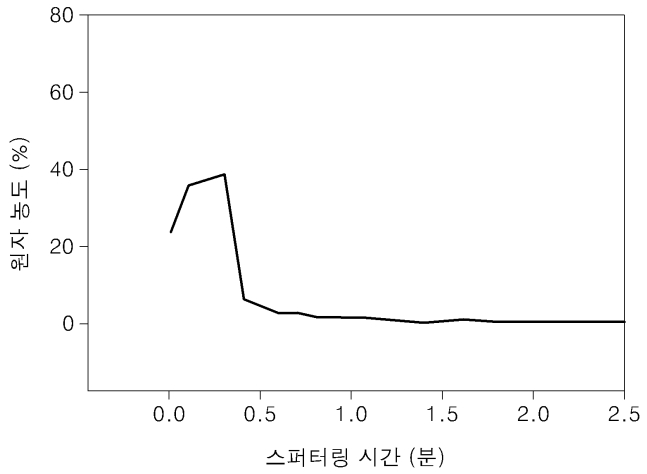
도면8



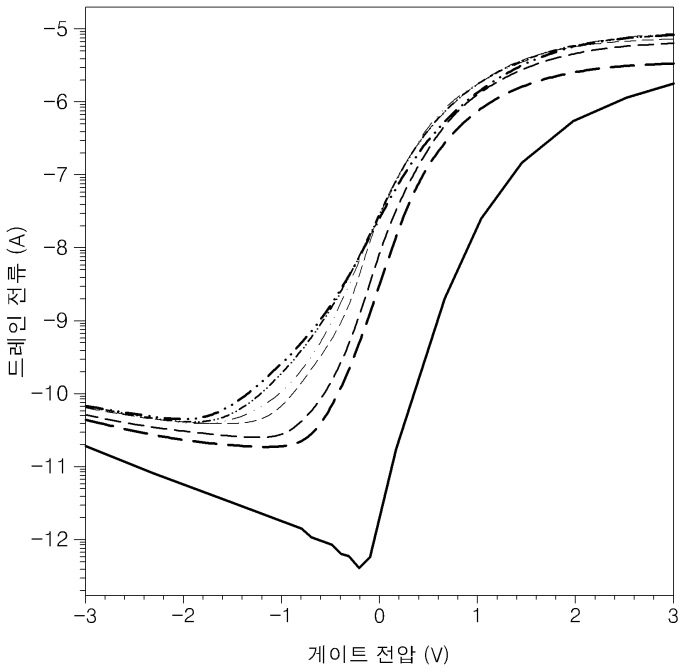
도면9


80
60
40
20
0
원자 농도 (%)
0.0
0.5
1.0
1.5
2.0
2.5
스퍼터링 시간 (분)

도면10


80
60
40
20
0
원자 농도 (%)
0.0
0.5
1.0
1.5
2.0
2.5
스퍼터링 시간 (분)

도면11



도면12

