

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H04B 1/00

H04B 3/00

H04M 1/00

# [12] 发明专利说明书

[21] ZL 专利号 93108707.4

[45]授权公告日 2000年11月29日

[11]授权公告号 CN 1059058C

[22]申请日 1993.7.21 [24]颁证日 2000.9.16

[21]申请号 93108707.4

[30]优先权

[32]1992.7.21 [33]US [31]07/918,627

[73]专利权人 先进显微设备股份有限公司

地址 美国德克萨斯州

[72]发明人 D·E·吉利克 吉川宗弘

J·E·包尔斯 斋腾信

J·G·巴考威克 J·W·彼得逊

[56]参考文献

EP 0465054 1992. 1. 8 G06F3/05

审查员 马志远

[74]专利代理机构 上海专利商标事务所

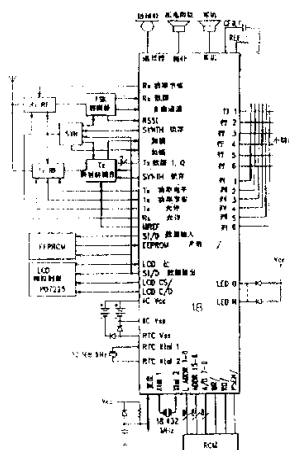
代理人 沈昭坤

权利要求书 4 页 说明书 38 页 附图页数 16 页

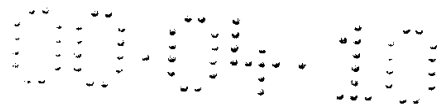
[54]发明名称 集成电路以及使用该集成电路的无绳电话

[57]摘要

一种特别适用于无绳电话的母机和送受话器的集成电路,它将无绳电话的语音、控制通道,调制解调器的微控制器部分;以及人一机接口功能集成在一起。该集成电路包括下列许多方面的一个或多个,这些方面包括:一在线仿真机构,一简化的键板报告装置,先进的噪声抑制装置,一低功率应急模式装置,一低成本的串行控制总线,一端口插脚中断装置,先进的节电装置,频谱测量测试模式装置,一新型关闭装置,以及一禁止上拉装置。



ISSN 1008-4274



# 权 利 要 求 书

---

1. 一种集成电路，其特征在于，所述集成电路包括：

(a) 外接口部分，所述外接口部分包括：

- (i) 用于操作上与外接键板连接的装置；
- (ii) 用于操作上与外存储器连接的装置；
- (iii) 用于操作上与外接振荡器连接的装置；
- (iv) 用于操作上与外接发送接收器连接的装置；
- (v) 串行端口；
- (vi) 并行端口；
- (vii) 声频接口从属部分；

(b) 声频路径部分，所述声频路径部分包括：

(i) 编码译码器，所述编码译码器操作上连至所述声频接口从属部分；

(ii) 自适应差分脉码调制器，所述自适应差分脉码调制器直接连至所述编码译码器，以构成编码译码器/自适应差分脉码调制器元件，所述元件进一步直接连至所述串行端口；

(iii) 第一和第二先入先出装置，所述第一和第二先入先出装置操作上连至所述自适应差分脉码调制器；以及

(iv) 乐音响铃，所述乐音响铃操作上连至所述声频接口从属部分；以及

(c) 系统控制部分，所述系统控制部分包括：

(i) 微控制器，所述微控制器直接连至所述并行端口；

(ii) 帧格式器，所述帧格式器操作上连至所述微控制器；

(iii) 电池电平检测器；

(iv) 接收信号强度指示模一数转换器；

(v) 实时时钟；

(vii) 用于扫描键板的装置，所述键板连至所述用于操



作上与外接键板连接的装置；

(viii) 中断控制器，所述中断控制器操作上连接在所述微控制器和所述用于扫描键板的装置之间；以及

(ix) 时钟发生器，所述时钟发生器连接在所述微控制器和用于操作上与外部声频路径部分连接的装置之间。

2. 如权利要求 1 所述的集成电路，其特征在于，它进一步包括用于停止所述时钟发生器以便由此将所述集成电路置于关闭模式的装置。

3. 如权利要求 1 所述的集成电路，其特征在于，它进一步包括用于禁止所述微控制器工作的装置以及当所述微控制器被禁止工作时启动外接仿真器来替代所述微控制器工作的装置。

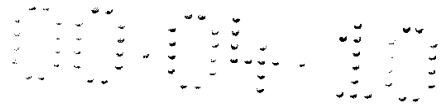
4. 如权利要求 1 所述的集成电路，其特征在于，所述用于扫描键板的装置进一步包括：其内容可由键板活动而改变的键板状态寄存器；用于当所述键板状态寄存器的内容改变时产生中断的装置；以及对所述中断起反应，用于在所述中断后的预定的时间间隔内读出所述键板状态寄存器，以便确定是按下多个键还是按下并释放单个键的装置。

5. 如权利要求 1 所述的集成电路，其特征在于，它进一步包括用于检测信号中单个比特差错的装置，所述用于检测单个比特差错的装置产生脉冲流；以及用于平均所述脉冲流的装置。

6. 如权利要求 5 所述的集成电路，其特征在于，它进一步包括在检测到差错的情况下，用于把所述信号衰减一预定量的装置；以及当无差错地经过一预定量时间的情况下，用于将所述信号增大一预定量的装置。

7. 如权利要求 1 所述的集成电路，其特征在于，所述串行端口包括接收器、发送器、时钟发生器以及用于起动和停止所述时钟发生器的装置。

8. 如权利要求 1 所述的集成电路，其特征在于，所述微控制器有至少一个端口插脚，并且它进一步包括用于使所述至少一个端



口插脚对所述微控制器产生中断的装置,所述用于产生中断的装置包括第一组中断屏蔽,所述第一组中断屏蔽操作上与所述至少一个端口插脚相关联,以形成所述中断;以及第二组中断屏蔽,所述第二组中断屏蔽有选择地释放所述中断。

9. 如权利要求 1 所述的集成电路,其特征在于,它进一步包括用于验证发送输出的谱内容的装置。

10. 如权利要求 1 所述的集成电路,其特征在于,所述微控制器至少有一个带有弱上拉的输出缓冲器,并且进一步包括禁止所述上拉的装置。

11. 一种无绳电话,包括:

可连接至电话网络线路,用于通过所述电话网络线路接收和发送信号的母机单元;

有选择地可安装在所述母机上或与所述母机分离的手持送受话器单元;

所述母机和手持送受话器单元包括用于在它们之间经电磁波发送和接收信号的装置;以及

所述母机和手持送受话器单元的每个单元包括单独的、实质上相同的集成电路,

其特征在于,所述集成电路包括:

(a) 外接口部分,所述外接口部分包括:

- (i) 用于操作上与外接键板连接的装置;
- (ii) 用于操作上与外存储器连接的装置;
- (iii) 用于操作上与外接振荡器连接的装置;
- (iv) 用于操作上与外接发送接收器连接的装置;
- (v) 串行端口;
- (vi) 并行端口;
- (vii) 声频接口从属部分;

(b) 声频路径部分,所述声频路径部分包括:

- (i) 编码译码器,所述编码译码器操作上连至所述声频接

口从属部分；

(ii) 自适应差分脉码调制器，所述自适应差分脉码调制器直接连至所述编码译码器，以构成编码译码器/自适应差分脉码调制器元件，所述元件进一步直接连至所述串行端口；以及

(iv) 乐音响铃，所述乐音响铃操作上连至所述声频接口从属部分；以及

(c) 系统控制部分，所述系统控制部分包括：

(i) 微控制器，所述微控制器直接连至所述并行端口；

(ii) 用于扫描键板的装置，所述键板连至所述用于操作上与外接键板连接的装置；

(iii) 中断控制器，所述中断控制器操作上连接在所述微控制器和所述用于扫描键板的装置之间；以及

(iv) 时钟发生器，所述时钟发生器连接在所述微控制器和用于操作上与外部声频路径部分连接的装置之间。

12. 如权利要求 11 所述的无绳电话，其特征在于，所述母机和手持送受话器单元进一步包括各自的振荡器，所述各自的振荡器操作上连至它们各自的微控制器，并且还各自包括用于停止和重新启动所述各自的振荡器的装置。

13. 如权利要求 11 所述的无绳电话，其特征在于，所述母机和手持送受话器单元进一步包括用于禁止它们各自的微控制器工作的装置，以及当所述它们各自的微控制器被禁止工作时启动外部微控制器来替代所述它们各自的微控制器工作的装置。

# 说 明 书

---

## 集成电路以及使用该集成电路的无绳电话

本发明涉及集成电路(IC'S),特别涉及包含语音、控制通道或调制解调器的微控制器部分;或者无绳电话的人-机接口功能的集成电路。

一般的电话由一母机和一送受话机用电线相互连接起来组成。母机本身经另一线与墙上的电话杆或类似的固定结构上的插座相连,然后通往类似的电话网络线。由于这种与固定结构的连接,即电话用户的移动范围受到很大的限制。即使当送受话器到母机以及母机到墙壁的线很长,若到处移动整个电话以便从不同的位置打电话,或者一旦电话接通再拿着送受话器四处走动,都是件麻烦事。在打电话的人和不可移动的墙壁以及其它固定结构之间存在着连续的物理连接这一简单的事实。带来极大的不方便。

无绳电话标志着对一般电话进行了重大的改进。在常见的无绳电话中,母机仍然与不可移动的墙壁之类上的插座用线相连,以便来自电话网络线的信息信号可以被接收或传送。然而,这种无绳电话的送受话器是一个与母机没有物理连接的独立的工作单元,即呼叫可从它这儿发出,它也可以接收呼叫。送受话器有一发送/接收系统或收发器,一耳机上的扬声器以及送话口上的麦克风,无绳电话的母机以及送受话器在一由电磁波,通常是无线电波的发送和接收所建立的通讯通道上相互进行通讯。送受话器可以方便地远离开母机,同时仍然可以发出或接收电话呼叫。既然在送受话器和母机之间设有电话线连接,使用者可自由自在地移动。

因而,集成电路业经发展且用于无绳电话去实现各种各样的功

能。例如，授给 Dent 等的美国专利 5,005,150 公开了在无绳电话中使用集成电路的数字信号处理器去将脉冲编码调制 (PCM) 信号转变成自适应差分脉码调制 (ADPCM) 信号。然而，正如那篇专利所指出的，无绳电话 IC 的发展由于考虑电源消耗已受到限制，如果它是可移动地则无绳电话应为电池供电型的，并且在实际应用中，对于大量的无绳电话，常规的微处理器或微型计算机已被认为消耗太多的能量。另外，在这类应用中使用常规的微型处理器或微型计算机费用也太昂贵。

尽管发展与无绳电话相关的 IC 有种种问题，这种电话有许多方面都能通过聪明地使用 IC 来改进。这些方面的例子包括有：支持在线仿真工作模式的 IC、具有减少了的软件开销和简化了的硬件的键盘报告机构、先进的噪声抑制机构、低功率的应急工作模式以及低成本的串行控制总线。这些方面的其它例子还包括有：加到端口插脚上的通用的中断机构、先进的机电机构、可简化频谱测量的测试模式装置、可延长空闲时间的关闭模式以及在输入模式下避免不必要电源的消耗的禁止上拉 (pull-up disabling) 机构。这些例子的每一个即将在下面以单独的章来讨论。

关于上面提及的第一个例子，即支持在线仿真工作模式的 IC，这一方面的成果推动了在 IC 上运行的软件的发展。正象本领域的技术人员所熟知的，在线仿真器实际上是使用硬件来替代微控制器，以允许软件开发者去开发和调试他们的软件。这种替代在当微控制器保持与系统的其余部分分开，也就是说当它来并入 IC 时容易实现。当微控制器并入 IC 时，这种替代不容易实现。对 IC 提供一在线仿真工作模式是在后者的情况中方便替代的一种方法。

上述第二个例子，即有关键盘 (keypad) 报告的问题，它起源于要求键盘的经济性和通用性。我们都希望能减少与键盘有关的硬件成本，同样，也希望利用最少量的软件来监控键盘。减少硬件和

软件可减少处理器的成本和所要求的时钟速度。

正如本领域的技术人员所熟知的，当数字信息通过无线电传送时，位误差率会变坏，在传统的工作系统中处理一般的语音，每秒有 32 位误差是很普通的。这些误差能引起大声和干扰的咻咻声和噪声。由于噪声问题，以及由于误差仍不能完全消除，本领域的技术人员认识到，噪声抑制仍然是应该继续进行改进的领域。

上述的下一个例子，是低功率应急工作模式。它所以有用是由于墙上的交流电源可能意外地中断，从而切断给无绳电话母机的电源。在这种情况下，使用者仍希望能使用与母机相连的送受话器来打电话。此时电源须提供给许多电话系统。但是，应减少供电的水平，否则打电话所需的电源将很快消耗。

搞一种价格较低的串行控制总线也是重要的，这是由于工业标准外部设备的串行接口都是通用的，至今缺少十分简单的、灵活的以及低价的串行控制总线。

上述再下一个例子，即要一种加到端口插脚上的通用的中断机构，起因于把微控制器并入了 IC。当微控制器并入 IC 时，必须向它发送中断信号。但时至今日，本领域的技术人员尚不能有这样的结构，即该结构能加到一微控制器/IC 中，在被指定为输入端的端口插脚上产生送给微控制器的中断信号。

正如前面所述的，无绳电话送受话器需用电池供电的事实要求审慎地使用电源。因此，本领域的一般技术人员曾作了许多努力节约基于微控制器/微处理器的系统的电功率。然而，让无绳电话使用最先进的节电装置是特别重要的。在无绳电话应用中，有许多存储器存取。而已有技术的缺点和不足，恰在于这种存储器存取消耗的电力还没有减到最小。

还需要具有测试装置来简化对先进电话频谱测量，以允许或方便对无绳电话最终产品的测试。

本领域的技术人员知道，无绳电话闲置时间，也就是说在两次使用之间的时间在电池或电池组用尽前应尽可能长些。因此，需要一种简单的实现方法去延长闲置时间，而不对无绳电话任何其它功能区域产生不利的影响。

上述的最后一个例子是，需要一个禁止上拉的机构，用来避免在输入模式工作时不必要的功率消耗。这涉及到在高级微器件 80C51 或其派生产品上使用的“准双向缓冲器”。熟悉该领域的人员都知道，在端口 3、2、1 的输出缓冲器上，那些缓冲器是设计成具有上拉电路的，即这种设计增大了可理想地，消除的功率消耗。

根据前述的各个方面，本领域的技术人员现在可以想象无绳电话有许多方面可得改进。已有技术的缺点和不足是对上述每一个问题还没有提出解决方法。

为了克服前述缺点和不足，本发明提供一可设计专门安装在无绳电话的母机和送受话器中的集成电路。一般地说，本发明提供一集块将语音、控制通道与调制解调器的微控制器部分、以及无绳电话的人-机接口功能集成在一起。更具体地说，根据本发明的 IC 包括以后许多方面中的一或多个方面，即：在线仿真装置、简化的键板报告装置、先进的噪音抑制装置、一低功率应急模式机构、一低价串行控制总线、一端口插脚中断的机构、先进的节电装置、系列测量测试模式装置、一新型停机装置以及一禁止上拉装置。

因此，本发明的一个目的是提供一可给无绳电话廉价地提供先进功能的集成块 (IC)。

本发明的另一个目的是提供一在无绳电话的母机和送受话器均可使用的集成块 IC。

本发明的还有一个目的是提供一具有低功率消耗要求的 IC。

本发明的再一个目的是提供一微控制器很好地与之合并。

本发明的更进一步地目的是提供一具有低功率消耗的无绳电

话。

为了完全明白本发明以及它的目的和优点，下面参照附图对本发明详细说明。

图 1 是装有按照本发明的技术制成的 IC 的无绳电话的送受话器的方框图；

图 2 是装有按照本发明的技术制成的 IC 的无绳电话母机的方框图；

图 3(它由图 3a 和图 3b 组成),是根据本发明的技术的 IC 的方框图；

图 4 是装有本发明的技术的 IC 的无绳电话的声频接口(以后称“无绳电话”)的方框图；

图 5 是一无绳电话的声频路径，不包括模拟接口的方框图；

图 6 是根据本发明的技术构成的 IC 中微型控制器系统的方框图；

图 7 是根据本发明的技术所构成的 IC 中的时钟发生器模块的方框图；

图 8 是根据本发明的技术所构成的 IC 中中断控制器的可能结构示意图；

图 9 是在根据本发明的技术的 IC 中为处理来自逻辑模块的中断现由信号所必需的状态、屏蔽以及中断源寄存器的可能结构的示意图；

图 10 是根据本发明的技术所构成的 IC 中监视计时器以及一重新设定输出装置的状态示意图；

图 11 是根据本发明的技术所构成的 IC 监视计时器的可能结构的示意图；

图 12 是根据本发明所构成的 IC 中中断功能装置的可能基本结构的示意图；

图 13 是本发明的实施例中可能出现的外部中断输入结构的示意图；

图 14 是本发明的实施例中可能出现的串行接口的方框图；

图 15 是根据本发明技术所构成的 IC 中键板扫描器的方框图；

图 16 是根据本发明技术构成的 IC 中实时时钟模块的方框图；

图 17 是根据本发明技术所构成的 IC 中电池电平检测器的方框图；

图 18 是根据本发明技术构成的 IC 中各种 CT2 模块的示意图；

图 19 是根据本发明技术所构成的 IC 中发送调制器的方框图；  
以及

图 20 是根据本发明技术所构成的 IC 中帧控制器的方框图。

本发明是以 IC 方式提供一单个的 IC，该 IC 将无绳电话的调制解调器的语音、控制通道和微型控制器部分以及人一机接口功能合并在一起。该项目的目的是制成一种特别适用在无绳电话中的 IC。

在下面的详细描述中，为了便于明白本发明的实施例，仅作为一个例子，对用于无绳电话系统的本发明的一个实施例进行详细描述。必须明白，本发明的实施例并不限制于上述应用，尽管这些实施例已被认为在实际的应用中如此使用效果特好。更进一步，应该明白，本发明有许多实施例可在所述的具体的应用中使用，就象典型的众所理解的情况一样，本发明由所附的权利要求书的范围来限制。

参照附图，为了方便与清楚，相同或相似的元件一般在几个视图中用相同的序号表示，首先，图 1 和图 2 表示可以应用根据本发明的技术的 IC 的一种无绳电话的示意图。这种无绳电话包括一送受话器或终端单元 2(图 1 所示)和一母机或母站 4(图 2 所示)。母机 4 经由电话线与墙上的插座、电话杆，或另一固定结构相连，以使它既可通过电话网络线 6 接收和发送电话信息信号，又可由此获得电

源。送受话器 2 上的天线 8 以及母机 4 上的相应天线 10 通过发送和接收无线电波在两个单元之间进行通讯联络。正象通常的一样，送受话器单元 2 包括一向外打电话或拨号的键板 12，以及分别与麦克风 14 或扬声器 16 相连的送话口和耳机。电话号码从键板 12 进入，于是相应的信号经通讯信号传到母机单元 4，并且送到电话网络线 6。或者，当母机 4 从电话网络路线 6 接收到一表示有电话打进来的信息信号，则来自母机 4 的信号会在送受话器 2 中产生铃声，并且母机的第二铃声表示有打进来的电话。

这种送受话器单元 2 和母机 4 的最大标准分隔距离，叫做服务区域，大约为 300m，它是由联邦通讯委员会(FCC)确定的。通常，每一系统都有 10 个双 2 通道，其上通道频率在 49MHZ 的频带中，而下通道频率则在 46MHZ 的频带内。当然，这些工作参数都是由 FCC 规定的，不属于本发明的一部分。

正如图 1 和图 2 所表示的那样，根据本发明的技术所制成的 IC 既可用在送受话器 2 上，又可用在母机 4 上。IC 的参号序号在图 1 中为 18，图 2 中为 20。

应该明白，正如电话实路和常规的电话设备装置都不能现成地用于无绳电话区域。例如，在标准的电话发展过程中，为了减少电话的成本，常常将一些特点在开关中而不是电话中实现的。在另一个方面，在无绳电话中，用户必须同时购买母机和送受话器，这样，送受话器的花费并不因母机的花费而有效地减少，因而，两个站的成本都应尽量减小。

参照图 1 和图 2，可以看到，母机 4 象送受话器 2 一样，包括一麦克风 22、耳机 24 以及键板 26。类似地，送受话器 2 和母机 4 都包括一 ROM28,30，一 EPROM32,34，一 LCD 以及控制器 36、38，以及许多一般与无线电信号及电平有关的其它元件。

参照图 3，它表示根据本发明的构思而设计的 IC 的方框图。这

种 IC 的相关的元件将下面描述。

一般描述图 3 所示的 IC，开始可以发现：该 IC 有三个基本的工作模式。那三个模式即在线仿真模式、正常模式和测试模式。在线仿真模式的能力是本发明的一个重要方面。下面将更详细地描述。然而，此刻应注意到，在线仿真模式可以使原在集成块 C 的微型控制器(图 3 中用序号 40 表示)，停止工作，同时允许使用外部的在线仿真器去开发软件，正常模式是由最终用户对包括了 IC 的产品进行操作一种模式，正如下面要讨论的，正常模式又可进一步分为活动模式和关闭模式，最后一个工作模式的测试模式，它基本与正常模式相同，不过在测试模式中也允许使用 IC 的内部测试功能。

进入三个工作模式是由复位插脚以及三电平 IN1(TRI1)插脚 44 的状态来控制的。这些插脚 42 和 44 可有许多方式实现这种选择，例如有一种方式是当复位插脚 42 不激活时，将 TRI1 脚的状态由 IC 监控和设定。例如，如果 TRI1 为低，则在线仿真模式被激活，在一个中间供电点或非连接点的，能激活测试模式的工作。最后，当 TRI1 插脚为高电压时，并且当复位插脚 42 不激活时，IC 将以正常模式工作。

这样，可以明白，根据本发明的技术设计的 IC 可以支持在线仿真模式，它能使位于集成块上的微控制器 40 不工作，并允许外部仿真器在它的位置处发挥作用。在这种情况下，所有的连接到微型控制器的内部信号都在工作中以一个时间延迟，就象该微控制器或仿真器不是装在集成块内时固有的延迟。在本发明的实际的实施例的结构中，仿真模式是复位时进入的，即当复位插脚 42 为高时，让三水平输入 1 插脚 44 为低。所有的与 I/O 端连接的内部连接信号均被送出集成块，只有与时间“0”和时间“1”相连的时钟输出例外(注意该时钟能在外部建立)。ALE 和 PSEN/ 变成输入。在仿真模式下，输入到微处理器的、送出集成块的时钟被强行加到复位插脚，监视

计时器(图 3 中的元件 46)在仿真模式下不工作。

当图 3 所示的 IC(应该知道, 该 IC 表示上述本发明的实际结构的实施例)处于在线仿真模式时, 图 3 所示的许多插脚将改变功能。具体地, 在线仿真模式, 图 3 所示的插脚 48 起 INT0/OUT 的作用, 插脚 50 起 INT1/OUT 的作用, 插脚 52 作为一 CPUCLKOUT 起作用, 插脚 54 作为一 ALE 输入起作用, 插脚 56 作为一 RD/INPUT 起作用, 插脚 58 作为一 WR/INPUT 起作用, 插脚 60 作为一 ADDR15-8 输入起作用。插脚 62 的作用为一 ADDR/DATA7-1 地址=输入数据 I/O=O/I, 插脚 64 作为高一 Z, 插脚 66 作为输入, 以及插脚 68 作为高一区(High-Z)。

关于图 3 所示的 IC 工作于模式时正常如前面所述的, 又有两种不同功率模式, 关闭和活动。在关闭模式中, 18.432MHZ 的振荡器(见图 1 的元件 70 和图 2 的元件 72)以及来自该振荡器的所有时钟停止工作。除了实时时钟(见图 3 中的元件 74)之外所有的模块都不工作。所有的模拟插脚都处于“OFF”状态, 就象整个 IC 被复位一样。实时时钟 74 不受关闭模式影响。在本发明的实施例的实际结构中, 监视计时器 46 在关闭模式中不工作。

下面继续描述图 3 所示的本发明的实施结构, 进入关闭模式由软件控制, 但进入关闭模式受到一个进入控制装置的保护, 以避免将 IC 无意地放入关闭状态。在被编程到关闭模式后, 微控制器的时钟在停止工作前还运行 3.56 到 7.2 毫秒, 这就允许微控制器编程到它的闲置状态。

从关闭式唤醒, 可通过复位信号重新设定, 一来自键板扫描器的任一健按下的指示或任何来屏蔽的中断信号。所有这些情况都要求产生中断。接到唤醒的请求后, 18.432MHZ 的振荡器开始工作。一旦它达到稳定, 微控制器时钟即以它的预先编程的频率接通。一旦微控制器时钟变得稳定, 对微控制器的中断请求随之产生。这种

中断使微控制器离开它的闲置状态。

至于活动模式，在活动模式下振荡器在运行。在 IC 中的每一模块能通过一寄存器被编程到接通或关闭。

### 用户可见寄存器

鉴于熟悉本领域的技术人员的水平以及图 1—3 所描述的详细程度，对所示的 IC 内的每一插脚和寄存器的功能将不准备作更详细的描述。这种描述对熟练技术人员去完全明白本发明的各个发明简直不必要。然而，为了方便技术人员以及进一步讨论的方便，在此时说明图 3 所示的 IC 内的各种用户可访问寄存器可能是有用的。这些用户可见或可存取寄存器包括一地址译码器 76，一声频接口 78，一电池电平检测器 80，一时钟发生器 82，一含有一相联的 ADPCM 的编码译码器 84，一中断控制器 86，一键板扫描器 88，FIFOs 90，一实时时钟 74，一 RSSI—A/D 转换器 92，一串行端口 94，一逻辑模块 96，一乐音响铃 98，一发送器调制解调器 100，以及一与监视计时器 102 相连的复位寄存器。

### 声频路径综述

在这时，描述本发明所述的 IC 的声频路径很合适。本发明的实施例的声频路径由声频接口 78、编码译码器及相连的 ADPCM84，一双音发生器(见图 5)；以及乐音响铃 98 组成。编码译码器，ADPCM 以及双音发生器的功能都用同一数字信号处理(DSP)机来实现的。

### 声频路径—声频接口

一般地，声频接口 78 将编码译码器 84 以及乐音响铃的模拟一侧与集成块外的麦克风(例如图 2 中的元件 22)、耳机(例如图 2 中的元件 24)、扬声器(例如见图 2 的元件 24)、PSTN 接口(例如图 2 中的元件 6)等等连接起来。信号的路径和振幅均由软件控制。

声频接口 78 包括一系列模拟输入，模拟输出，以及连接它们的

多路转换器，如图 4 的方框图所示，图 4 以及其它所有的附图在这里描述了所有的或部分前述的本发明的实施结构的实施例。因此，在该应用上的所有附图以及根据它们的讨论都应理解为用来描述本发明的具体实施例。理解这一点后，在图 4 所示的本发明的实施例的工作期间，发生的各种增益衰减以及相互连接均可由软件编程。每一输入缓冲器和输出驱动器能单独停止以便节约能源。

仍然进一步参照图 4，可以看到，声频多路转换器有五个输入（两个插脚 104,106；一侧音 108；一乐音响铃 98，以及一编码译码器 D/A112，三个插脚 114,116,118，以及编码译码器 A/D120）。在软件控制下，各种输入能被引导以每一输出，但要受到某些限制，图 4 示出了可能的路径。选定的输入在每一输出处相加。

参照图 4，熟悉本领域的技术人员将注意到从 AI2 的输入 106 到 A03 的输出 118 之间有侧音路径，在本发明的具体实施例中，其增益可编程为从 0db 到 -42db，每一步变化 3db。

关于图 4 所示的插脚，熟练的技术人员会知道，插脚 AI1 和 AI2 是模拟输入插脚；而插脚 A02,A02 以及 A03 是模块输出插脚。图 4 所示有几个与声频接口相连的用户可见寄存器，它们是：A01MUX 控制 22；A02MUX 控制 24；A03MUX 控制 26；编码解码器 A/DMUX 控制 28；A12 控制寄存器 130；侧音 AI1 控制寄存器 132；乐音响铃幅值寄存器 134；以及 A02,A03 衰减器控制 36。

#### 声频路径—编码译码器(CODEC)

声频路径的 codec 部分设置在 ADPCM 代码转换器(以后标记为 codec/ADPCM84)和声频接口 78(见图 3a)之间。声频路径的 codec 部分提供一 codec 功能、一只供 DTMF 模式功能，一 A-Law 测试模式功能，一返回环路(返馈回路)(loopback)2 功能，以及一 codec/ADPCM 的启动控制功能。这些功能将在下面的章节分别作简要描述。

当声频路径的 codec 部分提供一 codec 功能时,它将提供对线性 PCM 和/或一 A-Law PCM codec 的模拟。

关于只供 DTMF 模式,DSP 起动器有一只供 DTMF 模式;该模式切断所有的 DSP 功能,仅留下双声音发生器以及在 codec 中的为产生 DTMF 乐音输出所必需的那些部分。在本发明的具体实施例中,这种模式通过 DSP 寄存器中的一位来控制。

在 A-Law 测试模式中,允许访问 codec 功能以便对 codec 进行测试(模拟输入 A-Law PCM 输出以及 A-Law PCM 输入模抉输出)。这种测试模式切断 codec 和 ADPCM 编程变换机之间的连接,完成从线性到 A-Law PCM 以及 A-Law PCM 到线性的转换,以及提供一对于 64kbps A-Law PCM 位串访问点。这种测试模式可通过把 PCM 数据 I/O 和时钟功能多转换后加到正常情况下,用作串行 I/O 端口的扞脚上来实现的。在本发明的具体实施例中,数据使用 512KHZ 的时钟以 8-位脉冲串的形式发送和接收。

关于返回环路 2 功能,在返回路上提供一个点,用来连接发送路径(输入到 ADPCM 编码器)的输出与接收路径(从 ADPCM 译码器来的输入点)的输入。在该返回功能中数据采用线性 PCM 格式。

在 codec/ADPCM 启动控制功能中,在时钟发生器模块中,用一个单个位使发送和接收 codec 路径连通。该位也被用来使 ADPCM 代码转换机的发送和接收路径连通,以及使声频接口中的相加放大器工作。

关于性能要求,codec 应该使信号畸变、增益跟踪、频率响应以及闲置时的通道噪声符合于 CCITT. G. 714 的标准信号。

除了启动 codec 工作,对所需路径进行编程,并且有选择地启动发送路径中的高通滤波器工作外,本发明的具体实施例中的 codec 模块中其余情况下没有软件插入来工作:过滤器、相加点以及衰减器均可由在 DSP 机上执行的微码来实现。

现在参照 5,它是除了声频接口以外的声频路径的方框图。声频路径表示成包括接收路径和发送路径。

沿着接收路径分布的是衰减器/静噪器 138,语音/乐音相加点 140,低通滤波器 142,插入器 144,以及 D/A 转换器 146。衰减器/静噪器 138 是一使在声音/乐音相加点之前使接收路径不工作的装置,一可编程的衰减器被使用以便信号能渐渐减弱到消失。噪声抑制是通过将接收衰减器编程到无限的衰减来实现的。编程到负的无穷量可引起 ADPCM 译码器把它的循环(递归)滤波器复位。衰减器可通过一接收衰减器寄存器来编程。声音/乐音相加法点 140 是一个点,在该点声音和乐音信号被叠加,在本发明的具体实施例中的低通滤波器 142 是一简单的标准 3400Hz 低通滤波器或相类似的滤波器,在本发明的具体实施例中的插入器 144 是用来增加取样率的一串的插入器。D/A 转换器 146 是一将数字信号转换成模拟量的装置。

在发送路径有 A/D 转换器 148、十分度计 50、一滤波器和衰减器块 152 以及一声音/乐音相加点 154。A/D 转换器 148 是一第二阶  $\Sigma/D$  转换器之类的转换器,它用来将输入信号数字化。十分度计 50 是一用来取 A/D 转换器 148 的输出的十分之一的硬件。过滤器和衰减器与块 152 包括一衰减器/静噪器(静噪衰减器),一低通滤波器,一高通滤波器,以及一去直流滤波器。衰减器/静噪器部分是一可使声音/乐音加法点之前的发送路径关闭的装置。可使用可编程的衰减器以便信号能渐渐消失。静噪是将衰减器编程到无限的衰减来实现的。衰减器通过一发送器衰减器寄存来编程,方块 152 的低通滤波器部分是一标准的 3400HZ 低通滤波器,方块 152 的高通滤波器部分是一 50/60HZ 拒波框波器。这种滤波器有一可编程启动控制,也就是说,一 DSP 控制寄存器,方块 152 的去直流滤波部分用于去除直流偏移。这种滤波器不能被关掉,声音/乐音相加点 154 是一个声音和乐音在此被相互叠加的点。

对“PCM 端口”(见图 14 及下面的相应描述)的测试逻辑接口包含一变并行为串行的一复串行为并行的移位寄存器对。I/O 端口模块的接口是串行的,由 codec 模块提供由并到串和由串到并的转换,数据时钟(512'KHZ 的每帧 8 个周期的脉冲串)和帧同步时钟(8KHZ)。

在 cdoec 模块内有三个用户可见寄存器,它们是 DSP 控制寄存器,一发送衰减寄存器以及一接收衰减寄存器。DSP 控制寄存器控制所有的 DSP 相关功能,包括 ADPCM 模块。

#### 音频路径—ADPCM 代码转换机

音频路径的 ADPCM 部分提供一全双 2ADPCM 代码转换机(线性 PCM 到 ADPCM 以及 ADPCM 到线性 PCM)。代码转换机位于 codec 及 FIFOS/B 通道 I/O 之间。直到现在,codec 和 ADPCM 通常在一起指序号 84。在本发明的具体实施例中,A—Law 测试模式允许编码和译码都加到信号路径上进行兼容测试。

更进一步,关于本发明的具体实施例,一测试模式被提供,以允许对音频路径的 ADPCM 部分进行访问,这就允许 ADPCM 代码转换机被独立于音频接口和滤波器(A—lawPCM 到 ADPCM 输出和 ADPCM 到 A—LawPCM 输出)即被测试。该模式切断了 codec 与 ADPCM 代码转换机之间的连接。为 64KDPS 的 A—Law-PCM 串位提供一连接点。该测试模式是通过将 PCM 数据 I/O 和时钟功能多路转换后,加到正常情况下,用作串行 I/O 端口(对 32kbps 的 ADPCM 连接使用 B/D 通道的 I/O 端口时)的插脚上来实现的。

一单个的编程被提供,以便启动 DSP 和音频接口的工作。该位放在模块启动控制寄存器内是用来连通 codec 发送和接收路径的同一个位。

本发明的具体实施例满足 CCITT.G.721 的位到位(bit-for-

bit)的规定。

ADPCM 代码转换机功能是在 DSP 机上用微代码来执行的。应注意，到编码器的输入和从译码器的输出都是线性格式(由于 A-Law 压缩和膨胀块在正常工作中不使用，因而不是复合 PCM)。

关于在 FIFO 一侧的数据运行路线，ADPCM 模块与 FIFO/B 通道数据多路转换器相连。到译码器的输入和从编码器的输出都是四位脉冲。至于在 codec 一侧的数据运行路线，可参见图 5 中的音频路径的方框图。返回环路 2 和测试模式开关通过上面音频路径一 codec 部分讨论过的 DSP 控制寄存器来控制。

#### 音频路径—双音发生器

一种能同时产生两种乐音的乐音发生器被用在本发明的实施例中。该发生器的输出可各个地加到发送和接收路径上，且幅值单独控制。在软件控制下，提供给相加点的发送和接收路径被抑制噪声，仅允许乐音输出。

参照图 5，可以看到乐音发生器由一乐音 1 发生器块 156、乐音 2 发生器块 158、一接收路径乐音衰减器 160 以及一发送路径乐音衰减器 162 组成。

关于乐音 2 和乐音 2 发生器 156、158 到每一个这些发生器的接口由四个编程字节组成，其中，三个代表频率，一个代表幅值。写入乐音 2 的幅值寄存器将导致所有的 8 字节都装入 DSP，从而改变乐音。在这同时开始产生乐音，乐音产生通过把零幅值写到所希望的幅值寄存器来结束(去关闭 1，乐音 1 的幅值寄存器必须写入零幅值系数，接着写入乐音 2 幅值寄存器去触发所有 8 个寄存器的内容更新)，两个乐音发生器 156、158 的每一个都独立地工作。

关于接收路径和发送路径衰减器 160、162，两个乐音发生器 156、158 的输出在一起相加。合成的信号和通过两个衰减器 156、158 进入接收和发送语音路径。发送和接收语音信号在到达相加点通过

它们拥有的可编程衰减器 164,166。这就允许对发送路径和接收路径独立调整乐音/语音的相对水平。

在双音发生器模(块)中有十个用户可见寄存器,两个由 4 寄存器构成的组代表两个乐音发生器的频率和幅值,而另外,两个寄存器则控制发送乐音和接收乐音的衰减器。

### 声频通道—乐音响铃

乐音响铃(图 3a 和 4 中的元件 98)能产生多个单频率序列方波乐音,该乐音在频率之间转换时最小的瞬变。乐音响铃功能不管 codec/ADPCM84 功能工作和不工作时都能工作。

软件将乐音响铃 1 编程到所希望的频率和幅值,然后启动所希望的声频路径。乐音响铃硬件由一乐音响铃频率寄存器、一乐音响铃幅值寄存器、一计数器/分频器以及一衰减器组成。当乐音响铃正在工作时又有新的频率被编程到乐音响铃寄存器,仅在周期边界上才能改变到新的频率。

在本发明的具体实施例中,乐音响铃 98 由一可编程 8 位多项计数器以及相关的控制逻辑组成。输入时钟是 288KHZ,它的输出提供给位于声频接口模块上的乐音响铃输入缓冲器/衰减器。一个压时钟发生器模块上的控制位通过启动和停止时钟接通和关闭乐音响铃。该位也能使乐音响铃和缓冲器不工作。

### 系统控制—综述

现在参照图 6,这里所描述的本发明的无绳电话应用中的系统控制功能由微控制器 40、时钟发生器模块 82、地址译码器模块 76、中断控制器模块 86、监视计时器/复位模块 46、一并行端口模块 168、一串行端口模块 94(见图 3a)、一键板扫描器功能模块 88(见图 3b)、一实时时钟模块 74(见图 3a)以及一电池电压检测器模块 80(见图 3a)一起完成。

在本发明的具体实施例中,一个具有先进微器件(AMD)公司

的 80C51 产品的 80C32T2 元件和功能的 8 位微控制器已集成在一 IC 芯片上。然而,80C32T2 也有一些功能没有在 IC 上实现。例如,80C32T2 的振荡器功能由一时钟输入代替,80C32T2 的复位发生器由一复位输入代替等。另外,外部地址选择信号(EA/)在内部被接到低电位即选择块外的 ROM,除微控制器外,也提供附加的 RAM 以及一地址总线的信号分离形式。

### 系统控制—需求

在本发明的具体实施例中,在仿真模块工作期间,PSEN/插脚假设为高阻抗状态。

作为系统控制的一功能视图的一部分,现在讨论 I/O 端口的应用是适当的。因此,四个 I/O 端口的每一个在本发明的具体实施例中怎样应用在将下面描述。

关于端口“0”,其应用与受多路调制的地址/数据总线位 7—0 相联系。

端口“1”用作一般的 I/O 线。这些线由软件设置成具体的控制功能。端口 1 I/O 线包括一弱上拉。禁止该弱上拉可通过把相应的端口控制寄存器(PCKB)设置为一适当的值来完成。在复位以后,端口 2 的弱上拉被启动。在仿真模块下,弱上拉被禁止,端口插脚转入高阻抗状态。

端口 2 用作地址线 15—18。端口 2 I/O 线包含一弱上拉。禁止弱上拉可通过把相应的端口控制寄存器位(PCRB)设置为适当值来完成。在复位以后,端口 2 的弱上拉被启动。在仿真模块下,弱上拉被禁止,且端口插脚转入高阻抗状态。

现在关于端口“3”,P3.0,P3.1,P3.3,P3.4,P3.5,P3.6,以及 P3.7 需要讨论。

P3.0 既可作为微控制器串行端口的接收输入(RXD)又可作为通用的 I/O 插脚。P3.1 既可作为微控制器中行端口的发送数据输出

(TXD)又可作为通用的 I/O 插脚。P3.2 在内部用作来自内部中断控制器(INT0/)的中断输入。P3.3 可在内部用作来自内部中断控制器(INT1/)的中断输入。P3.4 可用作内部计时器 0 时钟输入。该插脚在 IC 的外部不能使用。P3.5 可用作内部计时器 1 时钟输入。该插脚在 IC 的外部不能使用。P3.6 是地址/数据总线的 WR/选通脉冲。P3.7 是地址/数据总线的 RD 选通脉冲。端口 3 I/O 线包含一弱上拉。禁止该弱上拉可通过把相应的端口寄存器位(PCRB)设置为适当的值来完成。在复位之后,端口 3 的弱上拉被启动。在仿真模块下,弱上拉被禁止,端口插脚处于转入高阻抗状态。

现在讨论 I/O 缓冲器的装置。在本发明的具体实施例中,端口 1,2,以及 3 的 I/O 缓冲器能通过软件控制来禁止 P 一通道弱上拉。该功能的必要性是当缓冲器由一外部信号低电平驱动时允许缓冲器去消除电流源。当我们回忆上述有关技术部分的说明时可知,本发明的实施例中禁止弱上拉的特征,可消除不必要的电源消耗的增长。AMD80C32T2 缺少选择一种装置。在重新清零后,所有的端口 1,2 和 3I/O 的缓冲器靠一弱上拉来保持“高电位”。这种状态在功能上且与 80C32T2 微控制器相兼容的。为了禁止弱上拉,软件必须首先通过用相应的端口控制寄存器位配置端口的插脚使每一位被禁止。相应的端口控制寄存器位保留在与端口 SFR 位相同的地址。例如,端口 1 保留在 SFR 存储器位置 90H。端口 1 控制寄存器的内容改变仅当 PCFZG SFR 的 PCRA 位被设定到“1”时进行。当 PCRA 位被清除时一个对端口 SFR 地址的操作会引起端口 SFR 内容的更新。

因为仅有端口 1,2 及 3 包含弱上拉,因而端口“0”不具备该特征。

下面的图表描述可在端口建立的各种不同组合。

| 端口控制寄存器位 (PCRB) | 端口 | 位功能                           |
|-----------------|----|-------------------------------|
| 0               | 0  | 驱动一“0”输出, 无上拉(80C51 兼容)       |
| 0               | 1  | 驱动一“1”达 2 个周期, 有弱上拉(80C51 兼容) |
| 1               | 0  | 驱动“0”输出, 无上拉                  |
| 1               | 1  | 仅供输入,(无上拉, 高阻抗输入)             |

一旦通电, PCRA 位被禁止, 任何端口写入都会引起端口 SFR 数据更新。一旦 PCFIG 寄存器中的 PCRA 位被置位, 则对每一端口位都可能使弱 P-通道器件送断。在每一端口位均被适当地配置后, 用户必须在写入端口之前清除 PCRA 位。

如果用户在弱通道器件被禁止后将它接通, 端口插脚不能立即回到“1”。这种情况类似于 80C51。即当一外部器件驱动输入信号为低电平、然后又允许该插脚“上浮”回到“1”电平。该信号的上升时间取决于插脚负载, 可能会花几个微秒才回到稳定的“1”。

现在讨论本发明的具体实施例中的集成块上四周总线的接口。所有的用户可见寄存器和块内 RAM 都连接在微控制器的内部地址/数据总线上。为了减少功率消耗, 该总线在访问程序存储器空间期间不改变它的状态。当 IC 工作在线仿真模块时, 该节电特点是用不上的, 因为块上四周总线将在对程序存储器空间访问期间会转换状态。

现在讨论本发明的具体实施例的块内 RAM, 80-C32T2 有位于“内部数据 RAM”空间中的 256 字节 RAM。另外有 1024 字节的“块”RAM 位于“外部数据 RAM”空间中。所有 1024 字节的块由 RAM 均由时时钟的备用电源供电。备用的 RAM 至电压降到 2.2 伏时能支持读写降到 1.8 伏时仍能保留数据。

现在讨论本发明的具体实施例中在关闭模块时的允许。如果 IC 处于关闭模块，并且微控制器是在闲置模块，则处理器中断屏蔽 (TCON 寄存器的位 7.2, 以及 0) 的情况将被忽略，允许响应 INT0/ 和 INT1 中断。实际的 TCON 位并不改变，以防止 IC 在中断不进行时进入关闭模块时禁止中断。

应该明白，在本发明的具体实施例中，任时应当 CPUCLK 的速度被编程到小于 9.216MHZ 时，PSEN 脉冲的长度将被缩短一个 CPUCLK 周期 (也就是说，下降边延迟一个 CPUCLK 周期)。这就减少了由外部存储装置在 CPUCLK 速度下降时的功率消耗。

本领域的技术人员参照附图 6 会知道，ALEI/O 插脚是由总通用输出位 9 多路调制的，该 INT0/OUT 以及 INT1/OUT 插脚则分别来自地址译码器模块的外 I/O 以及外 RAM 集成块选择输出多路调制。在线仿真模块期间，这些插脚总是提供 ALE—OUT, INT0/, 以及 INT1/OUTPUT 功能。在正常工作模式，ALE 插脚既可是 ALE OUT，也可是通用输出 9。其选择可在地址译码器模块中进行编程。INT0/ 以及 INT1/ 插脚在正常工作中总是用作芯片选择输出。

本领域的一般技术人员参照图 6 将进一步明白：—80C32T2 的地址总线的分离形式可通过锁住地址的低位字节来建立，该低位字节提供给锁存地址 LADDR 7—0 插脚，该地址是在 ALE 的下降边从 A/D 7—0 总线取出并锁住的。在本发明的具体实施例中，当 IC 工作于线仿真模块时，将 A/D 7—0 和 ALE 放到集成块上带来的延迟可由内部计时来说明。

为了说清楚图 6 所示的微控制器以及它在本发明的 IC 的实施例中作用，下面将简述每一插脚。

P0.7—P0.0 是微控制器 I/O 端口 0。这种端口提供多路调制的 O7—0 和 A7—0 总线。当 IC 复位时，这些插脚保持至弱高电平。在

关闭模块,这些插脚既可保持较强的低电平又可保持较弱的高电平。在线仿真模式中,插脚是高阻抗。

P1.7—P1.0 是微控制器 I/O 端口 1。该端口提供与并引端口模块相连的 8 个通用 I/O 插脚。在关闭模式中,端口保持它们的原编程状态。在线仿真模式,端口是高阻抗。

P2.7—P2.0 是微控制器 I/O 端口 2。该端口提供地址总线的高 8 位 (A15—8)。当 IC 复位或“关闭”时,插脚保持约高电平。在线仿真模式时,插脚是高电阻抗。

P3.7 是微控制器 I/O 端口 3.7。该插脚提供微控制器的 RD/(读出低有效)选通脉冲。在线仿真模式时,插脚是高阻抗。在“关闭”或复位期间,该插脚保持弱高电平。

P3.6 是微控制器 I/O 端口 3.6。该插脚提供微控制器的 WR/(写入低有效)脉冲。在线仿真模式下该插脚插脚为高阻抗。在“关闭”或复位时,插脚保持弱高电平。

P3.1 是微控制器 I/O 端口 3.1。该端口提供微控制器内部串行端口的发送数据输出。该插脚也能被用通用的 I/O 端口。在线仿真模块时,该插脚为高阻抗。在复位时,插脚保持弱高电平。在“关闭”时,插脚保持它的原编程状态。

P3.0 是微控制器 I/O 端口 3.0,该插脚提供微控制器的内部串行接收数据输入。该插脚也能被用作通用的 I/O 端口。在线仿真模式中,该插脚是高阻抗,在复位时,该插脚保持弱高电平。在关闭时,该插脚保持它的编程状态。

PSEN/是允许程序储存信号,当它有效时,在端口 0 和 2 的地址保存到即为代码空间的地址。在线仿真模式时,PSEN/置于高阻抗状态。在复位时,PSEN 保持弱高电平,在关闭时该插脚保持强高电平。

ALE 是允许地址锁存信号。该信号用来锁定 APFO 总线的地

址。ALE 在在线仿真模式中是高阻抗。在正常模式中，ALE 是由 OUT9 变路调制的输出。在关闭或复位时，该插脚保持强高电平。

锁定的地址 LADDR7-0 是地址锁存器的输出，提供给非多路调制的 LA7-0 总线，在复位、关闭以及在线仿真模式中，这些插脚被强电位驱动。

### 系统控制——时钟发生器

时钟发生器 82(见图 3a)设有晶体管振荡器，电源模式控制，模块启动控制，以及 IC 用的时钟分频器。

当 IC 处于关闭模式时，18.432MHZ 的振荡器(例如，图 2 中的振荡器 72)以及所有的来自它的时钟停止。所有的模块停止工作除了实时时钟 74。所有的模拟插脚处在关闭状态，也就是说与 IC 复位时的状态相同。

通过在关闭/微控制器时钟控制寄存器中某一位的置位，可使 IC 处在关闭模式中。在该位被置“1”后，振荡器 72 继续工作 3.56—7.12 毫秒，以便软件将它本身设置到闲置模式，然后，所有的时钟包括 CPUCLK 被停止，在本发明的具体实施例中，如果在该位置“1”后和 CPU 时钟停止前接收到一中断则 IC 结束其关闭周期。

继续讨论本发明的具体实施例，对关闭/微控制器时钟控制寄存器的访问受到一联锁机构的保护，以便减少由于软件问题而引起的偶然时钟停止的危险。该机构要求软件先写入到一专门的存取控制寄存器中，然后再写入关闭/微控制器时钟控制寄存器，该双重写入程序必须在时钟速度控制寄存器更新前做两次。

唤醒来自复位，键板扫描器 88 的任何按键指示，实时时钟中断(所果在真时间时钟 74 内不被代码)，或任何非屏蔽中断。

当 IC 脱离关闭模式时，振荡器被重新启动。需要振荡器大约 3.56 毫秒的延迟才能达到稳定。在这一延迟之后，微控制器 44 和监视计时器 46 的时钟被重新启动。微控制器时钟以先前编程的速率重

新启动。

当 IC 处在关闭状态时，键板的按下任何键中断和实时时钟中断均处于允许状态，即使相关的中断允许位已被清除，或者说该中断处在禁止状态。实际的中断工作位是不变化的，而且，应该注意到，在本发明的具体实施例中实时时钟中断仍然可以在实进时钟模块 74 内将其屏蔽。

真正使用的微控制器时钟有一具有 18.432MHZ 的输入的可编程分频器。可编程比率分为 2,4,8,16,32,64,128 和 256 等种。当 IC 脱离关闭模式时，CPU 时钟到控制寄存器中编程的速度。CPUCLK 可通过将 IC 置于关闭模式来关闭。

当时钟速度改变时，完成到新频率的变换不会违反对 80C32CT2 或其它这类产品的数据页时序说明。

该微控制器时钟也有一可选用的自动加速模式，如果该自动加速选择被选定，所有的中断迫使微控制器时钟分频器工作可“被 2 除”的状态。在时钟被加速后，它将保持二分频的频率，直到其速度被重新编程到一个较低的值。在频率转换点上不允许有任何反规定的短脉冲。

一旦微控制器发出命令，进入关闭状态，处理器时钟在停止前继续工作 3.56 和 7.12 毫秒之间的时间。

每一模块的时钟由发生器模块 82 提供。同时提供控制位，以允许用软件接通和切断具体的模块。当一模块被切断，它的时钟被停止并且保持低电位。

串行端口 94 支持 288KHZ,144KHZ,以及 36KHZ 的数据率。提供给串行端口模块的时钟由时钟发生器模块 82 向下分割为所需的数据率。时钟速度通过串行端口定时控制寄存器选择。该串行端口模及其时钟由一模块启动控制寄存器 0 启动，当该模块被停止时，该时钟停止在低电位。

图 7 是时钟发生器模块的方框图。正如图 7 所表示的, 该时钟发生器模块直接或间接时包括振荡器 70, 关闭模式控制逻辑 170, 微控制器时钟控逻辑 172, 模块启动 174, 以及一模块时钟分频器 176。这些元件的每一个都分别在下面的单独节中进一步描述。

振荡器 70 被指定工作在 18.432MHZ, 它采用一并联谐振式石英晶体管。需要一起动电容器, 在具体地实施例中将以电容量减至最小以节约能源。

关闭模式微控制器时钟控制逻辑 170、172 控制进入关闭、微控制器时钟频率以及自动加速。

关于模块启动控制 174, 用于接通和断开 IC 内的指定模块的寄存器位均设在时钟发生器模块 82 中。这些位也停止输出时钟到它们相应的模块。

模块时钟分频器逻辑 176 是一用于产生每个模块所要求的时钟频率的分频器链。

时钟发生器模块 82 有三个插脚。插脚 MCLKXTAL1 是主时钟晶体扦脚 1。该插脚用于输入位在振荡器 70 的输入侧。振荡器 70 设计成或者以一并联谐振晶体或者以外部逻辑电平输入来工作。MCLX XTAL2 插脚是主时钟晶体插脚 2。该插脚用于输出, 处在振荡器 70 的输出侧, 如果使用晶体, 该插脚即与该晶体相连。如果使用一外部逻辑电平信号, 该插脚空着不连接。CPUCLKOUT 插脚与提供给微控制器 40 的相同时钟相连。该输出也能被送出集成块以外。在在线仿真模式中, CPUCLKOUT 总是工作后的, 当 IC 工作于在线仿真模式, 该时钟则由来自并行 I/O 端口模块的 CSOUT2/信号多路调制。该多路调制器控制是位于地址译码器模块 76(见图 3b)之中的。在复位时, 该插脚默认具有 CSOUT2/功能, 并且保持高电平。在关闭时, 如果该扦脚对 CPUCLK 操作编程, 则它保持低电平。

实施例的时钟控制器模块 82 包含下列可编程寄存器；一关闭/微控制器时钟控制器寄存器；一关闭/微控制器时钟存取寄存器；一保护寄存器；一模块启动控制寄存器 1；一模块启动控制寄存器 2；以及一串行端口定时控制寄存器。

### 系统控制—地址译码器

所有内部寄存器以及块内 RAM 的地址和三个外部芯片选择信号均由地址译码器模块 76 译码。启动信号(触发信号)在内部寄存器或块内 RAM 由微控制器存取时产生。块选择输出是在外部 RAM 空间或两个外部 I/O 空间中的一个被存取时产生。

实施例的地址译码器模块 76 包括一 CSOUT0/插脚，一 CSOUT02/插脚以及一 CSOUT2/插脚。CSOUT/插脚带有一由 INT0/OUT 信号多路调制过的信号。当 IC 不在工作于在线仿真模式时该插脚也提供芯片选择功能。当高一外部 I/O1 空间执行一条 MOVX 指令时，CSOUT0/信号有效(低电平)。在复位或关闭时，该插脚保持为高低位。CSOUT1/插脚上带有一由 INT1/OUT 信号多路调制过的信号。该插脚也在 IC 不在在线仿真模式时提供块选择功能。当向外部 RAM 空间执行一条 MOVX 指令时，启动(低)。CSOUT2/信号有效(低电平)。指令在复位或关闭时该插脚保持较高电平，CSOUT2/键如果有一由 CPUCLKOUT 信号多路调制过的信号。当 IC 不工作在线仿真模式且芯片选择控制寄存器中的 CSOUT2/允许位已经置“1”时提供芯片选择功能。CSOUT2/信号有效(低电平)。复位时，该插脚保持高电位，如果该插脚为 CSOUT2/模式编程，则在关闭时它保持高电位。

前面所述的芯片选择控制寄存器是地址译码器模块 76 中的用户可见寄存器。

注意实施例中的地址译码器模块 76 包括一地址锁定器和一相连的插脚。该地址锁定器提供低 8 倍地址(LADDR7—6)的锁定形

式。锁定的地址总线(LADDR7—0)插脚在 IC 正常、关闭或三线工作模式时都是输出。当 IC 是在关闭模式时,这些插脚在进入关闭之前由最后的值作强驱动。该输出在 ALE 的下降沿发生变化。

### 系统控制—中断控制器

中断控制器 86 收集来自 2C 的内部和外部的各种源的中断请求,并且产生一给微控制器 40(INT0/和 INT1/)的中断。

本发明的具体实施例的中断系统具有多级结构,包括中断原因和状态寄存器、一局部屏蔽;一局部中断源寄存器;一主中断屏蔽寄存器;以及一主中断源寄存器。这些元件的每一个将在下面的各节中逐一讨论。

关于中断原因和状态寄存器,中断原因形成最低级中断,且局部于每一模块。这些原因可能是插脚输入,数据缓冲器为“空”或“满”等情况,以及诸如此类的原因。这些原因被记在“状态寄存器”中。当状态寄存器由软件读出时总是返回原因信号的当前状态(例如,在一输入插脚上的当前逻辑电平),在状态寄存器中的位不受中断屏蔽影响。

现在讨论局部屏蔽,原因信号来自一中断屏蔽寄存器中的相关屏蔽信号相“与”。这些与门的输出连接到“局部中断源寄存器”。屏蔽寄存器设置在包含相联的原因信号的模块中。

局部中断源寄存器由软件使用以确定中断的原因。在中断源寄存器中的各“位”可由屏蔽的原因信号的上升沿,下降沿或者同时由两个边(沿)来置位。在中断源寄存器中的各位是各不相关地清除的。一般地说,每一位都要当软件响应该原因后才被清除。这种响应可能读出一个接收缓冲器,读出一输入端状态寄存器,或其它等等。寄存器的各位输出相或,即产生一中断请求信号。该信号被发送到中断控制器模块,该源寄存器设在包含相关的原因信号的模块中。

关于主中断屏蔽寄存器,中断请求信号是与来自主中断屏蔽寄

寄存器(们于中断控制器模块 86 中)的相关屏蔽信号“与”。这些“与”门的输出与一“主中断源寄存器”相连。

主中断源寄存器由软件使用以便确定中断的原因。中断源寄存器中的各位代表中断请求信号的逻辑级，假使它们未被屏蔽，一般地说，每一中断请求在软件对具体的中断原因响应时才被清除。主中断源寄存器的输出相“或”，被送到微控制器。

图 8 表示中断控制器 86 的结构。来自逻辑模块 96(见图 3a)，外部中断输入(象钩开关/锁位)，串行 I/O94，并行 I/O(参见图 13 及相应的讨论)，键盘扫描器 88，以及实时时钟寄存器 74 的中断请求送给两个主中断源寄存器 178,180。主中断屏蔽功能以主屏蔽寄存器 0 182 和一主屏蔽寄存器 1 184 的形式在微控制器中提供。

下面仅通过例子的方式，列出无绳电话应用中具体实施例。中断原因表：

| 中断原因     | 置位/清除   |
|----------|---|
| D 通道接收   | 置位：接受缓冲器包含 6 位数据；<br>清除：当接受缓冲器被读出时              |
| D 通道接受误差 | 置位：在接收的 D 通道数据中检测出误差<br>清除：D 通道状态寄存器被读出         |
| D 通道发送   | 置位：发送缓冲器排空<br>清除：当发送缓冲器加载时                      |
| SI/O 接收  | 置位：接收缓冲器已满<br>清除：读出接收缓冲器                        |
| SI/O 发送  | 置位：发送缓冲器已空<br>清除：至发送缓冲器已装入数据                    |
| RTC 定时器  | 置位：RTC 源寄存器中的定时器位置位<br>(且未屏蔽)<br>清除：读出 RTC 源寄存器 |

| 中断原因           | 置位/清除  |
|----------------|--|
| RTC 报警         | 置位:在 RTC 源寄存器中报警位置位,(且未屏蔽)<br>清除:读出 RTC 源寄存器                                       |
| RTC 更新结束       | 置位:在 RTC 源寄存器中更新结束位置位(且未屏蔽)<br>清除:读出 RTC 源寄存器                                      |
| PI/O P1.0—P1.1 | 置位:未屏蔽的端口 1 插脚的编程边<br>清除:读出 PI/O 中断源寄存器  |
| PI/O P1.2—P1.3 | 置位:未屏蔽的端口 1 插脚编程边<br>清除:读出 PI/O 中断源寄存器   |
| PI/O P1.4—P1.7 | 置位:未屏蔽的端口 1 插脚的编程边<br>清除:读出 PI/O 中断源寄存器 2  |
| 键板状态           | 置位:键板状态寄存器内容有改变<br>清除:读出键板状态位寄存器   |
| 键板按下了任何键       | 置位:当 IC 在关闭模时有键封闭<br>清除:读出主中断源寄存器 1  |
| 外部中断输入 1,2 及 3 | 置位:外部中断输入插脚的任何转换<br>(正常用作送受话器开关,合成器锁定,以及调制器锁定)<br>清除:读出指示的外部中断状态寄存器<br>(每一输入有一寄存器) |
| CHM            | 置位:CHM 信号的上升沿<br>清除:读出 CHM/sync 源寄存器   |
| SYNC           | 置位:sync 信号的上升沿<br>清除:读出 CHM/sync 源寄存器  |
| SYNC—D         | 置位:sync—D 信号的上升沿<br>清除:读出 CHM/sync 源寄存器  |

| 中断原因    | 置位/清除                                   |
|---------|---|
| SYNC 误差 | 置位:sync 误差信号的上升沿<br>清除:读出 CHM/sync 源寄存器 |

图 9 表示处理来自逻辑模块 96 的中断原因信号所需的状态,屏蔽,以及源寄存器的结构。

中断控制器模块 86 包括七个用户可存取寄存器:一主中断寄存器 O 186;一主中断屏蔽寄存器 O 188;一主中断源寄存器 1 190;一主中断屏蔽寄存器 1 192;一 D—通道状态寄存器 194;一 CHM/sync 屏蔽寄存器 196;以及一 CHM/sync 中断源寄存器 198。

中断控制器 86 包括一 INT0/OUT 插脚,以及一 INT2/OUT 插脚。INT0/OUT 信号从中断控制器 86 输出到微控制器 40。它是通过 INT0/OUT 插脚送出块外的。它仅在在线仿真模式中使用。当 IC 不工作在线仿真模式时,该插脚用于芯片选择零(CSOUT0)输出,INT1/OUT 插脚带有从中断控制器 86 输出到微控制器 40 的一个信号。它通过 INT1/OUT 插脚送到集成块外。它仅用于在线仿真模式中。当 IC 不工作于在线仿真模式时,该插脚用作芯片选择一(CSOUT1)输出。

主中断控制器模块的用户可存取寄存器包括;主中断源寄存器 O 186;主中断源寄存器 1 190;主中断源屏蔽寄存器 O 188;主中断屏蔽寄存器 1 192;D 通道状态寄存器;CHM/sync 中断源寄存器 198;以及 CHM/sync 屏蔽寄存器 196。

#### 系统控制—监视计时器/复位

监视计时器 46 检测微控制器软件是否被提起或失去,并且产生一对 IC 以及系统其余元件的硬件复位的信号。如果一内部计时器每过两秒不被清除,则一硬件复位信号被产生。该计数器是通过微控制器 40 用一内部监视键寄存器写入一个专门的代码序列来清除

的。应该注意到，监视计时器 46 在关闭或在线仿真模式中不工作。

图 10 是监视计时器和复位输出装置的状态图。

如果监视计时器 46 暂停计时，它会在 RESET/(低电位有效)上产生一 1.78ms 的脉冲。IC 内部的硬件也会因监视计时器暂停计时而复位。其结果与激活 RESET/插脚是同样的。暂停的值接近 1.78 秒。一个专门的键序列必须在复位后的 1.78 秒内以及在先前更新的 1.78 秒内写入到前述的内部监视键寄存器中。

键序列是一从复位开始的两步骤功能。监视计时器 46 在步骤 1 起动，等待向监视键寄存器写入。如果被写入到监视键寄存器中的值是除 A5H 之外的任何值，则一“系统复位”产生(正好似乎最后的计时已完成)。如果该写入值是 A5H,则步骤 2 被进入。在步骤 2,监视计时器 46 等待复位，且重新进入步骤 1,如果写入的不是 A5H,也产生系统复位。

图 11 表示用在本发明的具体实施例中的监视计时器的结构示意图。

该计时器链包括一个两秒计时计数器 200 以及一两毫秒脉冲发生器 202。一 1KHZ 时钟从时钟发生器模块 82 中接收，且送到停止控制块。时钟输出信号送到两个毫秒脉冲发生器 202 和两秒计数器 200。两秒计数器 200 的最终计时输出送到脉冲发生器 202 以便初始化两毫秒脉冲发生。

监视键装置包括一用户可见寄存器 204 以及一状态机 206。用户可见寄存器 204 被软件周期性地写入以便表示软件在正常工作。状态机 206 验证寄存器是否被正确地更新，如一切很好，则产生一清除选通脉冲给两秒计数器 200,如果寄存器更新不正确，则产生一误差选通脉冲给两毫秒计数器 202。

监视键寄存器 204 是软件清除监视计时器 46 时的存取点。它包括需要两次写入的序列清除计时器 46,在本发明的具体实施例中，

该序列必须每两秒完成一次，以防止发生系统复位。

### 系统控制—并行端口

实施例的并行 I/O 端口包括微控制器端口 1 的中断结构，— 11 位通用的输出锁存器，2 个三水平输入插脚，以及 3 个外部中断输入。微控制器端口 3 中的 RxD 和 TxD 插脚也能作为通用的 I/O 端口工作。这些端口的组成下面接着描述。

关于微控制器端口 P1.0—P1.7，可屏蔽的中断在每一插脚的边沿用编程产生。在本发明的具体实施例中，为了报告中断，这些插脚被分成三个单独的中断源寄存器，一个用于 P1.7—4，一个用— P1.3—2，以及一个用于 P1.1—0。

通用的输出有 11 个，通过通用的输出寄存器 0 和 1 来编程。所有的输出都默认为高电位。

两个三水平输入单个插脚能报告三种输入状态，高，低，或开路。典型应用是拨号式选择和工厂测试模式选择，另外，正如上面所详细讨论的，三水平 IN1 可用来选择三线仿真模式。

至于外部中断输入，设有三个输入插脚，能同时在上升沿和下降沿产生中断请求信号。这些插脚可被用作送受话器开关，通道合成器锁定，以及调制解调器合成器锁定的输入。

从功能上讲，所有 8 个端口 1 插脚，当编程作为输入时，能在电压转换边上产生可屏蔽的中断。中断功能且在与微控制器分开的硬件中完成的。图 12 表示中断功能的基本结构。

参照图 12，输出锁存器提供 11 个通用的输出插脚来控制外部功能。这是一简单的寄存器对（一个位和一个 4 位），它们位于微控制器的数据总线上。当一位在一个寄存器中被软件置位时，与之相应的输出插脚也被置“1”。当该位被清除时，该插脚也被清除。所有 11 个为通用输出中的一个输出提供默认状态的插脚，默认电位都是高电位。

除去键板(OUT6,7)以及三水平输入(OUT10)的插脚外,所有其它插脚的多路调制控制位于它们的功能发源模块中,而是在并行端口模块(指定为图 12 中的序号 208)中。键板和三水平的多路调制由通用输出寄存器 1 控制。

当并行 I/O 端口被禁止工作时,通过一位于时钟发生器模块 82 中的模块启动控制寄存器 0,所有的通用输出插脚均处于一高阻抗状态。

继续参照图 12,它有两个插脚时检测不同的输入状态:高,低,以及开路或不连接。输入的状态记录在一外部中断状态寄存器中。这些插脚不产生中断请求。在复位插脚不激活时三水平 IN1 键主要用来选择 IC 的工作模式。在本发明的稍有变化的实施例中三水平 IN1 插脚能用作为一通用的输入,但此时必须特别因为一旦复位便能引起 IC 进入三线仿真模式。

仍然进一步参照图 12,被提供在转换向上升沿和下降沿上产生中断请求。每一输入插脚的状态记录在一单个的一位寄存器中。如果一个插脚从它的状态寄存器最后一次被读出或复位后一个插脚改变了状态,则一中断请求将被锁存,且发送到中断控制器模块中。读出该源寄存器将清除锁存器,同时清除中断请求。

总之,在图 12 中,可以看到,11 个输出分别由它们在通用输出控制寄存器 0 和 2 中的相应位来独立地控制。进而,这些输入插脚在读出时由上拉和下拉电阻器拉到电源的中点( $V_{cc}/2$ )。这些插脚的每一个都连到一对分开的比较器。其中一个比较器被编置成当输入为高时在输出端产生高电平,另一个比较器被编置成输入为低时在输出端产生低电平。如果输入开路,则两个比较器均输出一低电平状态。再进一步,可以看到,插脚逻辑应该设计成在插脚的状态来被评价时使上拉和下拉电阻不工作。这是一个节电特征。外部输入的最大电阻相对  $V_{cc}$  或  $V_{ss}$  是  $50\Omega$ (当输入是高或低时),最大电

容是 50PF。

现在参照图 13，它表示一外部中断输入结构的更详细的示意图。可以看到，该结构包括三个输入插脚 220,222,224，三个状态寄存器 226,228,230 以及三个转换检测锁存器 232,234,236。

有三个外部中断输入状态寄存器 226,228,230，它们是一位寄存器，记录外部中断输入插脚 220,222,224 的字前状态。状态位随插脚的变化而变化。读出其中一个寄存器可清除相应的移位检测器锁存器 232,23,236。每一锁存器 232,234,236 的输出送到中断控制器模块 86 中，在这里，它与中断允许位相“与”。

#### 系统控制—串行端口

串行接口是四个串行通道的组合。在本发明的具体实施例中，这些通道提供通信给频率合成器、LCD 控制器、EEPROM 以及一 PCMcodec 测试设备。一个由发送、接收和时钟逻辑组成的电路被用来支持合成器 LCD,EEPROM，以及 PCM 接口（见图 14，其中发送、接收和时钟逻辑一般分别指序号 240,242 和 246）。这种硬件组合也称为 SI/O 接口。

关于实施例的合成器接口，可以看到，在 IC 和合成器块例如一 MB1501 合成器块之间的通讯联系是单向的通信仅从 IC 到合成器。

关于实施例的 LCD 接口，一串行接口用作在芯片上微控制器的一 NEC  $\mu$ PD7225LCD 控制器 IC 之类的集成块之间的通信。它也是一单向接口，即通信联系仅从 IC 到 LCD 控制器。

具体结构的 EEPROM 接口是双向的，且与支持 National、通用仪器及 Exel 接口的 8 位以及 16 位装置兼容。另外，还需支持能压时钟的下降边上输出数据的器件。这样，为了各种不同的装置兼容，该端口可通过编程在下降沿或上升沿接收数据。

关于具体结构的 PCM 测试端口，可以用软件建立两种专门模式，将串行端口转变成一 codec 或 ADPCM 代码转换机的测试端

口。在 codec 测试模式中,Data In 插脚变成 64kbps codec 接收输入,Data Out 插脚变成 64Kbps codec 发送输出,以及“时钟”插脚变成一选通的 512KHZ PCM 数据时钟输出(帧率为 8KHZ 的 8 周期脉冲串)。在 ADPCM 测试模中,Data In 插脚变成 64kbps ADPCM 发送输入(PCM 数据输入),Data Out 插脚变成 64kbps ADPCM 接收输出(PCM 数据输出),以及“时钟”插脚变成 512KHZ PCM 数据时钟输出(帧率为 8KHZ 的 8 位脉冲串)。64KHZ 数据时钟必须同步到 8KHZ 的帧率同步(sync)。

实际结构的 PCM 测试端口不使用串行 I/O 端口的发送缓冲器,接收缓冲器,或者时钟发生器。声频路径逻辑提供时钟和一串行发送的“位”流,并且以串行形式接收接收数据。换句话说,PCM 测试功能使用串行 I/O 端口插脚,但是,支持时钟发生、时钟同步、串行列并行以及并行转换的逻辑则是在声频路径逻辑内处理的。

### 系统控制—键板扫描器

具体实施例的键板扫描器有支持达到 36 个键的键板的能力。该键板扫描器以两种模式工作:1)活动检测,以及 2)正常。

在活动检测模式中,不必要去确定哪一个键被压,仅要知道经有一个键被压。这就允许 IC 在用户压一键时从关闭模中唤醒。一旦 IC 处于关闭模式时如果检测到键板的活动,即有一输出产生送到时钟发生器模块 82。

在正常模式中,所有的键的身份被确定和报告。去掉按键时的跳动是用户软件的责任。当活动被检测,例如当一个键被关闭时,一中断被产生。通常,用户通过将键板中断屏蔽,设定一微控制器计时器(去跳动时间通常是 4 到 16 毫秒)以及从中断中返回等步骤来对中断响应。当上述计时器终止时,中断产生。这就引起用户去读出一键板状态寄存器,在此时,它包含所压的键的稳定身份。该状态包括一“无一键按下”码(000000),“多个键按下”码

(0XXXXXX1), 以及对每一个键的代码(ORRRCCCO); 其中,R=行码,C=列码, 以及 X=任意值。

图 15 表示一键板扫描器的方框图。该模块包括扫描器单元 250 以及键板状态寄存器 252。

扫描器 250 包含阵和列输入插脚以及比较器, 以及一检测没有键按下、多个键按下以及任一键按下的状态的逻辑块 254。

状态逻辑将来自扫描器的输入格式化, 并且发送该状态给用户。更具体地, 键板状态逻辑包括下列:

输入: • 6 行比较器输出

• 6 列比较器输出

• 没有键按下输出

• 多个键按下输出

• 微控制器读出选通脉冲

• 微控制器数据总线

• 来自地址译码器模块寄存器选择脉冲

输出 • 当寄存器由地址译码器模块存取时

它驱动内部数据总线

• 不管寄存器的值什么时候改变

一中断请求总会产生, 该中断请求连到中断控制器。

译码器 • 该 6 行和 6 列信号被编码成两个三位字(八进制到二进制编码)。这与没有键按下以及多个键按下指示合成去构成一七位字, 寄存器的位 7 总是零。

#### 系统控制—实时时钟

一实时时钟设置在实施例的 IC 中。该时钟 74(见图 3a)在 IC 有电时从正常的 IC 电源工作, 而在 IC 无电时从备用电源供电工作。32.768KHZ 的晶体与实时时钟相连。另外, 提供一 1K 位的 RAM 方块。该“块”内 RAM 除了它从实时时钟的“BATTIN”插脚取得电

源之外，实际上独立于实时时钟。

图 16 表示具体结构的实时时钟模块 74 的方框图。

#### 系统控制—电池电平检测器

具体结构的 IC 包括一在 2.7 到 5.5 伏特范围提供供电电源(例如，电池)的数字表示值的机构。

从功能上讲，电池电压监视电路将 Vcc 插脚上的电压与一内阈值电压相比较。如果 Vcc 在阈值之上，则比较器输出高电平。如果 Vcc 在阈值之下，比较器输出低电平。在本发明的具体实施例中，内阈值电压通过一 4 位码从 2.7V 到 5.24V 来编程，精确度±5%。

图 17 是具体结构的电池电平检测器输出的方框图。

#### CT2

根据本发明的技术设置的 IC 的 CT2 部分包括下列步骤：FIFUS90，一 B/D 通道端口(见图 3b)，一发送调制解调器 100，一 RSSIA/D 转换器 92，以及一逻辑模块 96。

在本发明的具体实施例中，两个单向 FIFUS260,262 设置在 ADPCM 块 84, B 通道 I/O264 264 和帧格式器(Formattor)96 之间，其中一个是在发送方向，另一个是在接受方向 262(见图 10)，这些 FIFUS 在 72kbps 的无线电脉冲串传送率和不变的 32kbpsADPCM, B 通道传送率之间进行弹性储存。FIFUS 从帧格式器(Formator)96 来看是串行的，而从 ADPCM 块 84 来看为 4 值宽，这是由于 ADPCM 工作在本字节上。

具体结构的 FIFO 模块 90 根据来自逻辑模块 96 的(具体地是一个 PLL1152)的 1.152MHZ 时钟或者来自时钟发生器模块 82 的固定的 1.152MHZ 时钟建立 512KHZ, 32KHZ, 以及 8KHZ 时钟。

具体结构的 B/D 通道 I/O 端口模块 264 提供 6 个 I/O 插脚，它们被多路调制后提供下面四个分开的功能：一 B 通道 I/O 端口，包括密码变换；一 D 通道 I/O 端口；一单个发送(Tx 调制器 I/O)；

以及 6 个通用的输出端口。

发送调制器 100 接收来自 CT2 逻辑模块 96 的串行数据。并且将它转变成一对正交的单终点(single-ended)模拟输出信号在本发明的具体实施例中产生的输出在外部与中断(IF)载波混合。并一起得到所需的频率调制信号。

图 19 表示调制器 100 的方框图。模块 100 的核心为一加锁 ROM270, 它由一依赖于与数据的状态机地址发生器 272 来寻址, 后随系列同步锁定器 274。由缓冲器跟随的两个相同的 6 位十符号 DAC 驱动模拟输出。

正如在相关的多个申请中所详细描述, 在本发明的实施例中提供一测试模式, 以简化频谱测量。

接收信号强度表示(RSSI)模块 92 提供一射频(RF)接收信号电平的数字表示值, 从功能上讲, RSSIA/D 转换器的电流-电压变换、输入范围、以及微处理器存取是值得提的。关于电流-电压转换, 一外部 FSK 解调器产生一电流与接收的信号强度成比例的模拟信号, 该输出电流在一外部电阻中中止以将它变成电压, 关于输入范围, A/D 转换器的输入范围主要是由输入比较器的共模电压波动来确定的, 最后, 关于微处理器存取, 为了进行 A/D 转换, 必须被启动工作(例如, 通过时钟发生器模块的模块启动控制寄存器中的一位), 并且请求转换。请求可能软件做出。

下面一般地讨论模块 96, 它设有一帧控制器, 其中包括一接收时恢复, 一帧计时发生器, 一 sync 通道处理器, 一 B 通道处理器, 一 D 通道处理器以及一调制解调器计时调节装置。

图 20 是帧控制器的方框图, 它包括一接收计时恢复、帧计时发生器、sync 通道处理器、B 通道处理器、D 通道处理器。

关于接收计时恢复功能块, 它产生来自接收数据(Rx 数据)的位同步计时信号并送到各种功能块。

SYN 通道处理接收来自接收时钟发生器 DPLC 的脉冲信号串和 PLLed 的时钟，并向帧计时发生器和 CPU 送出接收的 sync 信息。它也接收来自帧计时发生器的发送计时，脉冲传送来自 B 通道处理器和 D 通道处理器的数据，并且它产生一脉冲串发送信号。

当系统正在接收一信号时，帧计时发生器接收从 syn 通道处理器接收到的同步信息，并且提所有需要那些信息的接收和发送计时脉冲以通道处理器，D 通道处理器，发送部分的 SYN 通道处理器调制解调器计时调节装置以及任何其它的块。

在调制解调器和其 RF 部分发送和接收一来自调制解调器的参改信号时，用来测量它们的延迟。

根据上面所述，本领域的技术人员现在可完全明白本发明所作的改进。他们也应该明白：所述 IC 和无绳电话的价值和优点。实际上在这里所做的每一点上，更详细的讨论可在上述列出的相关申请中找到。尽管这些细节对技术人员去实施本发明或去理解它的最佳实施方式是不必要的。但是这些细节对他们是有用的，他们可能希望参考它们。

很明显，根据本发明的思路作各种调整 and 变化是可能的。因此，在所附权利要求书的范围内，本发明可用不同于以上具体描述的实施例来实现。

# 说 明 书 附 图

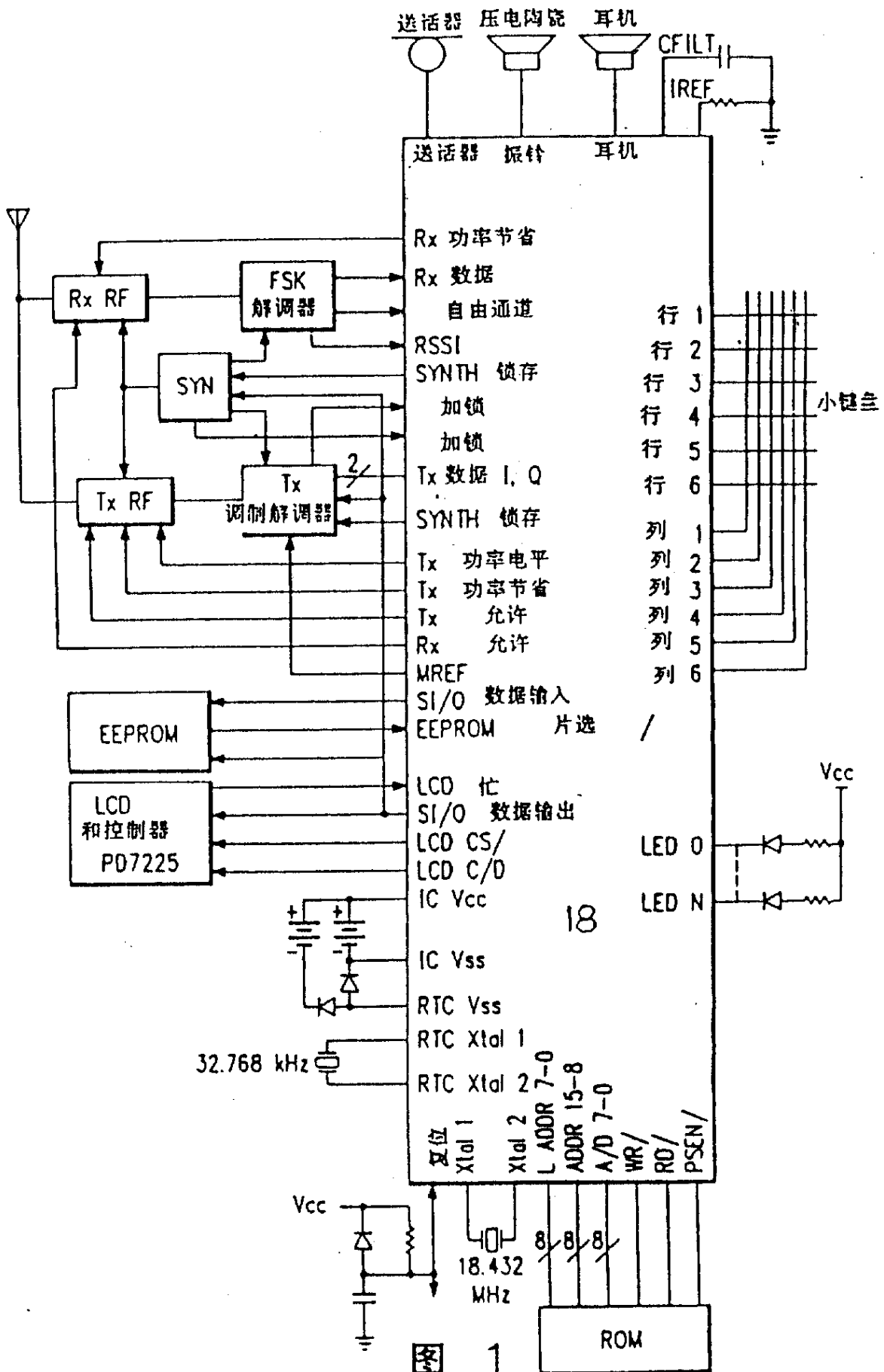


图 1

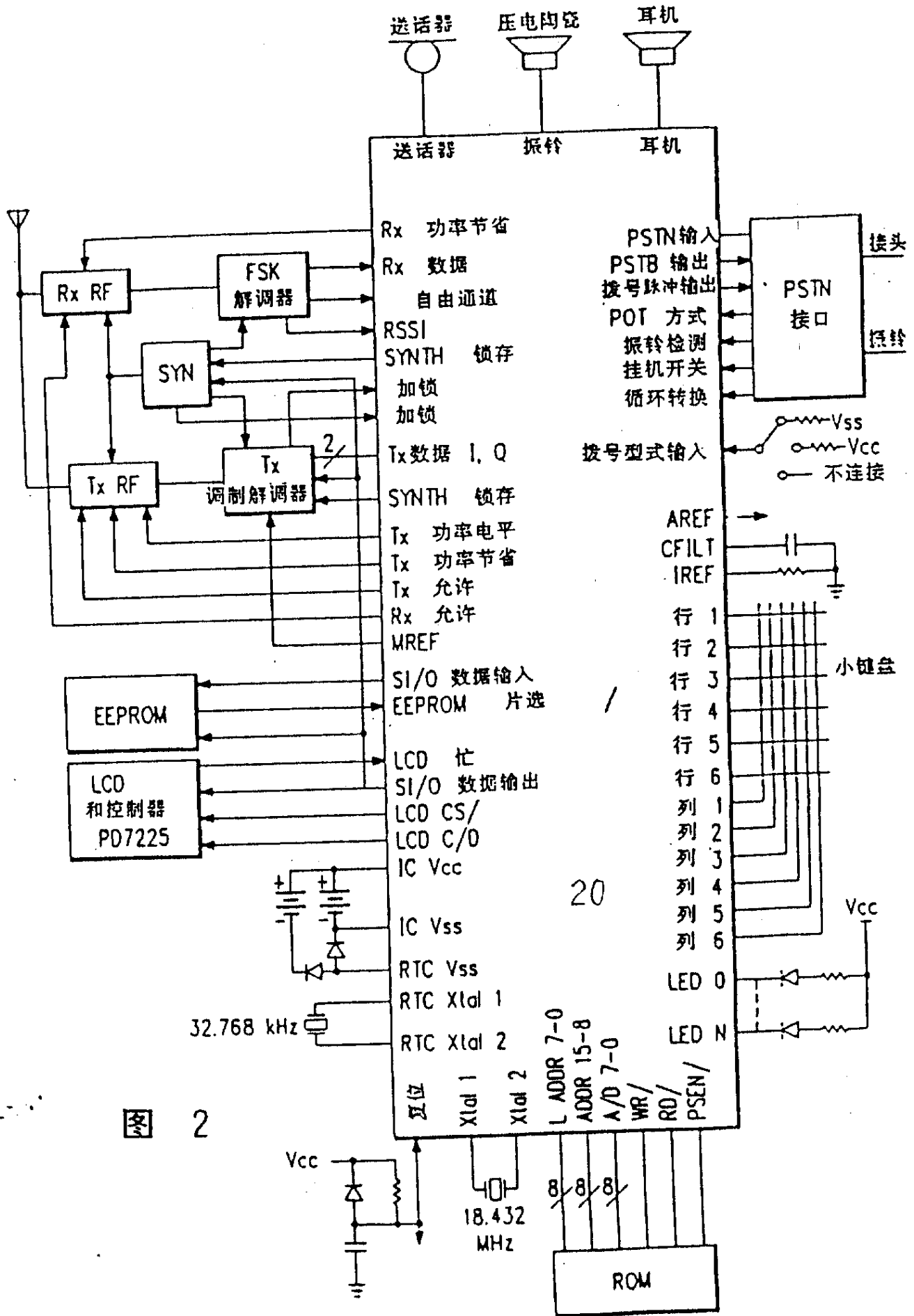
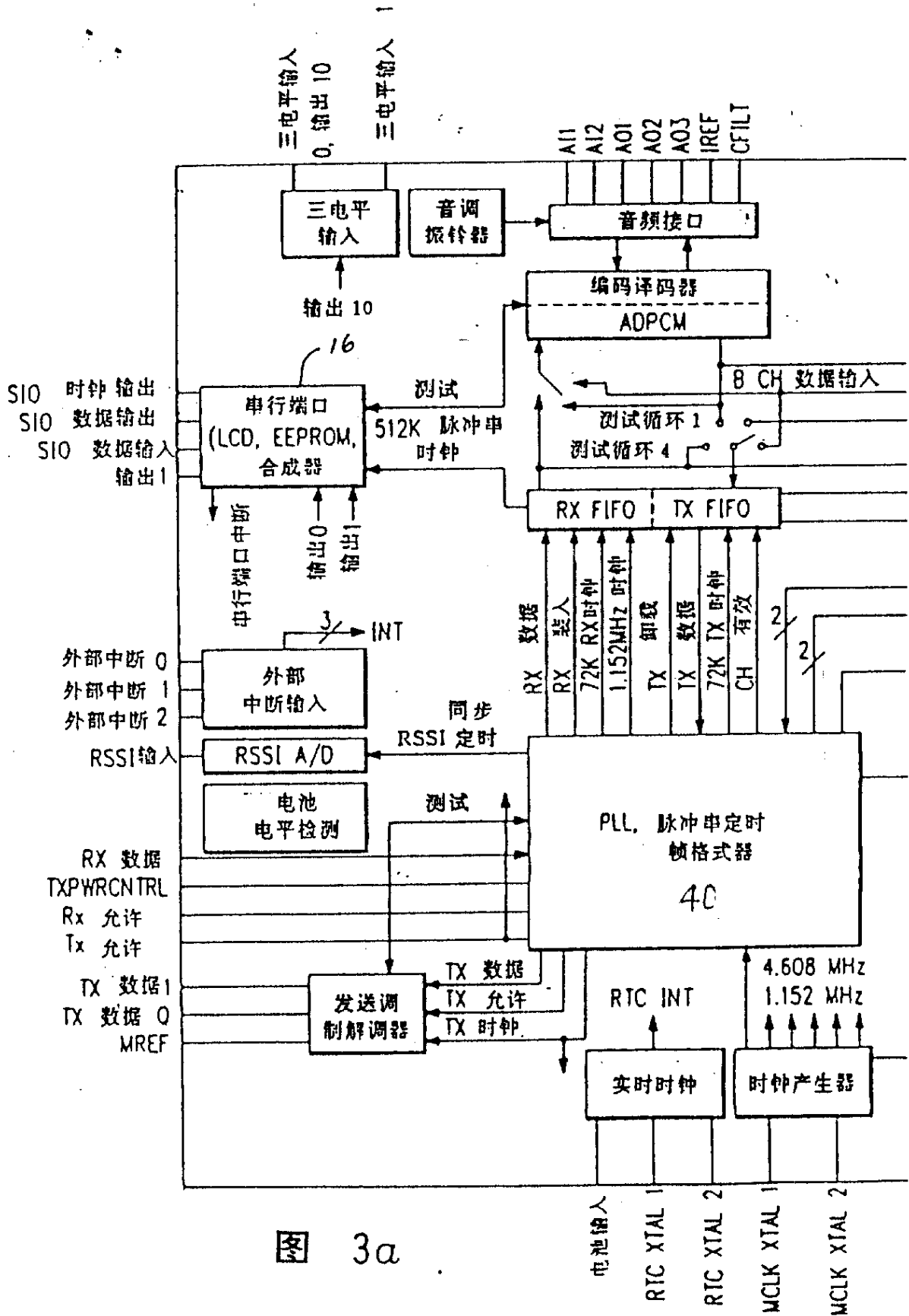


图 2



到图 3b

图 3a

来自图2a

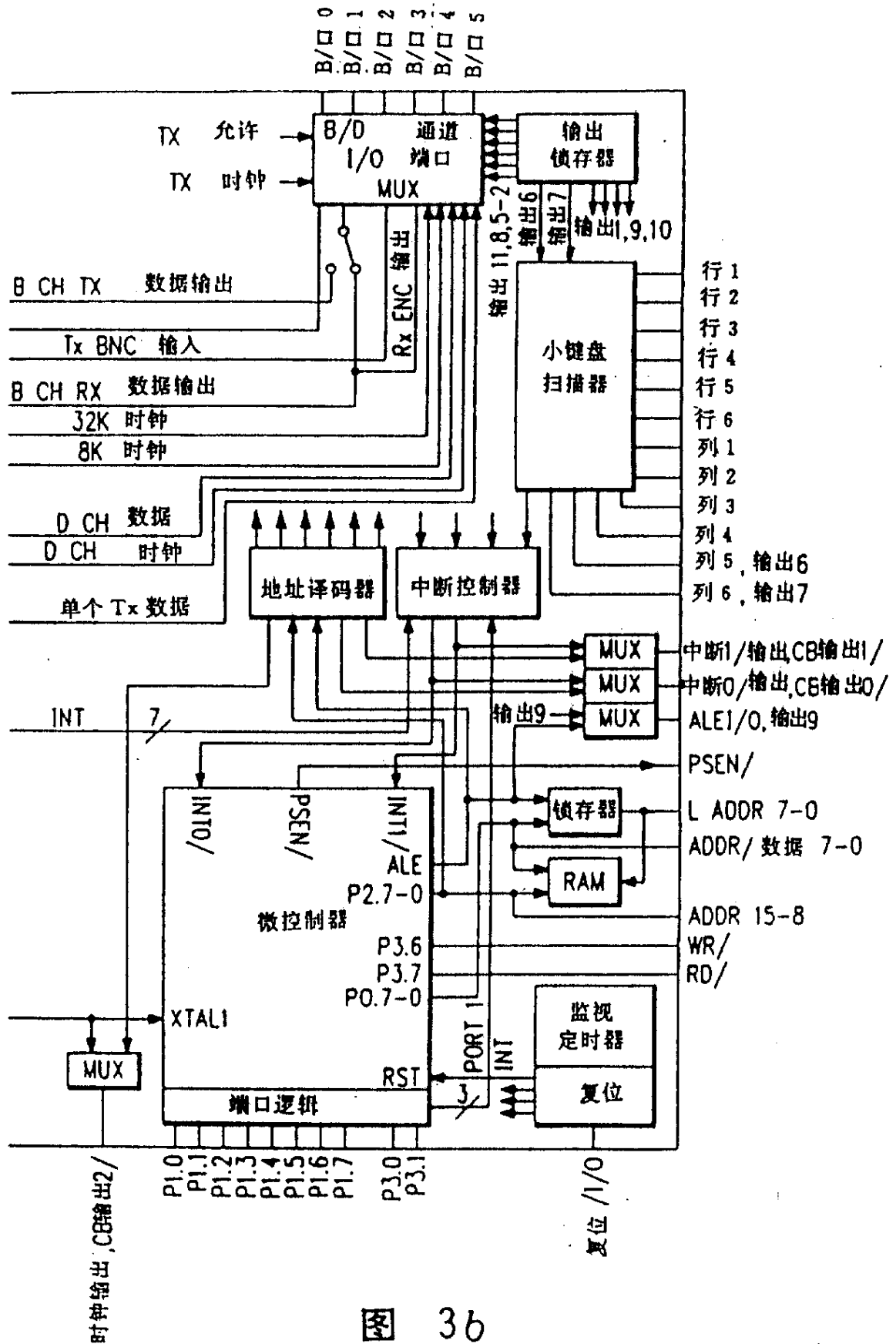


图 3b

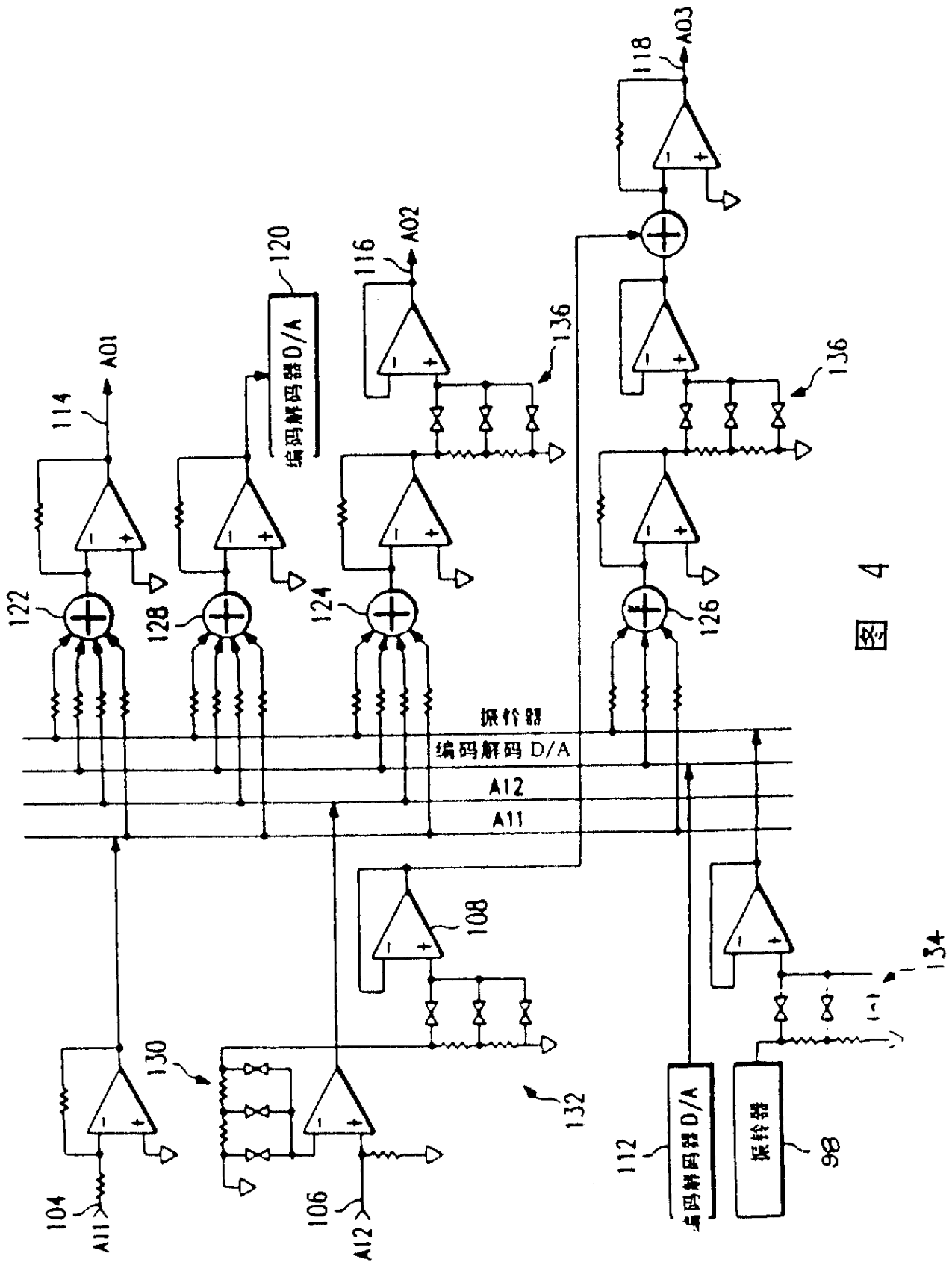


图 4

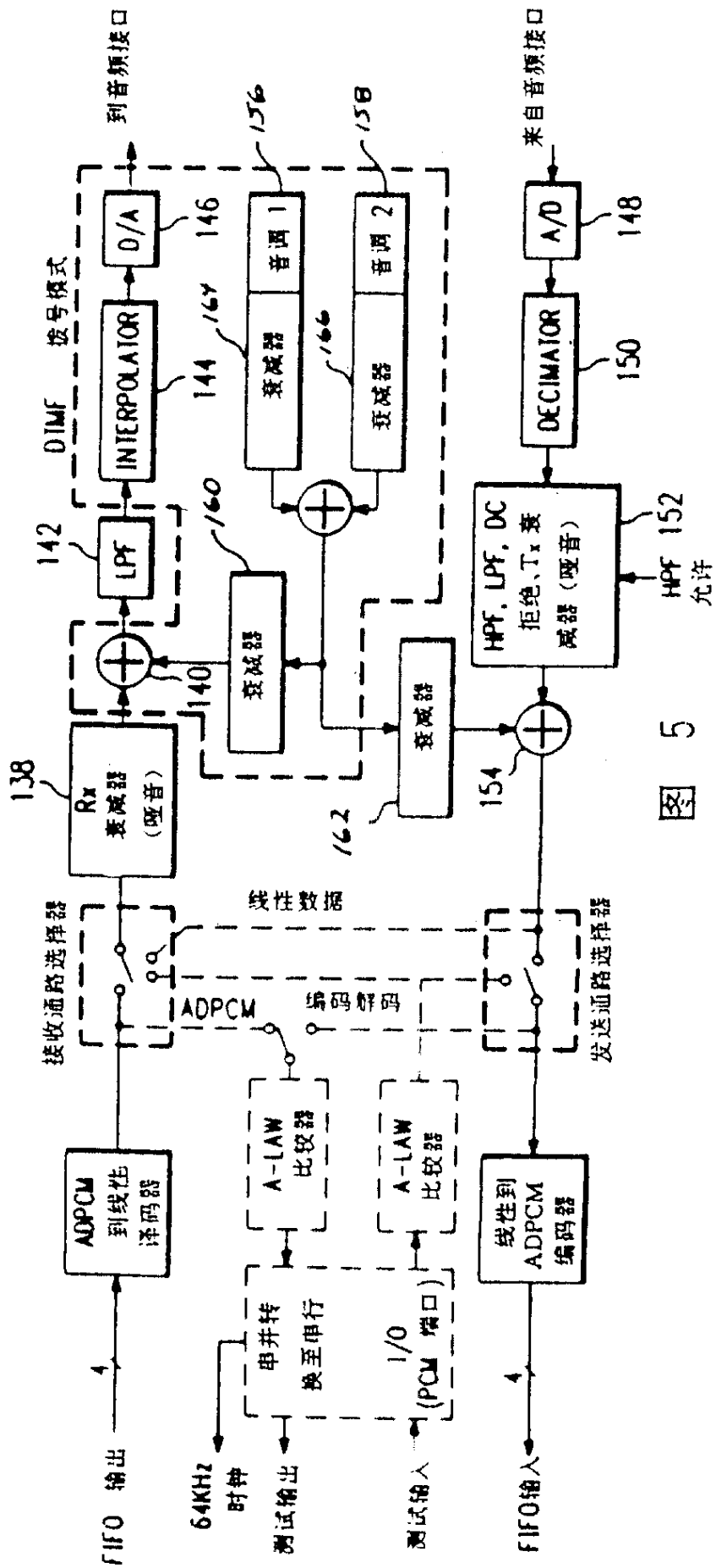


图 5

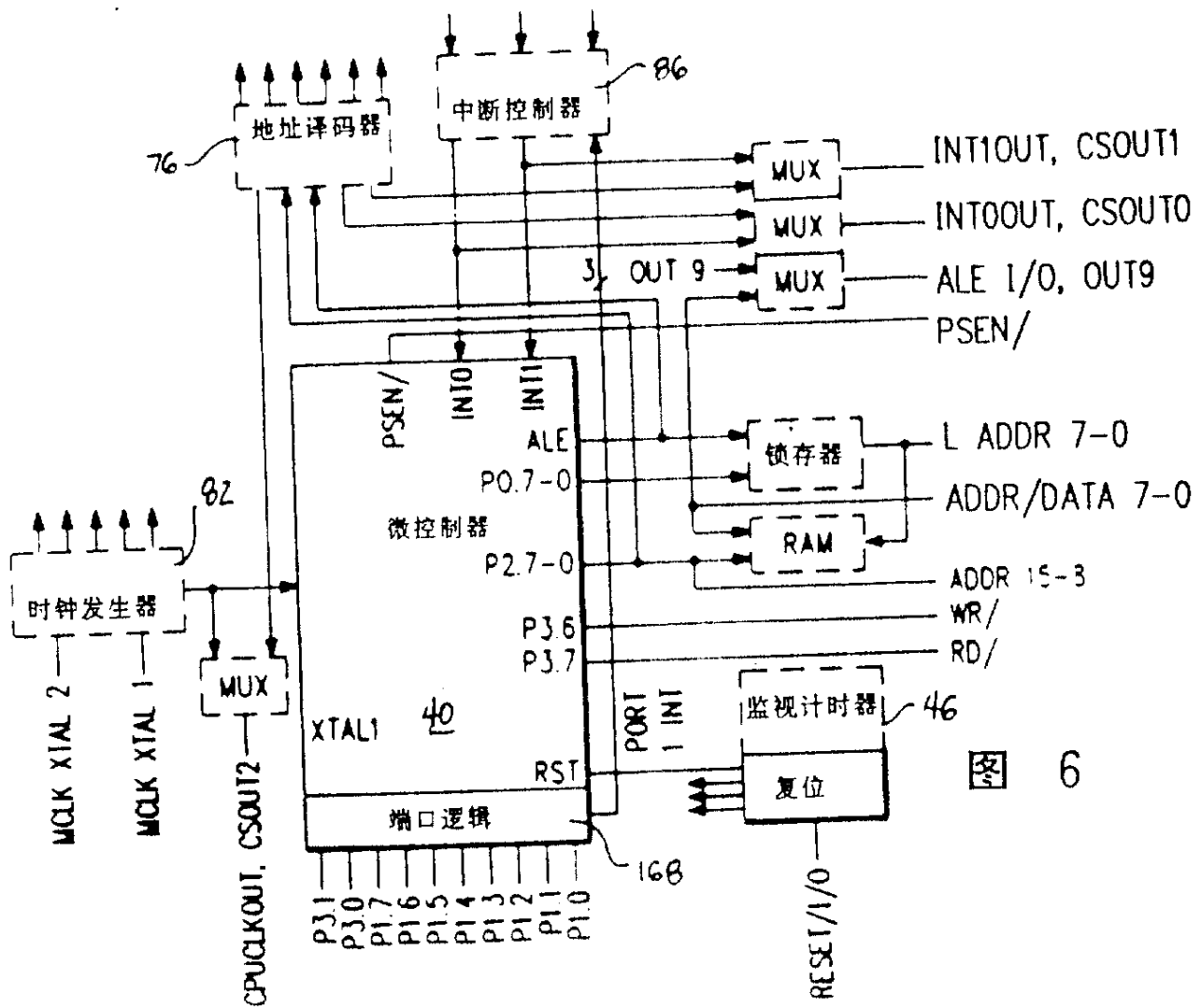


图 6

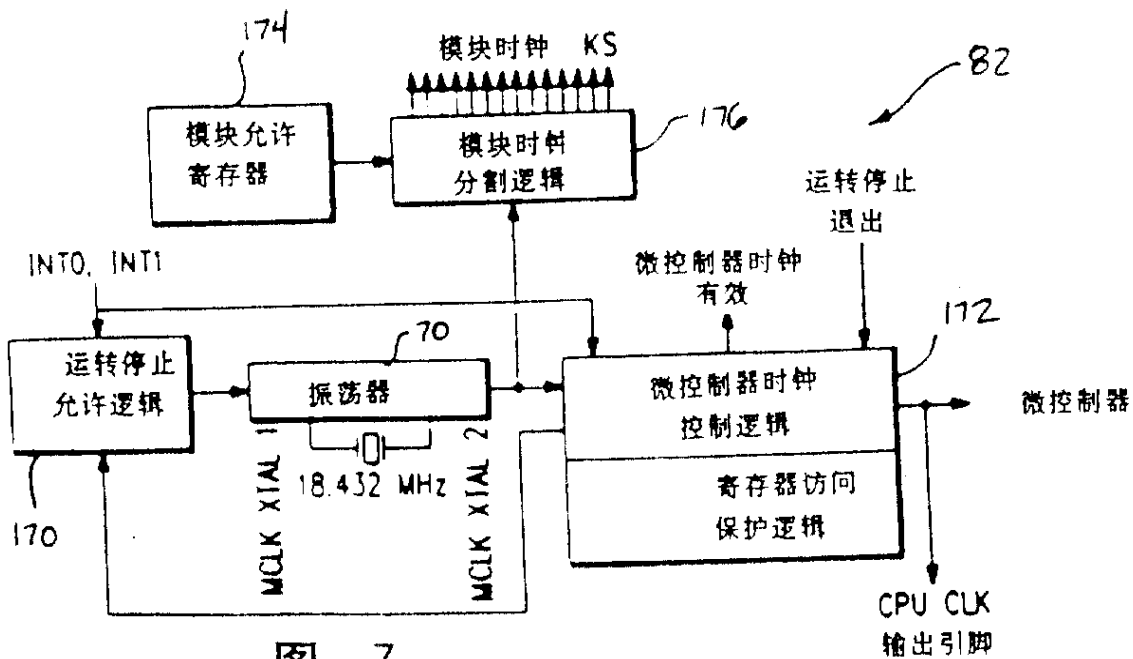


图 7

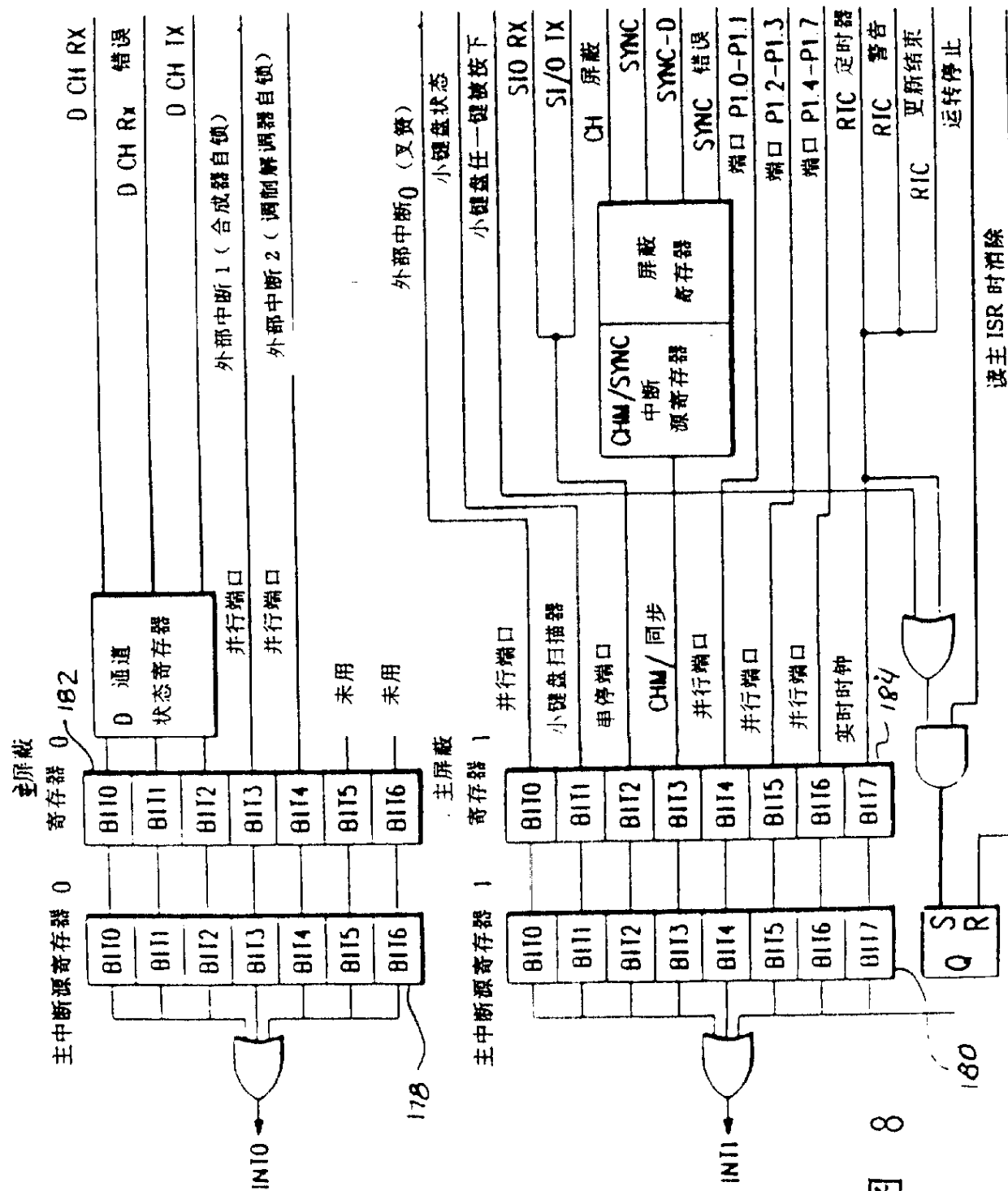


图 8

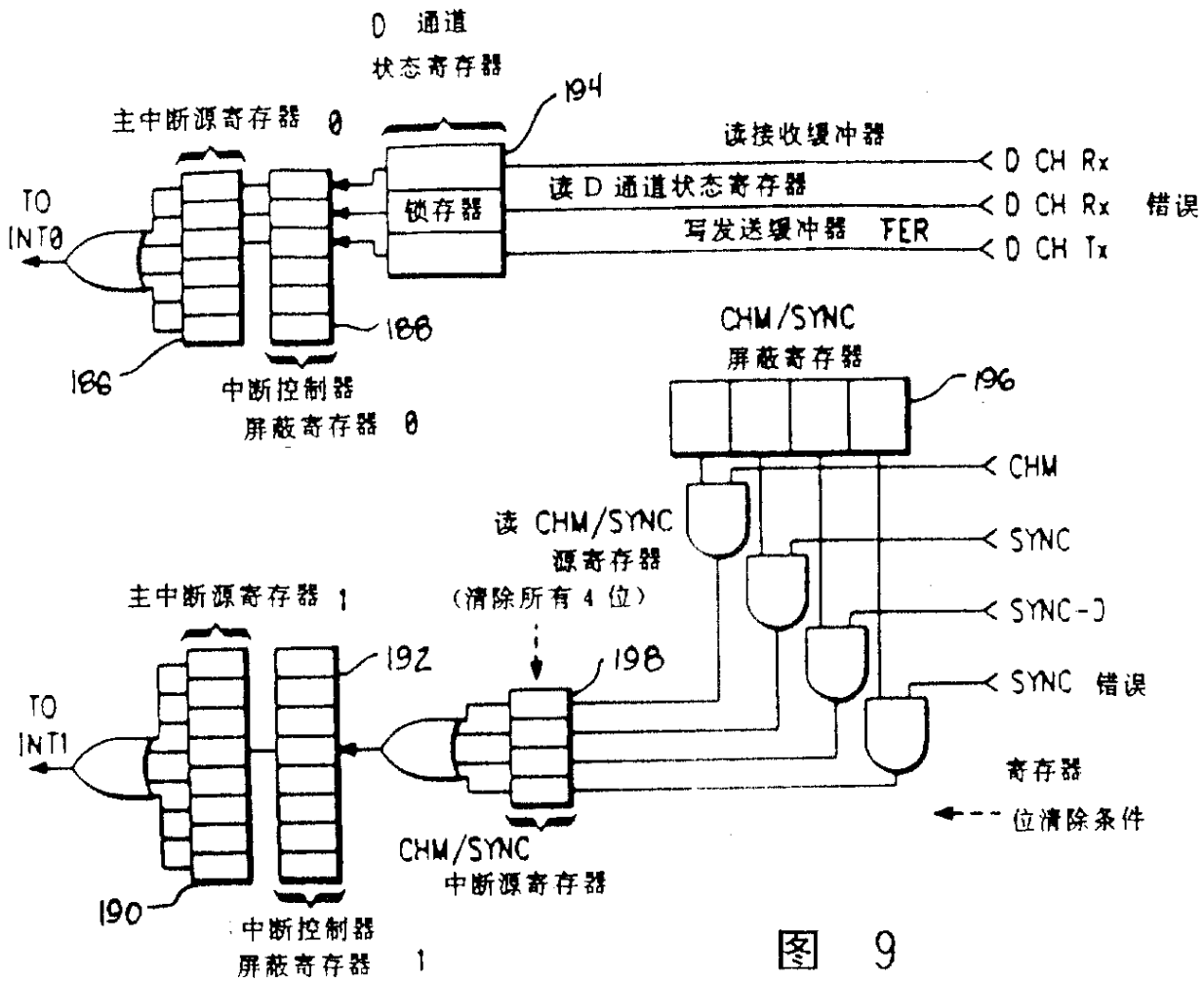


图 9

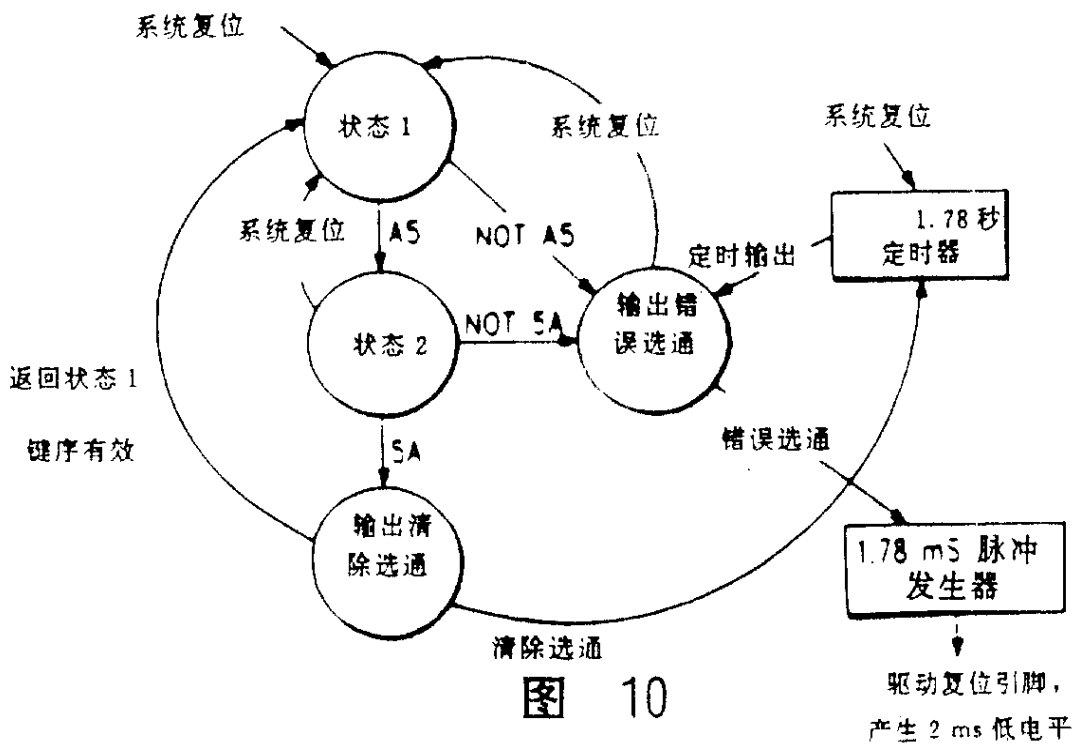


图 10

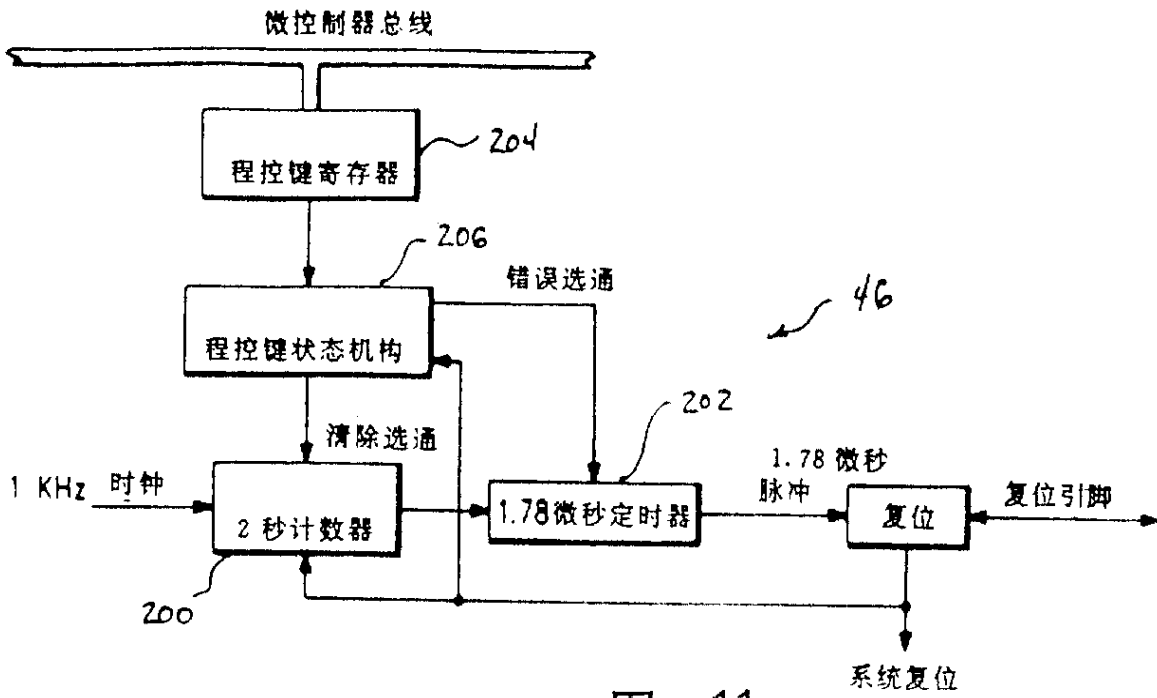


图 11

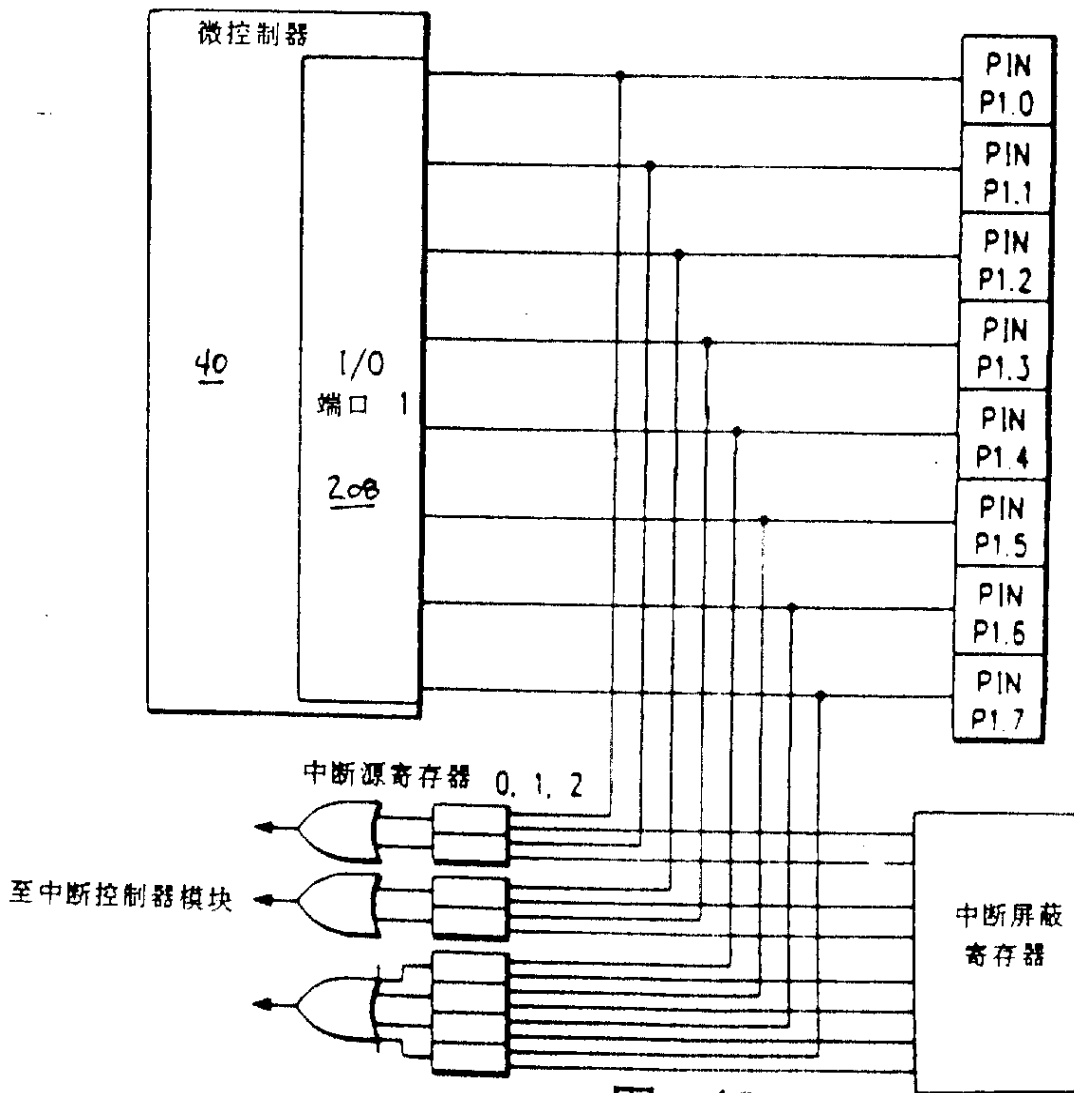


图 12

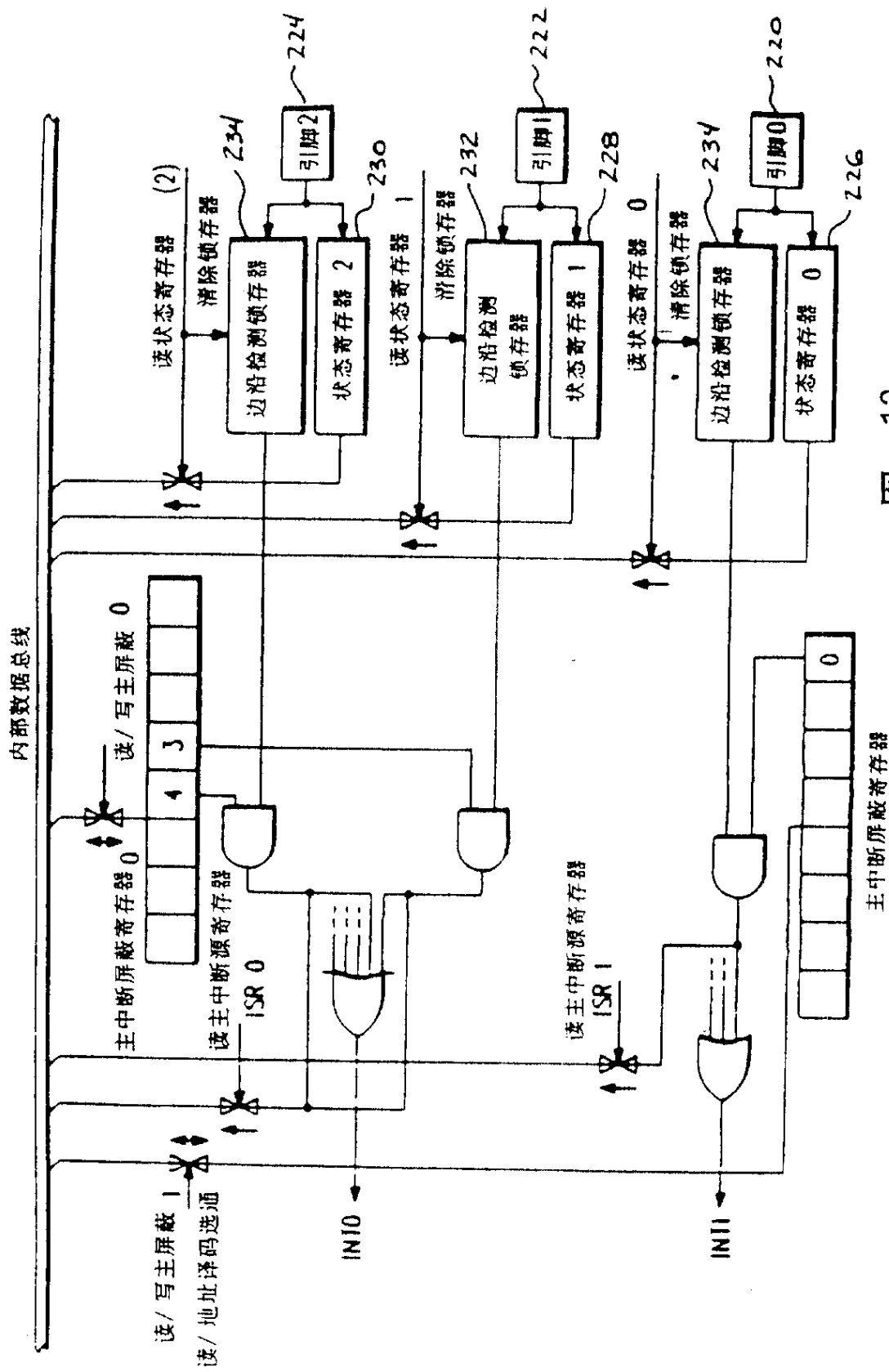


图 13

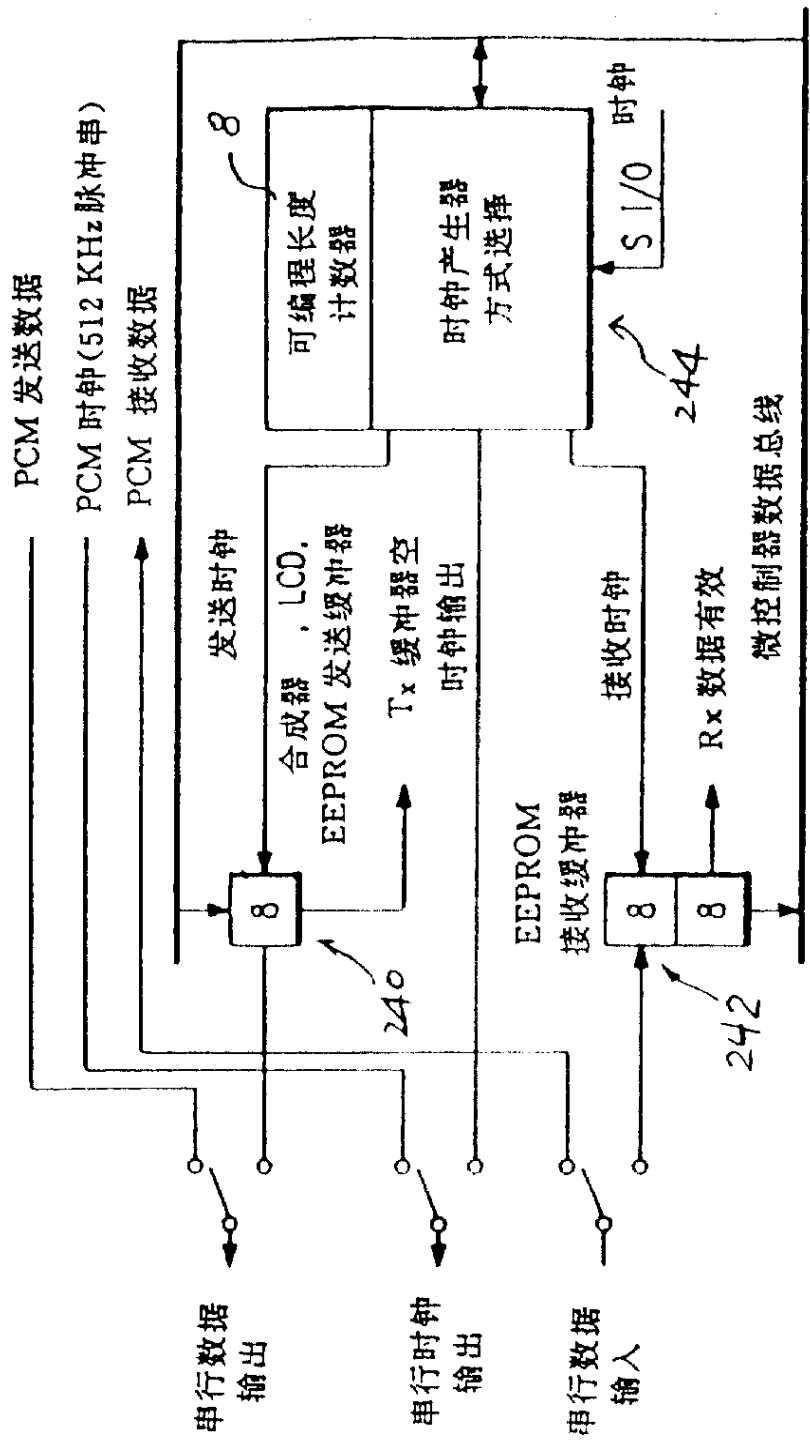


图 14

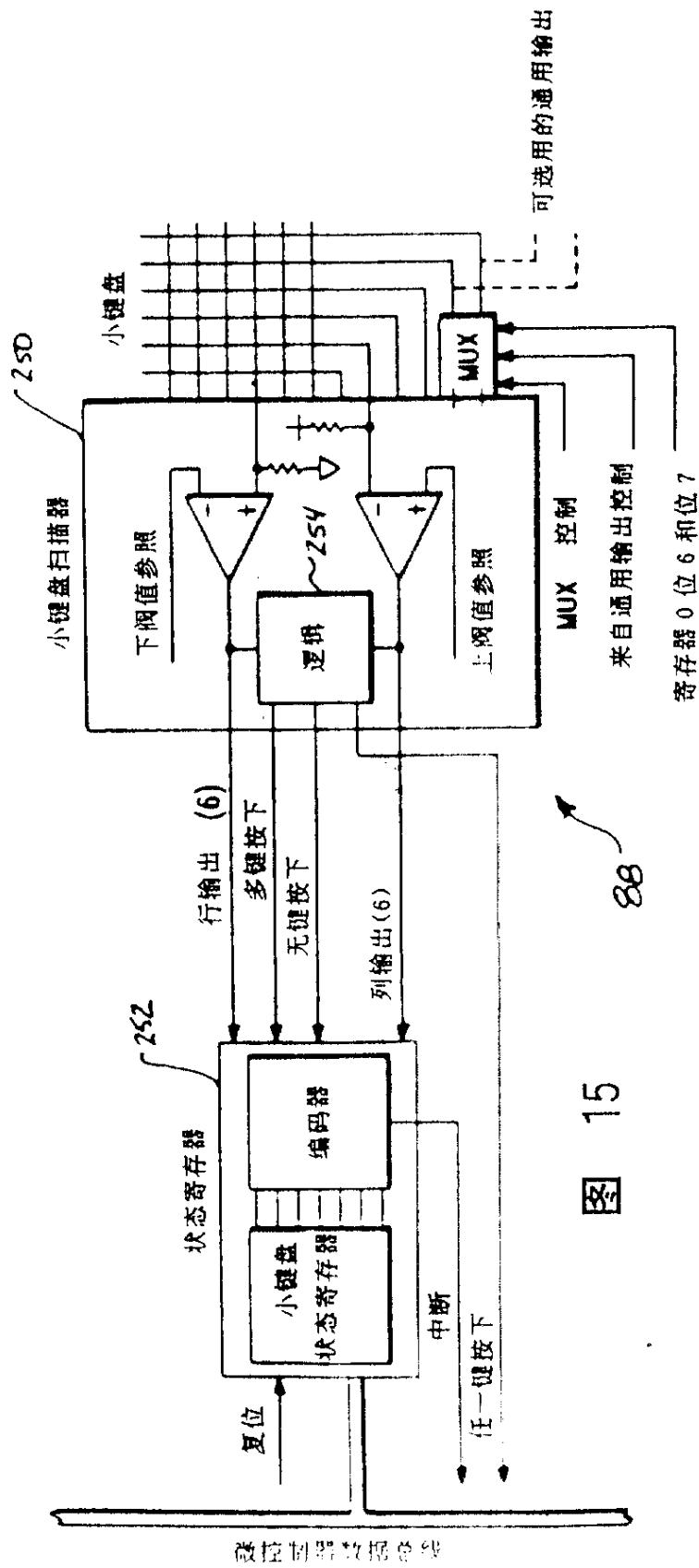


图 15

88

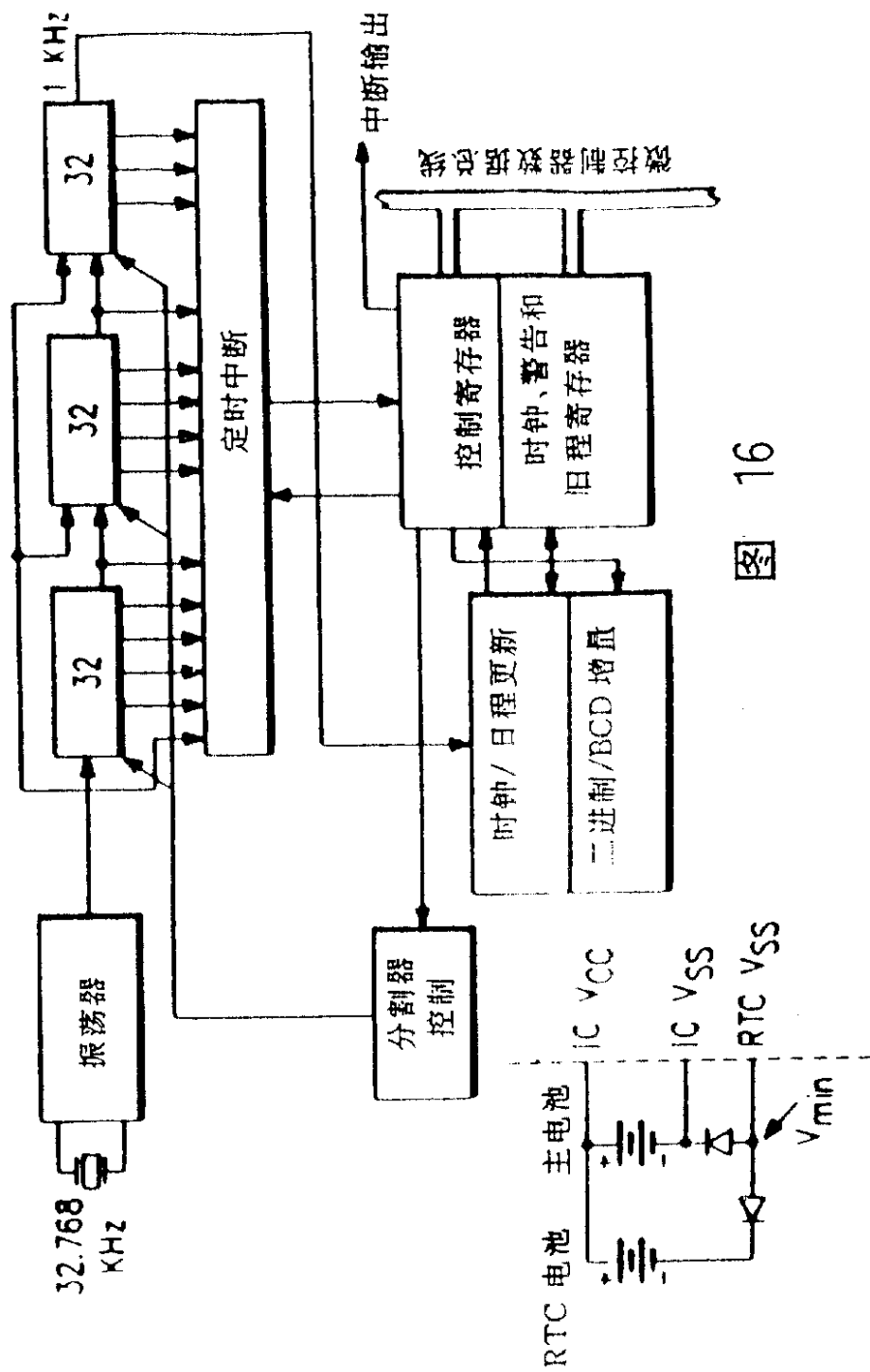


图 16

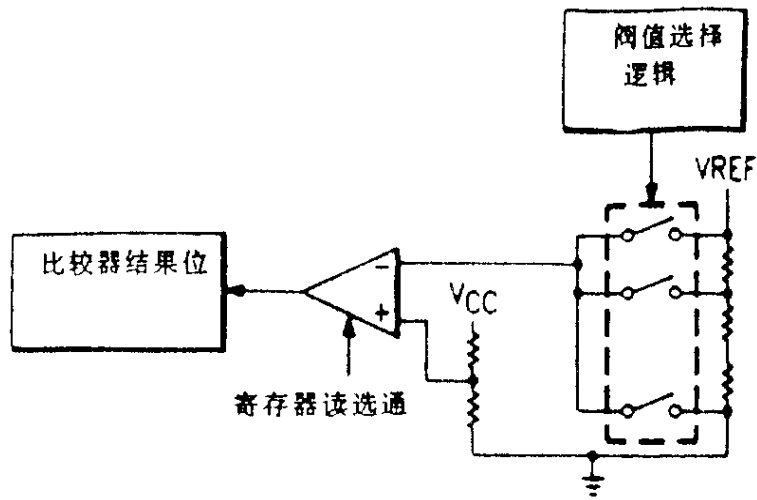


图 17

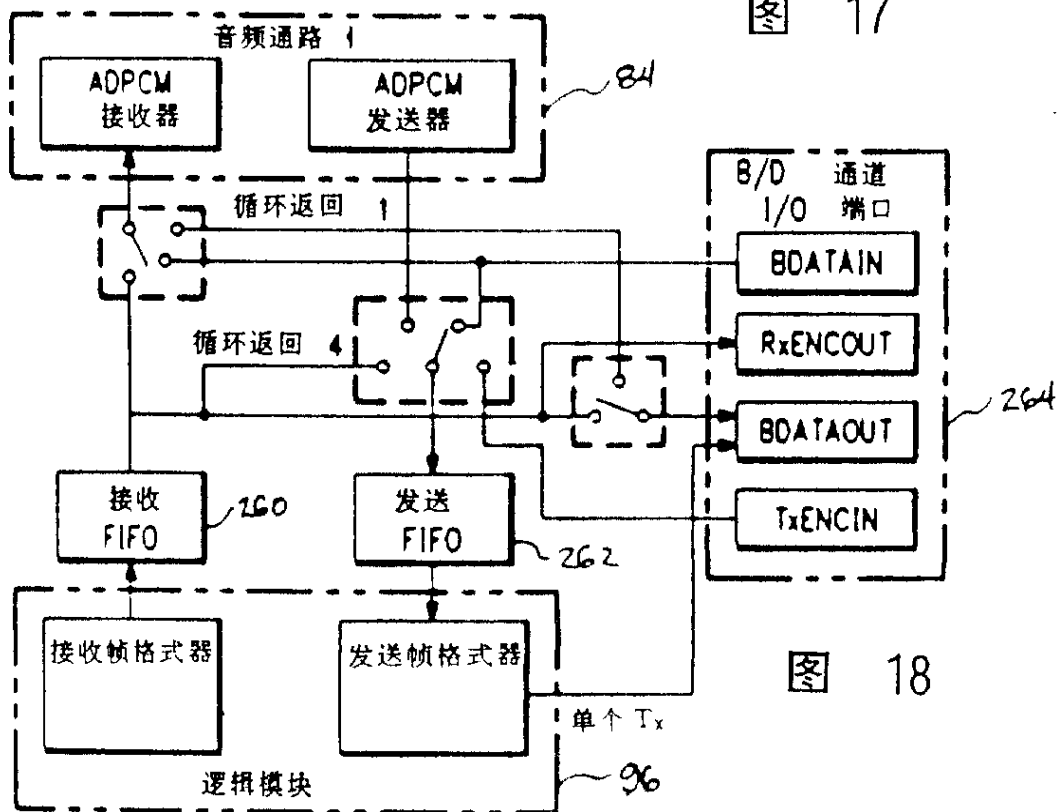


图 18

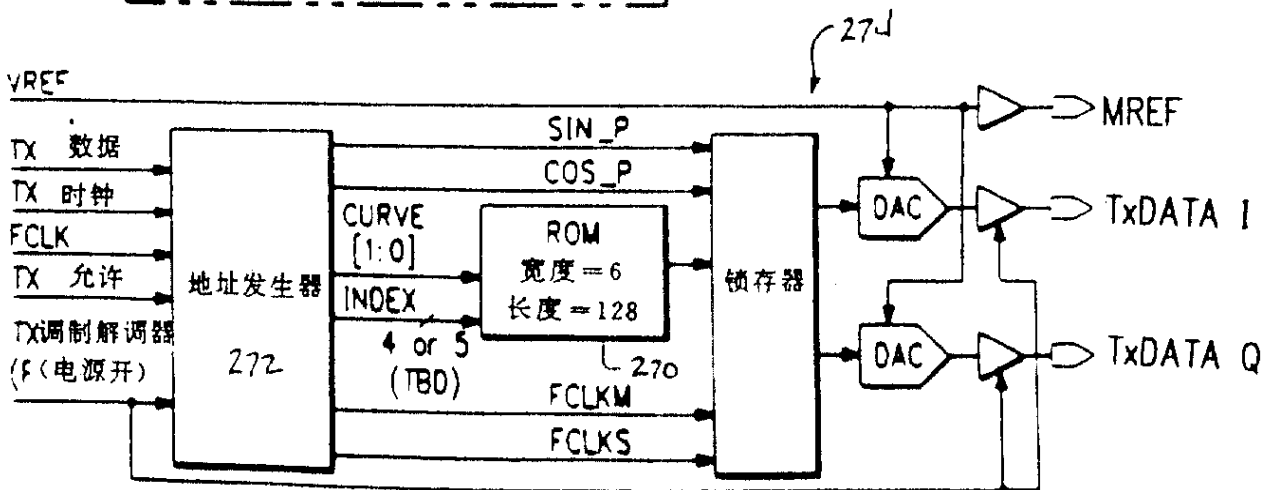


图 19

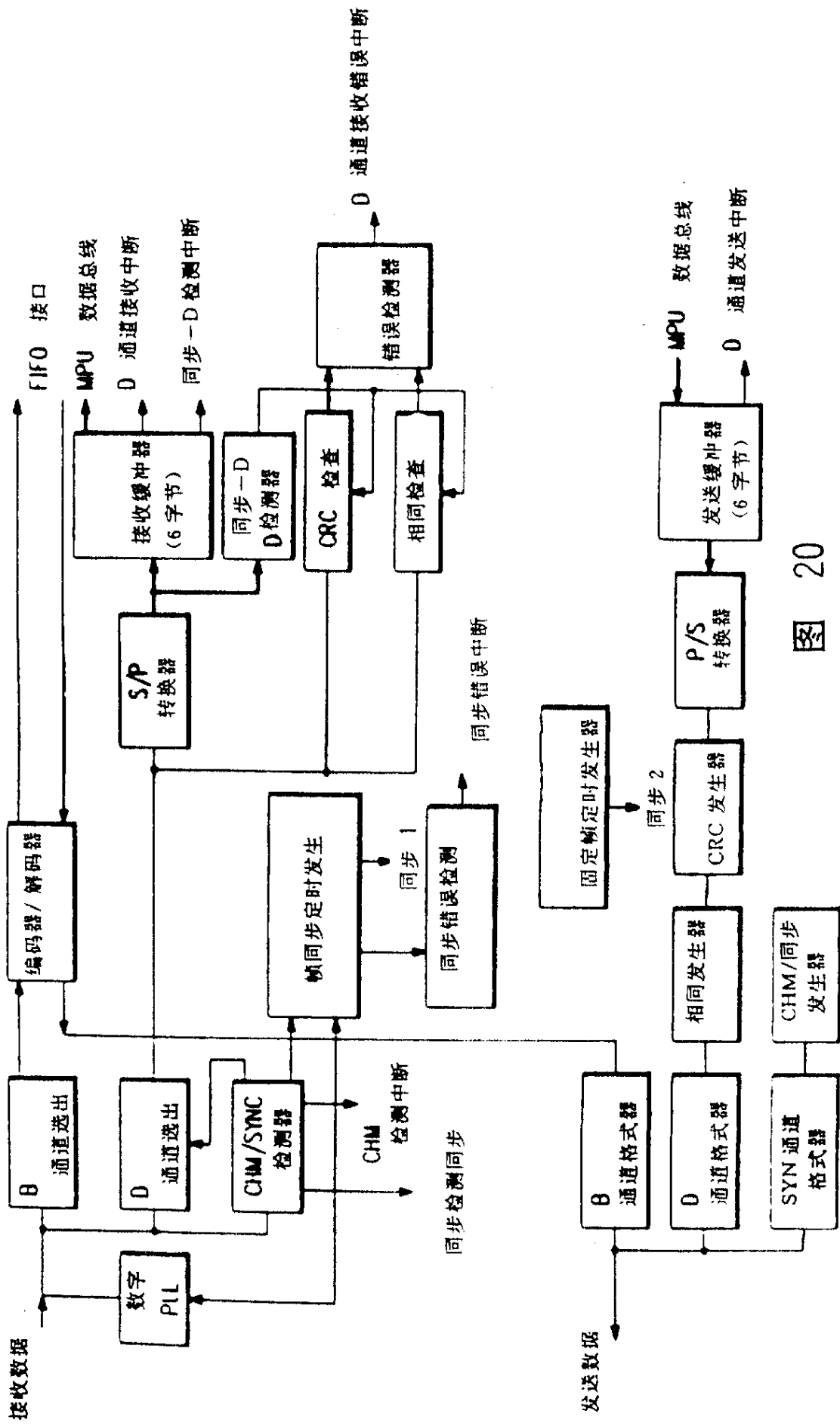


图 20