

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-109353

(P2010-109353A)

(43) 公開日 平成22年5月13日 (2010.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/02 (2006.01)	H O 1 L 27/12 B	5 F 1 1 O
H O 1 L 27/12 (2006.01)	H O 1 L 21/265 Q	5 F 1 5 2
H O 1 L 21/265 (2006.01)	H O 1 L 21/322 X	
H O 1 L 21/322 (2006.01)	H O 1 L 21/322 Q	
H O 1 L 21/20 (2006.01)	H O 1 L 27/12 R	
審査請求 未請求 請求項の数 15 O L (全 43 頁) 最終頁に続く		

(21) 出願番号 特願2009-228249 (P2009-228249)
 (22) 出願日 平成21年9月30日 (2009. 9. 30)
 (31) 優先権主張番号 特願2008-257032 (P2008-257032)
 (32) 優先日 平成20年10月2日 (2008. 10. 2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 下村 明久
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 徳永 肇
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 S O I 基板の作製方法

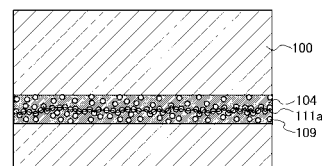
(57) 【要約】

【課題】ガラス基板のような耐熱性の低い基板をベース基板として使用した場合にも、実用に耐えうる S O I 基板の作製方法を提供する。

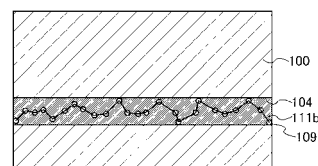
【解決手段】 S O I 基板の作製において、ボンド基板中に脆化層を形成する際の水素イオンドーズ量を、ボンド基板の分離下限となる水素イオンドーズ量より増加して脆化層を形成し、ベース基板に貼り合わせたボンド基板を分離して、ベース基板上に単結晶半導体膜が形成された S O I 基板を形成し、該単結晶半導体膜の表面にレーザ光を照射して作製する。

【選択図】 図 8

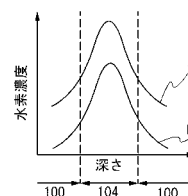
(A)



(B)



(C)



【特許請求の範囲】

【請求項 1】

ボンド基板上に絶縁膜を形成し、
前記絶縁膜を介して前記ボンド基板に水素イオンの照射を行うことにより、前記ボンド基板中に脆化層を形成し、
前記ボンド基板を、前記絶縁膜を介してベース基板と貼り合わせ、
熱処理によって前記ボンド基板を前記脆化層において分離し、
前記ベース基板上に前記絶縁膜を介して半導体膜を形成し、
前記半導体膜にレーザ光を照射し、
前記水素イオンの照射における水素イオンドーズ量は、前記熱処理により前記ボンド基板が分離する最小量となる水素イオンドーズ量の 2 . 2 倍以上とすることを特徴とする S O I 基板の作製方法。 10

【請求項 2】

請求項 1 において、
前記水素イオンの照射における水素イオンドーズ量は、前記熱処理により前記ボンド基板が分離する最小量となる水素イオンドーズ量の 2 . 2 倍以上 3 . 0 倍以下とすることを特徴とする S O I 基板の作製方法。

【請求項 3】

ボンド基板上に絶縁膜を形成し、
前記絶縁膜を介して前記ボンド基板に水素イオンの照射を行うことにより、前記ボンド基板中に脆化層を形成し、
前記ボンド基板を、前記絶縁膜を介してベース基板と貼り合わせ、
前記ボンド基板を前記脆化層において分離し、
前記ベース基板上に前記絶縁膜を介して半導体膜を形成し、
前記半導体膜にレーザ光を照射し、
前記水素イオンの照射における水素イオンドーズ量は、 $2 . 2 \times 10^{16} \text{ ions / cm}^2$ 以上とすることを特徴とする S O I 基板の作製方法。 20

【請求項 4】

請求項 3 において、
前記水素イオンの照射における水素イオンドーズ量は、 $2 . 2 \times 10^{16} \text{ ions / cm}^2$ 以上 $3 . 0 \times 10^{16} \text{ ions / cm}^2$ 以下とすることを特徴とする S O I 基板の作製方法。 30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記レーザ光を照射する前に、前記半導体膜の表面に形成されている自然酸化膜を除去することを特徴とする S O I 基板の作製方法。

【請求項 6】

請求項 5 において、
前記自然酸化膜を、ドライエッチングを用いて除去することを特徴とする S O I 基板の作製方法。 40

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、
前記レーザ光の照射によって、前記半導体膜を部分溶融させることを特徴とする S O I 基板の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、
前記絶縁膜は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜若しくは窒化酸化シリコン膜から選ばれた単数の膜又は複数の膜の積層であることを特徴とする S O I 基板の作製方法。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一項において、
前記絶縁膜は、前記酸化シリコン膜であり、有機シランガスを用いた化学気相成長法により形成されたものであることを特徴とする S O I 基板の作製方法。

【請求項 1 0】

請求項 1 乃至請求項 7 のいずれか一項において、
前記絶縁膜は、前記酸化シリコン膜であり、前記ボンド基板を熱酸化して形成されたものであることを特徴とする S O I 基板の作製方法。

【請求項 1 1】

請求項 1 乃至請求項 1 0 のいずれか一項において、
前記ベース基板上に接して第 2 の絶縁膜を形成することを特徴とする S O I 基板の作製方法。

10

【請求項 1 2】

請求項 1 1 において、
前記第 2 の絶縁膜は、窒化シリコン膜又は窒化酸化シリコン膜であることを特徴とする S O I 基板の作製方法。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一項において、
前記ボンド基板は、単結晶シリコン基板であることを特徴とする S O I 基板の作製方法。

【請求項 1 4】

請求項 1 乃至請求項 1 3 のいずれか一項において、
前記ベース基板は、アルミノシリケートガラス、バリウムホウケイ酸ガラス、又はアルミノホウケイ酸ガラスであることを特徴とする S O I 基板の作製方法。

20

【請求項 1 5】

請求項 1 乃至請求項 1 4 のいずれか一項において、
イオンドーピング装置を用いて前記水素イオンの照射を行うことを特徴とする S O I 基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、絶縁膜を介して半導体層の設けられた基板、特に S O I (S i l i c o n o n I n s u l a t o r) 基板の作製方法に関する。

30

【背景技術】

【0 0 0 2】

近年、バルク状のシリコンウエハに代わり、絶縁表面に薄い単結晶半導体層が設けられた S O I (S i l i c o n o n I n s u l a t o r) 基板を使った集積回路が開発されている。絶縁膜上に形成された薄い単結晶シリコン膜の特長を活かすことで、集積回路中のトランジスタ同士を完全に分離して形成することができる。またトランジスタを完全空乏型とすることができるため、高集積、高速駆動、低消費電圧など付加価値の高い半導体集積回路を実現することができる。

【0 0 0 3】

S O I 基板を製造する方法の 1 つとして、スマートカット（登録商標）法が挙げられる。スマートカット法を用いることにより、シリコン基板上だけでなく、ガラス基板等の絶縁基板上に単結晶シリコン膜を有する S O I 基板も作製できる（例えば、特許文献 1 参照）。スマートカット法を用いた、ガラス基板上に単結晶シリコン薄膜を有する S O I 基板の作製方法の概要は以下になる。まず、単結晶シリコン片表面に二酸化珪素膜を形成する。次に、単結晶シリコン片に水素イオンを注入することによって単結晶シリコン片中の所定の深さに水素イオン打ち込み面を形成する。それから、二酸化珪素膜を介して、水素イオンを注入した単結晶シリコン片をガラス基板に貼り合わせる。しかる後熱処理を施すことで、該水素イオン打ち込み面が劈開面となり、水素イオンを注入した単結晶シリコン片が薄膜状に分離し、貼り合わせたガラス基板上に単結晶シリコン薄膜を形成すること

40

50

ができる。このスマートカット法は水素イオン注入剥離法と呼ぶこともある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-87606号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

スマートカット法を用いて作製されたSOI基板上の単結晶シリコン層は、脆化層（水素イオン打ち込み面）形成のためのイオン注入や、熱処理による単結晶シリコン基板（ボン

10

ド基板）の分離によって、表面に結晶欠陥が存在し、平坦性も損なわれている。

【0006】

単結晶シリコン層の平坦性が低く、表面に凹凸が形成されていると、SOI基板を用いてTFTを作製する際に形成されるゲート絶縁膜の絶縁耐圧性が低くなってしまう。また、単結晶シリコン層内部に結晶欠陥が存在すると、半導体素子の電気特性に悪影響をもたらす。

【0007】

ベース基板としてシリコン基板などの高耐熱性を有する基板を用いている場合には、1000度以上の高温で加熱処理を行うことによって、単結晶シリコン層の結晶性回復及び平坦化を行うことができる。しかし、特許文献1のようにベース基板としてガラス基板などの耐熱性の低い基板を用いている場合、この方法では単結晶シリコン層の結晶性回復及び平坦化を行うことはできない。

20

【0008】

また、熱処理以外の単結晶シリコン層の結晶性回復及び平坦化の方法の例としては、単結晶シリコン層へのレーザ光照射が挙げられる。レーザ光を単結晶シリコン層に照射することにより、ガラス基板を直接加熱することなく、単結晶シリコン層を溶融し、結晶性回復及び平坦化を図ることができる。しかし一方で、単結晶シリコン層にレーザ光を照射することによって、単結晶シリコン層に直径1μm～10μm程度の欠損領域が多数発生するという問題もある。

【0009】

30

本発明の一態様は上記の問題を鑑み、ガラス基板のような耐熱性の低い基板をベース基板として使用した場合にも、実用に耐えうるSOI基板の作製方法を提供することを課題とする。また、本発明の一態様は該SOI基板を用いた高信頼性の半導体装置を作製することを課題とする。

【課題を解決するための手段】

【0010】

本発明の一態様に係るSOI基板は、ボンド基板中に脆化層を形成する際の水素イオンドーズ量を、ボンド基板の分離下限となる水素イオンドーズ量より増加して脆化層を形成し、ベース基板に貼り合わせたボンド基板を分離して、ベース基板上に単結晶半導体膜が形成されたSOI基板を形成し、該単結晶半導体膜の表面にレーザ光を照射して作製する。

40

【0011】

本発明の一態様に係るSOI基板の作製方法は、ボンド基板上に絶縁膜を形成し、絶縁膜を介してボンド基板に水素イオンの照射を行うことにより、ボンド基板中に脆化層を形成し、ボンド基板を、絶縁膜を介してベース基板と貼り合わせ、熱処理によってボンド基板を脆化層において分離し、ベース基板上に絶縁膜を介して半導体膜を形成し、半導体膜にレーザ光を照射し、水素イオンの照射における水素イオンドーズ量は、熱処理によりボンド基板が分離する最小量となる水素イオンドーズ量の2.2倍以上とすることを特徴とする。また、水素イオンの照射における水素イオンドーズ量は、熱処理によりボンド基板が分離する最小量となる水素イオンドーズ量の2.2倍以上3.0倍以下とすることが好ましい。

50

【0012】

本発明の一態様に係るSOI基板の作製方法は、ボンド基板上に絶縁膜を形成し、絶縁膜を介してボンド基板に水素イオンの照射を行うことにより、ボンド基板中に脆化層を形成し、ボンド基板を、絶縁膜を介してベース基板と貼り合わせ、熱処理によってボンド基板を脆化層において分離し、ベース基板上に絶縁膜を介して半導体膜を形成し、半導体膜にレーザ光を照射し、水素イオンの照射における水素イオンドーズ量は、 $2.2 \times 10^{16} \text{ ions/cm}^2$ 以上とすることを特徴とする。また、水素イオンの照射における水素イオンドーズ量は、 $2.2 \times 10^{16} \text{ ions/cm}^2$ 以上 $3.0 \times 10^{16} \text{ ions/cm}^2$ 以下とすることが好ましい。

【0013】

なお、レーザ光を照射する前に、半導体膜の表面に形成されている自然酸化膜を除去することが好ましく、ドライエッチングを用いて除去すればさらに好ましい。また、レーザ光の照射によって、半導体膜を部分溶融させることが好ましい。

【0014】

また、絶縁膜は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜若しくは窒化酸化シリコン膜から選ばれた単数の膜又は複数の積層膜であることが好ましい。また、酸化シリコン膜は、有機シランガスを用いた化学気相成長法又はボンド基板の熱酸化により形成されたものであることが好ましい。また、ベース基板上に接して第2の絶縁膜を形成することが好ましく、第2の絶縁膜は、窒化シリコン膜又は窒化酸化シリコン膜であればさらに好ましい。また、ボンド基板は、単結晶シリコン基板であることが好ましい。また、ベース基板は、アルミノシリケートガラス、バリウムホウケイ酸ガラス、又はアルミノホウケイ酸ガラスであることが好ましい。

【0015】

また、イオンドーピング装置を用いて水素イオンの照射を行うことが好ましい。

【0016】

本明細書において、「単結晶」とは、結晶面、結晶軸が揃っている結晶であり、それを構成している原子又は分子が空間的に規則正しい配列になっているものをいう。もっとも、単結晶は規則正しく配列することによって構成されるものであるが、一部にこの配列の乱れがある格子欠陥を含むもの、意図的又は非意図的に格子歪みを有するものも含まれる。

【0017】

本明細書において、脆化層とは、半導体基板へイオンビームを照射し、イオンにより結晶欠陥を有するように脆弱化された層である。この脆化層を、熱処理によって亀裂を生じさせるなどにより分離することで、半導体基板より半導体膜を分離することができる。

【発明の効果】

【0018】

本発明の一態様は、SOI基板上の単結晶半導体膜にレーザ光の照射を行うことで、ガラス基板上の単結晶半導体膜の結晶欠陥を改善し、且つ平坦性を向上することができる。さらに、レーザ光照射によって単結晶半導体膜に発生する欠損領域を、脆化層形成時の水素イオンドーズ量をボンド基板の分離下限となるドーズ量の2.2倍以上とすることで低減することができる。よって、結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜をガラス基板上に有するSOI基板を作製することができる。

【0019】

また、上記のようなSOI基板を用いることで、高性能且つ高信頼性の半導体装置を作製することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図2】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図3】本発明の一態様に係るSOI基板の作製方法の一例を示す図。

【図4】本発明の一態様に係る半導体装置の作製方法の一例を示す図。

10

20

30

40

50

【図 5】本発明の一態様に係る半導体装置の作製方法の一例を示す図。

【図 6】本発明の一態様に係る半導体装置の作製方法の一例を示す図。

【図 7】本発明の一態様に係る半導体装置の作製方法の一例を示す図。

【図 8】本発明の一態様に係るボンド基板及び脆化層の断面図。

【図 9】本発明の一態様に係る半導体装置の一例を示す図。

【図 10】本発明の一態様に係る半導体装置の一例を示す図。

【図 11】本発明の一態様に係る半導体装置を用いた表示装置の一例を示す図。

【図 12】本発明の一態様に係る半導体装置を用いた表示装置の一例を示す図。

【図 13】本発明の一態様に係る半導体装置を用いた電子機器を示す図。

【図 14】本発明の一態様に係る半導体装置を用いた電子機器を示す図。

10

【図 15】ドーズ量の変化に伴う単結晶シリコン膜の欠損領域を比較したグラフ。

【図 16】ドーズ量の変化に伴う単結晶シリコン膜の欠損領域を比較したグラフ。

【図 17】ドーズ量の変化に伴う単結晶シリコン膜のラマンシフトを比較したグラフ。

【図 18】ドーズ量の変化に伴う単結晶シリコン膜のラマンピークの半値全幅を比較したグラフ。

【発明を実施するための形態】

【0021】

以下、本発明の実施の形態について図面を参照しながら説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本実施の形態の記載内容に限定して解釈されるものではない。なお、本明細書中の図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その説明は省略する場合がある。

20

【0022】

(実施の形態 1)

本実施の形態に係る SOI 基板の作製方法では、ボンド基板である半導体基板から分離させた半導体膜をベース基板に貼り合わせて SOI 基板を作製する。以下、図 1 ~ 図 3 を参照して、本形態に係る SOI 基板の作製方法の一つについて説明する。

【0023】

まず図 1 (A) のような、ボンド基板 100 を準備する。ボンド基板 100 としては、市販の半導体基板を用いることができ、例えば、シリコン、ゲルマニウムなどの単結晶半導体基板または多結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板または多結晶半導体基板を、ボンド基板 100 として用いることができる。また、単結晶半導体基板は、CZ (Czochralski) 法や FZ (Floating Zone) 法を用いることで、作製することができる。

30

【0024】

市販のシリコン基板としては、直径 5 インチ (125 mm)、直径 6 インチ (150 mm)、直径 8 インチ (200 mm)、直径 12 インチ (300 mm)、直径 16 インチ (400 mm)、直径 18 インチ (450 mm) サイズの円形のものが代表的であるが、ボンド基板 100 の形状は円形に限られるものではない。矩形状または多角形状のボンド基板 100 を用いてもよい。なお、本明細書中で矩形状とは、正方形及び長方形を含むものとする。以下の説明では、ボンド基板 100 として、単結晶シリコン基板を用いる場合について示す。

40

【0025】

次に図 1 (B) に示すように、ボンド基板 100 上に絶縁膜 102 を形成する。絶縁膜 102 は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。例えば本実施の形態では、酸化シリコンを絶縁膜 102 として用いる。絶縁膜 102 を構成する膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化ゲルマニウム、窒化ゲルマニウム、酸化窒化ゲルマニウム、

50

窒化酸化ゲルマニウムなどのシリコン又はゲルマニウムを組成に含む絶縁膜を用いることが好ましい。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属酸化物を用いて形成された絶縁膜、窒化アルミニウムなどの金属窒化物を用いて形成された絶縁膜、酸化窒化アルミニウムなどの金属酸化窒化物を用いて形成された絶縁膜、窒化酸化アルミニウムなどの金属窒化酸化物を用いて形成された絶縁膜などを絶縁膜102として用いることもできる。また、あらかじめボンド基板100の表面を、硫酸過水（SPM）、アンモニア過水（APM）、塩酸過水（HPM）、希フッ酸（DHF）などを用いて洗浄しておくのが好ましい。

【0026】

なお、本明細書において、酸化窒化物とは、窒素原子よりも酸素原子を多く含有する物質とし、窒化酸化物とは、酸素原子よりも窒素原子を多く含有する物質とする。例えば、酸化窒化シリコン膜とは、その組成として、窒素原子よりも酸素原子の数が多く、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）及び水素前方散乱法（HFS：Hydrogen Forward Scattering）を用いて測定した場合に、濃度範囲として酸素が50～70原子%、窒素が0.5～15原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素原子よりも窒素原子の数が多く、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、シリコンが25～35原子%、水素が10～30原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0027】

酸化シリコンを絶縁膜102として用いる場合、絶縁膜102はシランと酸素、TEOS（テトラエトキシシラン）と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の気相成長法によって形成することができる。この場合、絶縁膜102の表面を酸素プラズマ処理で緻密化しても良い。

【0028】

また、有機シランガスを用いて化学気相成長法により作製される酸化シリコンを、絶縁膜102として用いても良い。有機シランガスとしては、テトラエトキシシラン（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

【0029】

また、ボンド基板100を酸化することで得られる酸化膜で、絶縁膜102を形成することもできる。上記酸化膜を形成するための、熱酸化処理としては、ドライ酸化を用いても良いし、酸化雰囲気中にさらにハロゲンを含むガスを添加しても良い。ハロゲンを含むガスとして、 HCl 、 HF 、 NF_3 、 HBr 、 Cl_2 、 ClF 、 BCl_3 、 F_2 、 Br_2 などから選ばれた一種又は複数種ガスを用いることができる。なお、図1（B）では、ボンド基板100の一方の面にしか絶縁膜102が形成されていないが、本実施の形態はこれに限定されない。ボンド基板100を酸化することで得られる酸化膜によって絶縁膜102を形成する場合、ボンド基板100を覆うように絶縁膜102が形成されていても良い。

【0030】

例えば、酸素に対し塩化水素（ HCl ）を0.5体積%～10体積%（好ましくは2体積%）の割合で含む雰囲気中で、700以上1100以下の温度で熱処理を行う。例えば950程度で熱処理を行うとよい。処理時間は0.1～6時間、好ましくは2.5～3.5時間とすればよい。形成される酸化膜の膜厚は、15nm～1100nm、好まし

くは50nm~150nmとするとよい。

【0031】

このハロゲンを含む雰囲気での熱酸化処理により、酸化膜にハロゲンを含ませることができる。ハロゲン元素を $1 \times 10^{17} \text{ atoms/cm}^3 \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で酸化膜に含ませることにより、外因性不純物である重金属（例えば、Fe、Cr、Ni、Mo等）を酸化膜が捕獲するので、後に形成される半導体膜の汚染を防止することができる。また、酸化処理に含まれるハロゲン元素により、ボンド基板100の表面の欠陥が終端化されるため、酸化膜とボンド基板100との界面の局在準位密度を低減することができる。

【0032】

10

また、絶縁膜102に、HCl酸化などによって膜中に塩素等のハロゲンを含ませることにより、ボンド基板100に悪影響を与える不純物（例えば、Na等の可動イオン）をゲッタリングすることができる。具体的には、絶縁膜102を形成した後に行われる熱処理により、ボンド基板100に含まれる不純物が絶縁膜102に析出し、ハロゲン原子（例えば塩素原子）と反応して捕獲されることとなる。それにより絶縁膜102中に捕集した当該不純物を固定してボンド基板100の汚染を防ぐことができる。また、絶縁膜102はガラス基板と貼り合わせた場合に、ガラスに含まれるNa等の不純物を固定する膜として機能しうる。

【0033】

20

ベース基板としてガラス基板のような、アルカリ金属若しくはアルカリ土類金属などの半導体装置の信頼性を低下させる不純物を含む基板を用いる場合、このような不純物がベース基板からSOI基板の半導体膜に拡散することを防止できるバリア層として機能する膜を、少なくとも1層以上、絶縁膜102が有することが好ましい。このような膜には、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化酸化アルミニウム膜などがある。このような膜を絶縁膜102が有することで、絶縁膜102をバリア膜として機能させることができる。

【0034】

窒化シリコンを絶縁膜102として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。また、窒化酸化シリコンを絶縁膜102として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。

30

【0035】

例えば、絶縁膜102を単層構造のバリア膜として形成する場合、厚さ15nm以上300nm以下の窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化酸化アルミニウム膜で形成することができる。

【0036】

また、絶縁膜102を、バリア膜として機能する2層構造の膜とする場合は、上層は、バリア機能の高い絶縁膜で構成する。上層の絶縁膜は、例えば厚さ15nm以上300nm以下の窒化シリコン膜、窒化酸化シリコン膜で形成することができる。これらの膜は、不純物の拡散を防止するブロッキング効果が高いが、内部応力が高い。そのため、ボンド基板100と接する下層の絶縁膜には、上層の絶縁膜の応力を緩和する効果のある膜を選択することが好ましい。上層の絶縁膜の応力を緩和する効果のある絶縁膜として、酸化シリコン膜、酸化窒化シリコン膜およびボンド基板100を熱酸化して形成した熱酸化膜などがある。下層の絶縁膜の厚さは5nm以上200nm以下とすることができる。

40

【0037】

例えば、絶縁膜102をブロッキング膜として機能させるために、酸化シリコン膜と窒化シリコン膜、酸化窒化シリコン膜と窒化シリコン膜、酸化シリコン膜と窒化酸化シリコン膜、酸化窒化シリコン膜と窒化酸化シリコン膜などの組み合わせで絶縁膜102を形成すると良い。

【0038】

50

また、絶縁膜 102 をバリア膜として機能する 2 層構造の膜とする場合に、さらにもう一層上に膜を形成して、絶縁膜を 3 層構造としても良い。その場合、最上層の絶縁膜はベース基板との接合面となるので、平滑で親水性の高い表面を有するのが好ましい。よって、最上層の絶縁膜には、化学的気相反応により形成される絶縁膜が好ましく、酸化シリコン膜が好ましい。なお、接合面として機能する絶縁膜は、後に行うボンド基板 100 へのイオン照射を終えてから形成しても良い。イオン照射の後で絶縁膜を形成することによって、イオン照射によって平滑で親水性の高い表面を荒らされることがなくなる。ただし、イオン照射後は、ボンド基板 100 から、照射したイオンが析出しないように、加熱温度は、350 度以下とするのが好ましい。

【0039】

最上層の絶縁膜として、プラズマ励起 CVD 法で酸化シリコン膜を形成する場合には、ソースガスに有機シランガスおよび酸素 (O_2) ガスを用いることが好ましい。ソースガスに有機シランを用いることで、プロセス温度が 350 以下で、平滑な表面を有する酸化シリコン膜を形成することができる。また、熱 CVD 法で、加熱温度が 500 以下 200 以上で形成される LTO (低温酸化物、low temperature oxide) で最上層の絶縁膜を形成することができる。LTO の形成には、シリコンソースガスにモノシラン (SiH_4) またはジシラン (Si_2H_6) などを用い、酸素ソースガスに一酸化二窒素 (N_2O) などを用いることができる。また、接合面として機能する絶縁膜の厚さは 5 nm 以上 500 nm 以下とすることができ、より好ましくは 10 nm 以上 200 nm 以下とする。また、平均面粗さ Ra は、0.7 nm 以下、より好ましくは、0.4

【0040】

例えば、最上層の絶縁膜を、ソースガスに TEOS と O_2 を用いて、酸化シリコン膜で形成する場合、TEOS の流量 15 sccm、 O_2 の流量 750 sccm、成膜圧力 100 Pa、成膜温度 300、RF 出力 300 W、電源周波数 13.56 MHz とすれば良い。

【0041】

なお、有機シランを用いて形成された酸化シリコン膜、または低温で成膜した窒化酸化シリコン膜などの、比較的低温で成膜された絶縁膜は、表面に OH 基を多く有する。OH 基は水分子と水素結合することでシラノール基を形成して、ベース基板と絶縁膜とを低温で接合する。そして、最終的には共有結合であるシロキサン結合が、ベース基板と絶縁膜との間に形成される。よって、上記の有機シランを用いて形成された酸化シリコン膜、または比較的低温で成膜された LTO などの絶縁膜は、スマートカット法などで用いられている OH 基が存在しない或いは飛躍的に少ない熱酸化膜よりも、低温での接合に向いていると言える。

【0042】

次に図 1 (C) に示すように、ボンド基板 100 に、電界で加速されたイオンでなるイオンビームを、矢印で示すように絶縁膜 102 を介してボンド基板 100 に照射し、ボンド基板 100 の表面から一定の深さの領域に、微小ボイドを有する脆化層 104 を形成する。脆化層 104 が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。加速エネルギーは加速電圧、ドーズ量などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層 104 が形成される。よって、イオンを添加する深さで、後にボンド基板 100 から分離される半導体膜 112 の厚さが決定される。脆化層 104 が形成される深さは、例えばボンド基板 100 の表面から 50 nm 以上 500 nm 以下とすることができ、好ましい深さの範囲は 50 nm 以上 200 nm 以下、例えば 100 nm 程度とすると良い。

【0043】

イオンビームをボンド基板 100 に照射する際には、質量分離を伴わないイオンドーピング装置を用いる。イオンドーピング装置を用いることによって、ボンド基板 100 に対して均一にイオンを照射することができる。イオンドーピング装置の代表的な装置は、プロ

10

20

30

40

50

セスガスをプラズマ励起して生成された全ての種類のイオンをチャンバー内に配置された被処理体に照射する非質量分離型の装置である。非質量分離型の装置は、プラズマ中のイオンを質量分離しないで、全ての種類のイオンを被処理体に照射する。質量分離型のイオン注入装置と比較して、非質量分離型のイオンドーピング装置はイオン照射を短時間で効率よく行うことができるので、非質量分離型のイオンドーピング装置を用いるのが好ましい。

【0044】

イオンドーピング装置の主要な構成は、被処理体を配置するチャンバー、所望のイオンを発生させるイオン源、およびイオンを加速し、照射するための加速機構である。イオン源は、所望のイオンを生成するためのソースガスを供給するガス供給装置、ソースガスを励起して、プラズマを生成させるための電極などで構成される。プラズマを形成するための電極として、フィラメント型の電極や容量結合高周波放電用の電極などが用いられる。加速機構は、引出電極、加速電極、減速電極、接地電極等の電極、およびこれらの電極に電力を供給するための電源などで構成される。加速機構を構成する電極には複数の開口やスリットが設けられており、イオン源で生成されたイオンは電極に設けられた開口やスリットを通過して加速される。なお、イオンドーピング装置の構成は上述したものに限定されず、必要に応じた機構が設けられる。

10

【0045】

ソースガスとしては水素 (H_2) ガスを用いる。水素ガスを励起して H^+ 、 H_2^+ 、 H_3^+ を生成することができる。ソースガスから生成されるイオン種の割合は、プラズマの励起方法、プラズマを発生させる雰囲気圧力、ソースガスの供給量などを調節することで、変化させることができる。イオンドーピング装置でイオン照射を行う場合、イオンビームに、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ が 70% 以上含まれるようにすることが好ましく、 H_3^+ の割合は 80% 以上がより好ましい。 H_3^+ の割合を 70% 以上とすることで、イオンビームに含まれる H_2^+ イオンの割合が相対的に小さくなる。これにより、イオンビームに含まれる水素イオンの平均侵入深さのばらつきが小さくなるので、イオンの添加効率が向上し、タクトタイムを短縮することができる。

20

【0046】

また、 H_3^+ は H^+ 、 H_2^+ に比べて質量が大きい。そのため、イオンビームにおいて、 H_3^+ の割合が多い場合と、 H^+ 、 H_2^+ の割合が多い場合とでは、ドーピングの際の加速電圧が同じであっても、前者の場合の方が、ボンド基板 100 の浅い領域に水素を添加することができる。また前者の場合、ボンド基板 100 に添加される水素の、厚さ方向における濃度分布が急峻となるため、脆化層 104 の厚さ自体も薄くすることができる。

30

【0047】

ここで、水素イオンのドーズ量を、ボンド基板 100 の分離下限となる水素イオンドーズ量より増加させることによって、後の工程で SOI 基板の半導体膜にレーザ光の照射を行う際に発生する半導体膜の欠損領域を低減することができる。水素イオンのドーズ量を増加すると、脆化層 104 の有する微小ボイドの個数が増え、平均侵入深さの位置に形成される微小ボイドの個数が、平均侵入深さの位置からはずれた微小ボイドの個数と比較して著しく増加する。なお、水素イオンとしては、 H^+ 、 H_2^+ 、 H_3^+ のうちいずれか一種類又は複数種類のイオンが含まれる。

40

【0048】

ここで、ボンド基板 100 の熱処理によって、微小ボイド 109 同士が結合されて形成される分離面 111a 及び分離面 111b の模式図を図 8 (A) 及び図 8 (B) に示す。図 8 (A) は水素イオンドーズ量が多い場合を、図 8 (B) は水素イオンドーズ量が少ない場合を表す。また、図 8 (A) と図 8 (B) における脆化層 104 近辺の水素濃度を比較したグラフの概略図を図 8 (C) に表す。図 8 (C) のグラフは、縦軸に水素濃度を、横軸に絶縁膜 102 とボンド基板 100 の界面からの深さをとっており、曲線 A は図 8 (A) に示すボンド基板 100 中の水素濃度に、曲線 B は図 8 (B) に示すボンド基板 100 中の水素濃度に、それぞれ対応している。

50

【0049】

水素イオンドーズ量が多い場合図8(C)に示すように、曲線Aは平均侵入深さの位置で水素濃度のピークを持つ。よって、図8(A)に示すように、平均侵入深さの位置に形成される微小ポイド109同士が結合しやすくなるため、分離面111aに形成される局所的に大きな凹凸は低減される。よって、SOI基板上の半導体膜も局所的に大きな凹凸が低減される。

【0050】

それに対して、水素イオンのドーズ量が少ない場合、図8(C)に示すように、曲線Bも平均侵入深さの位置で水素濃度のピークを持つが、水素イオンドーズ量が多い場合と比べると低くなっている。よって、図8(B)に示すように、平均侵入深さの位置に形成される微小ポイド109の数が減少し、熱処理を行っても平均侵入深さの位置に形成された微小ポイド同士が結合しにくくなる。相対的に平均侵入深さの位置から外れた微小ポイド109と結合する確率が増えるため、分離面111bに局所的な凹凸が形成されやすくなる。よって、SOI基板上の半導体膜も局所的な凹凸が形成されやすくなる。

10

【0051】

SOI基板上の半導体膜に局所的に大きな凹凸、特に局所的に膜厚が薄い領域が形成されると、後の工程でレーザ光の照射を行う際に半導体膜の膜厚の薄い領域がアブレーションを起こして半導体膜に欠損領域が形成される。しかし、水素イオンのドーズ量を増加してイオン照射を行い、SOI基板上の半導体膜の膜厚が局所的に薄い領域を低減することによって、半導体膜にレーザ光を照射しても、半導体膜がアブレーションを起こして欠損領域が形成されることを低減することができる。

20

【0052】

レーザ光照射によるSOI基板上の半導体膜の欠損領域を低減するには、水素イオンドーズ量を、ボンド基板100の分離下限となる水素イオンドーズ量の2.2倍以上にするのが好ましい。具体的には、水素イオンドーズ量を $2.2 \times 10^{16} \text{ ions/cm}^2$ 以上とするのが好ましい。ただし、水素イオンドーズ量を増やすと、脆化層104で水素分子が形成され、ボンド基板100が分離しやすくなる、または後の工程でベース基板108上に形成される半導体膜の結晶性が低下するので、水素イオンドーズ量は、ボンド基板100の分離下限となる水素イオンドーズ量の3.0倍以下にするのが好ましい。具体的には、水素イオンドーズ量を $3.0 \times 10^{16} \text{ ions/cm}^2$ 以下とするのが好ましい。なお、本明細書中において、ボンド基板の分離下限とは、ボンド基板に脆化層を形成する際の水素イオンドーズ量で、熱処理によりボンド基板が分離する最小量の水素イオンドーズ量のことを指す。

30

【0053】

よって、水素ガスを用いてイオンドーピング装置でイオン照射を行う条件は、加速電圧10kV以上200kV以下、ドーズ量 $2.2 \times 10^{16} \text{ ions/cm}^2$ 以上 $3.0 \times 10^{16} \text{ ions/cm}^2$ 以下とすることが好ましい。イオンビームに含まれるイオン種及びその割合、絶縁膜102の膜厚にもよるが、脆化層104をボンド基板100の深さ50nm以上500nm以下、好ましくは、50nm以上200nm以下、例えば100nm程度の領域に形成することができる。

40

【0054】

なお、本実施の形態では、イオンの照射を絶縁膜102の形成後に行っているが、これに限られず、絶縁膜102の形成前にイオンの照射を行っても良い。ただし、絶縁膜102として、ボンド基板100の熱酸化膜を用いる場合には、700以上の高温で絶縁膜102を成膜するので、イオン照射の前に熱酸化膜の形成を行う必要がある。

【0055】

次に、絶縁膜102が形成されたボンド基板100の表面処理を行う。絶縁膜102の表面処理は、オゾン水による洗浄、純水による超音波洗浄、純水と窒素による2流体ジェット洗浄、原子ビーム若しくはイオンビームの照射処理、オゾン処理、プラズマ処理、若しくはラジカル処理で行うことができる。又はこれらの方法を組み合わせて行うことができ

50

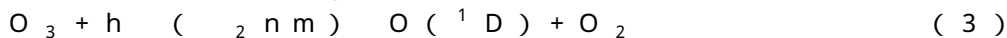
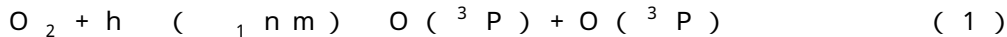
る。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。超音波洗浄はメガヘルツ超音波洗浄（メガソニック洗浄）が好ましい。以上の表面処理を行うことによって、有機物の除去と、絶縁膜102表面の親水性を向上させる表面の活性化処理を行うことができる。これによって、ボンド基板とベース基板の接合強度の向上を図ることができる。

【0056】

ここで、オゾン処理の一例を説明する。例えば、酸素を含む雰囲気下で紫外線（UV）を照射することにより、被処理体表面にオゾン処理を行うことができる。酸素を含む雰囲気下で紫外線を照射するオゾン処理は、UVオゾン処理または紫外線オゾン処理などとも言われる。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光と200nm以上の波長を含む光を照射することにより、オゾンを生成させるとともに、オゾンから一重項酸素を生成させることができる。紫外線のうち180nm未満の波長を含む光を照射することにより、オゾンを生成させるとともに、オゾンから一重項酸素を生成させることもできる。

【0057】

酸素を含む雰囲気下で、200nm未満の波長を含む光および200nm以上の波長を含む光を照射することにより起きる反応例を示す。

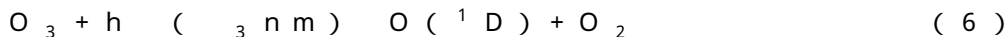
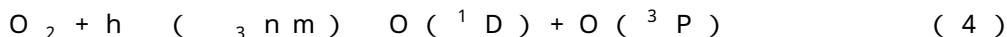


【0058】

上記反応式（1）において、酸素（ O_2 ）を含む雰囲気下で200nm未満の波長（ λ_1 nm）を含む光（ $h\nu$ ）を照射することにより基底状態の酸素原子（ $\text{O} (^3\text{P})$ ）が生成される。次に、反応式（2）において、基底状態の酸素原子（ $\text{O} (^3\text{P})$ ）と酸素（ O_2 ）とが反応してオゾン（ O_3 ）が生成される。そして、反応式（3）において、生成されたオゾン（ O_3 ）を含む雰囲気下で200nm以上の波長（ λ_2 nm）を含む光が照射されることにより、励起状態の一重項酸素 $\text{O} (^1\text{D})$ が生成される。酸素を含む雰囲気下において、紫外線のうち200nm未満の波長を含む光を照射することによりオゾンを生成させるとともに、200nm以上の波長を含む光を照射することによりオゾンを分解して一重項酸素を生成する。上記のようなオゾン処理は、例えば、酸素を含む雰囲気下での低圧水銀ランプの照射（ $\lambda_1 = 185 \text{ nm}$ 、 $\lambda_2 = 254 \text{ nm}$ ）により行うことができる。

【0059】

また、酸素を含む雰囲気下で、180nm未満の波長を含む光を照射することにより起きる反応例を示す。



【0060】

上記反応式（4）において、酸素（ O_2 ）を含む雰囲気下で180nm未満の波長（ λ_3 nm）を含む光を照射することにより、励起状態の一重項酸素 $\text{O} (^1\text{D})$ と基底状態の酸素原子（ $\text{O} (^3\text{P})$ ）が生成する。次に、反応式（5）において、基底状態の酸素原子（ $\text{O} (^3\text{P})$ ）と酸素（ O_2 ）とが反応してオゾン（ O_3 ）が生成する。反応式（6）において、生成されたオゾン（ O_3 ）を含む雰囲気下で180nm未満の波長（ λ_3 nm）を含む光が照射されることにより、励起状態の一重項酸素と酸素が生成される。酸素を含む雰囲気下において、紫外線のうち180nm未満の波長を含む光を照射することによりオゾンを生成させるとともにオゾンまたは酸素を分解して一重項酸素を生成する。上記のようなオゾン処理は、例えば、酸素を含む雰囲気下でのXeエキシマUVランプの照射（ $\lambda_3 = 172 \text{ nm}$ ）により行うことができる。

【0061】

200nm未満の波長を含む光により被処理体表面に付着する有機物などの化学結合を切

断し、オゾンまたはオゾンから生成された一重項酸素により被処理体表面に付着する有機物、または化学結合を切断した有機物などを酸化分解して除去することができる。上記のようなオゾン処理を行うことで、被処理体表面の親水性および清浄性を高めることができ、接合を良好に行うことができる。

【0062】

酸素を含む雰囲気下で紫外線を照射することによりオゾンが生成される。オゾンは、被処理体表面に付着する有機物の除去に効果を奏する。また、一重項酸素も、オゾンと同等またはそれ以上の水準で、被処理体表面に付着する有機物の除去に効果を奏する。オゾン及び一重項酸素は、活性状態にある酸素の例であり、総称して活性酸素とも言われる。上記反応式等で説明したとおり、一重項酸素を生成する際にオゾンが生じる、またはオゾンから一重項酸素を生成する反応もあるため、ここでは一重項酸素が寄与する反応も含めて、便宜的にオゾン処理と称する。

10

【0063】

次に、ボンド基板100と貼り合わせるベース基板108の準備を行う。ベース基板108としては、アルミノシリケートガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどの電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板等を用いることができる。また、ベース基板108として無アルカリガラス基板を用いると、不純物による半導体装置の汚染を抑えることができる。また、ベース基板108として、ガラス基板を用いる場合は、酸化セリウムなどで研磨され、平坦性が良好な表面を有しているガラス基板を用いることが好ましい。ベース基板108の表面が良好な平坦性を有するほど接合強度を高めることができる。よって、ガラス基板の表面を接合面とする場合は、ガラス基板の表面を研磨することで、接合強度が高まり接合不良を低減することができる。

20

【0064】

また、ベース基板108として、液晶パネルの製造用に開発されたマザーガラス基板を用いることが好ましい。マザーガラスとしては、例えば、第3世代(550mm×650mm)、第3.5世代(600mm×720mm)、第4世代(680mm×880mmまたは、730mm×920mm)、第5世代(1100mm×1300mm)、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2850mm×3050mm)などのサイズの基板が知られている。大面積のマザーガラス基板をベース基板108として用いてSOI基板を製造することで、SOI基板の大面積化が実現できる。SOI基板の大面積化が実現すれば、一度に多くのIC、LSI等のチップを製造することができ、1枚の基板から製造されるチップ数が増加するので、生産性を飛躍的に向上させることができる。

30

【0065】

ベース基板108の表面は、あらかじめ洗浄しておくことが好ましい。具体的には、塩酸過水(HPM)、硫酸過水(SPM)、アンモニア過水(APM)、希フッ酸(DHF)等を用いて、ベース基板108の超音波洗浄(メガヘルツ超音波洗浄)を行う。例えば、塩酸過水を用いて、ベース基板108表面を超音波洗浄することが好ましい。また、2流体ジェット洗浄や、オゾン水による洗浄を行ってもよい。このような洗浄処理を行うことによって、ベース基板108表面の平坦化や残存する研磨粒子の除去を行うことができる。

40

【0066】

また、図2(A)に示すように、ベース基板108上に絶縁膜106を形成しておくのが好ましい。ベース基板108の表面に絶縁膜106として、バリア膜として機能する窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを形成しておくことで、ベース基板108からボンド基板100に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。膜厚は、10nm以上200nm以下、好ましくは50nm以上100nm以下の範囲で設けることが好ましい

50

。なお、ベース基板 108 は、その表面に絶縁膜 106 が必ずしも形成されている必要はない。

【0067】

ベース基板 108 上に絶縁膜 106 を形成する場合、絶縁膜 102 と同様に、絶縁膜 106 の表面にオゾン処理などの表面処理を行ってから貼り合わせを行うのが好ましい。

【0068】

次に図 2 (B) に示すように、ボンド基板 100 表面の絶縁膜 102 とベース基板 108 表面の絶縁膜 106 とを対向させて貼り合わせる。

【0069】

貼り合わせは、ボンド基板 100 表面の絶縁膜 102 とベース基板 108 表面の絶縁膜 106 とを密着させてから、ベース基板 108 の一箇所に 0.1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 1 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。ベース基板 108 の圧力をかけた部分から絶縁膜 102 と絶縁膜 106 とが接合し始め、自発的に接合が形成されて全面におよび、ベース基板 108 とボンド基板 100 とが貼り合わされる。

10

【0070】

接合はファン・デル・ワールス力を用いて行われているため、室温でも強固な接合が形成される。ボンド基板 100 とベース基板 108 とに圧力を加えることで水素結合により強固な接合を形成することが可能である。なお、上記接合は低温で行うことが可能であるため、上述したようにベース基板 108 は様々なものを用いることが可能である。

20

【0071】

ベース基板 108 にボンド基板 100 を貼り合わせた後、絶縁膜 102 と絶縁膜 106 の接合界面での結合力を増加させるための加熱処理を行うことが好ましい。この処理温度は、脆化層 104 に亀裂を発生させない温度とし、 200 以上 450 以下の温度範囲で処理することができる。また、この温度範囲で加熱しながら、ベース基板 108 にボンド基板 100 を貼り合わせてもよい。

【0072】

加熱処理には、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA 装置には、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置を用いることができる。接合界面での結合力を増加させるための加熱処理は、貼り合わせを行った装置或いは場所で、そのまま連続して行うことが好ましい。また、接合界面での結合力を増加させるための加熱処理からそのまま連続して、脆化層 104 を境としたボンド基板 100 を分離する熱処理を行ってもよい。

30

【0073】

通常、このような温度で熱処理を行った場合には、接合強度をある程度は増加させることは可能であるが、十分な接合強度を得ることは難しい。これは、ボンド基板とベース基板を接合させた後に熱処理を行うと、接合界面において脱水縮合反応が生じ共有結合が形成されることにより接合が強化されるが、脱水縮合反応を促進させるためには、脱水縮合反応により接合界面に生じる水分を高温で熱処理を行うことにより除去する必要があるためである。つまり、接合後の熱処理温度を高くすることにより、脱水縮合反応で接合界面に生じた水分を除去し接合強度を向上させることができるが、熱処理温度が低い場合には、脱水縮合反応で接合界面に生じた水分を効果的に除去できないため、脱水縮合反応が進まず、接合強度を十分に向上させることができない。

40

【0074】

一方で、絶縁膜 102 として、塩素原子等を含有させた酸化膜を用いた場合、絶縁膜 102 が水分を吸収し拡散させることができるため、接合後の熱処理を低温で行う場合であっても、脱水反応で接合界面に生じた水分を絶縁膜 102 へ吸収、拡散させ脱水反応を効率良く促進させることができる。この場合、ベース基板としてガラス等の耐熱性が低い基板を用いた場合であっても、絶縁膜 102 と絶縁膜 106 の接合強度を十分に向上させるこ

50

とが可能となる。また、バイアス電圧を印加してプラズマ処理を行うことにより、絶縁膜 102 の表面近傍にマイクロポアを形成し、水分を効果的に絶縁膜 102 に吸収し拡散させ、低温であっても絶縁膜 102 と絶縁膜 106 の接合強度を向上させることができる。

【0075】

なお、ボンド基板 100 とベース基板 108 とを貼り合わせるときに、接合面にゴミやパーティクルなどが付着してしまうと、付着部分はボンド基板 100 とベース基板 108 の接合が行われず、ボンド基板 100 を熱処理してベース基板 108 上に半導体膜 112 を形成した際に、ゴミやパーティクルの付着部分は、半導体膜の欠損領域となる。この半導体膜 112 の欠損領域は、後で半導体膜 112 にレーザ光を照射することによって拡張される危険性がある。接合面の汚染を防ぐために、ボンド基板 100 とベース基板 108 との貼り合わせは、気密な処理室内で行うことが好ましい。また、ボンド基板 100 とベース基板 108 との貼り合わせるとき、処理室内を $5 \cdot 0 \times 10^{-3}$ Pa 程度の減圧状態とし、接合処理の雰囲気を清浄にするようにしても良い。

10

【0076】

次いで図 2 (C) に示すように、加熱処理を行うことで、脆化層 104 において隣接する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層 104 においてボンド基板 100 が爆発的な反応を伴って分離し、ボンド基板 100 は、半導体膜 112 と分離後のボンド基板 110 に分離する。絶縁膜 102 はベース基板 108 表面の絶縁膜 106 に接合しているので、ベース基板 108 上にはボンド基板 100 から分離された半導体膜 112 が固定される。半導体膜 112 をボンド基板 100 から分離するための加熱処理の温度は、ベース基板 108 の歪み点を越えない温度とするのが好ましい。

20

【0077】

図 8 (A) に示すように、脆化層 104 中の微小ボイド 109 は、上述のイオン照射によって、平均侵入深さの位置に著しく多く存在するため、ボンド基板 100 を半導体膜 112 と分離後のボンド基板 110 に分離する際の分離面の局所的に大きな凹凸は低減される。よって、ベース基板 108 上の半導体膜 112 から膜厚が局所的に薄い領域が低減されているため、後の工程で半導体膜 112 にレーザ光を照射する際に、膜厚が局所的に薄い領域で半導体膜が消失し、欠損領域が形成されることを低減することができる。

【0078】

この加熱処理も接合界面での結合力を増加させるための加熱処理と同様の装置を用いて行うことができる。つまり、加熱処理には、RTA (Rapid Thermal Anneal) 装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA 装置には、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置を用いることができる。

30

【0079】

GRTA 装置を用いる場合は、加熱温度 550 以上 650 以下、処理時間 0.5 分以上 60 分以内とすることができる。抵抗加熱装置を用いる場合は、加熱温度 200 以上 650 以下、処理時間 2 時間以上 4 時間以内とすることができる。

【0080】

また、上記加熱処理は、マイクロ波などの高周波による誘電加熱を用いて行っても良い。誘電加熱による加熱処理は、高周波発生装置において生成された周波数 300 MHz 以上 3 THz 以下の高周波をボンド基板 100 に照射することで行うことができる。具体的には、例えば、2.45 GHz のマイクロ波を 900 W、14 分間照射することで、脆化層において隣接する微小ボイドどうしを結合させ、最終的にボンド基板 100 を分離させることができる。

40

【0081】

なお、分離後のボンド基板 110 は、化学的機械的研磨 (CMP: Chemical Mechanical Polishing) などの処理を施して、再びボンド基板 100 として使用するのが望ましい。再生した半導体基板は他の用途に用いてもよい。

【0082】

50

図2(C)に示す半導体膜112は、水素イオンのドーズ量が、ボンド基板100の分離下限となる水素イオンドーズ量より増加された水素イオン照射によって、局所的に大きな凹凸は低減されている。しかし、上記のイオン照射や熱処理によるボンド基板100の分離によって、表面に結晶欠陥が形成され、平坦性も劣化している。このような表面状態の半導体膜112上にゲート絶縁膜を形成しても、高い絶縁耐压のゲート絶縁膜とするのは困難である。また、半導体膜112中に結晶欠陥が存在すると、ゲート絶縁膜との界面における局在準位密度が高くなるなどの悪影響を及ぼすことになる。そこで、レーザ光を照射することによって、半導体膜112の結晶性回復及び平坦化処理を行う。なお、半導体膜112へのレーザ光照射に加えて、エッチング処理を組み合わせるとより好ましい。

【0083】

また、半導体膜112の表面には自然酸化膜が形成されていることが多い。自然酸化膜が形成されたまま半導体膜112にレーザ光を照射しても、半導体膜表面の結晶性回復及び平坦化の効果を十分に得ることが難しい。よって、レーザ光を半導体膜112に照射する前に自然酸化膜を除去することが好ましい。

【0084】

自然酸化膜の除去は、エッチング処理を用いて行うことができ、ドライエッチングを用いるのが好ましい。自然酸化膜の除去にウェットエッチングを用いた場合、半導体膜112、絶縁膜102及び絶縁膜106に微細なクラックや孔が存在すると、薬液が微細なクラックや孔からベース基板108を浸食し、ベース基板108中に空洞が形成される危険性がある。ベース基板108に空洞の形成されたSOI基板にレーザ光の照射を行うと、空洞内の空気が加熱されて体積が膨張し、空洞上の半導体膜112が飛ばされ、半導体膜112に欠損領域が形成される恐れがある。

【0085】

自然酸化膜除去のためのエッチング処理は、ドライエッチングならば特に限定はされない。レーザ光の照射前のエッチング処理は、ドライエッチングを行えるものであれば特に限定されない。例えば、反応性イオンエッチング(RIE: Reactive Ion Etching)法、ICP(Inductively Coupled Plasma)エッチング法、ECR(Electron Cyclotron Resonance)エッチング法、平行平板型(容量結合型)エッチング法、マグネトロンプラズマエッチング法、2周波プラズマエッチング法またはヘリコン波プラズマエッチング法等を用いることができる。エッチングガスは、例えば、 Cl_2 、 BCl_3 、 SiCl_4 などの塩素系ガス、 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 、弗化硫黄等のフッ素系のガス、 HBr 等の臭素系のガスを用いることによりエッチングすることが可能である。その他、 He 、 Ar 、 Xe などの不活性ガス、又は O_2 、 H_2 を用いることができる。これらのエッチングガスは、一種類又は複数種類を組み合わせる用いることができる。例えば、ICPエッチング法を用いる場合、エッチングガスであるアルゴンの流量100sccm、コイル型の電極に投入する電力500W、下部電極(バイアス側)に投入する電力100W、反応圧力1.35Paとすれば良い。

【0086】

また、自然酸化膜の除去に続けて、半導体膜112表面の除去も行い、半導体膜112表面に形成されている結晶欠陥及び凹凸を除去してもよい。レーザ光を照射する前に半導体膜112表面の結晶欠陥を除去しておくことで、レーザ光照射時に結晶欠陥が半導体膜中に取り込まれることを防ぐことができる。半導体膜112表面除去の方法としては、自然酸化膜の除去と同様にエッチング処理をすればよく、ドライエッチングを用いるのが好ましい。ドライエッチングの詳細についても、上述の自然酸化膜のドライエッチングと同様に行えばよい。

【0087】

次に、図3(A)に示すように、半導体膜112にレーザ光114を照射する。レーザ光114を半導体膜112に照射することによって、半導体膜112を溶融させることができる。レーザ光114により溶融された部分が冷却して固化することによって、図3(B)

10

20

30

40

50

）に示すように、半導体膜 112 の平坦性と結晶欠陥が改善される。レーザ光 114 を用いて半導体膜 112 を加熱することで、ベース基板 108 は直接加熱されないので、ベース基板 108 の温度上昇を抑えることができる。ゆえに、ガラス基板のような耐熱性の低い基板をベース基板 108 に用いることが可能になる。

【0088】

レーザ光 114 の照射によって半導体膜 112 は部分溶融させることが好ましい。完全溶融させると、液相となった半導体膜 112 での無秩序な核発生により、半導体膜 112 が再結晶化することとなり、半導体膜 112 の結晶性が低下するからである。部分溶融させることで、半導体膜 112 では、溶融されていない固相部分から結晶成長が進行する、いわゆる縦成長が起こる。縦成長による再結晶化によって、半導体膜 112 の結晶欠陥が減少され、結晶性が回復される。なお、半導体膜 112 が完全溶融状態であるとは、半導体膜 112 が絶縁膜 102 との界面まで溶融され、液体状態になっていることをいう。他方、半導体膜 112 が部分溶融状態であるとは、半導体膜 112 の、上層が溶融して液相であり、下層が固相である状態をいう。

10

【0089】

ここで、レーザ光 114 を半導体膜 112 に照射するときに、半導体膜 112 に膜厚が局所的に薄い領域が形成されていると、レーザ光 114 の照射により半導体膜 112 の膜厚が局所的に薄い領域がアブレーションを起こして半導体膜 112 に欠損領域が形成されてしまう。

20

【0090】

しかし、本実施の形態では上述のように、イオン照射により脆化層 104 を形成する際の水素イオンドーズ量を、ボンド基板 100 の分離下限となる水素イオンドーズ量より増加し、好ましくは、水素イオンドーズ量を、ボンド基板の分離下限となる水素イオンドーズ量の 2.2 倍以上にする。それによって、脆化層 104 の有する微小ボイドの個数が増え、平均侵入深さの位置に形成される微小ボイドの個数が、平均侵入深さの位置からはずれた微小ボイドの個数と比較して著しく増加する。これによって、ボンド基板 100 を熱処理によって半導体膜と分離後のボンド基板に分離する際に、平均侵入深さの位置に形成される微小ボイド同士が結合しやすくなるため、ベース基板 108 上に形成される半導体膜 112 の膜厚が局所的に薄い領域が低減される。よって、半導体膜 112 にレーザ光 114 を照射することで、アブレーションが起きて形成される半導体膜 112 の欠損領域を低減することができる。

30

【0091】

レーザ光 114 を発振するレーザは、連続発振レーザ、疑似連続発振レーザ及びパルス発振レーザのいずれでもよいが、パルス発振レーザを用いることが好ましい。これは瞬間的に高エネルギーのパルスレーザ光を発振することができ、溶融状態を作り出すことが容易となるためである。

【0092】

レーザ発振器としては、例えば、KrF レーザなどのエキシマレーザ、Ar レーザ、Kr レーザ等の気体レーザがある。その他、固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、GdVO₄ レーザ、KGW レーザ、KYW レーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、Y₂O₃ レーザ等がある。なお、エキシマレーザはパルス発振レーザであるが、YAG レーザなどの固体レーザには、連続発振レーザにも、疑似連続発振レーザにも、パルス発振レーザにもなるものがある。

40

【0093】

レーザ光の波長は、半導体膜 112 に吸収される波長であり、レーザ光の表皮深さ (skin depth) 等を考慮して決定することができる。例えば、波長は 250 nm 以上 700 nm 以下の範囲とすることができる。また、レーザ光のエネルギーにも、レーザ光の波長、レーザ光の表皮深さ、半導体膜 112 の膜厚等を考慮して決定することができる。レーザ光のエネルギーは、例えば、300 mJ/cm² 以上 1 J/cm² 以下の範囲とすることができる。またレーザ光の照射は、大気雰囲気のような酸素を含む雰囲気、また

50

は窒素雰囲気のような不活性雰囲気で行うことができる。窒素などの不活性雰囲気のほうが、大気雰囲気よりも半導体膜 112 の平坦性を向上させる効果が高い。

【0094】

なお、レーザ光を照射する際に、ベース基板 108 上の半導体膜 112 を加熱し、半導体膜 112 の温度を上昇させてもよい。加熱温度は 400 以上 700 以下が好ましく、450 以上 650 以下がより好ましい。

【0095】

例えば、レーザ光 114 の照射工程は、次のように行うことができる。レーザ光 114 のレーザ発振器として、XeClエキシマレーザ（波長：308nm、パルス幅：25ns、繰り返し周波数30Hz）を用いる。光学系により、レーザ光 114 の断面を 150mm×0.34mmの線状に整形する。レーザ光 114 の走査速度を 1.0mm/秒とし、スキャンピッチを 33μm、ビームショット数を約 10ショットで、レーザ光 114 を半導体膜 112 に照射する。エネルギー密度を 852mJ/cm²にする。照射面に窒素ガスを吹き付けながら、レーザ光 114 を走査する。

10

【0096】

次に図3(C)に示すように、後に形成される半導体装置に対して最適となる膜厚まで半導体膜 112 を薄膜化するための薄膜化処理を行うのが好ましい。薄膜化処理としては、上述の自然酸化膜の除去と同様にドライエッチングを用いるのが好ましい。ドライエッチングも自然酸化膜のドライエッチングと同様に行い、目的とする膜厚に合わせて適宜行えばよい。例えば、半導体膜 112 として単結晶シリコンを用いている場合、SF₆をプロセスガスに用いてドライエッチングを行えばよい。

20

【0097】

レーザ光を照射した後、半導体膜 112 に 500 以上 700 以下の加熱処理を行うことが好ましい。この加熱処理によって、レーザ光の照射で回復されなかった、半導体膜 112 の欠陥の消滅、半導体膜 112 の歪みの緩和をすることができる。この加熱処理には、RTA(Rapid Thermal Anneal)装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA装置には、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置を用いることができる。例えば、抵抗加熱炉を用いた場合は、600 で 4 時間程度加熱するとよい。

30

【0098】

以上の工程より、図3(C)に示すような、ベース基板 108 上に絶縁膜 106 及び絶縁膜 102 を介して半導体膜 112 が形成されたSOI基板を作製することができる。本実施の形態で示したSOI基板の作製方法を用いることによって、結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜をガラス基板のような耐熱性の低い基板上に有するSOI基板を作製することができる。また、そのような半導体基板を用いることによって素子特性の良好な半導体装置を作製することができる。

【0099】

(実施の形態2)

本実施の形態では、実施の形態1で作製したSOI基板を用いて半導体装置を作製する。図4乃至図6の図面を参照して、nチャネル型薄膜トランジスタ、およびpチャネル型薄膜トランジスタを作製する方法を説明する。複数の薄膜トランジスタ(TFT)を組み合わせることで、各種の半導体装置を形成することができる。

40

【0100】

まず、半導体膜 112 に、nチャネル型薄膜トランジスタ及びpチャネル型薄膜トランジスタの形成領域に合わせて、硼素、アルミニウム、ガリウムなどのp型不純物元素、若しくはリン、砒素などのn型不純物元素を添加することが好ましい。例えば、nチャネル型薄膜トランジスタの形成領域に対応してp型不純物元素を添加し、pチャネル型薄膜トランジスタの形成領域に対応してn型不純物元素を添加して、所謂ウェル領域を形成する。不純物イオンのドーズ量は 1×10^{12} ions/cm² 以上 1×10^{14} ions/cm² 以下が好ましい。

50

m² 以下程度で行えばよい。さらに、薄膜トランジスタのしきい値電圧を制御する場合には、これらのウェル領域に n 型不純物元素若しくは p 型不純物元素を添加すればよい。

【0101】

次に、エッチングにより、半導体膜 112 を素子分離して、図 4 (A) に示すように半導体膜 116 及び半導体膜 118 を形成する。本実施の形態において、半導体膜 116 は n チャンネル型の TFT を構成し、半導体膜 118 は p チャンネル型の TFT を構成する。

【0102】

次に図 4 (B) に示すように、半導体膜 116、半導体膜 118、絶縁膜 102 及びベース基板 108 を覆うようにゲート絶縁膜 120 を形成する。ゲート絶縁膜 120 は、プラズマ CVD 法を用いて、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む絶縁膜を、単層構造又は積層構造で形成することにより形成するのが好ましい。

10

【0103】

プラズマ CVD 法以外の作製方法としては、スパッタリング法や、高密度プラズマ処理による半導体膜 116 及び半導体膜 118 の酸化または窒化による方法が挙げられる。高密度プラズマ処理は、例えば、ヘリウム、アルゴン、クリプトン、キセノンなどの希ガスと、酸素、酸化窒素（亜酸化窒素を含む）、アンモニア、窒素、水素などガスの混合ガスを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル（OH ラジカルを含む場合もある）や窒素ラジカル（NH ラジカルを含む場合もある）によって、半導体層の表面を酸化または窒化することにより、1 nm 以上 20 nm 以下、好ましくは 2 nm 以上 10 nm 以下の絶縁層を半導体層に接するように形成する。なお、高密度プラズマ処理による半導体膜 116 及び半導体膜 118 の酸化または窒化によってゲート絶縁膜 120 を形成した場合、ゲート絶縁膜 120 は図 4 (B) とは異なり、半導体膜 116 及び半導体膜 118 のみを覆うように形成される。

20

【0104】

上述した高密度プラズマ処理による半導体層の酸化または窒化は固相反応であるため、ゲート絶縁膜 120 と半導体膜 116 及び半導体膜 118 との界面準位密度をきわめて低くすることができる。また、高密度プラズマ処理により半導体層を直接酸化または窒化することで、形成される絶縁層の厚さのばらつきを抑えることができる。また、半導体層が結晶性を有するため、高密度プラズマ処理を用いて半導体層の表面を固相反応で酸化させる場合であっても、結晶粒界における不均一な酸化を抑え、均一性が良く、界面準位密度の低いゲート絶縁層を形成することができる。このように、高密度プラズマ処理により形成された絶縁膜をトランジスタのゲート絶縁膜の一部または全部に用いることで、特性のばらつきを抑制することができる。

30

【0105】

プラズマ処理による絶縁膜の作製方法のより具体的な一例について説明する。亜酸化窒素（N₂O）を、アルゴン（Ar）を用いて 1 倍以上 3 倍以下（流量比）に希釈し、10 Pa 以上 30 Pa 以下の圧力で 3 kW 以上 5 kW 以下のマイクロ波（2.45 GHz）電力を印加して、半導体膜 116 及び半導体膜 118 の表面を酸化または窒化させる。この処理により 1 nm 以上 10 nm 以下（好ましくは 2 nm 以上 6 nm 以下）のゲート絶縁膜 120 の下層を形成する。さらに、亜酸化窒素（N₂O）とシラン（SiH₄）を導入し、10 Pa 以上 30 Pa 以下の圧力で 3 kW 以上 5 kW 以下のマイクロ波（2.45 GHz）電力を印加して気相成長法により酸化窒化シリコン膜を形成し、ゲート絶縁膜 120 の上層とする。このように、固相反応と気相成長法を組み合わせることでゲート絶縁膜 120 を形成することにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁膜 120 を形成することができる。なお、この場合においてゲート絶縁膜 120 は 2 層構造となる。

40

【0106】

或いは、半導体膜 116 及び半導体膜 118 を熱酸化させることで、ゲート絶縁膜 120 を形成するようにしても良い。このような熱酸化を用いる場合には、耐熱性の比較的高い

50

ベース基板を用いることが好ましい。なお、半導体膜 116 及び半導体膜 118 の熱酸化によってゲート絶縁膜 120 を形成した場合、ゲート絶縁膜 120 は図 4 (B) とは異なり、半導体膜 116 及び半導体膜 118 のみを覆うように形成される。

【0107】

なお、ゲート絶縁膜 120 は半導体層との界面を形成するため、酸化シリコン膜若しくは酸化窒化シリコン膜が界面となるように形成することが好ましい。これは、窒化シリコン膜又は窒化酸化シリコン膜のように酸素よりも窒素の含有量が多い膜を形成すると、トラップ準位が形成され界面特性が問題となる恐れがあるからである。

【0108】

なお、水素を含むゲート絶縁膜 120 を形成し、その後、350 以上 450 以下の温度による加熱処理を行うことで、ゲート絶縁膜 120 中に含まれる水素を半導体膜 116 及び半導体膜 118 中に拡散させるようにしても良い。この場合、ゲート絶縁膜 120 として、プラズマ CVD 法を用いた窒化シリコン又は窒化酸化シリコンを用いることができる。なお、プロセス温度は 350 以下とすると良い。このように、半導体膜 116 及び半導体膜 118 に水素を供給することで、半導体膜 116 中、半導体膜 118 中、ゲート絶縁膜 120 と半導体膜 116 の界面、及びゲート絶縁膜 120 と半導体膜 118 の界面における欠陥を効果的に低減することができる。

【0109】

次に、図 4 (C) に示すように、ゲート絶縁膜 120 を覆うように第 1 の導電膜 122 を成膜し、さらに第 1 の導電膜 122 を覆うように第 2 の導電膜 124 を成膜し、2 層構造の積層導電膜 125 を形成する。第 1 の導電膜 122 及び第 2 の導電膜 124 はゲート電極を構成する 2 層構造の積層導電膜である。ここで、第 1 の導電膜 122 は、圧縮応力を有し、第 2 の導電膜 124 は同程度の大きさの引っ張り応力を有することが好ましい。また、第 1 の導電膜 122 は、引っ張り応力を有し、第 2 の導電膜 124 は同程度の大きさの圧縮応力を有していてもよい。このようにして、第 1 の導電膜 122 の応力を第 2 の導電膜 124 の応力で緩和することにより、第 1 の導電膜 122 及び第 2 の導電膜 124 が応力によりはがれることを防ぐことができる。

【0110】

第 1 の導電膜 122 及び第 2 の導電膜 124 には、タングステン、タンタル、チタン、モリブデン、アルミニウム、銅、クロム、或いはニオブ等から選択された元素、前述の元素を含む合金材料、前述の元素を含む化合物材料、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料などの導電材料を用いることができる。その際、第 1 の導電膜 122 の応力を、第 2 の導電膜 124 の応力が緩和するように、導電材料及びその成膜条件を適宜選択してやればよい。以上の導電材料をスパッタリング法や CVD 法により、積層構造で形成する。導電膜の積層構造は、2 層に限られるものではなく、3 層以上の構造としても良い。また、積層導電膜 125 の代わりに単層の導電膜を用いても良い。本実施の形態では、ゲート電極を形成する積層導電膜 125 を、第 1 の導電膜 122 及び第 2 の導電膜 124 の 2 層構造で形成する。

【0111】

本実施の形態のように、第 1 の導電膜 122 及び第 2 の導電膜 124 の 2 層の積層構造でゲート電極を形成する場合は、例えば、窒化タンタル層とタングステン層、窒化チタン層とタングステン層、窒化モリブデン層とモリブデン層などの積層構造を形成することができる。窒化タンタル層とタングステン層との積層構造を形成すると、両者のエッチングレートに差がつけやすく、エッチングの選択比を高くできるため好ましい。なお、例示した 2 層の積層導電膜 125 において、先に記載した層（例えば窒化タンタル層）をゲート絶縁膜 120 上に接して形成することが好ましい。例えば、第 1 の導電膜 122 を 20 nm 以上 100 nm 以下の厚さで形成し、第 2 の導電膜 124 を 100 nm 以上 400 nm 以下の厚さで形成する。

【0112】

次に、第 2 の導電膜 124 の上にレジストマスク 126 及びレジストマスク 128 を選択

的に形成する。それから、レジストマスク 126 及びレジストマスク 128 を用いて第 1 の導電膜 122 及び第 2 の導電膜 124 に第 1 のエッチング処理及び第 2 のエッチング処理を行う。

【0113】

まず、図 4 (D) に示すように、レジストマスク 126 及びレジストマスク 128 を用いた第 1 のエッチング処理により第 1 の導電膜 122、第 2 の導電膜 124 を選択的にエッチングして、半導体膜 116 上に第 1 の導電膜 130 および第 2 の導電膜 134 を、半導体膜 118 上に第 1 の導電膜 132 及び第 2 の導電膜 136 を形成する。第 1 のエッチング処理では、第 1 の導電膜 130、132 および第 2 の導電膜 134、136 がテーパ (傾斜) を有する形状となるようにする。

10

【0114】

次に、図 5 (A) に示すように、レジストマスク 126 及びレジストマスク 128 を用いた第 2 のエッチング処理により第 2 の導電膜 134、136 を選択的にエッチングして、半導体膜 116 上に第 2 の導電膜 138 を、半導体膜 118 上に第 2 の導電膜 140 を形成する。第 2 のエッチング処理では、異方性エッチングを行うことによって、第 2 の導電膜 138、140 のテーパが垂直に近い形状となるようにする。なお、第 2 の導電膜 138 は第 1 の導電膜 130 よりも幅が小さくなるように形成する。同様に、第 2 の導電膜 140 は、第 1 の導電膜 132 よりも幅が小さくなるように形成する。ここで幅とは、キャリアがチャネル形成領域を流れる方向 (ソース領域とドレイン領域を結ぶ方向) に平行な方向の長さのことを指す。このようにして、第 1 の導電膜 130 及び第 2 の導電膜 138 からなる 2 層構造のゲート電極 142、並びに第 1 の導電膜 132 及び第 2 の導電膜 140 からなる 2 層構造のゲート電極 144 を形成する。

20

【0115】

第 1 のエッチング処理及び第 2 のエッチング処理に適用するエッチング法は適宜選択すればよいが、ECR (Electron Cyclotron Resonance) 方式や ICP (Inductively Coupled Plasma: 誘導結合プラズマ) 方式などの高密度プラズマ源を用いたドライエッチング装置を用いるとエッチング速度を向上できるため好ましい。第 1 のエッチング処理および第 2 のエッチング処理のエッチング条件 (コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等) を適宜調節することで、第 1 の導電膜 130、132、及び第 2 の導電膜 138、140 の側面を所望のテーパ形状とすることができる。所望のゲート電極 142、144 を形成した後、レジストマスク 126、128 は除去すればよい。

30

【0116】

次に、図 5 (B) に示すように、半導体膜 116 を覆うようにレジストマスク 146 を選択的に形成する。そして、レジストマスク 146 をマスクとして、半導体膜 118 に p 型不純物元素 148 を添加する。半導体膜 118 には、半導体膜 118 の上方に形成された第 1 の導電膜 132 および第 2 の導電膜 140 がマスクとなって、自己整合的に一对の高濃度不純物領域 150 と、一对の低濃度不純物領域 152 と、チャネル形成領域 154 が形成される。

40

【0117】

ここでは、半導体膜 118 に p チャネル型電界効果トランジスタを形成するため、p 型不純物元素 148 としては、硼素、アルミニウム、ガリウムなどの p 型不純物元素を添加する。ここでは、p チャネル型電界効果トランジスタを形成するため、p 型不純物元素 148 として硼素を添加する。また、高濃度不純物領域 150 に、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $5 \times 10^{21} \text{ atoms/cm}^3$ 以下程度の濃度で硼素が含まれるようにする。高濃度不純物領域 150 は、ソース領域又はドレイン領域として機能する。

【0118】

半導体膜 118 において、第 1 の導電膜 132 と重ならない領域に高濃度不純物領域 150 が形成され、第 1 の導電膜 132 と重なり、第 2 の導電膜 140 と重ならない領域に低濃度不純物領域 152 が形成され、第 2 の導電膜 140 と重なる領域にチャネル形成領域

50

154が形成される。低濃度不純物領域152は、高濃度不純物領域150よりも低不純物濃度となる。

【0119】

レジストマスク146を除去した後、図5(C)に示すように、半導体膜118を覆うようにレジストマスク156を選択的に形成する。そして、レジストマスク156をマスクとして、半導体膜116にn型不純物元素158を添加する。半導体膜116には、上方に形成された第1の導電膜130および第2の導電膜138がマスクとなって、自己整合的に一对の高濃度不純物領域160と、一对の低濃度不純物領域162と、チャンネル形成領域164が形成される。

【0120】

ここでは、半導体膜116にnチャンネル型電界効果トランジスタを形成するため、n型不純物元素158としてリン、砒素などのn型不純物元素を添加する。例えばn型不純物元素158としてリンを添加し、高濃度不純物領域160に $5 \times 10^{19} \text{ atoms/cm}^3$ 以上 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下程度の濃度でリンが含まれるようにする。高濃度不純物領域160は、ソース領域又はドレイン領域として機能する。

【0121】

半導体膜116において、第1の導電膜130と重ならない領域に高濃度不純物領域160が形成され、第1の導電膜130と重なり第2の導電膜138と重ならない領域に低濃度不純物領域162が形成され、第2の導電膜138と重なる領域にチャンネル形成領域164が形成される。低濃度不純物領域162は、高濃度不純物領域160よりも低不純物濃度となる。

【0122】

なお、半導体膜118に高濃度不純物領域150、低濃度不純物領域152、チャンネル形成領域154を形成し、半導体膜116に高濃度不純物領域160、低濃度不純物領域162、チャンネル形成領域164を形成する順序などは本実施の形態に限られるものでなく、適宜変更することができる。また、半導体膜116、半導体膜118に不純物領域（高濃度不純物領域150、低濃度不純物領域152、高濃度不純物領域160及び低濃度不純物領域162）形成後は、熱処理やレーザビームの照射などを適宜行うことにより、活性化（低抵抗化）するのが好ましい。

【0123】

次に、図6(A)に示すように、ゲート電極142、ゲート電極144、およびゲート絶縁膜120上を覆う絶縁膜166を形成する。絶縁膜166は、CVD法やスパッタリング法により、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、又は窒化酸化シリコン膜などを形成する。例えば、絶縁膜166として、プラズマCVD法により酸化窒化シリコン膜（膜厚50nm）を形成する。次に、400℃以上、ベース基板108の歪み点温度以下で熱処理を行うことで、不純物領域（高濃度不純物領域150、低濃度不純物領域152、高濃度不純物領域160及び低濃度不純物領域162）の活性化を行うことができる。例えば、窒素雰囲気下で480℃、1時間の熱処理を行う。絶縁膜166を形成した後に熱処理を行うことで、該熱処理によるゲート電極の酸化を防ぐことができる。なお、熱処理の際に雰囲気を制御することで、絶縁膜166を形成しなくともゲート電極の酸化を防ぐこともできる。

【0124】

次に、図6(B)に示すように、絶縁膜166上に、第1の層間絶縁膜168および第2の層間絶縁膜170を形成する。第1の層間絶縁膜168、第2の層間絶縁膜170としては、CVD法やスパッタリング法により、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、又は窒化酸化シリコン層等を形成することができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを用いて、スピコート法などの塗布法により形成することができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。

10

20

30

40

50

【0125】

なお、ゲート電極142、144上層に形成される絶縁膜としては、水素を含有する絶縁膜を少なくとも1層形成し、熱処理を行うことにより、単結晶半導体膜に存在するダングリングボンドの水素終端化を図ることが好ましい。水素を含有する絶縁膜を形成した後、例えば350 以上470 以下、好ましくは400 以上450 以下の処理温度で熱処理を行うことで、絶縁膜に含有された水素が熱処理により熱的に励起して拡散され、絶縁膜を通過して単結晶半導体膜に到達する。そして、到達した水素により単結晶半導体膜に存在するダングリングボンドが水素終端される。半導体層、特にチャネル形成領域にダングリングボンドが存在すると、完成するトランジスタの電気的特性に悪影響を与えないため、本実施の形態のように水素終端化を行うことは効果的である。水素終端化を行うことで、ゲート絶縁膜と単結晶半導体膜との界面特性の改善を図ることができる。

10

【0126】

水素を含有する絶縁膜は、プラズマCVD法により、水素を含む成膜用のプロセスガスを用いることで形成することができる。また、水素を含有する絶縁膜を形成しなくとも、水素を含む雰囲気中で熱処理を行うことにより、単結晶半導体膜のダングリングボンドの水素終端化を行うこともできる。例えば、第1の層間絶縁膜168として水素を含有する絶縁膜を形成し、その上層に第2の層間絶縁膜170を形成した後、水素終端する熱処理を行う。この場合、第2の層間絶縁膜170は、第1の層間絶縁膜168に含まれる水素が脱水素化しない成膜条件で成膜する。

20

【0127】

例えば、プラズマCVD法により、第1の層間絶縁膜168である窒化酸化シリコン膜（膜厚300nm）と第2の層間絶縁膜170である酸化窒化シリコン膜（膜厚450nm）とを連続成膜する。窒化酸化シリコン膜は成膜用のプロセスガスとしてモノシラン、アンモニア、水素および酸化窒素を用いる。酸化窒化シリコン膜は成膜用のプロセスガスとしてモノシランと酸化窒素を用いる。また、処理温度は200 以上300 以下程度とすることで、窒化酸化シリコン膜に含有される水素を脱水素化することなく、絶縁膜を形成できる。そして、第2の層間絶縁膜170を形成した後、窒素雰囲気下で410 1時間の熱処理を行うことにより、単結晶半導体膜の水素終端化を行う。

30

【0128】

次に、図6（C）に示すように、第2の層間絶縁膜170、第1の層間絶縁膜168、絶縁膜166およびゲート絶縁膜120にコンタクトホールを形成し、該コンタクトホールを埋めるように配線172、配線174を形成する。ここでは、一対の高濃度不純物領域160それぞれに達する一対のコンタクトホールを形成し、該コンタクトホールを通じて高濃度不純物領域160に達する一対の配線172を形成する。同時に、一対の高濃度不純物領域150それぞれに達する一対のコンタクトホールを形成し、該コンタクトホールを通じて高濃度不純物領域150に達する一対の配線174を形成する。配線172、配線174は、ソース電極又はドレイン電極として機能する。配線172は高濃度不純物領域160と電氣的に接続する。配線174は、高濃度不純物領域150と電氣的に接続する。

40

【0129】

配線172、配線174は、アルミニウム、タングステン、チタン、タンタル、モリブデン、ニッケル、ネオジム、或いは銅等から選択された元素、前述の元素を含有する合金材料、又は前述の元素を含有する化合物材料を用いて形成する。前述の元素を含有する合金材料としては、例えば、チタンを含有したアルミニウム合金、ネオジムを含有したアルミニウム合金、シリコンを含有するアルミニウム合金（アルミニウムシリコンとも言われる）などが挙げられる。また、上記元素を含有する化合物としては、窒化タングステン、窒化チタン、窒化タンタルなどの窒化物が挙げられる。配線172、配線174は、上述の材料を用いてスパッタリング法やCVD法により全面に形成した後、選択的にエッチングして所望の形状に加工すればよい。また、配線172、配線174は、単層構造又は2層以上の積層構造で形成することができる。例えば、チタン層、窒化チタン層、アルミニウ

50

ム層およびチタン層を順に積層した構造とすることができる。アルミニウム層をチタン層で挟む構成とすることで、耐熱性を向上させることができる。また、チタン層とアルミニウム層との間に形成する窒化チタン層はバリア層として機能できる。

【0130】

以上の工程により、単結晶半導体膜を有するSOI基板を用いてnチャネル型TFTとpチャネル型TFTを有する半導体装置を作製することができる。

【0131】

本実施の形態の半導体装置に用いるSOI基板の作製過程において、結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜がSOI基板に設けられているので、高性能かつ高信頼性の半導体装置を作製することができるようになる。

10

【0132】

また、配線172および配線174を電氣的に接続させることでnチャネル型電界効果トランジスタとpチャネル型電界効果トランジスタを電氣的に接続させ、CMOSTランジスタとすることもできる。

【0133】

なお本発明の一態様は、本実施の形態で説明したトランジスタを複数組み合わせ、マイクロプロセッサ、画像処理回路などの集積回路や、質問器とデータの送受信が非接触でできるRFタグ、半導体表示装置等、各種機能を有する半導体装置の作製に用いることができる。半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。また、本実施の形態で示したトランジスタの構造は一例であり、図示した構造に限定されるものではない。

20

【0134】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせることができることとする。

【0135】

(実施の形態3)

本実施の形態では、実施の形態2とは異なり、サイドウォールを形成することによって、半導体膜中に高濃度不純物領域、低濃度不純物及びチャネル形成領域を形成する半導体装置の製造方法について図7を参照して説明する。

30

【0136】

まず、実施の形態1と同様の方法で、図4(C)に示されるように、ベース基板108上に、絶縁膜106、絶縁膜102、半導体膜116及び半導体膜118を形成し、さらにその上をゲート絶縁膜120、第1の導電膜122、第2の導電膜124で覆う。

【0137】

次に、第2の導電膜124の上にレジストマスク126及びレジストマスク128を選択的に形成する。それから、レジストマスク126及びレジストマスク128を用いて第1の導電膜122及び第2の導電膜124にエッチング処理を行う。これにより、図7(A)に示すように、半導体膜116上に第1の導電膜200と第2の導電膜204から成る2層構造のゲート電極208と、半導体膜118上に第1の導電膜202と第2の導電膜206から成る2層構造のゲート電極210を形成する。このとき、実施の形態1とは異なり、ゲート電極208及びゲート電極210にテーパー形状を設けない方が好ましい。

40

【0138】

次に図7(B)に示すように、ゲート電極208及びゲート電極210をマスクとして一導電型を付与する不純物元素を半導体膜116及び半導体膜118に添加する。ここでは、半導体膜118にpチャネル型電界効果トランジスタを形成するため、p型不純物元素として、硼素、アルミニウム、ガリウムなどのp型不純物元素を添加する。そして、半導体膜116にnチャネル型電界効果トランジスタを形成するため、n型不純物元素として

50

、リン、砒素などのn型不純物元素を添加する。なお、p型を付与する不純物元素を半導体膜118に添加する際、n型の不純物元素が添加される半導体膜116はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。逆にn型を付与する不純物元素を半導体膜116に添加する際、p型の不純物元素が添加される半導体膜118はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。或いは、先に半導体膜116及び半導体膜118にp型もしくはn型のいずれか一方を付与する不純物元素を添加した後、一方の半導体膜のみに選択的により高い濃度でp型もしくはn型のうちの他方を付与する不純物元素のいずれか一方を添加するようにしても良い。上記不純物元素の添加により、自己整合的に、半導体膜116に低濃度不純物領域212、チャネル形成領域214が、半導体膜118に低濃度不純物領域216、チャネル形成領域218が形成される。

10

【0139】

次に、図7(C)に示すように、ゲート電極208の側面にサイドウォール220及びゲート電極210の側面にサイドウォール222を形成する。サイドウォール220及びサイドウォール222は、例えば、ゲート絶縁膜120及びゲート電極208及びゲート電極210を覆うように新たに絶縁膜を形成し、垂直方向を主体とした異方性エッチングにより、新たに形成された該絶縁膜を部分的にエッチングすることで、形成することが出来る。上記異方性エッチングにより、新たに形成された絶縁膜が部分的にエッチングされて、ゲート電極208の側面にサイドウォール220が、ゲート電極210の側面にサイドウォール222が形成される。なお上記異方性エッチングにより、ゲート絶縁膜120を部分的にエッチングしても良い。サイドウォール220及びサイドウォール222を形成するための絶縁膜は、プラズマCVD法やスパッタリング法等により、シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成することができる。本実施の形態では、膜厚100nmの酸化シリコン膜をプラズマCVD法によって形成する。またエッチングガスとしては、 CHF_3 とヘリウムの混合ガスを用いることができる。なお、サイドウォール220及びサイドウォール222を形成する工程は、これらに限定されるものではない。

20

【0140】

次に図7(D)に示すように、ゲート電極208、ゲート電極210、サイドウォール220及びサイドウォール222をマスクとして、半導体膜116、半導体膜118に一導電型を付与する不純物元素を添加する。なお、半導体膜116、半導体膜118には、それぞれ先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。なお、p型を付与する不純物元素を半導体膜118に添加する際、n型の不純物元素が添加される半導体膜116はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。また、n型を付与する不純物元素を半導体膜116に添加する際、p型の不純物元素が添加される半導体膜118はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。

30

【0141】

上記不純物元素の添加により、半導体膜116に、一対の高濃度不純物領域224と、一対の低濃度不純物領域226と、チャネル形成領域228とが自己整合的に形成される。また上記不純物元素の添加により、半導体膜118に、一対の高濃度不純物領域230と、一対の低濃度不純物領域232と、チャネル形成領域234とが自己整合的に形成される。高濃度不純物領域224、230はソース領域又はドレイン領域として機能し、低濃度不純物領域226、232はLDD(Lightly Doped Drain)領域として機能する。

40

【0142】

本実施の形態の半導体装置に用いるSOI基板の作製過程において、結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜がSOI基板に設けられているので、高性能かつ高信頼性の半導体装置を作製することができるようになる。

【0143】

50

以降の工程については、実施の形態 1 を参照することで半導体装置を作製することができる。

【0144】

(実施の形態 4)

本実施の形態では、本発明の一態様を適用して作製した半導体装置の具体的な態様について、図 9 及び図 10 を参照しながら、説明する。

【0145】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図 9 はマイクロプロセッサ 500 の構成例を示すブロック図である。

【0146】

マイクロプロセッサ 500 は、演算回路 501 (Arithmetic logic unit。ALU ともいう。)、演算回路制御部 502 (ALU Controller)、命令解析部 503 (Instruction Decoder)、割り込み制御部 504 (Interrupt Controller)、タイミング制御部 505 (Timing Controller)、レジスタ 506 (Register)、レジスタ制御部 507 (Register Controller)、バスインターフェース 508 (Bus I/F)、読み出し専用メモリ (ROM) 509、および ROM インターフェース 510 を有している。

【0147】

バスインターフェース 508 を介してマイクロプロセッサ 500 に入力された命令は、命令解析部 503 に入力され、デコードされた後、演算回路制御部 502、割り込み制御部 504、レジスタ制御部 507、タイミング制御部 505 に入力される。演算回路制御部 502、割り込み制御部 504、レジスタ制御部 507、タイミング制御部 505 は、デコードされた命令に基づき様々な制御を行う。

【0148】

演算回路制御部 502 は、演算回路 501 の動作を制御するための信号を生成する。また、割り込み制御部 504 は、マイクロプロセッサ 500 のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部 504 は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制御部 507 は、レジスタ 506 のアドレスを生成し、マイクロプロセッサ 500 の状態に応じてレジスタ 506 の読み出しや書き込みを行う。タイミング制御部 505 は、演算回路 501、演算回路制御部 502、命令解析部 503、割り込み制御部 504、およびレジスタ制御部 507 の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部 505 は、基準クロック信号 CLK 1 を元に、内部クロック信号 CLK 2 を生成する内部クロック生成部を備えている。図 9 に示すように、内部クロック信号 CLK 2 は他の回路に入力される。

【0149】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を説明する。図 10 は、このような半導体装置の構成例を示すブロック図である。図 10 に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ (以下、「RF CPU」という) と呼ぶことができる。

【0150】

図 10 に示すように、RF CPU 511 は、アナログ回路部 512 とデジタル回路部 513 を有している。アナログ回路部 512 として、共振容量を有する共振回路 514、整流回路 515、定電圧回路 516、リセット回路 517、発振回路 518、復調回路 519、変調回路 520 及び電源管理回路 530 を有している。デジタル回路部 513 は、RF インターフェース 521、制御レジスタ 522、クロックコントローラ 523、CPU インターフェース 524、中央処理ユニット (CPU) 525、ランダムアクセスメモリ (RAM) 526、読み出し専用メモリ (ROM) 527 を有している。

【0151】

R F C P U 5 1 1 の動作の概要は以下の通りである。アンテナ 5 2 8 が受信した信号は共振回路 5 1 4 により誘導起電力を生じる。誘導起電力は、整流回路 5 1 5 を経て容量部 5 2 9 に充電される。この容量部 5 2 9 はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部 5 2 9 は、R F C P U 5 1 1 を構成する基板に集積されている必要はなく、他の部品として R F C P U 5 1 1 に組み込むこともできる。

【 0 1 5 2 】

リセット回路 5 1 7 は、デジタル回路部 5 1 3 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 5 1 8 は、定電圧回路 5 1 6 により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。復調回路 5 1 9 は、受信信号を復調する回路であり、変調回路 5 2 0 は、送信するデータを変調する回路である。

10

【 0 1 5 3 】

例えば、復調回路 5 1 9 はローパスフィルタで形成され、振幅変調 (A S K) 方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調 (A S K) 方式の送信信号の振幅を変動させて送信するため、変調回路 5 2 0 は、共振回路 5 1 4 の共振点を変化させることで通信信号の振幅を変化させている。

【 0 1 5 4 】

クロックコントローラ 5 2 3 は、電源電圧または中央処理ユニット 5 2 5 における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 5 3 0 が行っている。

20

【 0 1 5 5 】

アンテナ 5 2 8 から R F C P U 5 1 1 に入力された信号は復調回路 5 1 9 で復調された後、R F インターフェース 5 2 1 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 5 2 2 に格納される。制御コマンドには、読み出し専用メモリ 5 2 7 に記憶されているデータの読み出し、ランダムアクセスメモリ 5 2 6 へのデータの書き込み、中央処理ユニット 5 2 5 への演算命令などが含まれている。

【 0 1 5 6 】

中央処理ユニット 5 2 5 は、C P U インターフェース 5 2 4 を介して読み出し専用メモリ 5 2 7、ランダムアクセスメモリ 5 2 6、制御レジスタ 5 2 2 にアクセスする。C P U インターフェース 5 2 4 は、中央処理ユニット 5 2 5 が要求するアドレスより、読み出し専用メモリ 5 2 7、ランダムアクセスメモリ 5 2 6、制御レジスタ 5 2 2 のいずれかに対するアクセス信号を生成する機能を有している。

30

【 0 1 5 7 】

中央処理ユニット 5 2 5 の演算方式は、読み出し専用メモリ 5 2 7 に O S (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット 5 2 5 が処理する方式を適用できる。

40

【 0 1 5 8 】

本実施の形態のマイクロプロセッサ及び R F C P U に用いる S O I 基板の作製過程で、結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜が S O I 基板に設けられているので、高性能かつ高信頼性の半導体装置を作製することができるようになる。

【 0 1 5 9 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【 0 1 6 0 】

(実施の形態 5)

50

本実施の形態では上記実施の形態で示した半導体装置を適用して作製した表示装置について、図 1 1 及び図 1 2 を参照しながら、説明する。

【 0 1 6 1 】

まず、液晶表示装置について、図 1 1 を参照して説明する。図 1 1 (A) は液晶表示装置の画素の平面図であり、図 1 1 (B) は、 J - K 切断線による図 1 1 (A) の断面図である。

【 0 1 6 2 】

図 1 1 (A) に示すように、画素は、単結晶半導体膜 3 2 0、単結晶半導体膜 3 2 0 と交差している走査線 3 2 2、走査線 3 2 2 と交差している信号線 3 2 3、画素電極 3 2 4、画素電極 3 2 4 と単結晶半導体膜 3 2 0 を電氣的に接続する電極 3 2 8 を有する。単結晶半導体膜 3 2 0 は、ベース基板 1 0 8 上に設けられた単結晶半導体膜から形成された層であり、画素の T F T 3 2 5 を構成する。

10

【 0 1 6 3 】

S O I 基板には上記実施の形態で示した S O I 基板が用いられている。図 1 1 (B) に示すように、ベース基板 1 0 8 上に、第 2 の絶縁膜 1 0 6 及び第 1 の絶縁膜 1 0 2 を介して単結晶半導体膜 3 2 0 が積層されている。T F T 3 2 5 の単結晶半導体膜 3 2 0 は、S O I 基板の単結晶半導体膜をエッチングにより素子分離して形成された膜である。単結晶半導体膜 3 2 0 には、チャネル形成領域 3 4 0、不純物元素が添加された n 型の高濃度不純物領域 3 4 1 が形成されている。T F T 3 2 5 のゲート電極は走査線 3 2 2 に含まれ、ソース電極およびドレイン電極の一方は信号線 3 2 3 に含まれている。

20

【 0 1 6 4 】

層間絶縁膜 3 2 7 上には、信号線 3 2 3、画素電極 3 2 4 および電極 3 2 8 が設けられている。層間絶縁膜 3 2 7 上には、柱状スペーサ 3 2 9 が形成されている。信号線 3 2 3、画素電極 3 2 4、電極 3 2 8 および柱状スペーサ 3 2 9 を覆って配向膜 3 3 0 が形成されている。対向基板 3 3 2 には、対向電極 3 3 3、対向電極を覆う配向膜 3 3 4 が形成されている。柱状スペーサ 3 2 9 は、ベース基板 1 0 8 と対向基板 3 3 2 の隙間を維持するために形成される。柱状スペーサ 3 2 9 によって形成される隙間に液晶層 3 3 5 が形成されている。信号線 3 2 3 および電極 3 2 8 と高濃度不純物領域 3 4 1 との接続部は、コンタクトホール形成によって層間絶縁膜 3 2 7 に段差が生じるので、この接続部では液晶層 3 3 5 の液晶の配向が乱れやすい。そのため、この段差部に柱状スペーサ 3 2 9 を形成して、液晶の配向の乱れを防ぐ。

30

【 0 1 6 5 】

次に、エレクトロルミネセンス表示装置（以下、E L 表示装置という。）について図 1 2 を参照して説明する。図 1 2 (A) は E L 表示装置の画素の平面図であり、図 1 2 (B) は、 J - K 切断線による図 1 2 (A) の断面図である。

【 0 1 6 6 】

図 1 2 (A) に示すように、画素は、T F T となる選択用トランジスタ 4 0 1、表示制御用トランジスタ 4 0 2、走査線 4 0 5、信号線 4 0 6、および電流供給線 4 0 7、画素電極 4 0 8 を含む。エレクトロルミネセンス材料を含んで形成される層（E L 層）が一对の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極 4 0 8 である。また、半導体膜 4 0 3 は、選択用トランジスタ 4 0 1 のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体膜 4 0 4 は、表示制御用トランジスタ 4 0 2 のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体膜 4 0 3、4 0 4 は、ベース基板上に設けられた単結晶半導体膜から形成された層である。

40

【 0 1 6 7 】

選択用トランジスタ 4 0 1 において、ゲート電極は走査線 4 0 5 に含まれ、ソース電極またはドレイン電極の一方は信号線 4 0 6 に含まれ、他方は電極 4 1 0 として形成されている。表示制御用トランジスタ 4 0 2 は、ゲート電極 4 1 2 が電極 4 1 1 と電氣的に接続され、ソース電極またはドレイン電極の一方は、画素電極 4 0 8 に電氣的に接続される電極

50

4 1 3 として形成され、他方は、電流供給線 4 0 7 に含まれている。

【 0 1 6 8 】

表示制御用トランジスタ 4 0 2 は p チャネル型の T F T である。図 1 2 (B) に示すように、半導体膜 4 0 4 には、チャネル形成領域 4 5 1、および p 型の高濃度不純物領域 4 5 2 が形成されている。なお、S O I 基板は、実施の形態で作製した S O I 基板が用いられている。

【 0 1 6 9 】

表示制御用トランジスタ 4 0 2 のゲート電極 4 1 2 を覆って、層間絶縁膜 4 2 7 が形成されている。層間絶縁膜 4 2 7 上に、信号線 4 0 6、電流供給線 4 0 7、電極 4 1 1、4 1 3 などが形成されている。また、層間絶縁膜 4 2 7 上には、電極 4 1 3 に電氣的に接続されている画素電極 4 0 8 が形成されている。画素電極 4 0 8 は周辺部が絶縁性の隔壁層 4 2 8 で囲まれている。画素電極 4 0 8 上には E L 層 4 2 9 が形成され、E L 層 4 2 9 上には対向電極 4 3 0 が形成されている。補強板として対向基板 4 3 1 が設けられており、対向基板 4 3 1 は樹脂層 4 3 2 によりベース基板 1 0 8 に固定されている。

10

【 0 1 7 0 】

E L 表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとにトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。S O I 基板の作製工程、およびゲッタリング工程を含む製造方法で E L 表示装置を作製することで、選択用トランジスタ 4 0 1 および表示制御用トランジスタ 4 0 2 は画素ごとに特性のばらつきがなくなるため、電流駆動方式を採用することができる。

20

【 0 1 7 1 】

また、本実施の形態の半導体装置である、液晶表示装置及び E L 表示装置に用いる S O I 基板の作製過程で、結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜が S O I 基板に設けられているので、高性能かつ高信頼性の半導体装置を作製することができるようになる。

【 0 1 7 2 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

30

【 0 1 7 3 】

(実施の形態 6)

本実施の形態では、上記実施の形態で示した半導体装置を適用して作製した電子機器について、図 1 3 及び図 1 4 を参照しながら、説明する。

【 0 1 7 4 】

S O I 基板を用いることで、様々な電気機器を作製することができる。電気機器としては、テレビジョン、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンボなど)、コンピュータ、ノート型コンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など)、記録媒体を備えた画像再生装置 (具体的には D V D (d i g i t a l v e r s a t i l e d i s c) などの記録媒体に記憶された音声データを再生し、かつ記憶された画像データを表示する表示装置を備えた装置) などが含まれる。それらの一例を図 1 3、図 1 4 に示す。

40

【 0 1 7 5 】

図 1 3 は、携帯電話の一例であり、図 1 3 (A) が正面図、図 1 3 (B) が背面図、図 1 3 (C) が 2 つの筐体をスライドさせたときの正面図である。携帯電話 7 0 0 は、筐体 7 0 1 及び筐体 7 0 2 二つの筐体で構成されている。携帯電話 7 0 0 は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【 0 1 7 6 】

50

携帯電話 700 は、筐体 701 及び筐体 702 で構成されている。筐体 701 においては、表示部 703、スピーカー 704、マイクロフォン 705、操作キー 706、ポインティングデバイス 707、表面カメラ用レンズ 708、外部接続端子ジャック 709 及びイヤホン端子 710 等を備え、筐体 702 においては、キーボード 711、外部メモリスロット 712、裏面カメラ 713、ライト 714 等により構成されている。また、アンテナは筐体 701 に内蔵されている。

【0177】

また、携帯電話 700 には、上記の構成に加えて、非接触型 IC チップ、小型記録装置等を内蔵していてもよい。

【0178】

重なり合った筐体 701 と筐体 702 (図 13 (A) に示す。) は、スライドさせることが可能であり、スライドさせることで図 13 (C) のように展開する。表示部 703 には、本実施の形態で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部 703 と表面カメラ用レンズ 708 を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部 703 をファインダーとして用いることで、裏面カメラ 713 及びライト 714 で静止画及び動画の撮影が可能である。

【0179】

スピーカー 704 及びマイクロフォン 705 を用いることで、携帯電話 700 は、音声記録装置 (録音装置) 又は音声再生装置として使用することができる。また、操作キー 706 により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

【0180】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 711 を用いると便利である。更に、重なり合った筐体 701 と筐体 702 (図 13 (A)) をスライドさせることで、図 13 (C) のように展開させることができる。携帯情報端末として使用する場合には、キーボード 711 及びポインティングデバイス 707 を用いて、円滑な操作でマウスの操作が可能である。外部接続端子ジャック 709 は AC アダプタ及び USB ケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット 712 に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

【0181】

筐体 702 の裏面 (図 13 (B)) には、裏面カメラ 713 及びライト 714 を備え、表示部 703 をファインダーとして静止画及び動画の撮影が可能である。

【0182】

また、上記の機能構成に加えて、赤外線通信機能、USB ポート、テレビワンセグ受信機能、非接触 IC チップ又はイヤホンジャック等を備えたものであってもよい。

【0183】

図 14 (A) は表示装置であり、筐体 801、支持台 802、表示部 803、スピーカー部 804、ビデオ入力端子 805 等を含む。なお、表示装置は、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの全ての情報表示用装置が含まれる。

【0184】

図 14 (B) はコンピュータであり、筐体 812、表示部 813、キーボード 814、外部接続ポート 815、マウス 816 等を含む。

【0185】

図 14 (C) はビデオカメラであり、表示部 822、外部接続ポート 824、リモコン受信部 825、受像部 826、操作キー 829 等を含む。

【0186】

本実施の形態にて説明した各種電子機器は、電子機器に用いる SOI 基板の作製過程で、

10

20

30

40

50

結晶欠陥が改善され、平坦性が向上し、欠損領域の低減された単結晶半導体膜がSOI基板に設けられているので、高性能かつ高信頼性の半導体装置を作製することができるようになる。

【0187】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【実施例1】

【0188】

本実施例では、試料基板として脆化層を形成する際の水素イオンドーズ量をSOI基板ごとに変更したSOI基板を作製し、レーザ照射を行った後の該SOI基板の単結晶シリコン膜の欠損領域について評価した結果を示す。

10

【0189】

本実施例では、脆化層を形成する際の水素イオンドーズ量の条件を、 $1.8 \times 10^{16} \text{ ions/cm}^2$ 、 $2.0 \times 10^{16} \text{ ions/cm}^2$ 、 $2.2 \times 10^{16} \text{ ions/cm}^2$ 及び $2.4 \times 10^{16} \text{ ions/cm}^2$ の4種類とし、各水素イオンドーズ量に対して2枚ずつ計8枚の試料基板を作製し、パーティクル検査機を用いてSOI基板上の単結晶シリコン膜の欠損領域の個数を検出した。

【0190】

次に、試料基板の作製方法について説明する。各基板は脆化層形成時の水素イオンドーズ量以外は同じ条件で作製する。ボンド基板として角5インチの正方形単結晶シリコン基板を用いた。まず、単結晶シリコン基板をHCl雰囲気下で熱酸化し、100nmの厚さで熱酸化膜を成膜した。このとき、HClが酸素に対して3体積%の割合で含まれる雰囲気とし、950℃の温度で3時間熱酸化を行った。

20

【0191】

次に、熱酸化膜の表面からイオンドーピング装置を用いて単結晶シリコン基板に水素イオンを照射した。本実施例では、水素をイオン化して照射することによって、単結晶シリコン基板に脆化層を形成した。イオンドーピングは加速電圧を40kVとして行った。水素イオンのドーズ量は、 $1.8 \times 10^{16} \text{ ions/cm}^2$ 、 $2.0 \times 10^{16} \text{ ions/cm}^2$ 、 $2.2 \times 10^{16} \text{ ions/cm}^2$ 及び $2.4 \times 10^{16} \text{ ions/cm}^2$ の4種類とし、各イオンドーズ量につき2枚、合計8枚の単結晶シリコン基板に水素イオン照射を行った。このとき、照射された水素イオンのイオン種の比は、 $\text{H}_2^+ : \text{H}_3^+ = 3 : 2 (\text{ions/cm}^2)$ 程度であり、 H^+ も微量に含まれていた。

30

【0192】

次に、それぞれの単結晶シリコン基板に表面処理として、オゾン水処理とメガソニック洗浄を行った。

【0193】

次に、各単結晶シリコン基板を、熱酸化膜を介してガラス基板に貼り合わせた。その後200℃で120分の熱処理を行い、さらに、600℃で120分の熱処理を行って、ガラス基板上に単結晶シリコン膜を形成した。このとき、単結晶シリコンの膜厚は140nm程度になった。

40

【0194】

次に、各SOI基板上の単結晶シリコン膜表面に形成された自然酸化膜を除去するために、1/100に希釈されたフッ酸で110秒間処理を行った。

【0195】

次に、各SOI基板上の単結晶シリコン膜にレーザ光を照射した。レーザ発振器は、XeClエキシマレーザ(波長: 308nm、パルス幅: 25ns、繰り返し周波数30Hz)を用いた。光学系により、レーザ光の断面を150mm×0.34mmの線状に整形し、レーザ光の走査速度を1.0mm/秒とし、スキャンピッチを33μm、ビームショット数を約10ショットとした。エネルギー密度は852mJ/cm²とした。レーザ光の照射は、照射面に窒素ガスを吹き付けながら行った。このようにして、ガラス基板上に単

50

結晶シリコン膜が形成された試料基板を作製した。

【0196】

次に各基板について、パーティクル検査機（日立電子エンジニアリング株式会社製、ガラス基板表面検査装置GI-4600）を用いてSOI基板上の単結晶シリコン膜の欠損領域の個数を検出した。該パーティクル検査機は、出力30mW、波長780nmのレーザー光を試料基板に照射し、凹凸で反射した散乱光及び欠損領域を通過した透過光を受光器で検出することによって、欠損領域の個数を数えることができる。X軸方向にレーザー光を操作し、Y軸方向にテーブルごと試料基板を操作することによって、単結晶シリコン膜の107mm四方を走査して、単結晶シリコン膜の欠損領域を検出した。なお、本実施例で用いたパーティクル検査機は、単結晶シリコン欠損領域を激しい凹部として捉え、検出する。そのため、表面凹凸やゴミや傷も検出されるので、あくまで定性的な数値として評価・比較する必要がある。

10

【0197】

各試料基板の単結晶シリコン膜における欠損領域の検出結果を図15に示す。図15のグラフは縦軸に単結晶シリコン膜の欠損領域の検出個数[個/107mm]をとり、横軸に脆化層を形成した際の水素イオンドーズ量[$\times 10^{16}$ ions/cm²]をとっている。各ドーズ量につき基板2枚の試料基板の欠損領域の検出個数をグラフに記し、各ドーズ量の2つの欠損領域の検出個数の平均値を折れ線で結んでいる。図15より、ドーズ量を増やすにつれて欠損領域の個数が減っていく傾向が見られる。特に、ドーズ量が 2.2×10^{16} ions/cm²の試料基板は、欠損領域の個数が3桁となり、ドーズ量が 1.8×10^{16} ions/cm²及び 2.0×10^{16} ions/cm²の試料基板と比較すると激減している。さらに、ドーズ量が 2.4×10^{16} ions/cm²の試料基板は、ドーズ量が 2.2×10^{16} ions/cm²の試料基板の半分程度になっている。

20

【0198】

以上より、脆化層形成時の水素イオンドーズ量を 2.2×10^{16} ions/cm²以上にしてSOI基板を作製することによって、単結晶シリコン膜へのレーザー光照射による単結晶シリコン膜の欠損領域の増加を著しく低減できることが示された。

【実施例2】

【0199】

本実施例では、試料基板として脆化層を形成する際の水素イオンドーズ量をSOI基板ごとに変更したSOI基板を作製し、レーザー照射を行った後の該SOI基板の単結晶シリコン膜の欠損領域について、パターン検査装置を用いて評価した結果を示す。

30

【0200】

本実施例では、脆化層を形成する際の水素イオンドーズ量の条件を、 2.4×10^{16} ions/cm²、 2.6×10^{16} ions/cm²及び 3.0×10^{16} ions/cm²の3種類とし、各水素イオンドーズ量に対して2枚ずつ計6枚の試料基板を作製し、パターン検査装置を用いてSOI基板上の単結晶シリコン膜の欠損領域の個数を検出した。

【0201】

試料基板の作製については、水素イオンドーズ量の条件以外は実施例1と同様の方法で行った。

40

【0202】

水素イオンドーズ量の条件が、 2.4×10^{16} ions/cm²、 2.6×10^{16} ions/cm²及び 3.0×10^{16} ions/cm²である計6枚の試料基板を作製した後、各基板について、パターン検査装置（TOPCON社製VISION INSPECTORチップ外観検査装置（Vi-1202））を使用してSOI基板上の単結晶シリコン膜表面の欠損領域の個数を検出した。該パターン検査装置は、デジタルカメラで膜面の光学顕微鏡画像を撮影し、パターンマッチング画像処理により、基板上の微小な異物や欠陥を検査する装置である。本装置において、単結晶シリコン膜表面の光学顕微鏡反射型

50

明視野像を基板全面（107mm四方）について撮影した。撮影には5.0倍の対物レンズを使用し、視野角1.2mm×1.0mmの顕微鏡画像を電荷結合素子（CCD）でデジタルデータ化した。CCDで撮影された各画像データを60×80μm角毎にエリア分割し、注目するエリアと、注目エリアの上下左右各2エリアの平均画像（合計8エリアの平均画像）の輝度（8ビット）について、ピクセル毎に値を比較した。輝度の値が30以上低いピクセルが見られた場合に、元の撮影画像に異常が見られると判断した。更に、異常箇所を200倍の対物レンズで画像撮影し、撮影された異常画像を目視で確認し、単結晶シリコン欠損領域とその他（表面凹凸やゴミまたは傷など）を選別して単結晶シリコン膜における欠損領域の個数をカウントした。本実施例に示すパターン検査装置は、実施例1に示すパーティクル検査機より、より正確に単結晶シリコン膜における欠損領域の個数を評価することができる。

10

【0203】

各試料基板の単結晶シリコン膜における欠損領域の検出結果を図16に示す。図16のグラフは縦軸に単結晶シリコン膜の欠損領域の検出個数[個/107mm]をとり、横軸に脆化層を形成した際の水素イオンドーズ量[$\times 10^{16}$ ions/cm²]をとっている。各ドーズ量につき基板2枚の試料基板の欠損領域の検出個数をグラフに記し、各ドーズ量の2つの欠損領域の検出個数の平均値を折れ線で結んでいる。図16より、水素イオンドーズ量が 2.4×10^{16} ions/cm²以上でも実施例1と同様に、ドーズ量を増やすにつれて欠損領域の個数が減っていく傾向が見られる。水素イオンドーズ量を 2.4×10^{16} ions/cm²以上 3.0×10^{16} ions/cm²以下にすることで、単結晶シリコン膜の欠損領域を30個乃至300個程度に低減できることが分かる。

20

【0204】

以上より、脆化層形成時の水素イオンドーズ量を 2.4×10^{16} ions/cm²以上 3.0×10^{16} ions/cm²以下にしてSOI基板を作製することによって、単結晶シリコン膜へのレーザ光照射による単結晶シリコン膜の欠損領域の増加をさらに低減できることが示された。

【実施例3】

【0205】

本実施例では、試料基板として脆化層を形成する際の水素イオンドーズ量をSOI基板ごとに変更したSOI基板を作製し、レーザ照射を行った後の該SOI基板の単結晶シリコン膜の欠損領域について、ラマンスペクトル測定を行って評価した結果を示す。

30

【0206】

本実施例では、実施例2と同様に脆化層を形成する際の水素イオンドーズ量の条件を、 2.0×10^{16} ions/cm²、 2.2×10^{16} ions/cm²、 2.4×10^{16} ions/cm²、 2.6×10^{16} ions/cm²及び 3.0×10^{16} ions/cm²の5種類とし、各水素イオンドーズ量に対して計5枚の試料基板を作製し、パターン検査装置を用いてSOI基板上の単結晶シリコン膜の欠損領域の個数を検出した。

【0207】

試料基板の作製については、水素イオンドーズ量の条件以外は実施例1と同様の方法で行った。

40

【0208】

水素イオンドーズ量の条件が、 2.0×10^{16} ions/cm²、 2.2×10^{16} ions/cm²、 2.4×10^{16} ions/cm²、 2.6×10^{16} ions/cm²及び 3.0×10^{16} ions/cm²である計5枚の試料基板を作製した後、各基板について、顕微ラマン分光装置（堀場製作所製、U-1000）を使用して単結晶シリコン膜のラマンスペクトル測定を行った。該顕微ラマン分光装置は、固体グリーンレーザ（ $\lambda = 532$ nm）を顕微鏡へ導入し、対物レンズで集光して単結晶シリコン膜表面に照射した。試料からの散乱光を集光して分光器に導入し、レーリー散乱光とラマン散乱光を波長分離してマルチチャンネルディテクタで検出して、ラマン散乱光の強度波長分布（ラマンスペクトル）を計測する。単結晶シリコンでは、ラマン活性な光学フォノンとして52

50

1 cm^{-1} 付近に 1 本のシャープなラマン線が観測される。結晶性が低下すると半値全幅 (FWHM: Full Width at Half Maximum) が増大し、ピーク位置 (ラマンシフト) がシフトする。本実施例では、同一試料面内で 10 ポイントのラマンスペクトルを測定し、ローレンツ関数を用いて Fitting を行い、各ポイントでのラマンシフトとラマンスペクトルの半値全幅を算出した。

【0209】

各試料基板の各ポイントにおける、単結晶シリコン膜のラマンスペクトル測定の結果を図 17 及び図 18 に示す。図 17 のグラフは縦軸に 521 cm^{-1} 付近のラマンシフト [cm^{-1}] をとり、横軸に脆化層を形成した際の水素イオンドーズ量 [$\times 10^{16}\text{ ions/cm}^2$] をとっている。また、図 18 のグラフは縦軸に 521 cm^{-1} 付近におけるラマンスペクトルの半値全幅 (FWHM) をとり、横軸に脆化層を形成した際の水素イオンドーズ量 [$\times 10^{16}\text{ ions/cm}^2$] をとっている。図 17 及び図 18 より、水素イオンドーズ量を増やすにつれて、ラマンシフトは 521 cm^{-1} から離れ、ラマンスペクトルの半値全幅は増大している傾向が見られる。水素イオンドーズ量 $3.0 \times 10^{16}\text{ ions/cm}^2$ では、ラマンシフトは 519.0 cm^{-1} 付近、ラマンスペクトルの半値全幅は 3.60 付近となり、それほど結晶性の低下は見られない。しかし、さらに水素イオンドーズ量を増加させることにより、単結晶シリコン膜の結晶性が低下していくのは、容易に推測される。

10

【0210】

以上より、脆化層形成時の水素イオンドーズ量を $3.0 \times 10^{16}\text{ ions/cm}^2$ 以下にして SOI 基板を作製することによって、単結晶シリコン膜の結晶性が良好な SOI 基板を作製できることが示された。

20

【符号の説明】

【0211】

- 100 ボンド基板
- 102 絶縁膜
- 104 脆化層
- 106 絶縁膜
- 107 レーザ光
- 108 ベース基板
- 109 微小ボイド
- 110 分離後のボンド基板
- 111 a 分離面
- 111 b 分離面
- 112 半導体膜
- 114 レーザ光
- 116 半導体膜
- 118 半導体膜
- 120 ゲート絶縁膜
- 122 第 1 の導電膜
- 124 第 2 の導電膜
- 125 積層導電膜
- 126 レジストマスク
- 128 レジストマスク
- 130 第 1 の導電膜
- 132 第 1 の導電膜
- 134 第 2 の導電膜
- 136 第 2 の導電膜
- 138 第 2 の導電膜
- 140 第 2 の導電膜

30

40

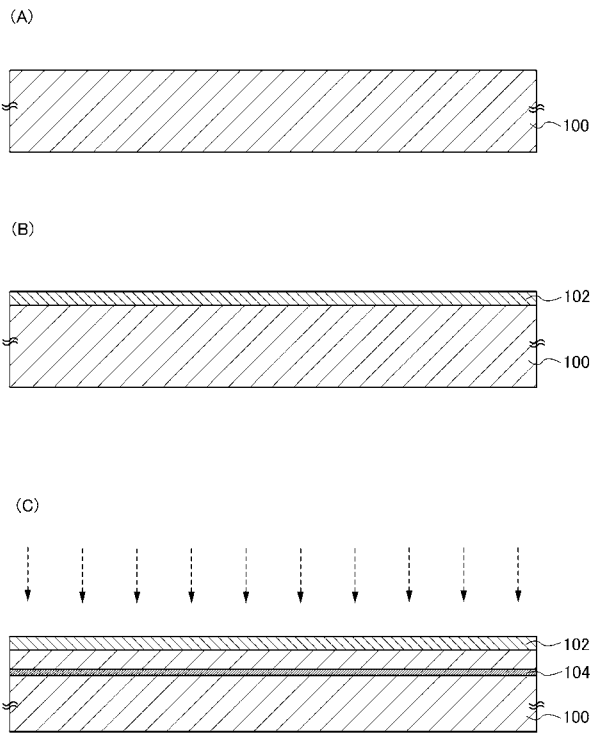
50

1 4 2	ゲート電極	
1 4 4	ゲート電極	
1 4 6	レジストマスク	
1 4 8	p型不純物元素	
1 5 0	高濃度不純物領域	
1 5 2	低濃度不純物領域	
1 5 4	チャネル形成領域	
1 5 6	レジストマスク	
1 5 8	n型不純物元素	
1 6 0	高濃度不純物領域	10
1 6 2	低濃度不純物領域	
1 6 4	チャネル形成領域	
1 6 6	絶縁膜	
1 6 8	第1の層間絶縁膜	
1 7 0	第2の層間絶縁膜	
1 7 2	配線	
1 7 4	配線	
2 0 0	第1の導電膜	
2 0 2	第1の導電膜	
2 0 4	第2の導電膜	20
2 0 6	第2の導電膜	
2 0 8	ゲート電極	
2 1 0	ゲート電極	
2 1 2	低濃度不純物領域	
2 1 4	チャネル形成領域	
2 1 6	低濃度不純物領域	
2 1 8	チャネル形成領域	
2 2 0	サイドウォール	
2 2 2	サイドウォール	
2 2 4	高濃度不純物領域	30
2 2 6	低濃度不純物領域	
2 2 8	チャネル形成領域	
2 3 0	高濃度不純物領域	
2 3 2	低濃度不純物領域	
2 3 4	チャネル形成領域	
3 0 2	単結晶半導体膜	
3 2 0	単結晶半導体膜	
3 2 2	走査線	
3 2 3	信号線	
3 2 4	画素電極	40
3 2 5	TFT	
3 2 7	層間絶縁膜	
3 2 8	電極	
3 2 9	柱状スペーサ	
3 3 0	配向膜	
3 3 2	対向基板	
3 3 3	対向電極	
3 3 4	配向膜	
3 3 5	液晶層	
3 4 0	チャネル形成領域	50

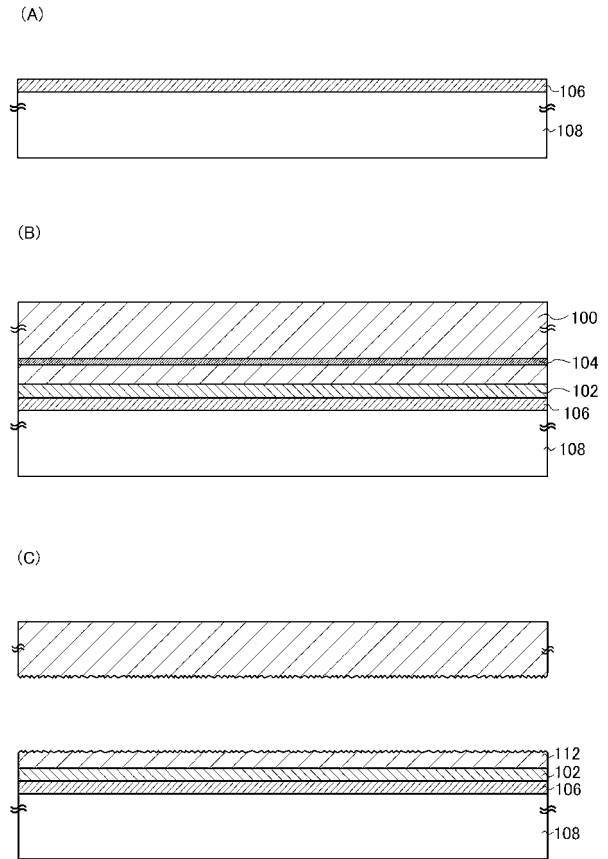
3 4 1	高濃度不純物領域	
4 0 1	選択用トランジスタ	
4 0 2	表示制御用トランジスタ	
4 0 3	半導体膜	
4 0 4	半導体膜	
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	
4 0 8	画素電極	
4 1 0	電極	10
4 1 1	電極	
4 1 2	ゲート電極	
4 1 3	電極	
4 2 7	層間絶縁膜	
4 2 8	隔壁層	
4 2 9	E L 層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	
4 5 1	チャネル形成領域	20
4 5 2	高濃度不純物領域	
5 0 0	マイクロプロセッサ	
5 0 1	演算回路	
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	30
5 0 9	専用メモリ	
5 1 0	メモリインターフェース	
5 1 1	R F C P U	
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	
5 1 5	整流回路	
5 1 6	定電圧回路	
5 1 7	リセット回路	
5 1 8	発振回路	40
5 1 9	復調回路	
5 2 0	変調回路	
5 2 1	R F インターフェース	
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	インターフェース	
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	
5 2 7	専用メモリ	
5 2 8	アンテナ	50

5 2 9	容量部	
5 3 0	電源管理回路	
7 0 0	携帯電話	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	スピーカー	
7 0 5	マイクロフォン	
7 0 6	操作キー	
7 0 7	ポインティングデバイス	10
7 0 8	表面カメラ用レンズ	
7 0 9	外部接続端子ジャック	
7 1 0	イヤホン端子	
7 1 1	キーボード	
7 1 2	外部メモリスロット	
7 1 3	裏面カメラ	
7 1 4	ライト	
8 0 1	筐体	
8 0 2	支持台	
8 0 3	表示部	20
8 0 4	スピーカー部	
8 0 5	ビデオ入力端子	
8 1 2	筐体	
8 1 3	表示部	
8 1 4	キーボード	
8 1 5	外部接続ポート	
8 1 6	マウス	
8 2 2	表示部	
8 2 4	外部接続ポート	
8 2 5	リモコン受信部	30
8 2 6	受像部	
8 2 9	操作キー	
1 0 0 0	周辺部	
1 0 0 2	単結晶シリコン層	
1 0 0 4	熱酸化膜	
1 0 0 6	単結晶シリコン層	
1 0 0 8	熱酸化膜	
1 0 0 8	領域	
1 0 1 2	第 1 の領域	
1 0 1 4	第 2 の領域	40
1 0 1 6	第 3 の領域	
1 0 1 8	第 4 の領域	
1 0 2 0	第 5 の領域	
1 0 2 2	第 6 の領域	

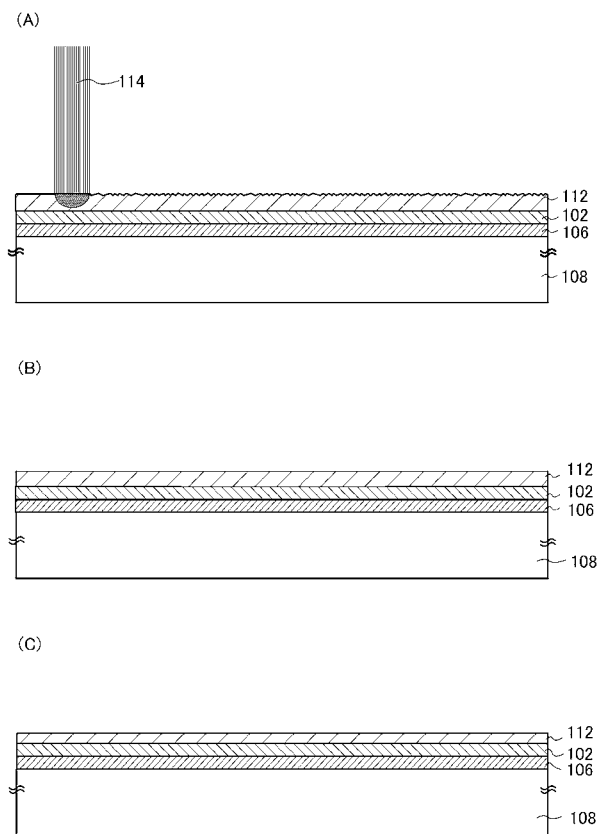
【図 1】



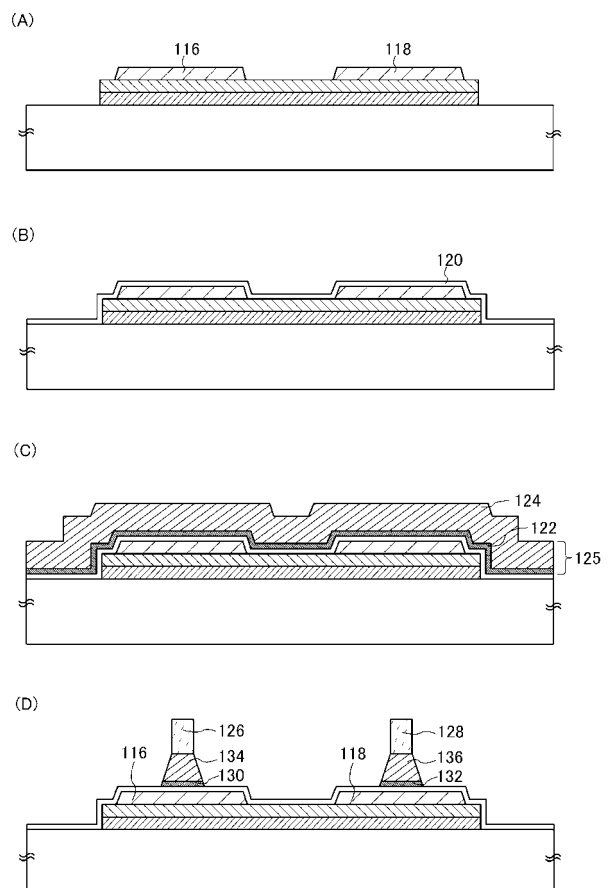
【図 2】



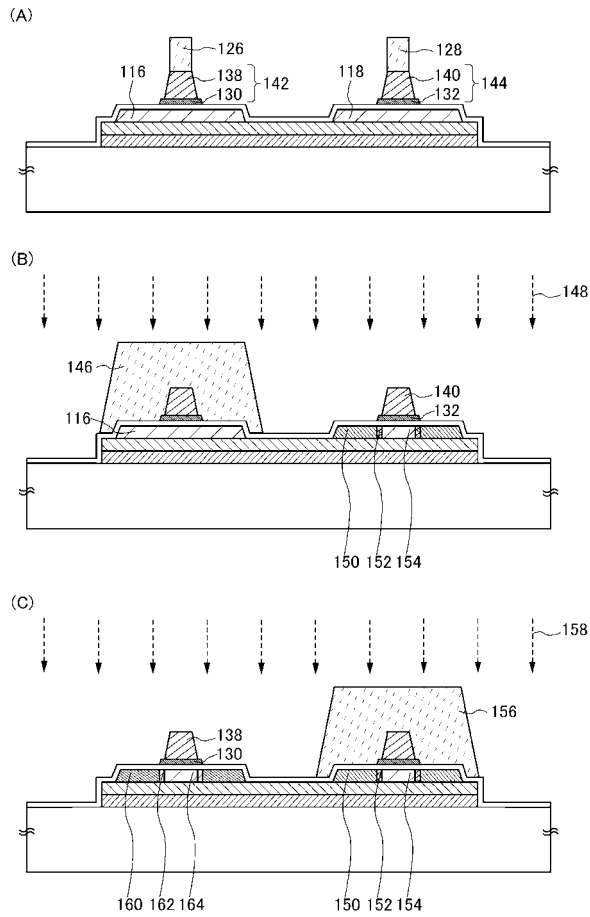
【図 3】



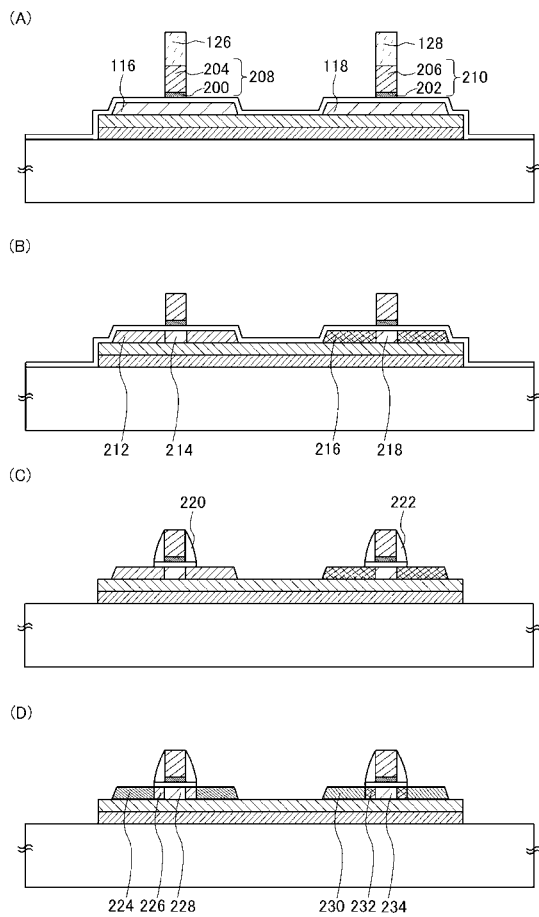
【図 4】



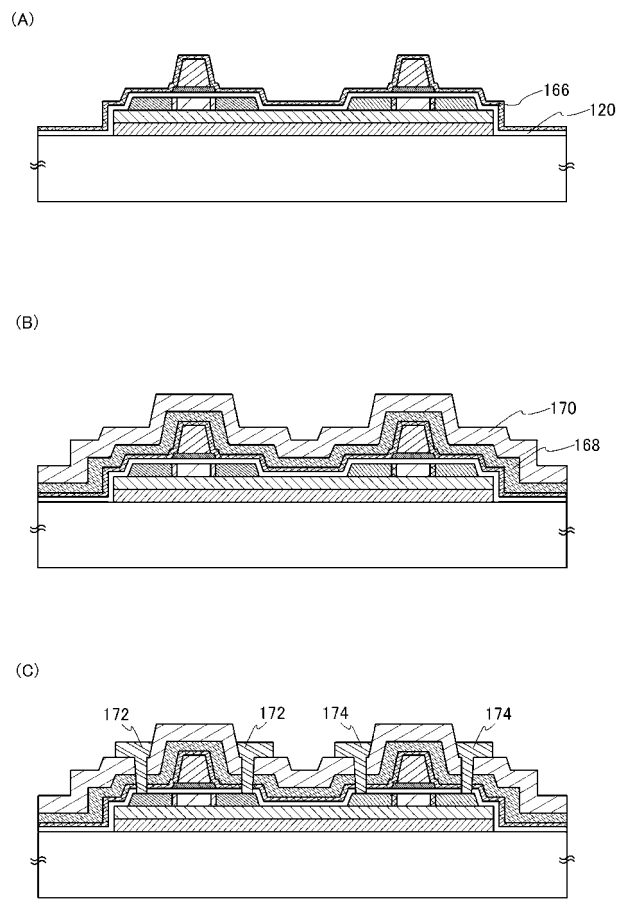
【図 5】



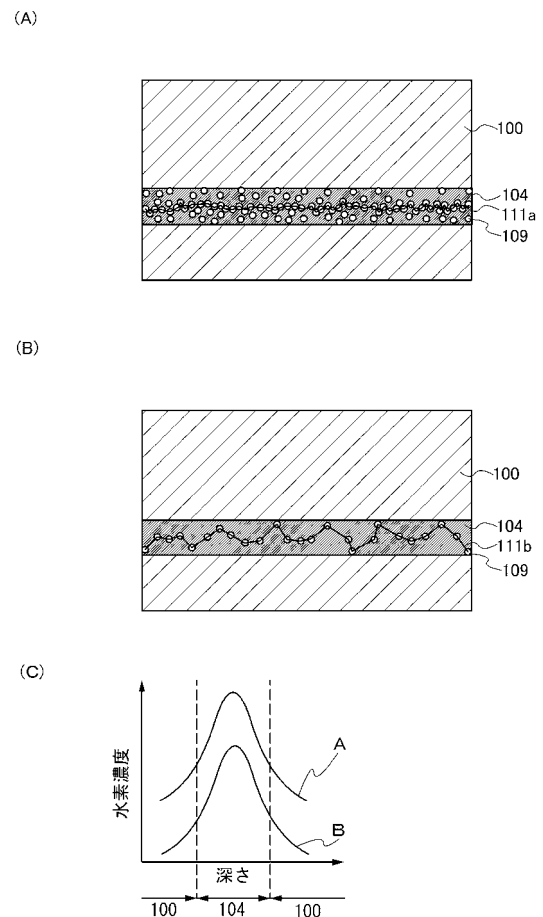
【図 7】



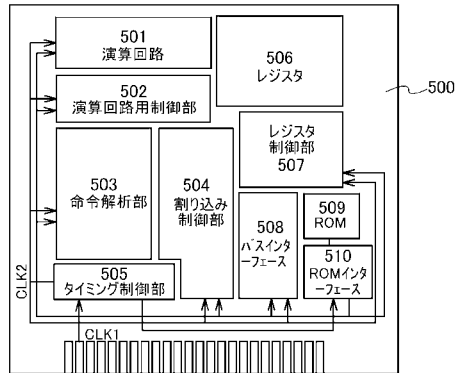
【図 6】



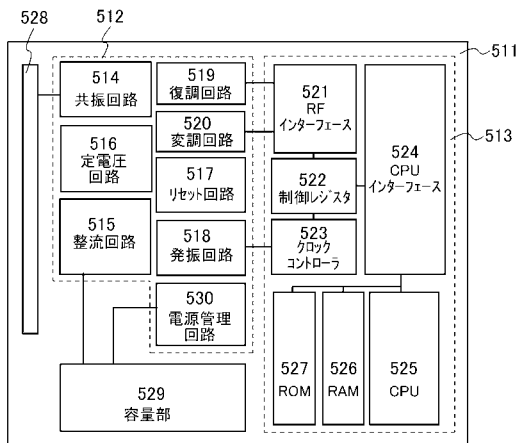
【図 8】



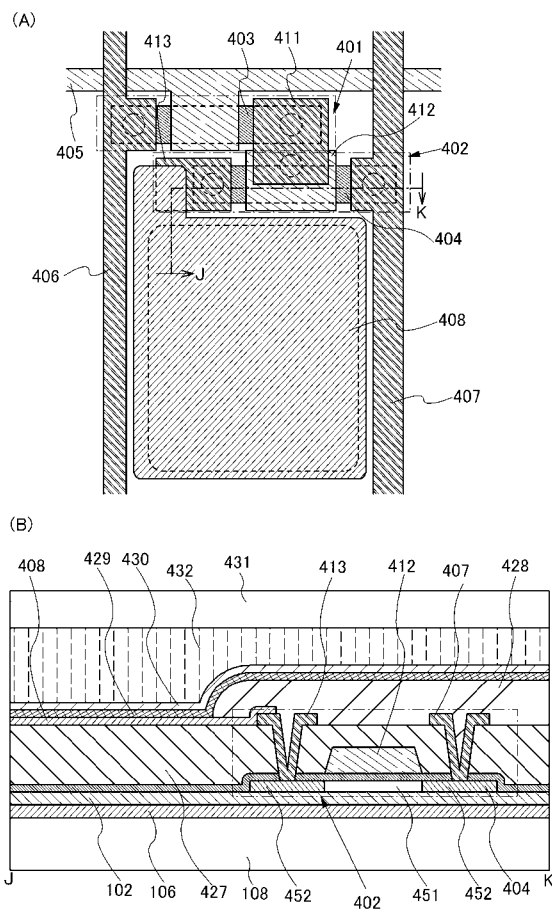
【 図 9 】



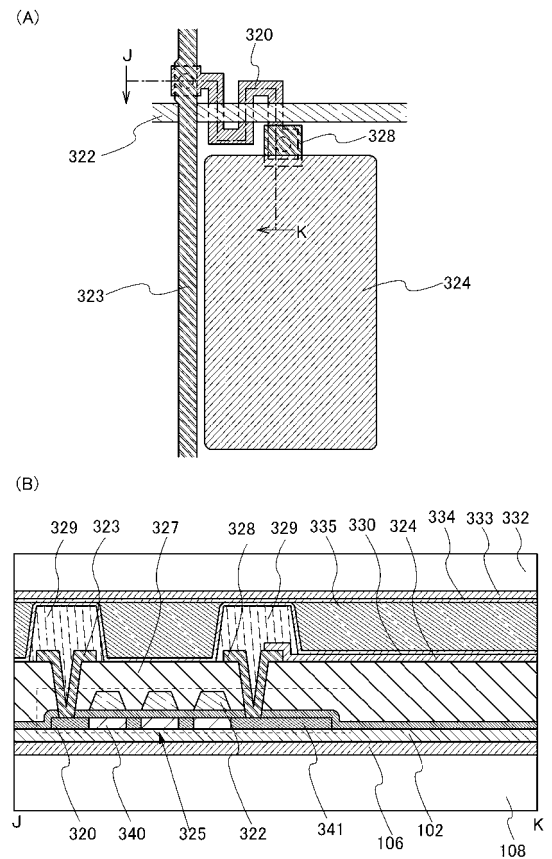
【 図 1 0 】



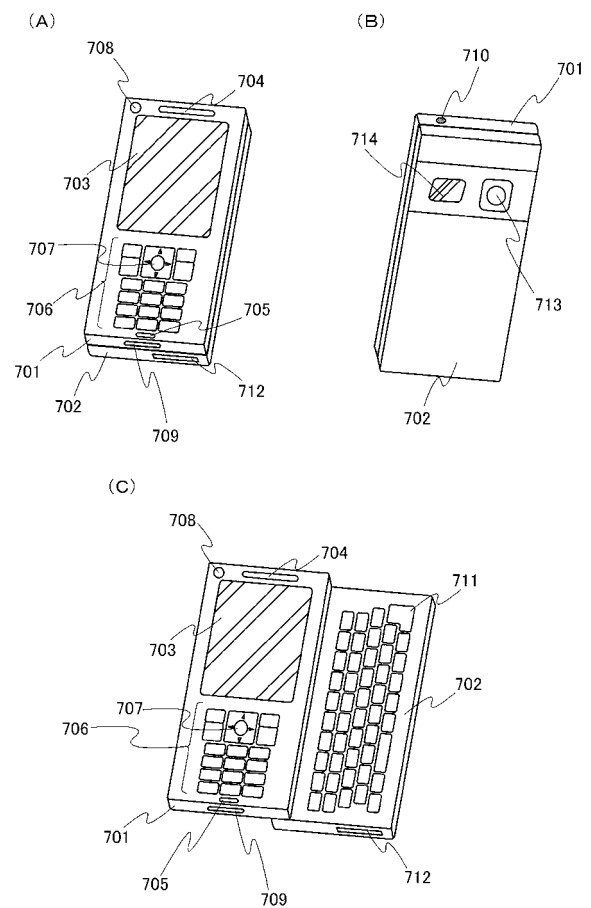
【 図 1 2 】



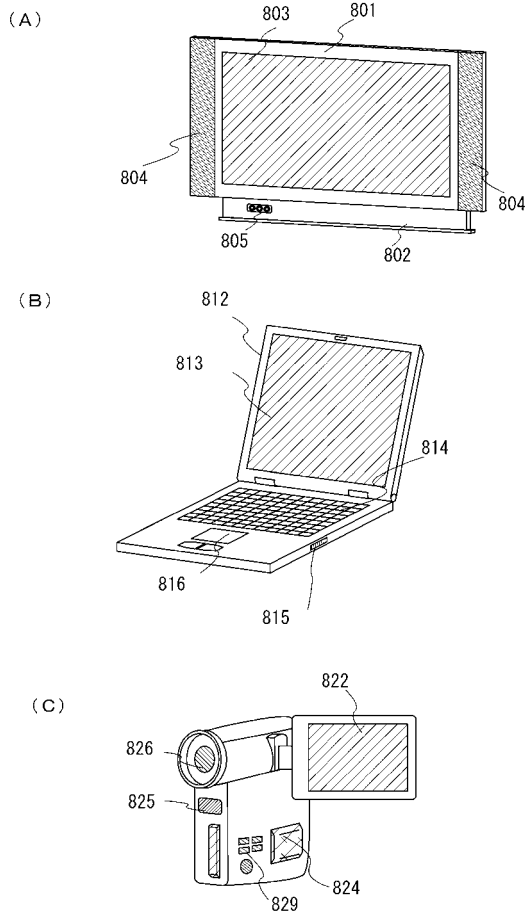
【 図 1 1 】



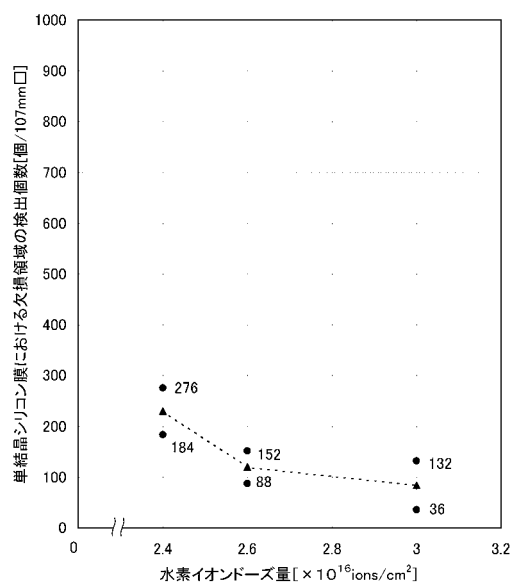
【 図 1 3 】



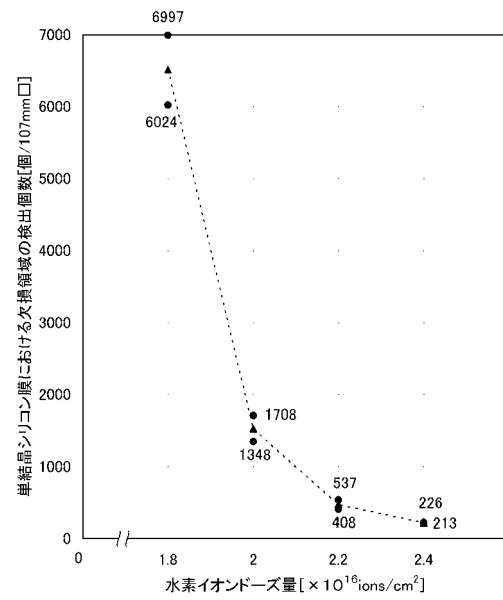
【図 14】



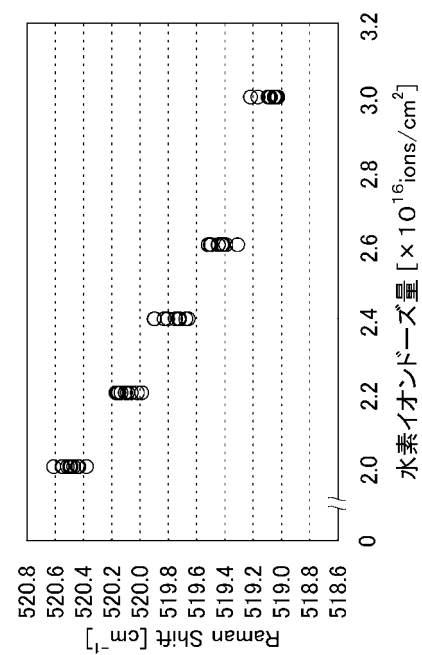
【図 16】



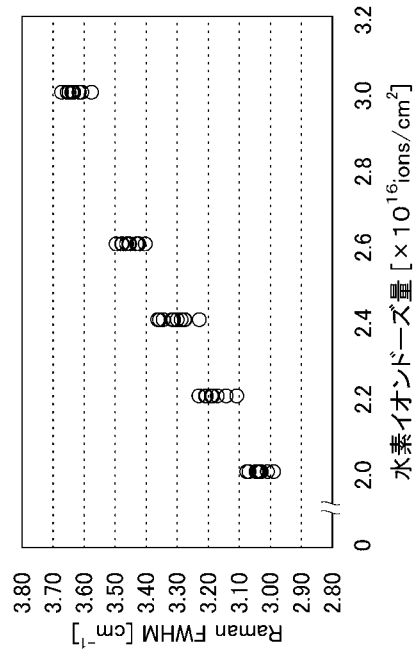
【図 15】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/20

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/78 6 2 7 G

H 0 1 L 29/78 6 2 7 D

F ターム(参考) 5F110 AA18 AA19 AA30 BB01 BB04 CC02 DD02 DD05 DD12 DD13
 DD14 DD15 DD17 EE01 EE02 EE03 EE04 EE09 EE14 EE23
 EE32 EE44 EE45 FF01 FF02 FF03 FF04 FF09 FF22 FF23
 FF26 FF28 FF30 FF36 GG02 GG12 GG32 HJ01 HJ04 HJ23
 HL01 HL02 HL03 HL04 HL06 HL11 HM15 NN02 NN03 NN22
 NN23 NN24 NN27 NN34 NN35 NN40 NN65 NN71 NN72 PP01
 PP02 PP03 PP04 PP05 PP06 PP10 PP13 PP22 PP31 PP38
 QQ11 QQ17 QQ23
 5F152 AA12 AA13 BB02 CC02 CD13 CD14 CD15 CD16 CE03 CE06
 CE07 CE08 CE29 DD02 DD04 DD06 EE11 EE14 EE16 FF03
 FF04 FF06 FF07 FF08 FF28 FG01 FG04 FG08 FG18 FG23
 LL16 MM04 NN14 NP11 NP12 NP13 NP14 NQ03 NQ04 NQ05
 NQ06