

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7655742号
(P7655742)

(45)発行日 令和7年4月2日(2025.4.2)

(24)登録日 令和7年3月25日(2025.3.25)

(51)国際特許分類		F I	
H 0 3 K	5/08 (2006.01)	H 0 3 K	5/08 E
H 0 3 F	3/34 (2006.01)	H 0 3 F	3/34 2 1 0
H 0 3 F	3/45 (2006.01)	H 0 3 F	3/45 2 1 0
H 0 3 F	1/22 (2006.01)	H 0 3 F	1/22
H 0 4 N	25/78 (2023.01)	H 0 4 N	25/78

請求項の数 15 (全17頁)

(21)出願番号	特願2021-33250(P2021-33250)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和3年3月3日(2021.3.3)	(74)代理人	100094112 弁理士 岡部 譲
(65)公開番号	特開2022-134242(P2022-134242 A)	(74)代理人	100101498 弁理士 越智 隆夫
(43)公開日	令和4年9月15日(2022.9.15)	(74)代理人	100106183 弁理士 吉澤 弘司
審査請求日	令和6年3月1日(2024.3.1)	(74)代理人	100136799 弁理士 本田 亜希
		(72)発明者	小林 秀央 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72)発明者	長谷川 蒼

最終頁に続く

(54)【発明の名称】 比較器、光電変換装置、および機器

(57)【特許請求の範囲】

【請求項1】

差動対をなす第1の差動トランジスタおよび第2の差動トランジスタと、
前記第1の差動トランジスタおよび前記第2の差動トランジスタにそれぞれ対応して設けられた第1の負荷トランジスタおよび第2の負荷トランジスタと、
前記第1の差動トランジスタおよび前記第1の負荷トランジスタの間にカスコード接続される第1のカスコードトランジスタと、
前記第1の負荷トランジスタおよび前記第1のカスコードトランジスタの間の出力ノードにおける出力信号の振幅を制限する振幅制限素子と、
を備え、
前記第1のカスコードトランジスタにおいて、ドレインおよびソースの間の電圧を V_{ds} 、ゲートおよびソースの間の電圧を V_{gs} 、閾値電圧を V_{th} とした場合、
 $V_{ds} > V_{gs} - V_{th}$

の式が充足され、
前記第1のカスコードトランジスタにおいて、ゲート長を L 、ドレイン電流を I 、移動度を μ 、単位面積あたりのゲート酸化膜容量を C_{ox} 、ゲート幅を W とした場合、

【数1】

$$V_{ds} > V_{gs} - V_{th} = \sqrt{\frac{2LI}{\mu C_{ox}W}} \dots (2)$$

の式が充足され、

前記第1のカスコードトランジスタの前記ゲート長Lは前記第1の差動トランジスタのゲート長より短いことを特徴とする比較器。

【請求項2】

差動対をなす第1の差動トランジスタおよび第2の差動トランジスタと、

前記第1の差動トランジスタおよび前記第2の差動トランジスタにそれぞれ対応して設けられた第1の負荷トランジスタおよび第2の負荷トランジスタと、

10

前記第1の差動トランジスタおよび前記第1の負荷トランジスタの間にカスコード接続される第1のカスコードトランジスタと、

前記第1の負荷トランジスタおよび前記第1のカスコードトランジスタの間の出力ノードにおける出力信号の振幅を制限する振幅制限素子と、

を備え、

前記第1のカスコードトランジスタにおいて、ドレインおよびソースの間の電圧を V_{ds} 、ゲートおよびソースの間の電圧を V_{gs} 、閾値電圧を V_{th} とした場合、

$$V_{ds} > V_{gs} - V_{th}$$

の式が充足され、

20

前記第1のカスコードトランジスタにおいて、ゲート長をL、ドレイン電流をI、移動度を μ 、単位面積あたりのゲート酸化膜容量を C_{ox} 、ゲート幅をWとした場合、

【数2】

$$V_{ds} > V_{gs} - V_{th} = \sqrt{\frac{2LI}{\mu C_{ox}W}} \dots (2)$$

の式が充足され、

前記第1のカスコードトランジスタの前記ゲート幅Wは前記第1の差動トランジスタのゲート幅よりも大きいことを特徴とする比較器。

30

【請求項3】

前記振幅制限素子は振幅制限トランジスタであって、前記振幅制限トランジスタのゲートおよびドレインは前記出力ノードに接続されることを特徴とする請求項1または2に記載の比較器。

【請求項4】

前記第1のカスコードトランジスタのゲートには所定のバイアス電圧が印加されることを特徴とする請求項3に記載の比較器。

【請求項5】

前記第1のカスコードトランジスタのゲートは前記振幅制限トランジスタのソースに接続されることを特徴とする請求項3または4に記載の比較器。

40

【請求項6】

前記第1の負荷トランジスタ、前記第2の負荷トランジスタ、前記振幅制限トランジスタのそれぞれのソースは電源に接続されることを特徴とする請求項3～5のいずれか1項に記載の比較器。

【請求項7】

前記第2の差動トランジスタおよび前記第2の負荷トランジスタの間にカスコード接続される第2のカスコードトランジスタをさらに備えることを特徴とする請求項3～6のいずれか1項に記載の比較器。

【請求項8】

前記第1のカスコードトランジスタのゲートおよび前記第2のカスコードトランジスタ

50

のゲートは接続されることを特徴とする請求項 7 に記載の比較器。

【請求項 9】

前記振幅制限トランジスタと対をなす他のトランジスタをさらに備え、

前記他のトランジスタのソースは、前記第 1 の負荷トランジスタ、前記第 2 の負荷トランジスタ、前記振幅制限トランジスタのそれぞれのソースに接続され、

前記他のトランジスタのゲートおよびドレインは、前記第 2 の負荷トランジスタのドレインに接続されることを特徴とする請求項 3 ~ 8 のいずれか 1 項に記載の比較器。

【請求項 10】

前記出力信号の最小値から最大値に渡って、前記式 $(V_{ds} > V_{gs} - V_{th})$ が充足されることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載の比較器。

10

【請求項 11】

前記第 1 の差動トランジスタのゲートに直列に接続された第 1 の容量と、

前記第 2 の差動トランジスタのゲートに直列に接続された第 2 の容量と、

前記第 1 の差動トランジスタのゲートと前記第 1 の負荷トランジスタのドレインとを導通または非導通させる第 1 のスイッチと、

前記第 2 の差動トランジスタのゲートと前記第 2 の負荷トランジスタのドレインとを導通または非導通させる第 2 のスイッチとを備えることを特徴とする請求項 3 ~ 10 のいずれか 1 項に記載の比較器。

【請求項 12】

前記第 1 の差動トランジスタのゲートにはバッファアンプを介して信号が入力されることを特徴とする請求項 3 ~ 11 のいずれか 1 項に記載の比較器。

20

【請求項 13】

請求項 1 ~ 12 のいずれか 1 項に記載の比較器と、

アレイ状に配されるとともに、入射光に応じた画素信号を出力する複数の画素と、

時間に依存して電圧が変化する参照信号を生成する参照信号生成回路と、

を備え、

前記比較器は、前記画素信号と前記参照信号との比較結果を表す信号を出力することを特徴とする光電変換装置。

【請求項 14】

請求項 13 に記載の光電変換装置と、

前記光電変換装置に対応した光学装置、

前記光電変換装置を制御する制御装置、

前記光電変換装置から出力された信号を処理する処理装置、

前記光電変換装置で得られた情報を表示する表示装置、

前記光電変換装置で得られた情報を記憶する記憶装置、及び

前記光電変換装置で得られた情報に基づいて動作する機械装置、の少なくともいずれかと、を備えることを特徴とする機器。

30

【請求項 15】

前記画素が複数の光電変換部を含み、

前記処理装置は、前記複数の光電変換部にて生成された前記画素信号をそれぞれ処理し、前記光電変換装置から被写体までの距離情報を取得することを特徴とする請求項 14 に記載の機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、比較器、光電変換装置、および機器に関する。

【背景技術】

【0002】

差動増幅回路を含む比較器は様々な機器において用いられている。引用文献 1 に記載の比較器は、一對の差動トランジスタと、一對の負荷トランジスタと、差動トランジスタに

50

カスコード接続された1個または1対のカスコードトランジスタとを含んでいる。カスコードトランジスタは、アイソレータとして機能することにより、ノイズを低減し得る。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2013-90305号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、カスコードトランジスタが線形動作状態となると、差動トランジスタの主ノードの電位変動が大きくなり、比較器の入力へのキックバックが増大してしまうという問題が生じていた。

10

【0005】

本発明は、上述の課題に鑑みてなされたものであって、比較器の入力へのキックバックを低減することを目的とする。

【課題を解決するための手段】

【0006】

本明細書の一開示における比較器は、差動対をなす第1の差動トランジスタおよび第2の差動トランジスタと、前記第1の差動トランジスタおよび前記第2の差動トランジスタにそれぞれ対応して設けられた第1の負荷トランジスタおよび第2の負荷トランジスタと、前記第1の差動トランジスタおよび前記第1の負荷トランジスタの間にカスコード接続される第1のカスコードトランジスタと、前記第1の負荷トランジスタおよび前記第1のカスコードトランジスタの間の出力ノードにおける出力信号の振幅を制限する振幅制限素子と、を備え、前記第1のカスコードトランジスタにおいて、ドレインおよびソースの間の電圧を V_{ds} 、ゲートおよびソースの間の電圧を V_{gs} 、閾値電圧を V_{th} とした場合、 $V_{ds} > V_{gs} - V_{th}$ の式が充足され、前記第1のカスコードトランジスタにおいて、ゲート長を L 、ドレイン電流を I 、移動度を μ 、単位面積あたりのゲート酸化膜容量を C_{ox} 、ゲート幅を W とした場合、

20

【数1】

$$V_{ds} > V_{gs} - V_{th} = \sqrt{\frac{2LI}{\mu C_{ox} W}} \dots (2)$$

30

の式が充足され、前記第1のカスコードトランジスタの前記ゲート長 L は前記第1の差動トランジスタのゲート長より短い。

さらに、本明細書の他の開示における比較器は、差動対をなす第1の差動トランジスタおよび第2の差動トランジスタと、前記第1の差動トランジスタおよび前記第2の差動トランジスタにそれぞれ対応して設けられた第1の負荷トランジスタおよび第2の負荷トランジスタと、前記第1の差動トランジスタおよび前記第1の負荷トランジスタの間にカスコード接続される第1のカスコードトランジスタと、前記第1の負荷トランジスタおよび前記第1のカスコードトランジスタの間の出力ノードにおける出力信号の振幅を制限する振幅制限素子と、を備え、前記第1のカスコードトランジスタにおいて、ドレインおよびソースの間の電圧を V_{ds} 、ゲートおよびソースの間の電圧を V_{gs} 、閾値電圧を V_{th} とした場合、 $V_{ds} > V_{gs} - V_{th}$ の式が充足され、前記第1のカスコードトランジスタにおいて、ゲート長を L 、ドレイン電流を I 、移動度を μ 、単位面積あたりのゲート酸化膜容量を C_{ox} 、ゲート幅を W とした場合、

40

【数2】

$$V_{ds} > V_{gs} - V_{th} = \sqrt{\frac{2LI}{\mu C_{ox} W}} \dots (2)$$

50

の式が充足され、前記第1のカスコードトランジスタの前記ゲート幅Wは前記第1の差動トランジスタのゲート幅よりも大きい。

【発明の効果】

【0007】

本発明によれば、比較器の入力へのキックバックを低減することが可能となる。

【図面の簡単な説明】

【0008】

【図1】第1実施形態における撮像装置のブロック図である。

【図2】第1実施形態における画素の等価回路図である。

【図3】第1実施形態における比較器の等価回路図である。

10

【図4】第1実施形態における比較器の動作を表すタイミングチャートである。

【図5】第2実施形態における比較器の等価回路図である。

【図6】第3実施形態における比較器の動作を表すタイミングチャートである。

【図7】第4実施形態における比較器の等価回路図である。

【図8】第5実施形態における比較器の等価回路図である。

【図9】第6実施形態における機器のブロック図である。

【図10】第7実施形態における機器のブロック図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について図面を用いて説明する。本発明は、以下に説明される実施形態に限定されない。例えば、以下のいずれかの実施形態の一部の構成を、他の実施形態に追加し、あるいは他の実施形態の一部の構成と置換してもよい。

20

【0010】

[第1実施形態]

図1は本実施形態における撮像装置のブロック図である。撮像装置は、例えばCMOS (Complementary Metal Oxide Semiconductor) イメージセンサであって、画素部1、垂直走査回路2、比較器3a、3b、参照信号生成回路4a、4b、カウンタ5a、5b、第1メモリ6a、6b、第2メモリ7a、7b、出力回路8a、8b、信号線11a、11b、電流源12a、12bを備える。

【0011】

30

画素部1は2次元アレイ状に配列された複数の画素10を備え、それぞれの画素10は受光量に応じた信号電荷を生成および蓄積する光電変換部を備える。なお、本明細書において、行方向とは図面における水平方向を示し、列方向とは図面において垂直方向を示すものとする。画素10上にはマイクロレンズ、カラーフィルタが配置され得る。カラーフィルタは例えば赤(R)、青(B)、緑(Gr、Gb)の原色フィルタであって、ペイヤー配列に従って各画素10に設けられている。一部の画素10はOB画素(オプティカル・ブラック画素)として遮光されている。複数の画素10には、焦点検出用の画素信号を出力する焦点検出画素が配された測距行と、画像を生成するための画素信号を出力する撮像画素が配された複数の撮像行とが設けられ得る。信号線11a、11bは画素10の列毎に設けられ、同一列の画素10は共通の信号線11a、11bに画素信号を出力する。本実施形態において、奇数列の信号線11a、偶数列の信号線11bはそれぞれ異なる回路に接続され得る。すなわち、奇数列の画素10は、信号線11aを介して、比較器3a、参照信号生成回路4a、カウンタ5a、第1メモリ6a、第2メモリ7a、出力回路8aによって読み出される。また、偶数列の画素10は、信号線11bを介して、比較器3b、参照信号生成回路4b、カウンタ5b、第1メモリ6b、第2メモリ7b、出力回路8bによって読み出される。なお、1列の画素10に配される信号線の本数は1本に限定されず、2~24本のように複数であってもよい。

40

【0012】

垂直走査回路2はシフトレジスタ、ゲート回路、バッファ回路などから構成され、垂直同期信号、水平同期信号、クロック信号などに基づき制御信号を画素10に出力し、行毎

50

に画素10を駆動する。電流源12a、12bは信号線11a、11bに接続され、画素10の負荷回路として機能する。

【0013】

比較器3a、3bは差動増幅回路などから構成され、反転入力ノードには画素信号が入力され、非反転入力ノードには参照信号RAMPが入力され得る。比較器3a、3bは参照信号RAMPと画素信号とを比較し、比較結果を表す比較信号を出力ノードから出力する。

【0014】

参照信号生成回路4a、4bは時間に依存して電圧が変化する参照信号(ランプ信号)RAMPを生成する。参照信号生成回路4a、4bは、容量充放電方式、DAC方式、カレントステアリング方式など、様々な方式を用いて構成され得る。参照信号RAMPは、時間とともに電圧が増大するアップスロープだけでなく、時間とともに電圧が低下するダウンスロープであってもよい。また、参照信号RAMPは、単位時間あたりの電圧変化率が異なる複数のスロープ波形を含み得る。

10

【0015】

カウンタ5a、5bは、参照信号RAMPに同期してカウンタのカウントアップまたはカウントダウンを行う。カウンタ5a、5bは、参照信号生成回路4a、4bの参照信号RAMPの電圧変化の開始と同時にクロックパルスの計数を開始し、カウント信号を出力する。カウント信号は、第1メモリ6a、6bに供給される。なお、信号線11a、11bの列毎にカウンタを設け、それぞれのカウンタに共通のクロックパルスを供給してもよい。

20

【0016】

第1メモリ6a、6bは、比較器3a、3bからの比較結果、カウンタ5a、5bからのカウント値を入力し、比較結果が反転したタイミングにおけるカウント値をラッチする。第1メモリ6a、6bに保持されたカウント値は、画素信号をアナログ・デジタル変換した値を表している。第2メモリ7a、7bは第1メモリ6a、6bから転送されたカウント値をさらに保持可能である。第1メモリ6a、6b、第2メモリ7a、7bは、画素10のリセット時におけるカウント値、画素10の光電変換に基づくカウント値をそれぞれ保持し得る。出力回路8a、8bは、水平走査回路および信号処理回路を含み得る。水平走査回路は、デコーダ、シフトレジスタを備え、第1メモリ6a、6b、第2メモリ7a、7bに保持されたカウント値を順に読み出し、信号処理回路に出力する。信号処理回路はデジタル・シグナル・プロセッサを備え、デジタルゲイン、デジタル相関二重サンプリング、デジタルオフセット、リニアリティ補正などのデジタル信号処理を行う。また、信号処理回路はLVDS(Low Voltage Differential Signaling)方式のシリアル出力回路を備え、信号処理されたデジタル信号を高速、低消費電力にて撮像装置の外部へと出力する。

30

【0017】

図2は本実施形態における画素10の等価回路図である。画素10は、光電変換部100、転送トランジスタ101、浮遊拡散領域(Floating Diffusion)102、増幅トランジスタ103、選択トランジスタ104、リセットトランジスタ105を含む。以下の説明は、画素10を構成するトランジスタがNチャネルMOSトランジスタである例を示している。光電変換部100は例えばフォトダイオードから構成されており、入射光による光電変換および電荷の蓄積を行なう。なお、光電変換部100はフォトダイオードに限定されず、光電効果を生じさせる材料であれば良い。画素10あたりの光電変換部100の数も限定されず、2個、4個またはそれ以上の複数の光電変換部100が1つのマイクロレンズを共有するように設けられても良い。さらに、埋め込み型のフォトダイオードを構成することで、暗電流ノイズを低減できる。光電変換部100にはマイクロレンズが設けられており、マイクロレンズにより集光された光が光電変換部100に入射する。

40

【0018】

50

転送トランジスタ101は光電変換部100に対応して設けられ、ゲートには垂直走査回路2から制御信号TXが印加される。制御信号TXがハイレベルとなると、転送トランジスタ101がオン状態（導通状態）となり、光電変換部100に蓄積された信号電荷が増幅トランジスタ103のゲートに形成された浮遊拡散領域102に転送される。また、制御信号TXがローレベルとなると、転送トランジスタ101はオフ状態（非導通状態）となる。浮遊拡散領域102は信号電荷を電圧に変換し、増幅トランジスタ103はゲート電圧に応じた信号電圧をソースから選択トランジスタ104を介して信号線11a、11bへ出力する。増幅トランジスタ103のドレインは電源VDDに接続されている。

【0019】

リセットトランジスタ105のソースは浮遊拡散領域102に接続され、ドレインは電源VDDに接続され、ゲートには垂直走査回路2から制御信号RESが印加される。制御信号RESがハイレベルとなると、リセットトランジスタ105はオン状態となり、浮遊拡散領域102に電源VDDの電圧が供給される。選択トランジスタ104は増幅トランジスタ103と信号線11a、11bとの間に設けられており、選択トランジスタ104のゲートには垂直走査回路2から制御信号SELが印加される。制御信号SELがハイレベルとなると、増幅トランジスタ103と信号線11a、11bとが電氣的に導通する。信号線11a、11bには電流源12a、12bが接続されており、電流源12a、12bは信号線11a、11bを介して増幅トランジスタ103のソースに一定のバイアス電流を供給する。

【0020】

なお、画素10は、図2の構成に限定されず、各画素10に複数の選択トランジスタが設けられてもよい。さらに、浮遊拡散領域に付加容量が配され、浮遊拡散領域の容量が選択可能であってもよい。

【0021】

図3は本実施形態における比較器のブロック図である。比較器3(3a、3b)は、電流源300、NチャネルMOSの第1の差動トランジスタ301、NチャネルMOSの第2の差動トランジスタ302、PチャネルMOSの第1の負荷トランジスタ311、PチャネルMOSの第2の負荷トランジスタ312、NチャネルMOSの第1のカスコードトランジスタ321、NチャネルMOSの第2のカスコードトランジスタ322、PチャネルMOSの振幅制限トランジスタ330、PチャネルMOSのソースフォロワトランジスタ370、電流源371を含む。

【0022】

差動トランジスタ301、302は差動対を構成している。差動トランジスタ301のゲートには参照信号RAMPが入力され、差動トランジスタ302のゲートには画素信号が入力されている。差動トランジスタ301、302のそれぞれのソースは電流源300を介して接地線GNDに接続されている。

【0023】

負荷トランジスタ311、312は対をなすとともに、差動トランジスタ301、302に対応して設けられている。負荷トランジスタ311、312はカレントミラー回路を構成し、それぞれのゲートは互いに接続されるとともに負荷トランジスタ312のドレインに接続されている。また、負荷トランジスタ311、312のソースは電源VDDに接続されている。

【0024】

カスコードトランジスタ321、322は対をなすとともに、差動トランジスタ301、302と負荷トランジスタ311、312との間にそれぞれ配されている。すなわち、カスコードトランジスタ321のソースは差動トランジスタ301のドレインに接続され、カスコードトランジスタ321のドレインは負荷トランジスタ311のドレインに接続されている。同様に、カスコードトランジスタ322のソースは差動トランジスタ302のドレインに接続され、カスコードトランジスタ322のドレインは負荷トランジスタ312のドレインに接続されている。また、カスコードトランジスタ321、322のゲート

10

20

30

40

50

トには所定のバイアス電圧 V_{bias} が印加されている。

【0025】

振幅制限トランジスタ330は、差動段の出力、すなわち、負荷トランジスタ311とカスコードトランジスタ321の間の出力ノードAに設けられている。振幅制限トランジスタ330のゲートおよびドレインは負荷トランジスタ311のドレインに接続され、振幅制限トランジスタ330のソースは電源VDDに接続されている。振幅制限トランジスタ330は、出力ノードAにおける振幅を制限することにより、カスコードトランジスタ321が線形動作状態となるのを回避している。これにより、差動トランジスタ301のドレインの電位変動が抑制され、比較器3の入力へのキックバックを低減することが可能となる。

10

【0026】

ソースフォロワトランジスタ370は、差動段の出力ノードAに設けられている。ソースフォロワトランジスタ370のゲートは出力ノードAに接続され、ソースフォロワトランジスタ370のソースは電源VDDに接続されている。また、ソースフォロワトランジスタ370のドレインは、電流源371を介して接地線GNDに接続されるとともに、信号OUTを出力可能である。

【0027】

図4は、本実施形態における比較器の動作を表すタイミングチャートであって、参照信号RAMP、画素信号、出力ノードA、差動トランジスタ301のドレイン301dおよびソース301sのそれぞれの電位変化を示している。また、実線のグラフは本実施形態における動作を表し、破線のグラフは振幅制限トランジスタ330が設けられていない比較例の動作を表している。

20

【0028】

まず、比較例の動作を説明する。時刻 $t_1 \sim t_2$ において、参照信号RAMPの電位は画素信号の電位よりも高く、差動トランジスタ301に電流が流れる。差動トランジスタ301のドレイン301dの電位および差動段の出力ノードAの電位は、ソース301sの電位の近くまで低下する。

【0029】

時刻 t_2 において、参照信号RAMPの電位が低下し始め、差動トランジスタ301における電流も減少し始める。時刻 $t_2 \sim t_3$ において、カスコードトランジスタ321は線形動作をし、差動トランジスタ301のドレイン301dの電位は差動段の出力ノードAの電位とともに上昇する。ここで、差動トランジスタ301には、ゲート・ドレイン間の寄生容量が存在する。このため、ドレイン301dの電位変動は、寄生容量を介してゲートの電位変動を生じさせ、参照信号RAMPに干渉し、比較器3の入力へのキックバックが増大し得る。

30

【0030】

時刻 t_3 以降において、差動段の出力ノードAとドレイン301dとの電位差、すなわちカスコードトランジスタ321のドレイン・ソース電圧 V_{ds} が、カスコードトランジスタ321を飽和動作させるのに十分に大きくなると、ドレイン301dの電位は略一定となる。つまり、差動段の出力ノードAの電位が変化したとしても、ドレイン301dの電位は変化しなくなる。

40

【0031】

続いて、本実施形態の動作を説明する。時刻 $t_1 \sim t_2$ において、差動トランジスタ301に電流が流れ、差動段の出力ノードAの電位は低下する。出力ノードAには振幅制限トランジスタ330が設けられているため、出力ノードAの電位の低下は振幅制限トランジスタ330によって抑えられる。このとき、出力ノードAの電位は振幅制限トランジスタ330のゲート・ソース間の電圧 V_{gs} によって定められ得る。本実施形態において、出力ノードAの電位およびドレイン301dの電位は比較例におけるそれぞれの電位に比べて高くなる。カスコードトランジスタ321のドレインおよびソースの間の電圧は、カスコードトランジスタ321が飽和動作をするのに十分に大きくなる。このとき、カスコ

50

ードトランジスタ321において、ドレイン・ソース電圧 V_{ds} 、ゲート・ソース電圧 V_{gs} 、閾値電圧 V_{th} は以下の式(1)を充足し得る。

$$V_{ds} > V_{gs} - V_{th} \quad \dots (1)$$

【0032】

時刻 $t_2 \sim t_3$ において、参照信号RAMPの電位の低下に伴い、出力ノードAの電位が上昇するが、カスコードトランジスタ321は飽和動作状態(式(1))を維持し、差動トランジスタ301のドレイン301dの電位は一定となる。このため、差動トランジスタ301において、ゲート・ドレイン間に寄生容量が存在したとしても、ゲートの電位変動が低減され、参照信号RAMPへの干渉を抑えることができる。時刻 t_3 以降においても、カスコードトランジスタ321は飽和動作状態を維持し、ドレイン301dの電位は一定である。出力ノードAにおける出力信号の最小値から最大値に渡って、上述の式(1)が充足されることが望ましい。

10

【0033】

本実施形態においては、振幅制限トランジスタ330を設けることにより、カスコードトランジスタ321が線形動作状態になるのを回避し、比較器3の入力ノードへのキックバックを低減することが可能となる。特に、カレントミラーの負荷トランジスタ311、312が設けられている場合、差動段の出力ノードAの下限は差動トランジスタ301、302ソースの電位近くまで下がり、カスコードトランジスタ321は線形動作し易くなる。このような場合においても、本実施形態における振幅制限トランジスタ330はカスコードトランジスタ321の線形動作を効果的に抑制し、比較器3の入力へのキックバックを低減することが可能となる。

20

【0034】

なお、本実施形態における振幅制限素子として、振幅制限トランジスタ330を例に説明したが、振幅制限素子はダイオード素子、クリップ回路などであってもよい。

【0035】

[第2実施形態]

続いて、第2実施形態における比較器および撮像装置について、第1実施形態と異なる構成を中心に説明する。

【0036】

図5は、本実施形態における比較器のブロック図である。本実施形態において、振幅制限トランジスタ330に加えて、トランジスタ332が設けられている。トランジスタ332は、PチャネルMOSであって振幅制限トランジスタ330と対をなしている。トランジスタ332のゲートおよびドレインは負荷トランジスタ312のドレインおよびゲートに接続され、トランジスタ332のソースは電源VDDに接続されている。

30

【0037】

第1実施形態において、外乱により電源電圧の変動があった場合、振幅制限トランジスタ330により差動段の出力ノードAの電圧が変動し得る。本実施形態においては、トランジスタ332は、負荷トランジスタ311、312のゲートにおいても電位変動を生じさせ、出力ノードAにおける電源電圧変動の影響を打ち消すことが可能である。

【0038】

また、本実施形態においても、振幅制限トランジスタ330によってカスコードトランジスタ321の線形動作を効果的に抑制し、比較器3の入力へのキックバックを低減するとう効果を奏することが可能となる。

40

【0039】

[第3実施形態]

続いて、第3実施形態における比較器および撮像装置について説明する。本実施形態における比較器の構成は第2実施形態と同様であるが、本実施形態においては望ましい回路定数について説明する。

【0040】

上述したように、カスコードトランジスタ321を飽和動作させることにより、比較器

50

3の入力へのキックバックが低減され得る。カスコードトランジスタ321が飽和動作をするためには、上述の式(1)が充足されることが望ましい。また、式(1)は以下の式(2)のように表され得る。

【数1】

$$V_{ds} > V_{gs} - V_{th} = \sqrt{\frac{2LI}{\mu C_{ox}W}} \dots (2)$$

【0041】

式(2)において、Lはゲート長、Iはドレイン電流、μは移動度、Coxは単位面積あたりのゲート酸化膜容量、Wはゲート幅を表している。ここで、ゲート長Lを短くすることにより、カスコードトランジスタ321の飽和動作に必要なドレイン・ソース電圧Vdsを抑制することができる。例えば、カスコードトランジスタ321のゲート長Lを差動トランジスタ301のゲート長Lより短くすることにより、カスコードトランジスタ321のドレイン・ソース電圧Vdsを抑制できる。なお、差動トランジスタ302、カスコードトランジスタ322も差動トランジスタ301、カスコードトランジスタ321と同様に構成されうる。

10

【0042】

図6は、本実施形態における比較器の動作を表すタイミングチャートであって、参照信号RAMP、画素信号、出力ノードA、差動トランジスタ301のドレイン301dおよびソース301sのそれぞれの電位変化を示している。また、実線のグラフは本実施形態における動作を表し、破線のグラフはカスコードトランジスタ321が設けられていない比較例の動作を表している。

20

【0043】

まず、比較例の動作について説明する。時刻t1~t2において、差動段の出力ノードAの電位は低下する。ここで、カスコードトランジスタ321、322が設けられていない場合、カスコードトランジスタ321、322のドレイン・ソース電圧Vdsを確保する必要がない。このため、振幅制限トランジスタ330によって差動段の出力ノードAの振幅を制限せずに、出力ノードAの電位を低くし得る。時刻t2~t3において、差動段の出力ノードAの電位は十分に低い電位から上昇し、電位の変化率、すなわちスルーレート(傾き)が大きくなることを確認できる。

30

【0044】

一方、カスコードトランジスタ321、322が設けられている場合、時刻t1~t2において、差動段の出力ノードAの電位低下は振幅制限トランジスタ330によって抑えられ、カスコードトランジスタ321のドレイン・ソース電圧Vdsは飽和動作の状態となる。本実施形態においては、カスコードトランジスタ321のゲート長Lは差動トランジスタ301のゲート長Lより短く構成されている。このため、カスコードトランジスタ321の飽和動作のためのドレイン・ソース電圧Vdsを小さくし、差動段の出力ノードAの電位を低くすることができる。時刻t2~t3において、出力ノードAの電位のスルーレートを十分に大きくし、高速動作を実現することが可能となる。従って、本実施形態によれば、カスコードトランジスタ321の線形動作を回避しながら、出力信号のスルーレートを大きくすることが可能となる。

40

【0045】

なお、本実施形態において、カスコードトランジスタ321のゲート長Lを差動トランジスタ301のゲート長Lより短くする例を説明したが、式(2)においてゲート長L以外の定数を適宜変更し得る。例えば、ゲート幅Wを大きくすることにより、カスコードトランジスタ321を飽和動作状態としながら、ドレイン・ソース電圧Vdsを小さく設定してもよい。

【0046】

[第4実施形態]

50

続いて、第4実施形態における比較器および撮像装置について、第2実施形態と異なる構成を中心に説明する。

【0047】

図7は、本実施形態における比較器のブロック図である。本実施形態において、カスコードトランジスタ321、322のゲートは、振幅制限トランジスタ330のソースと同様に電源VDDに接続されている。電源電圧が低下した場合、差動段の出力ノードAの電位は振幅制限トランジスタ330によって低下する。カスコードトランジスタ321のドレインの電位が低くなり、カスコードトランジスタ321が線形動作の状態になり得る。本実施形態において、カスコードトランジスタ321のゲートの電位は電源電圧とともに低下し、カスコードトランジスタ321のゲート・ソース電圧 V_{gs} も小さくなる。このため、上述の式(1)、すなわち、 $[V_{ds} > V_{gs} - V_{th}]$ を充足するドレイン・ソース電圧 V_{ds} も小さくなり、カスコードトランジスタ321は飽和動作の状態を維持することが可能となる。従って、本実施形態によれば、電源電圧が低下した場合においても、カスコードトランジスタ321の線形動作を効果的に抑制し、比較器3の入力へのキックバックを低減することが可能となる。

10

【0048】

[第5実施形態]

比較器は上述した実施形態に限定されず、様々な構成をとり得る。以下、本実施形態について、第4実施形態と異なる構成を中心に説明する。

【0049】

図8は、本実施形態における比較器の等価回路図である。図8における比較器3は、オートゼロ動作のための第1の容量341、第2の容量342、第1のスイッチ351、第2のスイッチ352と、参照信号RAMPのアンプ372とをさらに備え得る。アンプ372は参照信号RAMPのバッファアンプとして機能し、例えばソースフォロワ回路によって構成され得る。アンプ372を設けることにより、差動トランジスタ301のゲートにおける電位変動が他の比較器3に影響を及ぼすのを回避することが可能である。なお、差動トランジスタ302のゲートにもアンプが設けられてもよい。

20

【0050】

容量341、342はそれぞれ差動トランジスタ301、302のゲートに直列に接続されている。アンプ372から出力された参照信号RAMPは容量341を介して差動トランジスタ301のゲートに入力される。また、画素信号は容量342を介して差動トランジスタ302のゲートに入力される。スイッチ351は差動トランジスタ301のゲートと負荷トランジスタ311のドレインとを導通または非導通とし、スイッチ352は差動トランジスタ302のゲートと負荷トランジスタ312のドレインとを導通または非導通とする。スイッチ351、352は制御信号CRE51によってオンまたはオフに制御され、差動トランジスタ301、302のそれぞれのゲートの電位のオフセットを補償し、オートゼロ動作を実現することが可能である。

30

【0051】

本実施形態においても、カスコードトランジスタ321が線形動作状態になるのを回避し、比較器3の入力ノードへのキックバックを低減することが可能となる。

40

【0052】

[第6実施形態]

上述の実施形態における固体撮像装置は種々の機器に適用可能である。機器として、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、車載カメラ、観測衛星、監視カメラなどがあげられる。図9に、機器の例としてデジタルスチルカメラのブロック図を示す。

【0053】

図9に示す機器7は、バリア706、レンズ702、絞り704、撮像装置70(光電変換装置の一例)、信号処理部(処理装置)708、タイミング発生部720、全体制御・演算部718(制御装置)、メモリ部710(記憶装置)、記録媒体制御I/F部71

50

6、記録媒体714、外部I/F部712を含む。バリア706、レンズ702、絞り704の少なくとも1つは、機器に対応する光学装置である。バリア706はレンズを保護し、レンズ702は被写体の光学像を撮像装置70に結像させる。絞り704はレンズ702を通った光量を可変する。撮像装置70は上述の実施形態のように構成され、レンズ702により結像された光学像を画像データ(画像信号)に変換する。ここで、撮像装置70の半導体基板にはAD(アナログデジタル)変換部が形成されているものとする。信号処理部708は撮像装置70より出力された撮像データに各種の補正やデータを圧縮する。タイミング発生部720は撮像装置70および信号処理部708に、各種タイミング信号を出力する。全体制御・演算部718はデジタルスチルカメラ全体を制御し、メモリ部710は画像データを一時的に記憶する。記録媒体制御I/F部716は記録媒体714に画像データの記録または読み出しを行うためのインターフェースであり、記録媒体714は撮像データの記録または読み出しを行うための半導体メモリ等の着脱可能な記録媒体である。外部I/F部712は外部コンピュータ等と通信するためのインターフェースである。タイミング信号などは機器の外部から入力されてもよい。また、さらに機器7は光電変換装置で得られた情報を表示する表示装置(モニター、電子ビューファインダ等)を備えても良い。機器は少なくとも光電変換装置を備える。さらに、光学装置、制御装置、処理装置、表示装置、記憶装置、及び光電変換装置で得られた情報に基づいて動作する機械装置の少なくともいずれかを機器は備える。機械装置は、光電変換装置の信号を受けて動作する可動部(たとえばロボットアーム)である。

【0054】

本実施形態では、撮像装置70とAD変換部とが別の半導体基板に設けられているが、撮像装置70とAD変換部とが同一の半導体基板に形成されていてもよい。また、撮像装置70と信号処理部708とが同一の半導体基板に形成されていてもよい。

【0055】

また、それぞれの画素が第1の光電変換部と、第2の光電変換部を含んでもよい。信号処理部708は、第1の光電変換部で生じた電荷に基づく画素信号と、第2の光電変換部で生じた電荷に基づく画素信号とを処理し、撮像装置70から被写体までの距離情報を取得するように構成されてもよい。

【0056】

[第7実施形態]

図10(a)、図10(b)は、本実施形態における車載カメラに関する機器のブロック図である。機器8は、上述した実施形態の撮像装置80(光電変換装置の一例)と、撮像装置80からの信号を処理する信号処理装置(処理装置)を有する。機器8は、撮像装置80により取得された複数の画像データに対し、画像処理を行う画像処理部801と、機器8より取得された複数の画像データから視差(視差画像の位相差)の算出を行う視差算出部802を有する。また、機器8は、算出された視差に基づいて対象物までの距離を算出する距離計測部803と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部804とを有する。ここで、視差算出部802、距離計測部803は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部804はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA(Field Programmable Gate Array)、ASIC(Application Specific Integrated Circuit)によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0057】

機器8は車両情報取得装置810と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、機器8には、衝突判定部804での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御ECU

820が接続されている。また、機器8は、衝突判定部804での判定結果に基づいて、ドライバーへ警報を発する警報装置830とも接続されている。例えば、衝突判定部804の判定結果として衝突可能性が高い場合、制御ECU820はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置830は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。機器8は上述のように車両を制御する動作の制御を行う制御手段として機能する。

【0058】

本実施形態では車両の周囲、例えば前方または後方を機器8で撮像する。図10(b)は、車両前方(撮像範囲850)を撮像する場合の機器を示している。撮像制御手段としての車両情報取得装置810が、上述の第1～第7実施形態に記載した動作を行うように機器8ないしは撮像装置80に指示を送る。このような構成により、測距の精度をより向上させることができる。

10

【0059】

上述では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、機器は、自動車等の車両に限らず、例えば、船舶、航空機、人工衛星、産業用ロボットおよび民生用ロボットなどの移動体(移動装置)に適用することができる。加えて、移動体に限らず、高度道路交通システム(ITS)、監視システム等、広く物体認識または生体認識を利用する機器に適用することができる。

20

【0060】

[他の実施形態]

本発明は、上述の実施形態に限らず種々の変形が可能である。例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

【0061】

なお、上述の実施形態において、一対のカスコードトランジスタ321、322が配されているが、出力ノードAの側のカスコードトランジスタ321のみが配されてもよい。

【0062】

なお、上述の実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

30

【符号の説明】

【0063】

10 画素

3a、3b 比較器

301、302 差動トランジスタ

311、312 負荷トランジスタ

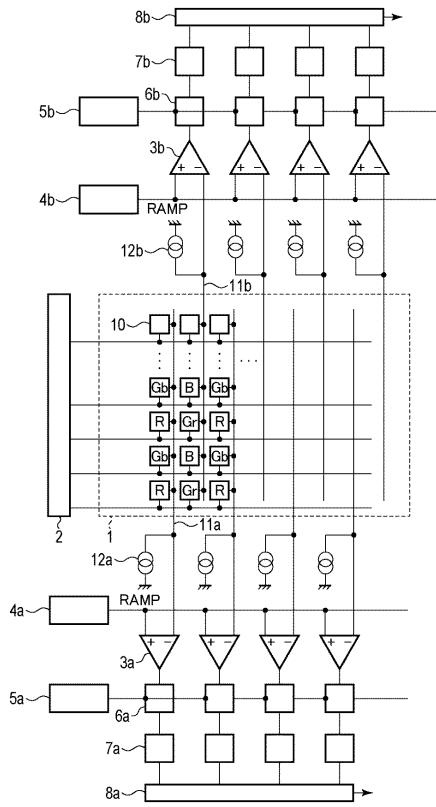
321、322 カスコードトランジスタ

330 振幅制限トランジスタ

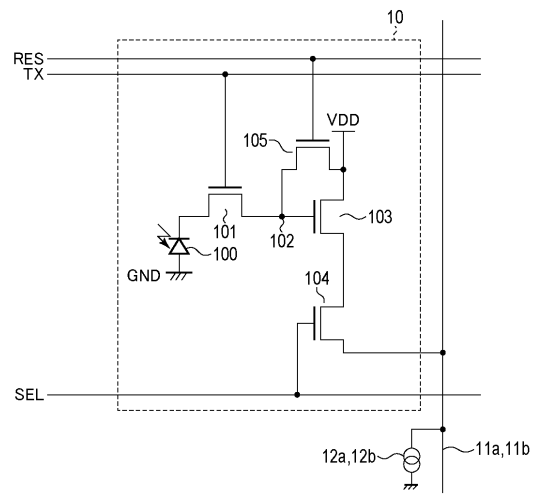
40

【 図面 】

【 図 1 】



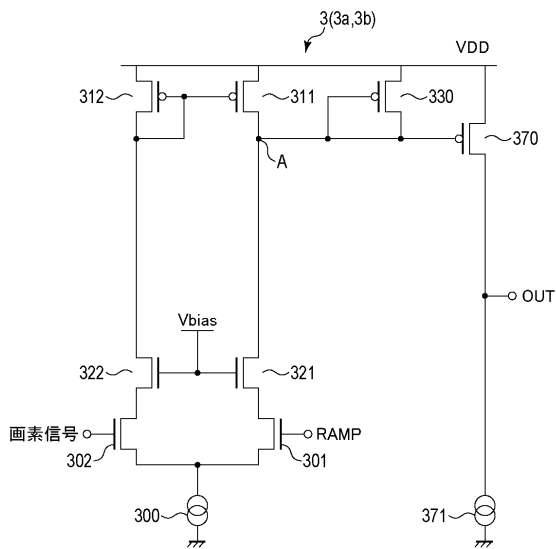
【 図 2 】



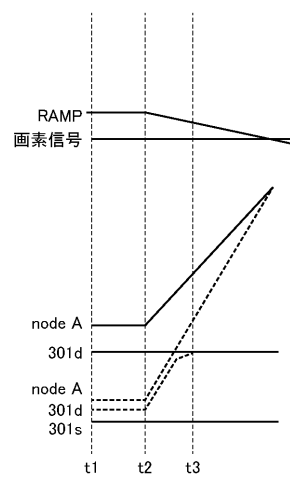
10

20

【 図 3 】



【 図 4 】

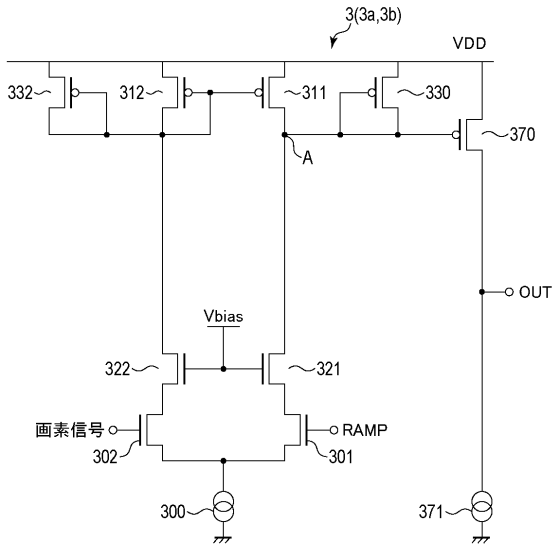


30

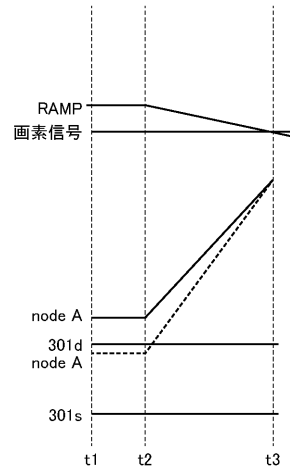
40

50

【 図 5 】

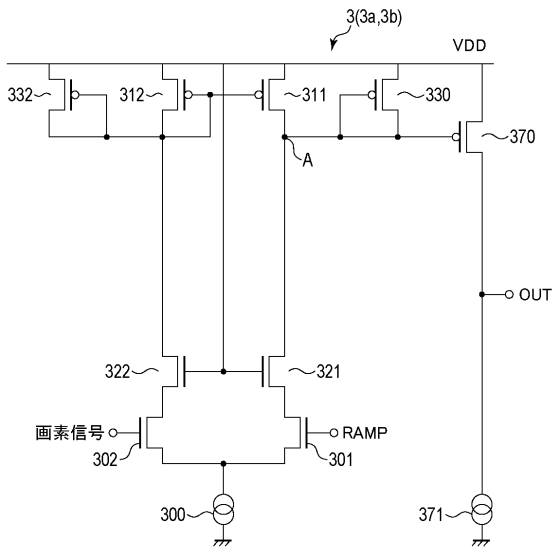


【 図 6 】

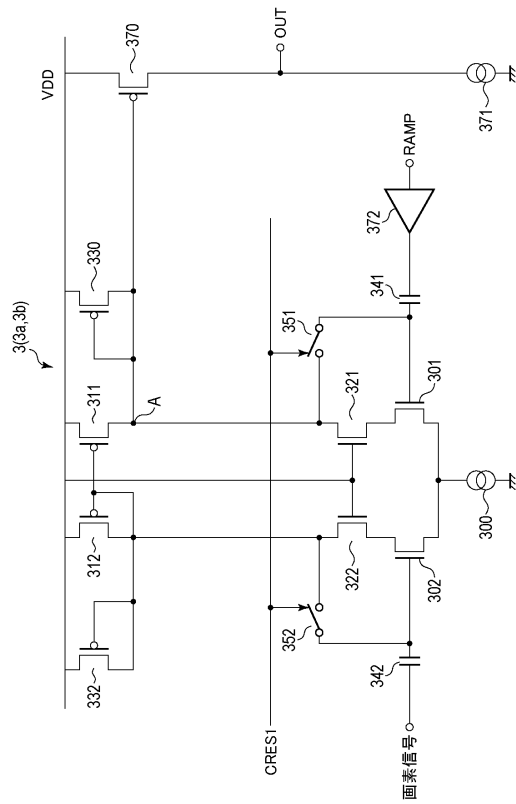


10

【 図 7 】



【 図 8 】



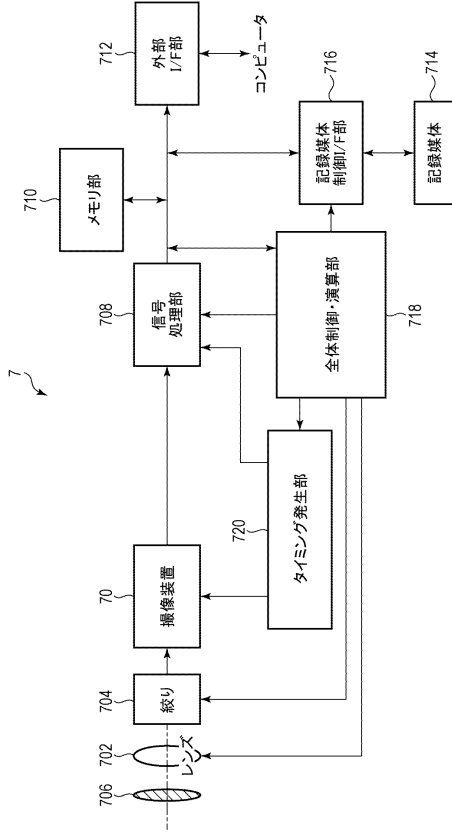
20

30

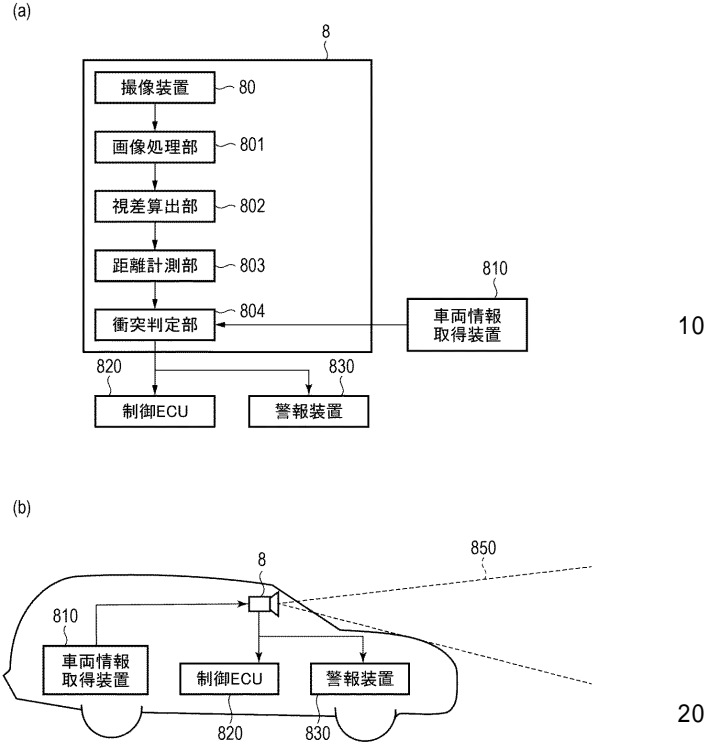
40

50

【図9】



【図10】



10

20

30

40

50

フロントページの続き

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 東 昌秋

- (56)参考文献 特開2013-149687(JP,A)
特開2008-306504(JP,A)
特開2013-90305(JP,A)
特開2009-48355(JP,A)
米国特許出願公開第2012/0194261(US,A1)
特開2020-136935(JP,A)
特開2003-249829(JP,A)
国際公開第2013/153894(WO,A1)
特開2018-137569(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H03K 5/08
H03F 1/00-3/72
H04N 25/78