

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月16日(16.06.2022)



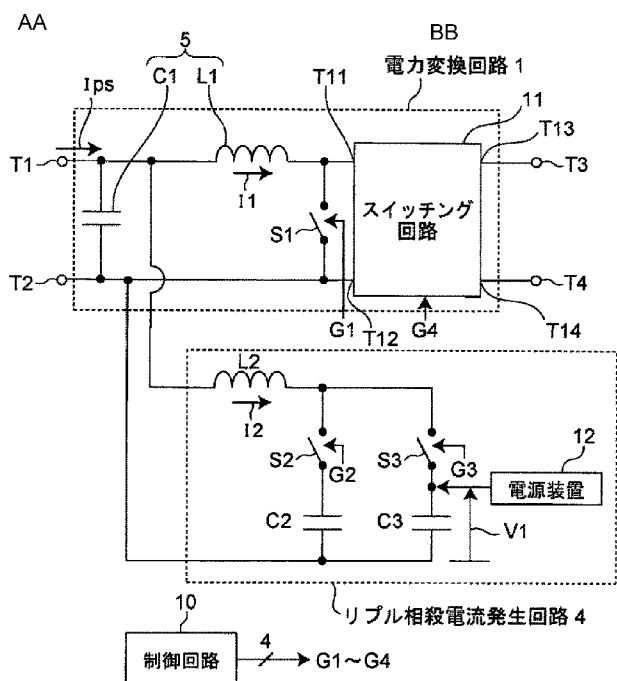
(10) 国際公開番号
WO 2022/124395 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2021/045518
- (22) 国際出願日: 2021年12月10日(10.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-206190 2020年12月11日(11.12.2020) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 西本 太樹(NISHIMOTO, Taiki).
- (74) 代理人: 山尾 憲人, 外 (YAMAOKA, Norihito et al.); 〒5300017 大阪府大阪市北区角田町8番1号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: POWER CONVERSION APPARATUS

(54) 発明の名称: 電力変換装置

実施形態1



- 4 Ripple cancellation current generation circuit
- 10 Control circuit
- 11 Switching circuit
- 12 Power supply device
- AA Embodiment 1
- BB Power conversion circuit

(57) Abstract: This power conversion apparatus (1) has a pair of input terminals (T1, T2) and a pair of output terminals (T3, T4), and is provided with: a first series circuit that comprises a first inductor (L1) and a first switching element (S1) and that is connected in parallel to the pair of input terminals (T1, T2); and a switching circuit (11) that switches, by using a second switching element (S4), a voltage between both ends of the first switching element (S1) and outputs the voltage. The power conversion apparatus (1) includes a power conversion circuit (1) that converts an input voltage inputted to the



WO 2022/124395 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

pair of input terminals (T1, T2) to a predetermined output voltage and then outputs the output voltage to the pair of output terminals (T3, T4). The power conversion apparatus (1) is provided with a ripple cancellation current generation circuit (4) that, when the first switching element (S1) is subjected to ON/OFF control, generates a ripple cancellation current for cancelling a ripple current generated by accumulation and discharge of current energy to and from the first inductor (L1), and inputs the ripple cancellation current to the pair of input terminals (T1, T2) of the power conversion apparatus, whereby the ripple current is cancelled.

(57) 要約：電力変換装置（1）は、1対の入力端子（T1, T2）と1対の出力端子（T3, T4）とを有する電力変換装置（1）であって、1対の入力端子（T1, T2）に並列に接続された、第1のインダクタ（L1）及び第1のスイッチ素子（S1）の第1の直列回路と、第1のスイッチ素子（S1）の両端電圧を、第2のスイッチ素子（S4）を用いてスイッチングして出力するスイッチング回路（11）とを備え、1対の入力端子（T1, T2）に入力される入力電圧を所定の出力電圧に電力変換した後、1対の出力端子（T3, T4）に出力する電力変換回路（1）を含む。電力変換装置（1）は、第1のスイッチ素子（S1）がオン／オフ制御されたときに、第1のインダクタ（L1）への電流エネルギーの蓄積と放出により発生されるリップル電流を相殺するリップル相殺電流を発生して電力変換装置の1対の入力端子（T1, T2）に入力することで、リップル電流を相殺するリップル相殺電流発生回路（4）を備える。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本開示は、例えばスイッチング電源回路などの電力変換装置に関する。

背景技術

[0002] 昇圧コンバータ等のスイッチング電源回路においては、リアクトルへの磁気（電流）エネルギーの蓄積と放出を反復することにより、三角波状のリプル電流が生じる。このリプル電流がスイッチング電源回路の外に伝搬すると、電磁ノイズとして他の電子機器に悪影響を与える懸念がある。このため、スイッチング電源回路の内部で、リプル電流の伝搬を抑制する必要がある。

[0003] 特許文献1には、インターリーブ方式によるリプル電流の抑制方法が開示されている。2相インターリーブの場合、三角波状のリプル電流に含まれる周波数成分のうち、奇数次の高調波成分を抑制できる。一方、リアクトルのインダクタンスが同じとき、偶数次の高調波成分は6 dB（2倍）増加する。

[0004] 特許文献2には、周波数拡散制御方式による抑制方法が開示されている。スイッチング周波数を変動させ、ノイズのエネルギーが単一の周波数に集中することを防ぐ。スイッチング周波数を90 kHz～110 kHzで変動させた場合、基本波のエネルギーは90 kHz～110 kHz（20 kHzの範囲）で分散され、2次高調波のエネルギーは180 kHz～220 kHz（40 kHzの範囲）で分散される。つまり、高次高調波では分散の範囲が広く、大きな抑制効果が得られる。一方、基本波や低次高調波では抑制効果が限定的である。また、ノイズの観測手法として尖頭値（ピーク）検波を用いる場合、ノイズ抑制効果は得られない。

[0005] 特許文献3には、バイパス回路による抑制方法が開示されている。バイパス回路のインダクタとリアクトルを磁気結合させることにより、リプル電流の基本波成分を大幅に抑制できる。一方、高調波成分に対する抑制効果は低

い。

先行技術文献

特許文献

- [0006] 特許文献1：特許第3570113号公報
特許文献2：特開平7-264849号公報
特許文献3：特許第5971607号公報

発明の概要

発明が解決しようとする課題

- [0007] しかし、上述のように、いずれの技術を用いても、抑制効果の程度や範囲が限定的である。従って、ノイズの全周波数成分を十分に抑制するためには、大型のノイズフィルタが必要となる。これにより、電源装置の小型化が妨げられるという課題があった。
- [0008] 本開示の目的は以上の課題を解決し、昇圧コンバータ等のスイッチング電源回路である電力変換装置において、大型のノイズフィルタを用いることなく、リップル電流の全周波数成分を抑制できる電力変換装置を提供することにある。

課題を解決するための手段

- [0009] 本開示の一態様に係る電力変換装置は、
- 1対の入力端子と1対の出力端子とを有する電力変換装置であって、
- 前記1対の入力端子に並列に接続された、第1のインダクタ及び第1のスイッチ素子の第1の直列回路と、前記第1のスイッチ素子の両端電圧を、第2のスイッチ素子を用いてスイッチングして出力するスイッチング回路とを備え、前記1対の入力端子に入力される入力電圧を所定の出力電圧に電力変換した後、前記1対の出力端子に出力する電力変換回路を含む電力変換装置であって、
- 前記電力変換装置は、前記第1のスイッチ素子がオン／オフ制御されたときに、前記第1のインダクタへの電流エネルギーの蓄積と放出により発生さ

れるリップル電流を相殺するリップル相殺電流を発生して前記電力変換装置の1対の入力端子に入力することで、前記リップル電流を相殺するリップル相殺電流発生回路を備え、

前記リップル相殺電流発生回路は、

前記1対の入力端子の一方に接続された一端を有する第2のインダクタと

、

前記第2のインダクタの他端と、前記1対の入力端子の他方との間に接続された第2の直列回路であって、第3のスイッチ素子と第1のキャパシタとを直列に接続して構成された第1の直列回路と、

前記第1の直列回路に並列に接続された第3の直列回路であって、第4のスイッチ素子と第2のキャパシタとを直列に接続して構成された第3の直列回路と、

所定の印加電圧を前記第2のキャパシタに印加する電源装置と、
を備える。

発明の効果

[0010] 本開示の一態様に係る電力変換装置によれば、三角波状のリップル電流を相殺することができる。すなわち、リップル電流の全周波数成分を抑制することができる。これにより、従来の電力変換装置に比べて、ノイズフィルタを削減し、機器の小型・軽量化及びコストの削減を実現することができる。

図面の簡単な説明

[0011] [図1A]実施形態1に係る電力変換装置の構成例を示すブロック図である。

[図1B]図1Aの制御回路10の構成例を示すブロック図である。

[図2]図1Aのゲート制御信号G1に対するインダクタL1に流れる電流I1を示すタイミングチャートである。

[図3]図1Aのゲート制御信号G1～G4とインダクタL1, L2の電流I1, I2の電流波形との間の関係を示すタイミングチャートである。

[図4]従来技術に係る電力変換装置の構成例を示すブロック図である。

[図5]図1Aの電力変換装置に適用される第1実施例に係るスイッチング回路

11-1の構成例を示す回路図である。

[図6]図5のスイッチング回路11-1を用いた電力変換装置におけるシミュレーション結果を示す図であって、インダクタL1、L2の電流I1、I2及び電源流入電流Ipsを示すタイミングチャートである。

[図7]図1Aの電力変換装置に適用される第2実施例に係るスイッチング回路11-2の構成例を示す回路図である。

[図8]実施形態2に係る電力変換装置の構成例を示すブロック図である。

[図9]図8のゲート制御信号G1~G6とインダクタL1、L2、L5の電流I1、I2、I5及び電流I1+I5の電流波形との間の関係を示すタイミングチャートである。

[図10]図8のスイッチング回路11Aの構成例を示す回路図である。

[図11]図8の電力変換装置のシミュレーション結果を示す図であって、インダクタL1、L2、L5の電流I1、I2、I5及び電流I1+I5と電源流入電流Ipsの電流波形を示すタイミングチャートである。

[図12]実施形態3に係る電力変換装置の構成例を示すブロック図である。

[図13]図12の電圧変換回路3の構成例を示す回路図である。

[図14A]図12のゲート制御信号G1~G4とインダクタL1、L2の電流I1、I2との間の関係を示すタイミングチャートである。

[図14B]図12のゲート制御信号G7~G10とインダクタL6、L7の電流I6、I7及び電流I6+I7との間の関係を示すタイミングチャートである。

[図15]実施形態4に係る電力変換装置の構成例を示すブロック図である。

[図16]実施形態5に係る電力変換装置の構成例を示すブロック図である。

[図17]図16の制御回路15の構成例を示すブロック図である。

発明を実施するための形態

[0012] 以下、本開示に係る実施形態について図面を参照して説明する。なお、同一又は同様の構成要素については同一の符号を付している。

[0013] (実施形態1)

図1Aは、実施形態1に係る電力変換装置の構成例を示すブロック図である。図1Aの電力変換装置は、インダクタL1とスイッチング回路11とを備え、1対の入力端子T1, T2に入力される電圧を、例えばDC/DC変換などの電力変換した後、1対の出力端子T3, T4に出力する電力変換回路1を含む、例えばDC/DCコンバータである電力変換装置であって、制御回路10からスイッチング回路11に供給されるゲート制御信号G1, G4に応じて、インダクタL1への電流エネルギーの蓄積と放出により発生されるリップル電流を相殺するリップル相殺電流を発生して前記電力変換装置の入力端子T1, T2に入力することで、リップル電流を相殺するリップル相殺電流発生回路4をさらに備えたことを特徴とする。

[0014] 図1Aにおいて、電力変換回路1は1対の入力端子T1, T2と、1対の出力端子T3, T4とを有し、平滑回路5と、スイッチ素子S1と、スイッチング回路11とを備えて構成される。ここで、スイッチング回路11は、例えば図5の昇圧DC/DCコンバータであるスイッチング回路11-1、もしくは、図7の昇降圧型DC/DCコンバータ（SEPIC (Single Ended Primary inductor Converter)）であるスイッチング回路11-2である。

[0015] 平滑回路5は、平滑キャパシタC1と、リアクトルであるインダクタL1とを備える。平滑キャパシタC1は入力端子T1, T2と並列に接続され、インダクタL1は、入力端子T1と、スイッチング回路11の入力端子T11との間に接続される。また、スイッチ素子S1はスイッチング回路11の入力端子T11, T12と並列に接続され、制御回路10からのゲート制御信号G1に従ってオン/オフ制御される。なお、入力端子T2はスイッチング回路11の入力端子T12に接続される。

[0016] スwitchング回路11は入力端子T11, T12と出力端子T13, T14とを有し、制御回路10からのゲート制御信号G4に従って、入力端子T11, T12に入力される電圧をスイッチングした後、出力端子T13, T14を介して出力端子T3, T4に出力する。

- [0017] リプル相殺電流発生回路4は電力変換回路1の入力端子T1, T2と並列に接続され、所定の印加電圧V1を発生する電源装置12と、インダクタL2と、スイッチ素子S2, S3と、キャパシタC2, C3とを備えて構成される。ここで、入力端子T1は、インダクタL2及び、スイッチ素子S2とキャパシタC2の直列回路を介して入力端子T2に接続されるとともに、インダクタL2及び、スイッチ素子S3とキャパシタC3の直列回路を介して入力端子T2に接続される。電源装置12は印加電圧V1を発生して、スイッチ素子S3とキャパシタC3との間の接続点に印加する。スイッチ素子S2, S3はそれぞれ、制御回路10からのゲート制御信号G2, G3に従ってオン/オフ制御される。
- [0018] なお、スイッチ素子S1~S4（他の実施形態におけるスイッチ素子S5~S10）は、例えばMOS電界効果トランジスタで構成され、そのゲートに対してゲート制御信号G1~G4が制御回路10から印加されて、オン/オフ制御される。
- [0019] 図1Bは、図1Aの制御回路10の構成例を示すブロック図である。図1Bにおいて、制御回路10は、PWM信号発生器31と、遅延回路32と、インバータ33, 34と、ゲートドライバ41~44とを備えて構成される。
- [0020] 図1Bにおいて、スイッチ素子S1~S4を駆動するためのゲート制御信号G1~G4を同一の制御回路10で生成し、電力変換回路1のスイッチ素子S1、スイッチング回路11のスイッチ素子S4（後述）と、スイッチ素子S2, S3に送信する。これにより、電力変換回路1と、スイッチ素子S2とS3とで、スイッチングのタイミングがずれることを防ぐことができる。スイッチングのタイミングがずれるとリップル電流の抑制効果が弱まる懸念があるため、図1Aの電力変換装置により、リップル電流の抑制効果を補償することができる。
- [0021] さらに、制御回路10において、スイッチ素子S1と、スイッチ素子S2及びS3のスイッチング速度（遷移時間）の差を補正するように、例えば遅

延回路32により、ゲート制御信号G1、G4とゲート制御信号G2、G3のいずれかに遅延を加えてもよい。例えば、図1Bに示すように、PWM信号発生器31は所定のPWM信号を発生した後、

- (1) ゲートドライバ41を介してゲート制御信号G1を発生し、
- (2) インバータ33及びゲートドライバ44を介してゲート制御信号G4を発生し、
- (3) 遅延回路32、インバータ34及びゲートドライバ42を介してゲート制御信号G2を発生し、
- (4) 遅延回路32及びゲートドライバ43を介してゲート制御信号G3を発生する。

[0022] なお、スイッチ素子S1に比べ、スイッチ素子S2とS3は定格電流の小さな部品を用いることが想定される。定格電流の小さな部品の方が、スイッチング速度が速い傾向にあるため、その差によって抑制効果が弱まるのを防ぐことができる。

[0023] 図2は、図1Aのゲート制御信号G1に対するインダクタL1に流れる電流I1を示すタイミングチャートである。なお、図2以降のタイミングチャートにおいて、各ゲート制御信号がハイレベルのとき、ゲートに印加されるスイッチ素子はオンとされる一方、各ゲート制御信号がローレベルのとき、ゲートに印加されるスイッチ素子はオフとされる。

[0024] 図1Aにおいて、入力端子T1-T2間に電圧Vinを入力する。スイッチ素子S1がオンのとき、インダクタL1には磁気エネルギーが蓄積される。一方、スイッチ素子S1がオフのとき、インダクタL1の磁気エネルギーが放出される。これに伴い、インダクタL1に流れる電流は、図2に示すように直流振幅Adcと三角波振幅Atriの和となる。

[0025] 図3は、図1Aのゲート制御信号G1~G4とインダクタL1、L2の電流I1、I2の電流波形との間の関係を示すタイミングチャートである。図3に示すように、スイッチ素子S1がオンのときに、スイッチ素子S2をオフにし、スイッチ素子S3をオンにする(状態ST1)。また、スイッチ素

子S 1 がオフのときに、スイッチ素子S 2 をオンにし、スイッチ素子S 3 をオフにする（状態S T 2）。すなわち、リップル相殺電流発生回路4 のためのゲート制御信号G 2, G 3 は電力変換回路1 のゲート制御信号G 1, G 4 に同期して発生される。ここで、電源装置1 2 を用いて、キャパシタC 3 に入力電圧V i n より高い印加電圧V 1 を印加しておくこと、図3 に示すように、状態S T 1 のときインダクタL 2 の電流は減少し、状態S T 2 のときインダクタL 2 の電流は増加する。

[0026] 電力変換回路1 で発生する正味の電流は、インダクタL 1 とインダクタL 2 に流れる電流の総和である。すなわち、インダクタL 1 に流れる電流I 1 の三角波成分が、インダクタL 2 に流れる電流I 2（リップル相殺電流）により打ち消される。

[0027] 図4 は、従来技術に係る電力変換装置の構成例を示すブロック図である。従来技術に係る電力変換装置においては、図4 に示すように、リップル電流I p s の電源への伝搬を抑制するために、入力端子T 5, T 6 を有するノイズフィルタ2 が用いられる。これに対し、実施形態1に係る電力変換装置では、ノイズフィルタ2 を削減することができる。

[0028] ノイズフィルタ2 は、電力変換回路1 と直列に接続されるため、大きな電流が流れる。従って、定格電流の大きな部品を使用する必要があり、大型化やコスト増大の原因となる。一方、実施形態1 で用いるインダクタL 2 やスイッチ素子S 2 とS 3 には、図3 に示したように三角波振幅A t r i に相当する小さな電流しか流れない（直流成分が流れない）。従って、定格電流の小さな部品を使用できる。このことは、小型で低コストで実装できるだけでなく、これらの部品における電力損失が小さいことを意味している。

[0029] さらに、リップル相殺電流発生回路4 が電力変換回路1 と並列に接続されるので、電力変換回路1 の基本動作に影響を与えない。すなわち、電力変換効率などの観点から電力変換回路1 を最適設計した後に、リップル電流低減のための設計を実施することができる。また、ノイズを「検出」した上でそれを相殺しようとするようなアプローチとは根本的に異なり、単純に同期して駆

動するだけでリップル電流を相殺することができる。このことは、検出誤差を生じさせ得る外乱ノイズがあるような場合にも抑制効果が得られることを意味しており、車載機器など安全要求が強い装置にも適用することができる。

[0030] (実施形態1の第1実施例(昇圧型DC/DCコンバータ))

図5は図1Aの電力変換装置に適用される第1実施例に係るスイッチング回路11-1の構成例を示す回路図である。図5において、スイッチング回路11-1は、スイッチ素子S4と、キャパシタC4とを備えて構成される。入力端子T11はスイッチ素子S4を介して出力端子T13に接続され、入力端子T12は出力端子T14に接続される。キャパシタC4は出力端子T13, T14と並列に接続される。

[0031] 図3に示すように、スイッチ素子S1とS4を交互にオン/オフするとき、電力変換回路1は、昇圧型DC/DCコンバータとして動作する。スイッチ素子S1に対するゲート制御信号G1のデューティ比をDとし、スイッチ素子S4に対するゲート制御信号G4のデューティ比を1-Dとして、周期Tで電力変換回路1を駆動するとき、定常状態において、図3に示した三角波振幅A_{tri}は次式で表される。

$$[0032] \quad A_{tri} = DT \times (V_{in} / L1) \quad (1)$$

[0033] ここで、 $L2 = a \times L1$ とするとき(aは所定の正の係数)、インダクタL1のリップル電流I_{ps}を完全に相殺できる条件を示す。リップル電流I_{ps}を完全に相殺するためには、図3において、インダクタL1とL2に流れる電流I₁, I₂の三角波振幅A_{tri}が一致すればよい。定常状態において、インダクタL2の三角波振幅A_{tri}は次式で表される。

$$[0034] \quad A_{tri} = DT \times (V1 - V_{in}) / (a \times L1) \quad (2)$$

[0035] 従って、電源装置12の印加電圧 $V1 = (1 + a) \times V_{in}$ とすると、インダクタL1とL2に流れる電流の三角波振幅A_{tri}が一致し、リップル電流I_{ps}は完全に相殺される。

[0036] 上記が最適な条件ではあるが、電源装置12の印加電圧V1の値を $(1 + 0.5a) \times V_{in}$ から $(1 + 1.5a) \times V_{in}$ の間に設定すれば、6d

B以上のノイズ低減効果が得られる。すなわち、ノイズ電流の振幅は半分以下に抑えられる。この場合も、ノイズフィルタ2の部品を削減することで、小型化しかつ低コスト化を実現することができる。

[0037] 次いで、図6を参照して、回路シミュレーションによる、リップル電流 I_{ps} の低減効果を示す。

[0038] 図1Aにおいて、インダクタ L_1 、 L_2 のインダクタンス $L_1=L_2=200\mu\text{H}$ とする。スイッチ素子 $S_1\sim S_4$ を、例えば全てMOS電界効果トランジスタで構成し、スイッチ素子 $S_1\sim S_4$ のスイッチング周波数を 100kHz とする（周期 $T=1/100\text{kHz}=10\mu\text{s}$ ）。ここで、スイッチ素子 S_1 と S_3 に対するゲート制御信号 G_1 、 G_3 のデューティ比 D を $D=0.7$ とする。入力電圧 $V_{in}=100\text{V}$ とすると、電源装置12の印加電圧 $V_1=200\text{V}$ と計算されるので、電源装置12からキャパシタ C_3 に対して 200V の電圧を印加する。

[0039] 図6は、図5のスイッチング回路11-1を用いた電力変換装置におけるシミュレーション結果を示す図であって、インダクタ L_1 、 L_2 の電流 I_1 、 I_2 及び電源流入電流 I_{ps} を示すタイミングチャートである。図6から明らかのように、インダクタ L_1 の電流に含まれる三角波成分が、インダクタ L_2 の電流 I_2 により相殺される。これにより、入力端子 T_1 から電源に伝搬する電源流入電流 I_{ps} には、リップル成分が含まれないことが確認できる。

[0040] なお、スイッチ素子 S_2 と S_3 のオンとオフのタイミングを入れ替え、 $V_1=V_{in}\times\{1-(1+a)D\}/(1-D)$ としても、タイミングの入れ替え前の同じ効果が得られる。

[0041] なお、スイッチ素子 $S_1\sim S_4$ は、上述のように、例えばMOS電界効果トランジスタ、もしくはGaN-HEMT (High Electron Mobility Transistor) などのトランジスタを用いればよい。また、スイッチ素子 S_4 には、ダイオードを用いてもよく、その場合は、ゲート制御信号 G_4 は不要となる。

[0042] (力率改善回路)

また、入力端子T1とT2の前段に、例えばフルブリッジ型ダイオード整流回路を接続して、それを力率改善回路として構成してもよい。この場合、力率改善回路の入力端子には交流電圧が入力され、電力変換回路1への入力電圧 V_{in} が変動するので、それに応じて電源装置12の印加電圧 V_1 を変動させればよい。このとき、ノイズフィルタ2が削減されることにより、力率が向上する効果も得られる。

[0043] (実施形態1の第2実施例(SEPIC))

図7は、図1Aの電力変換装置に適用される第2実施例に係るスイッチング回路11-2の構成例を示す回路図である。図7において、スイッチング回路11-2は、スイッチ素子S4と、キャパシタC4、C5と、インダクタL4とを備えて構成される。入力端子T11はキャパシタC5及びスイッチ素子S4を介して出力端子T13に接続され、入力端子T12は出力端子T14に接続される。キャパシタC4は出力端子T13、T14と並列に接続される。また、インダクタL4は、キャパシタC5とスイッチ素子S4の接続点と、入力端子T12との間に接続される。

[0044] 図3に示すように、スイッチ素子S1とS4を交互にオン/オフするとき、電力変換回路1は、SEPIC (Single Ended Primary inductor Converter; 昇降型DC/DCコンバータ)として動作する。スイッチ素子S1に対するゲート制御信号G1のデューティ比をDとし、スイッチ素子S4に対するゲート制御信号G4のデューティ比を $1-D$ として、周期Tで電力変換回路1を駆動するとき、定常状態において、図3に示した三角波振幅 A_{tri} は次式で表される。

$$[0045] A_{tri} = DT \times (V_{in} / L_1) \quad (3)$$

[0046] 実施形態1の第1実施例に係る昇圧型DC/DCコンバータの場合と同様に、リップル電流 I_{ps} を相殺することができる。

[0047] (実施形態2)

図8は、実施形態2に係る電力変換装置の構成例を示すブロック図である

。図8において、実施形態2に係る電力変換装置は、図1の実施形態1に係る電力変換装置に比較して、以下の相違点を有する。

(1) 電力変換回路1に代えて、電力変換回路1Aを備える。

(2) 平滑回路5に代えて、平滑回路5Aを備える。平滑回路5Aは、平滑回路5においてさらに、リアクトルであるインダクタL5を備える。

(3) 電力変換回路1Aは電力変換回路1に比較して、ゲート制御信号G5によりオン／オフ制御されるスイッチ素子S5をさらに備える。

(4) スイッチング回路11に代えて、入力端子T15をさらに有し、ゲート制御信号G4，G6によりオン／オフ制御されるスイッチング回路11Aを備える。

(5) 制御回路10に代えて、制御回路10Aを備える。制御回路10Aはゲート制御信号G1～G6を発生する。

以下、当該相違点について説明する。

[0048] 図8において、入力端子T1は、リアクトルであるインダクタL5を介してスイッチング回路11Aの入力端子T15に接続され、入力端子T15はスイッチ素子S5を介して入力端子T12に接続される。ここで、電力変換回路1Aは、スイッチ素子S1とS5を半周期($T/2$)ずらして駆動する2相のインターリーブ回路を構成する。

[0049] 図9は、図8のゲート制御信号G1～G6とインダクタL1，L2，L5の電流 $I1$ ， $I2$ ， $I5$ 及び電流 $I1+I5$ の電流波形との間の関係を示すタイミングチャートである。図9では、スイッチ素子S1とS5に対するゲート制御信号G1，G5のデューティ比が0.5より大きい場合の、電流波形を示す。図9において、状態ST3のとき、スイッチ素子S1とS5は一方がオンされ、他方がオフされる。状態ST4のとき、スイッチ素子S1とS5は両方オンされる。このとき、電力変換回路1Aの入力電流は、インダクタL1とL5に流れる電流の総和($I1+I5$)である。すなわち、リップル相殺電流発生回路4のためのゲート制御信号G2，G3は電力変換回路1のゲート制御信号G1，G4～G6に同期して発生される。

[0050] 図8の電力変換装置において、図9に示すように、状態ST3のときにスイッチ素子S2をオンし、スイッチ素子S3をオフにする。また状態ST4のときにスイッチ素子S2をオフし、スイッチ素子S3をオンする。電源装置12を用いて、キャパシタC3に入力電圧 V_{in} より高い印加電圧 V_1 を印加しておく、図9に示すように、状態ST3のときインダクタL2の電流 I_2 は増加し、状態ST4のときインダクタL2の電流 I_2 は減少する。

[0051] 図8の電力変換装置で発生する正味の電流は、インダクタL1とL5とL2に流れる電流の総和($I_1 + I_2 + I_5$)である。すなわち、インダクタL1とL5に流れる電流の和($I_1 + I_5$)に含まれる三角波成分が、インダクタL2に流れる電流 I_2 により打ち消される。これにより、実施形態1と同様に、ノイズフィルタ2を削減することができる。

[0052] (インターリーブ昇圧型DC/DCコンバータ)

図10は、インターリーブ昇圧型DC/DCコンバータを構成する図8のスイッチング回路11Aの構成例を示す回路図である。

[0053] 図10のスイッチング回路11Aは、図5のスイッチング回路11-1に比較して以下の相違点を有する。

(1) 入力端子T15、及びスイッチ素子S6をさらに備える。

(2) 入力端子T15は、ゲート制御信号G6によりオン/オフ制御されるスイッチ素子S6を介して出力端子T13に接続される。

[0054] 以上のように構成されたスイッチング回路11Aを備える図8の電力変換装置において、図9に示すように、スイッチ素子S1とS4を交互にオン/オフし、スイッチ素子S5とS6を交互にオン/オフし、スイッチ素子S1とS5を互いに半周期($T/2$)だけシフトして駆動するとき、電力変換回路1Aは、インターリーブ昇圧型DC/DCコンバータとして動作する。スイッチ素子S1とS5に対するゲート制御信号G1, G5のデューティ比をDとし、スイッチ素子S4とS6に対するゲート制御信号G4, G6のデューティ比を $1-D$ として、周期Tで電力変換回路1Aを駆動するとき、定常状態において、図9に示した三角波振幅 A_{tri} は次式で表される。

$$[0055] \quad A_{tri} = (2D - 1) T \times (V_{in} / L_1) \quad (4)$$

[0056] ここで、インダクタのインダクタンス $L_5 = L_1$ 、 $L_2 = a \times L_1$ とするとき、インダクタ L_1 と L_5 に流れる電流の和に含まれる三角波成分を完全に相殺できる条件を以下に示す。リップル電流を完全に相殺するためには、図9において、インダクタ L_1 と L_5 に流れる電流の和 ($I_1 + I_5$) と、 L_2 に流れる電流 I_2 の三角波振幅 A_{tri} が一致すればよい。定常状態において、インダクタ L_2 の三角波振幅 A_{tri} は次式で表される。

$$[0057] \quad A_{tri} = (D - 0.5) T \times (V_1 - V_{in}) / (a \times L_1) \quad (5)$$

[0058] 従って、印加電圧 $V_1 = (1 + 2a) \times V_{in}$ (ここで、係数 a は正の整数である) とすると、インダクタ L_1 と L_5 に流れる電流の和 ($I_1 + I_5$) と、インダクタ L_2 に流れる電流 I_2 の三角波振幅 A_{tri} が一致し、リップル電流は完全に相殺される。

[0059] 上記が最適な条件ではあるが、電源装置12の印加電圧 V_1 の値を $(1 + a) \times V_{in}$ から $(1 + 3a) \times V_{in}$ の間の値に設定すれば、6 dB以上のノイズ低減効果が得られ、すなわち、ノイズ電流の振幅は半分以下に抑圧される。この場合も、ノイズフィルタ2の部品を削減することで、小型化しかつ低コスト化を実現することができる。

[0060] 図11は、図8の電力変換装置のシミュレーション結果を示す図であって、インダクタ L_1 、 L_2 、 L_5 の電流 I_1 、 I_2 、 I_5 及び電流 $I_1 + I_5$ と電源流入電流 I_{ps} の電流波形を示すタイミングチャートである。図11により、回路シミュレーションによるリップル電流の低減効果を示す。

[0061] 図8において、インダクタのインダクタンス $L_1 = L_5 = L_2 = 200 \mu\text{H}$ とする。スイッチ素子 $S_1 \sim S_6$ を全てMOS電界効果トランジスタで構成するものとする。また、スイッチ素子 S_1 、 $S_4 \sim S_6$ のスイッチング周波数は 100kHz とし、すなわち周期 $T = 1 / 100 \text{kHz} = 10 \mu\text{s}$ となる。さらに、スイッチ素子 S_2 、 S_3 のスイッチング周波数を 200kHz とし、スイッチ素子 S_1 と S_5 に対するゲート制御信号 G_1 、 G_5 のデュ

ーティ比 $D=0.7$ とする。ここで、入力電圧 $V_{in}=100V$ とすると、電源装置12の印加電圧 $V_1=300V$ と計算されるので、電源装置12からキャパシタ C_3 に $V_1=300V$ を印加する。このときの各部の電流波形を図11に示している。

[0062] 図11から明らかなように、インダクタ L_1 の電流 I_1 とインダクタ L_5 の電流 I_5 には、 $100kHz$ の三角波成分が含まれ、互いに半周期 $5\mu s$ ずれている。このため、インダクタ L_1 と L_5 の電流の和(I_1+I_5)には、2倍の周波数 $200kHz$ の三角波成分が含まれる。これが、インダクタ L_2 の電流 I_2 により相殺される。これにより、入力端子 T_1 から電源に伝搬する電流 I_{ps} には、三角波のリプル成分が含まれないことが確認できる。

[0063] なお、図10において、スイッチ素子 S_2 と S_3 のオンとオフのタイミングを入れ替え、 $V_1=V_{in}\times\{1-a\times(2D-1)/(1-D)\}$ としても同じ効果が得られる。

[0064] なお、インダクタ L_1 と L_5 は互いに磁気結合させてもよい。この場合、インダクタ L_1 と L_5 は1つの結合インダクタとして実装することができる。また、電力変換回路1は、3相以上のインターリーブ回路として構成してもよい。

[0065] また、インターリーブ回路では、電力変換効率を向上するために、軽負荷時には単相だけを動作させる場合がある。この場合、動作方法に応じて、スイッチ素子 S_2 と S_3 、電源装置12の印加電圧 V_1 の制御を切り替えればよい。すなわち、インターリーブ動作時は実施形態2に従って動作させ、単相動作時は実施形態1に従って動作させてもよい。これにより、インターリーブ回路の動作方法に関らず、ノイズを抑制することができる。

[0066] (実施形態3)

図12は、実施形態3に係る電力変換装置の構成例を示すブロック図である。図12において、実施形態3に係る電力変換装置は、図1の実施形態1に係る電力変換装置と比較して以下の相違点を有する。

(1) リプル相殺電流発生回路4に代えて、リプル相殺電流発生回路4Aを備える。

(2) リプル相殺電流発生回路4Aは、電源装置12に代えて、電圧変換回路3を備える。ここで、電圧変換回路3は電源装置の一例である。

(3) 制御回路10に代えて、制御回路10Bを備える。制御回路10Bは、ゲート制御信号G1~G4, G7~G10を発生する。

以下、当該相違点について説明する。

[0067] 図12において、電圧変換回路3は入力端子T21, T22と出力端子T23, T24を有し、入力電圧 V_{in} を印加電圧 V_1 に変換し、キャパシタC3に印加する。実施形態1で述べたように、印加電圧 $V_1 = (1 + a) \times V_{in}$ とすると、リプル電流は完全に相殺される。実施形態3に係る図12の電力変換装置を用いれば、電圧変換回路3の入力電圧は V_{in} であるので、電力変換回路1の状態（各スイッチ素子の駆動周期やデューティ比）に依らず、電圧変換回路3は昇圧比 $1 + a$ の電力変換をすればよい。従って、電力変換回路1との同期などを図る必要がなく、設計の観点で容易に印加電圧 V_1 を生成することができる。

[0068] 図13は、図12の電圧変換回路3の構成例を示す回路図である。図13において、電圧変換回路3は、キャパシタC6, C7と、インダクタL6, L7と、スイッチ素子S7~S10とを備えて構成される。ここで、スイッチ素子S7~S10はそれぞれ、制御回路10Bからのゲート制御信号G7~G10によりオン/オフ制御される。

[0069] 図13において、入力端子T21と入力端子T22との間には並列にキャパシタC6が接続され、出力端子T23とT24との間には並列にキャパシタC7が接続される。入力端子T21は、インダクタL6及びスイッチ素子S7を介して入力端子T22及び出力端子T24に接続されるとともに、インダクタL6及びスイッチ素子S9を介して出力端子T23に接続される。また、入力端子T21は、インダクタL7及びスイッチ素子S8を介して出力端子T24に接続されるとともに、インダクタL7及びスイッチ素子S1

0を介して出力端子T 2 3に接続される。

[0070] 以上のように構成された図1 3の電圧変換回路3において、インダクタのインダクタンス $L 1 = L 2$ とする。このとき、正の係数 $a = 1$ であるから、印加電圧 $V 1 = 2 V_{in}$ である。従って、図1 3の電圧変換回路3はインターリーブ昇圧型DC/DCコンバータを構成する。

[0071] 図1 4 Aは、図1 2のゲート制御信号G 1 ~ G 4とインダクタL 1, L 2の電流 $I 1, I 2$ との間の関係を示すタイミングチャートである。また、図1 4 Bは、図1 2のゲート制御信号G 7 ~ G 1 0とインダクタL 6, L 7の電流 $I 6, I 7$ 及び電流 $I 6 + I 7$ との間の関係を示すタイミングチャートである。

[0072] 上述のように、図1 3の電圧変換回路3はインターリーブ昇圧型DC/D Cコンバータであるので、昇圧比2とするためには、図1 4に示すように、スイッチ素子S 7とS 8に対するゲート制御信号G 7, G 8のデューティ比を0. 5として、スイッチ素子S 7, S 8を駆動すればよい。デューティ比0. 5の場合、インダクタL 6とL 7に流れる三角波電流には、偶数次の高調波成分が含まれない。従って、スイッチ素子S 7とS 8を半周期ずらして駆動（インターリーブ動作）させると奇数次成分も相殺され、電圧変換回路3からは入力電流にリップルが発生しない。すなわち、電力変換回路1の入力電流のリップル成分は、インダクタL 2の三角波電流により相殺され、電圧変換回路3はリップル電流を発生しないので、端子T 1とT 2にはリップル電流が伝搬しない。インダクタL 1とL 2の三角波電流の相殺は、スイッチ素子S 1 ~ S 4の動作で完結する。インダクタL 6とL 7の三角波電流の相殺は、スイッチ素子S 7 ~ S 1 0の動作で完結する。

[0073] 従って、図1 4 Aのゲート制御信号G 1 ~ G 4と、図1 4 Bのゲート制御信号G 7 ~ G 1 0とは互いに、駆動周波数及びタイミングを含め同期させることは不要であって、非同期で動作させることができる。ただし、図1 4 Aにおいて、実施形態1及び2と同様に、リップル相殺電流発生回路4 Aのためのゲート制御信号G 2, G 3は電力変換回路1のゲート制御信号G 1, G 4

に同期して発生される。

[0074] また、電圧変換回路 3 の入力端子 T 2 1, T 2 2 の前段に、専用のノイズフィルタを設けて、電圧変換回路 3 が発生するノイズを抑制してもよい。電圧変換回路 3 には大電流は流れないので、小型であって低コストでノイズフィルタを実装することができる。なお、同様の理由で、電圧変換回路 3 自体も、小型でかつ低コストで実装することができる。

[0075] (実施形態 4)

図 1 5 は、実施形態 4 に係る電力変換装置の構成例を示すブロック図である。図 1 5 において、実施形態 4 に係る電力変換装置は、図 1 の実施形態 1 に係る電力変換装置に比較して以下の相違点を有する。

(1) リプル相殺電流発生回路 4 に代えて、リプル相殺電流発生回路 4 B を備える。

(2) リプル相殺電流発生回路 4 B は、電源装置 1 2 に代えて、電圧変換回路 3 A を備える。ここで、電圧変換回路 3 A は電源装置の一例である。

以下、当該相違点について説明する。

[0076] 図 1 5 において、電圧変換回路 3 A は、電力変換回路 1 の出力電圧 V_{out} を印加電圧 V_1 に変換し、キャパシタ C_3 に印加する。本実施形態の特長としては、電圧変換回路 3 A が入力端子 T 1, T 2 に直接に接続されないため、電圧変換回路 3 A が発生するリプル電流は入力端子 T 1, T 2 に伝搬しない点にある。すなわち、ノイズ対策の観点で容易に印加電圧 V_1 を生成することができる。従って、一般的な任意の DC/DC コンバータ回路を用いて実装することができ、一般的な制御を用いて DC/DC コンバータの出力電圧が V_1 となるように動作させればよい。

[0077] 一方、実施形態 3 の場合とは異なり、電圧変換回路 3 A に求められる昇降圧比はスイッチ素子 S 1 のデューティ比に依存する。従って、スイッチ素子 S 1 に対するゲート制御信号 G 1 のデューティ比に応じて、昇降圧比を変化させられるよう電圧変換回路 3 A を構成する必要がある。

[0078] 以上説明したように、本実施形態によれば、実施形態 1 ~ 3 と同様の作用

効果を有するとともに、電圧変換回路 3 A が発生するリップル電流は入力端子 T 1, T 2 に伝搬しないので、ノイズ対策の観点で容易に印加電圧 V 1 を生成することができるという特有の効果を有する。

[0079] (実施形態 5)

図 1 6 は、実施形態 5 に係る電力変換装置の構成例を示すブロック図である。図 1 6 において、実施形態 5 に係る電力変換装置は、図 1 の実施形態 1 に係る電力変換装置に比較して以下の相違点を有する。

(1) 電力変換回路 1 に代えて、電力変換回路 1 B を備える。電力変換回路 1 B は、入力端子 T 1 とキャパシタ C 1 との間に電流検出器 C S 1 を備える。

(2) リプル相殺電流発生回路 4 に代えて、リプル相殺電流発生回路 4 C を備える。リプル相殺電流発生回路 4 C は、電源装置 1 2 に代えて電源装置 1 2 C を備えるとともに、制御回路 1 5 をさらに備える。ここで、電源装置 1 2 C は、例えばゲートドライバを含むスイッチング回路を備える DC / DC コンバータで構成される。

以下、当該相違点について説明する。

[0080] 図 1 6 において、電流検出器 C S 1 は入力端子 T 1 に伝搬する電流を検出し、電流検出信号を制御回路 1 5 に出力する。

[0081] 図 1 7 は図 1 6 の制御回路 1 5 の構成例を示すブロック図である。図 1 7 において、制御回路 1 5 は、目標電圧設定器 2 0 と、バンドパスフィルタ 2 1 と、検波器 2 2 と、A / D コンバータ 2 3 と、減算器 2 4 と、PWM 信号発生器 2 5 とを備えて構成される。ここで、制御回路 1 5 は、電流検出器 C S 1 により検出された電流に対応する電流検出信号に基づいて、リップル電流が最小となるよう電源装置 1 2 C の印加電圧 V 1 を補正するように制御する。

[0082] 図 1 7 において、電流検出器 C S 1 からの電流検出信号をバンドパスフィルタ 2 1 及び検波器 2 2 を通すことにより、ノイズレベルに対応するノイズ検出信号を検出し、当該ノイズ検出信号を A / D コンバータによりデジタル

信号に変換した後、減算器 24 に出力する。減算器 24 は、目標電圧設定器 20 からの目標電圧信号から、ノイズ検出信号のデジタル信号を減算し、減算結果の信号を PWM 信号発生器 25 に出力し、PWM 信号発生器 25 は、減算結果の信号に対応するデューティ比を有する PWM 信号（ゲート制御信号）を発生して電源装置 12C のスイッチング回路のゲートドライバに印加する。

[0083] 以上のように構成された制御回路 15 では、ノイズ検出信号と目標電圧との比較から電源装置 12C の印加電圧 V1 を発生する PWM 信号（ゲート制御信号）のデューティ比を調整するフィードバック制御を実行する。これにより、インダクタ L1 と L2 のインダクタンス値が部品ばらつきにより想定と異なっていた場合においても、入力電流のリプル成分を十分に抑制することができる。

産業上の利用可能性

[0084] 本開示に係る電力変換装置は、車載機器、産業機器等で用いられる電力変換装置を、低ノイズ、小型、低コストで実現することに有用である。

符号の説明

- [0085] 1, 1A 電力変換回路
2 ノイズフィルタ
3, 3A 電圧変換回路
4, 4A, 4B リプル相殺電流発生回路
5, 5A 平滑回路
10, 10A, 10B 制御回路
11, 11-1, 11-2, 11A スwitching回路
12, 12C 電源装置
15 制御回路
20 目標電圧設定器
21 バンドパスフィルタ
22 検波器

- 2 3 A/Dコンバータ
- 2 4 減算器
- 2 5 PWM信号発生器
- 3 1 PWM信号発生器
- 3 2 遅延回路
- 3 3, 3 4 インバータ
- 4 1～4 4 ゲートドライバ
- C 1～C 7 キャパシタ
- C S 1 電流検出器
- L 1～L 7 インダクタ
- S 1～S 1 0 スイッチ素子
- T 1～T 2 4 端子

請求の範囲

- [請求項1] 1 対の入力端子と 1 対の出力端子とを有する電力変換装置であって、
- 、
- 前記 1 対の入力端子に並列に接続された、第 1 のインダクタ及び第 1 のスイッチ素子の第 1 の直列回路と、前記第 1 のスイッチ素子の両端電圧を、第 2 のスイッチ素子を用いてスイッチングして出力するスイッチング回路とを備え、前記 1 対の入力端子に入力される入力電圧を所定の出力電圧に電力変換した後、前記 1 対の出力端子に出力する電力変換回路を含む電力変換装置であって、
- 前記電力変換装置は、前記第 1 のスイッチ素子がオン／オフ制御されたときに、前記第 1 のインダクタへの電流エネルギーの蓄積と放出により発生されるリップル電流を相殺するリップル相殺電流を発生して前記電力変換装置の 1 対の入力端子に入力することで、前記リップル電流を相殺するリップル相殺電流発生回路を備え、
- 前記リップル相殺電流発生回路は、
- 前記 1 対の入力端子の一方に接続された一端を有する第 2 のインダクタと、
- 前記第 2 のインダクタの他端と、前記 1 対の入力端子の他方との間に接続された第 2 の直列回路であって、第 3 のスイッチ素子と第 1 のキャパシタとを直列に接続して構成された第 1 の直列回路と、
- 前記第 1 の直列回路に並列に接続された第 3 の直列回路であって、第 4 のスイッチ素子と第 2 のキャパシタとを直列に接続して構成された第 3 の直列回路と、
- 所定の印加電圧を前記第 2 のキャパシタに印加する電源装置と、
- を備える、電力変換装置。
- [請求項2] 前記電力変換装置は、前記第 1 及び第 2 のスイッチ素子に供給される 1 対の第 1 のゲート制御信号に同期して、前記第 3 及び第 4 のスイッチ素子を互いに反転関係で駆動する 1 対の第 2 のゲート制御信号を

発生する第1の制御回路をさらに備える、請求項1に記載の電力変換装置。

[請求項3] 前記入力電圧を V_{in} とし、前記第1のインダクタのインダクタンスを L_1 とし、前記第2のインダクタのインダクタンスを L_2 とし、正の係数を a としたときに、 $L_2 = a \times L_1$ であるとき、前記印加電圧 V_1 が $(1 + 0.5a) \times V_{in}$ から $(1 + 1.5a) \times V_{in}$ の間の値に設定される、請求項1又は2に記載の電力変換装置。

[請求項4] 前記入力電圧を V_{in} とし、前記第1のインダクタのインダクタンスを L_1 とし、前記第2のインダクタのインダクタンスを L_2 とし、正の係数を a としたときに、 $L_2 = a \times L_1$ であるとき、前記印加電圧 V_1 が $V_1 = (1 + a) \times V_{in}$ の値に設定される、請求項1又は2に記載の電力変換装置。

[請求項5] 前記電力変換回路は、昇圧型DC/DCコンバータである、請求項1～4のいずれかに記載の電力変換装置。

[請求項6] 前記電力変換回路は、昇降圧型DC/DCコンバータ (SEPIC (Single Ended Primary inductor Converter)) である、請求項1～4のいずれかに記載の電力変換装置。

[請求項7] 前記電力変換回路は、
前記1対の入力端子に並列に接続された、第3のインダクタ及び第5のスイッチ素子の第4の直列回路をさらに備え、
前記スイッチング回路はさらに、前記第5のスイッチ素子の両端電圧を、第6のスイッチ素子を用いてスイッチングして出力する、請求項1に記載の電力変換装置。

[請求項8] 前記電力変換装置は、前記第1及び第2のスイッチ素子並びに前記第5及び第6のスイッチ素子に供給される2対の第3のゲート制御信号に同期して、前記第3及び第4のスイッチ素子を互いに反転関係で駆動する1対の第2のゲート制御信号を発生する第2の制御回路をさ

らに備える、請求項7に記載の電力変換装置。

[請求項9] 前記入力電圧を V_{in} とし、前記第1のインダクタのインダクタンスを L_1 とし、前記第2のインダクタのインダクタンスを L_2 とし、正の係数を a としたときに、前記印加電圧 V_1 が $V_1 = (1 + a) \times V_{in}$ から $(1 + 3a) \times V_{in}$ の間の値に設定される、請求項7又は8に記載の電力変換装置。

[請求項10] 前記入力電圧を V_{in} とし、前記第1のインダクタのインダクタンスを L_1 とし、前記第2のインダクタのインダクタンスを L_2 とし、正の係数を a としたときに、前記印加電圧 V_1 が $V_1 = (1 + 2a) \times V_{in}$ の値に設定される、請求項7又は8に記載の電力変換装置。

[請求項11] 前記電力変換回路は、インターリーブ昇圧型DC/DCコンバータである、請求項7～10のいずれかに記載の電力変換装置。

[請求項12] 前記電源装置は、前記入力電圧を前記所定の印加電圧に変換して、前記変換された印加電圧を前記第2のキャパシタに印加する電圧変換回路である、請求項1～11のいずれかに記載の電力変換装置。

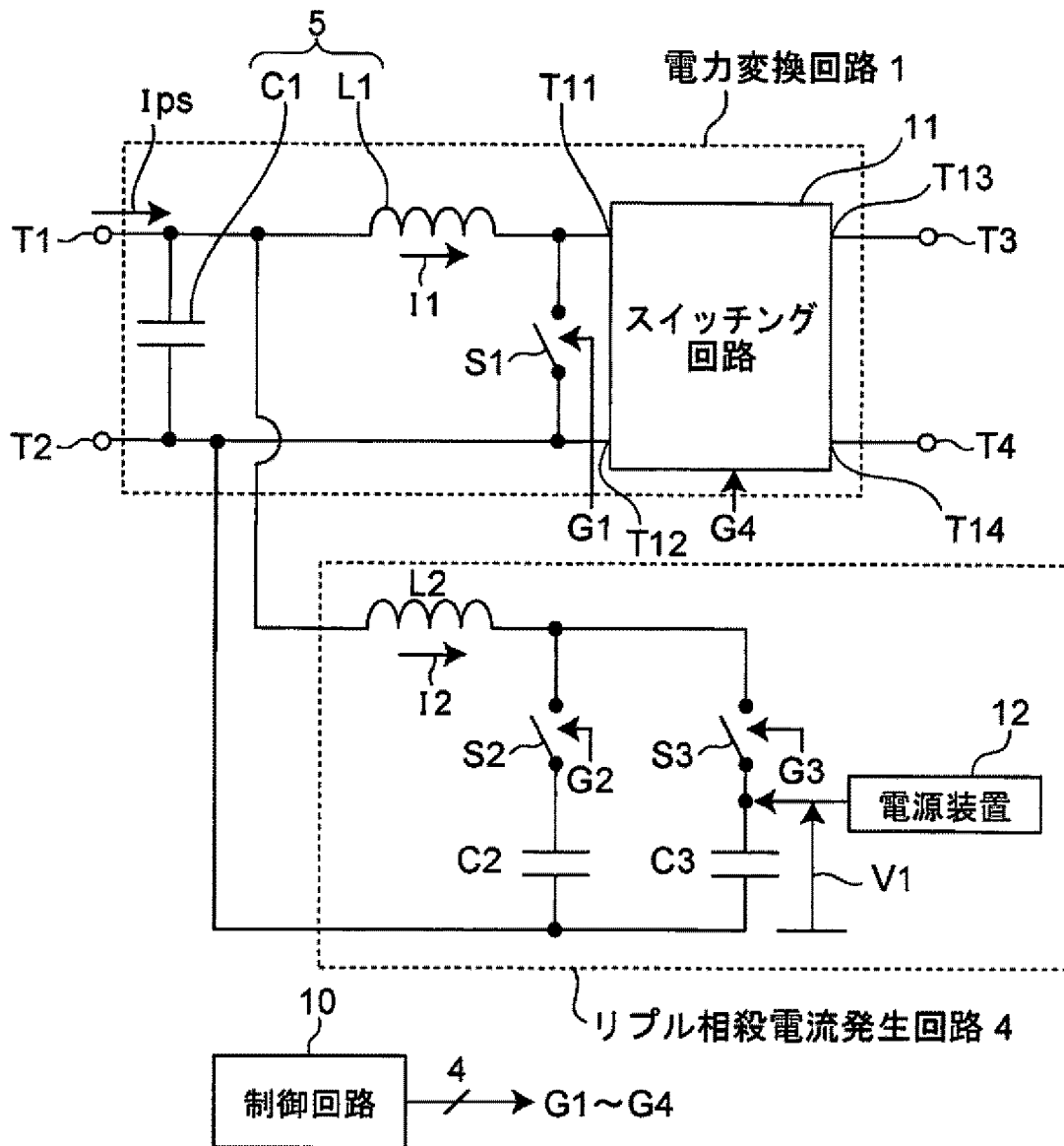
[請求項13] 前記電源装置は、前記出力電圧を前記所定の印加電圧に変換して、前記変換された印加電圧を前記第2のキャパシタに印加する電圧変換回路である、請求項1～11のいずれかに記載の電力変換装置。

[請求項14] 前記電力変換回路は、前記1対の入力端子における電流を検出する電流検出器をさらに備え、

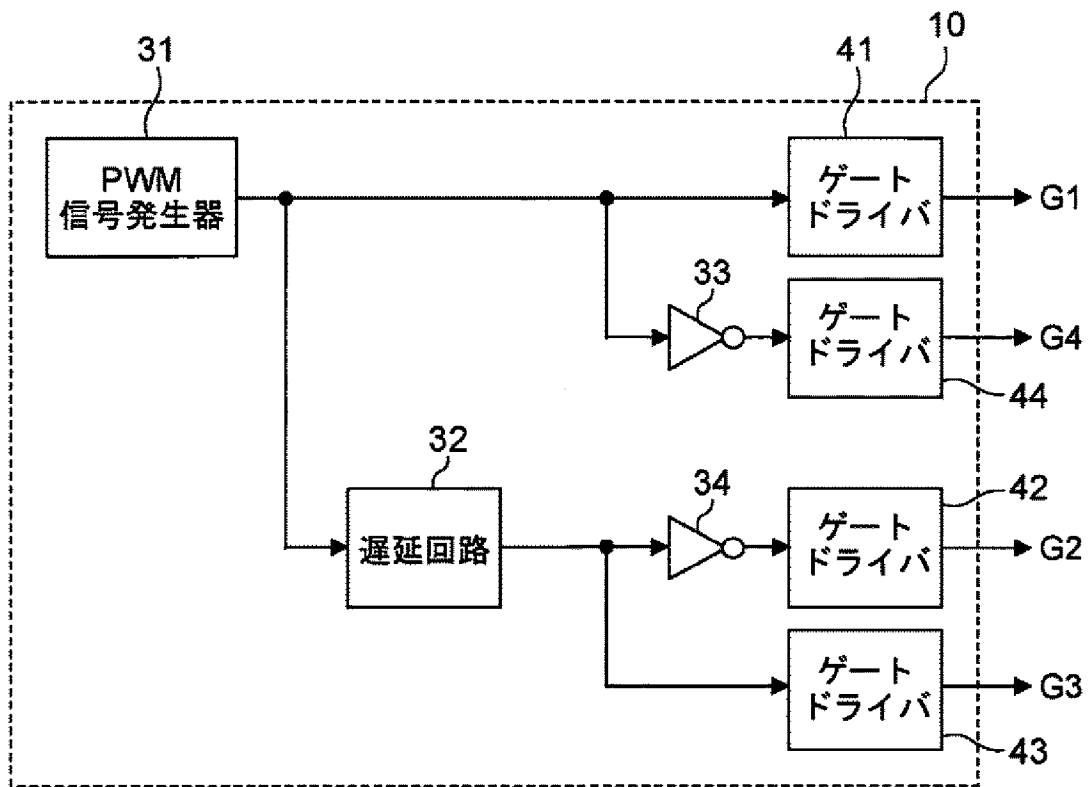
前記リプル相殺電流発生回路は、前記電流検出器により検出された電流に基づいて、前記印加電圧を調整する第3の制御回路をさらに備える、請求項1～11のいずれかに記載の電力変換装置。

[図1A]

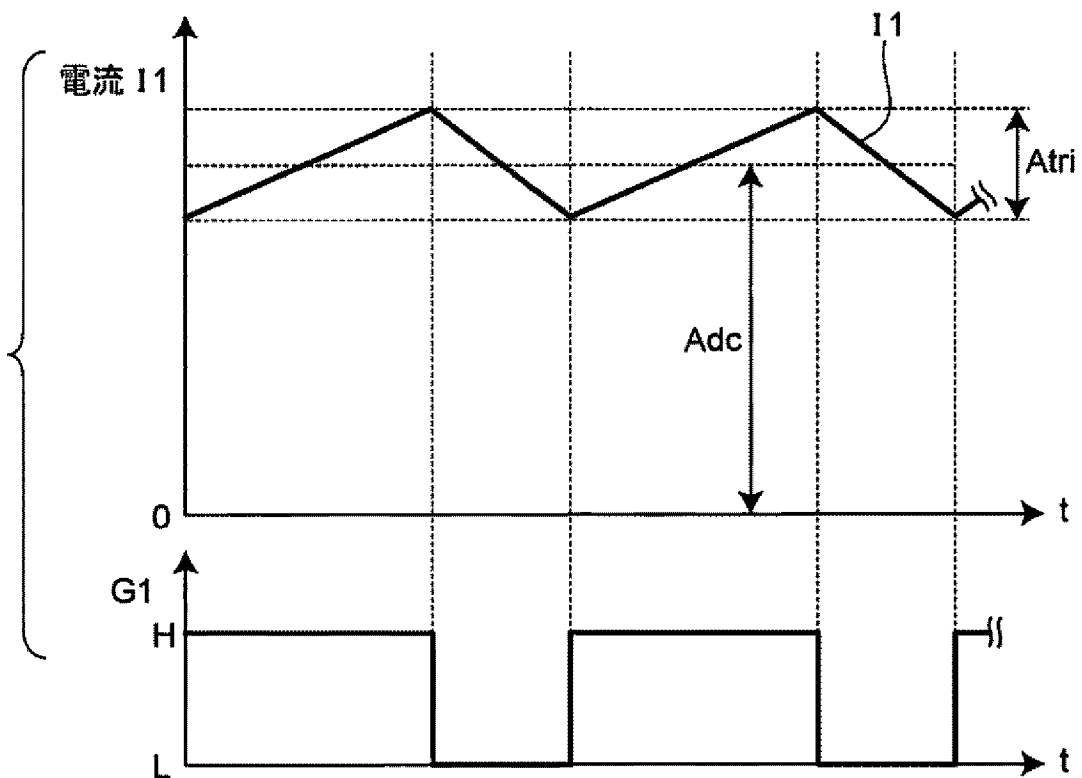
実施形態1



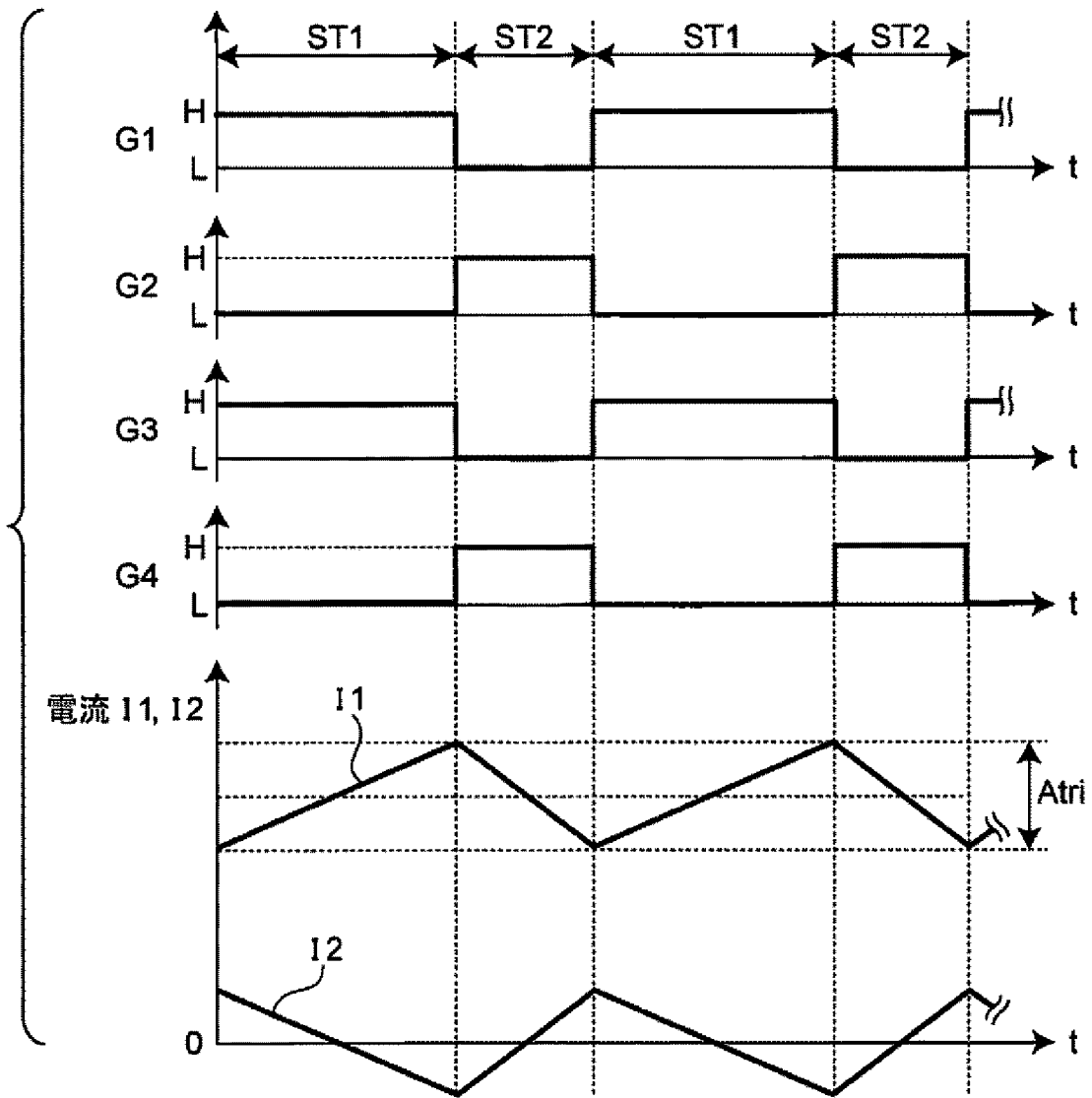
[図1B]



[図2]

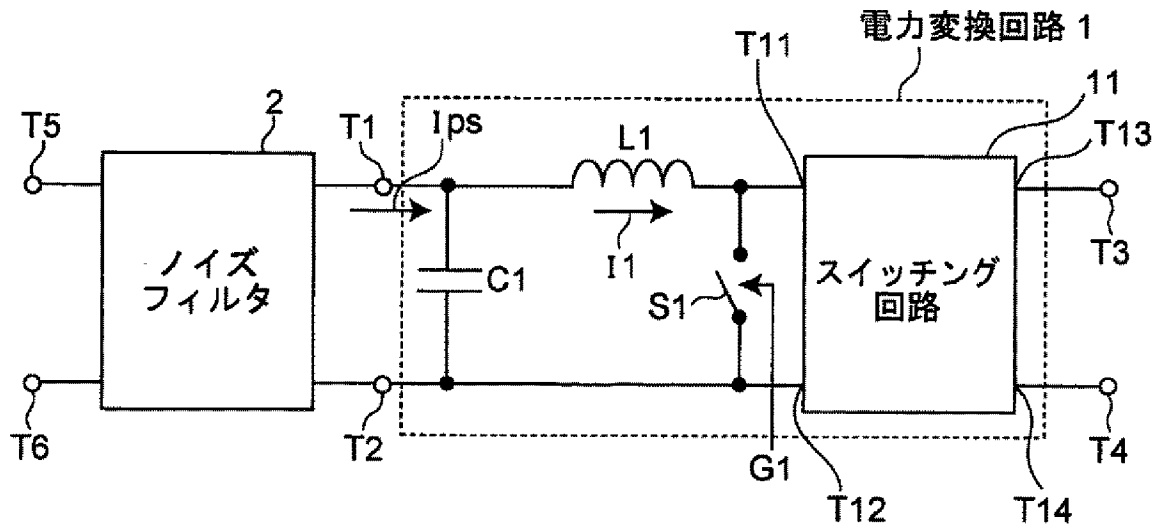


[図3]

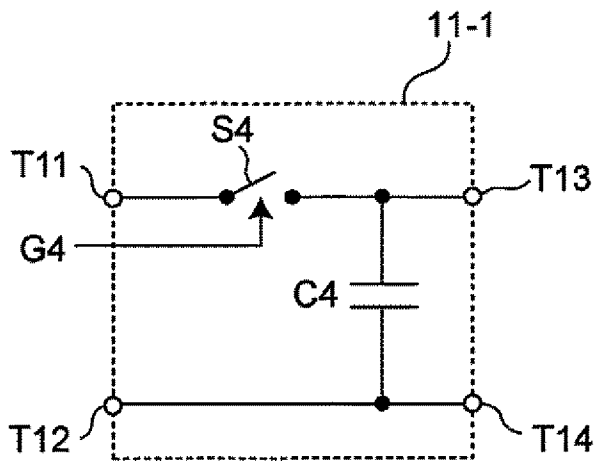


[図4]

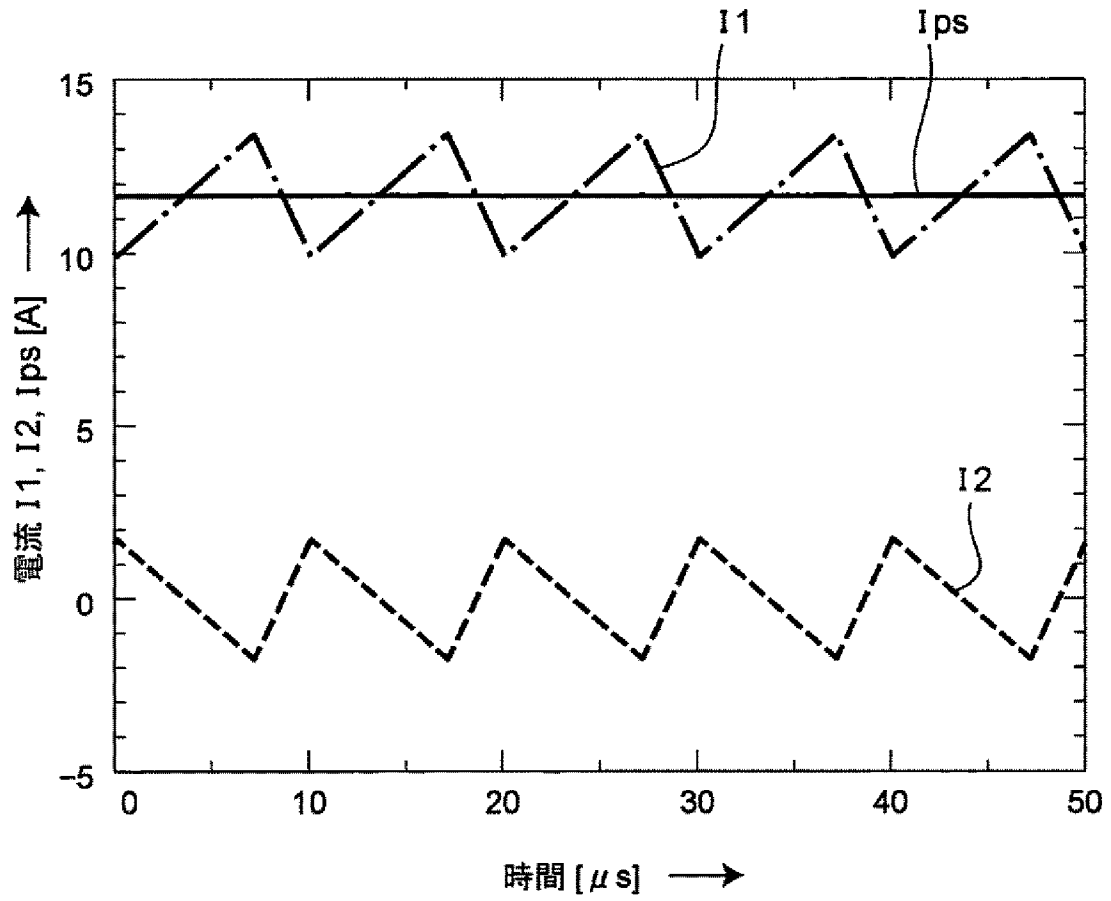
従来技術



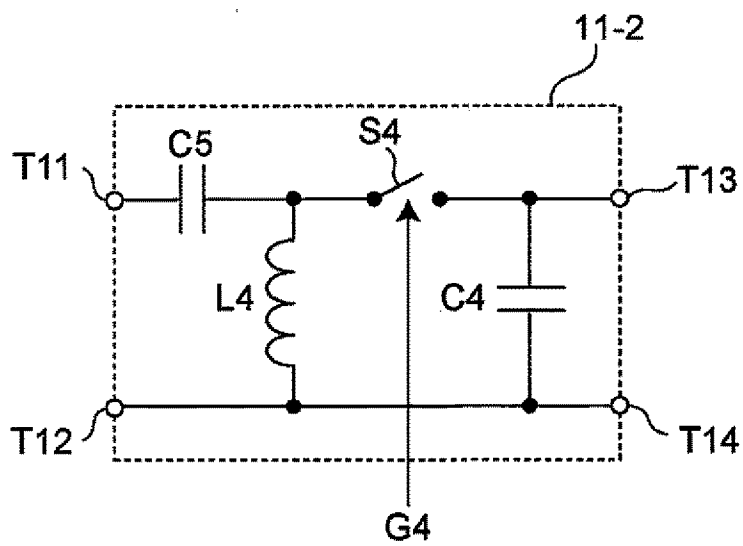
[図5]



[図6]

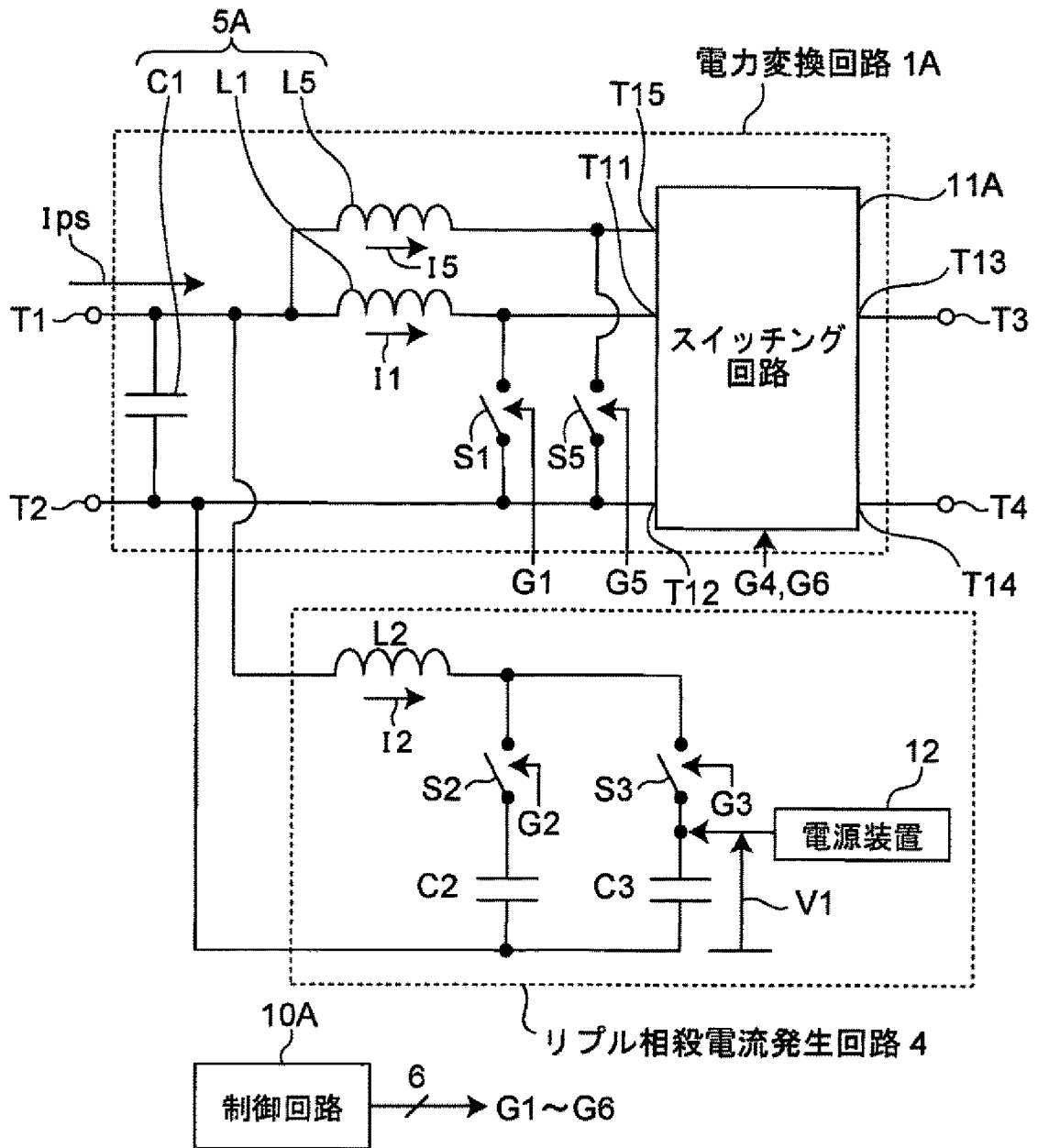


[図7]

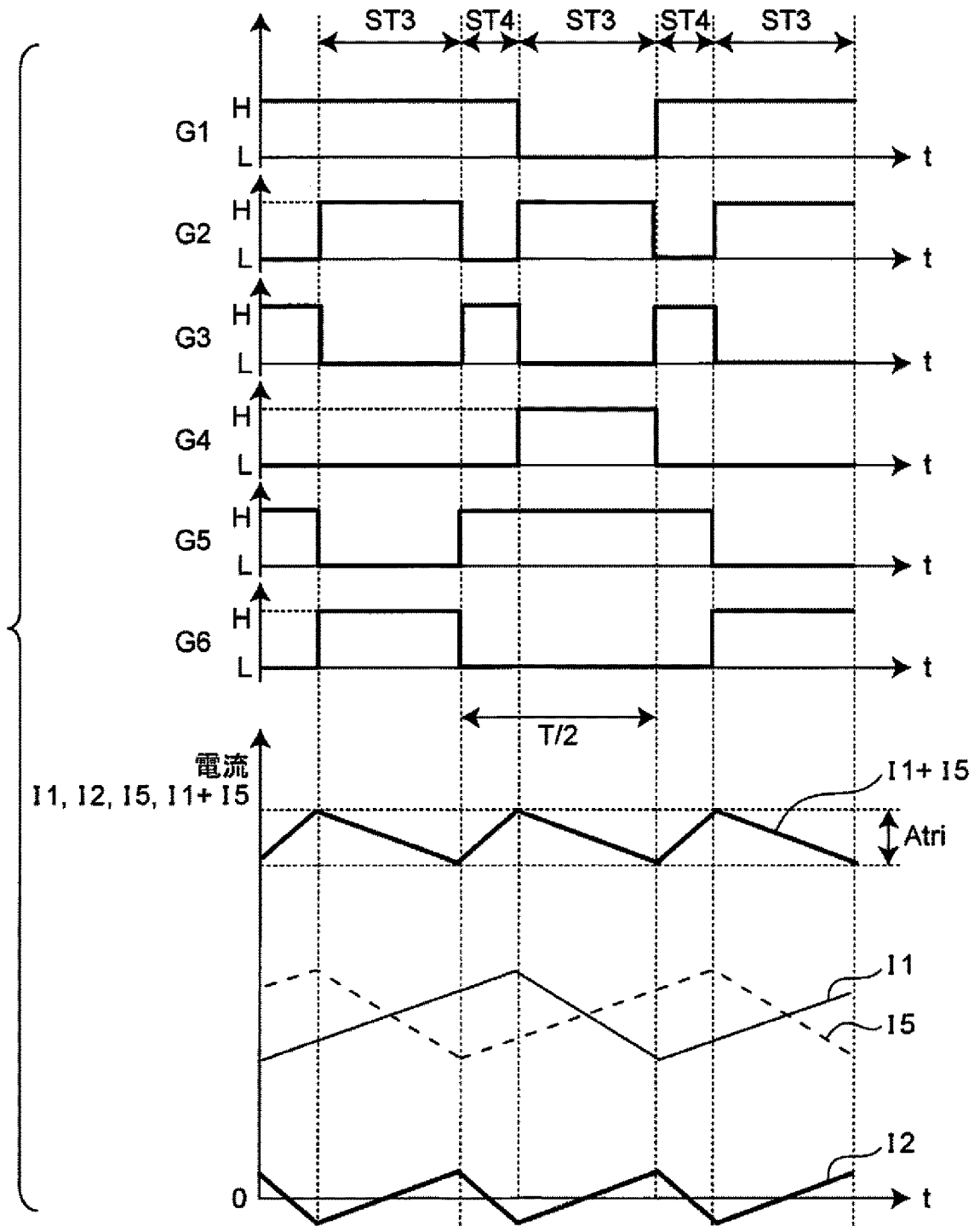


[図8]

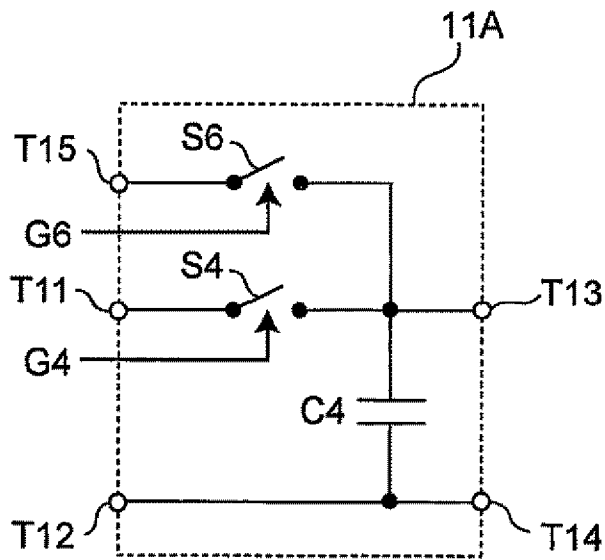
実施形態2



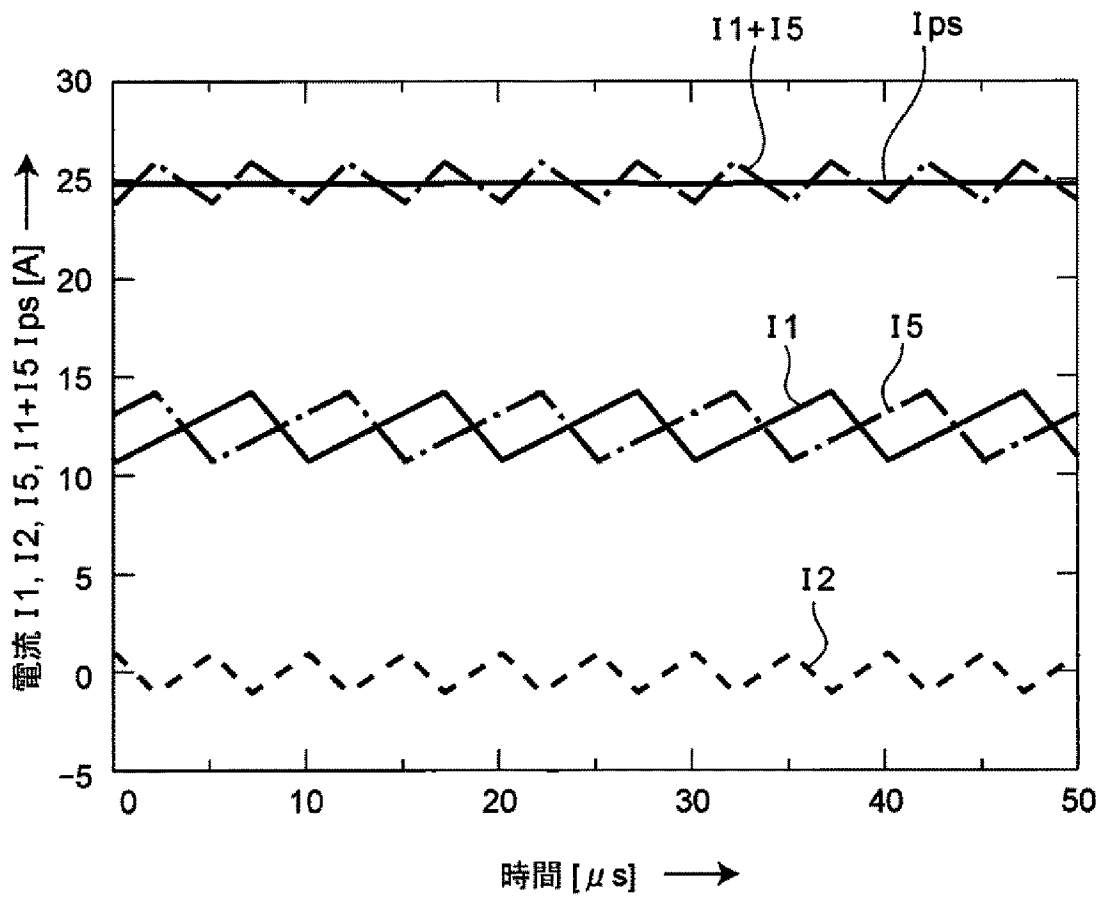
[図9]



[図10]

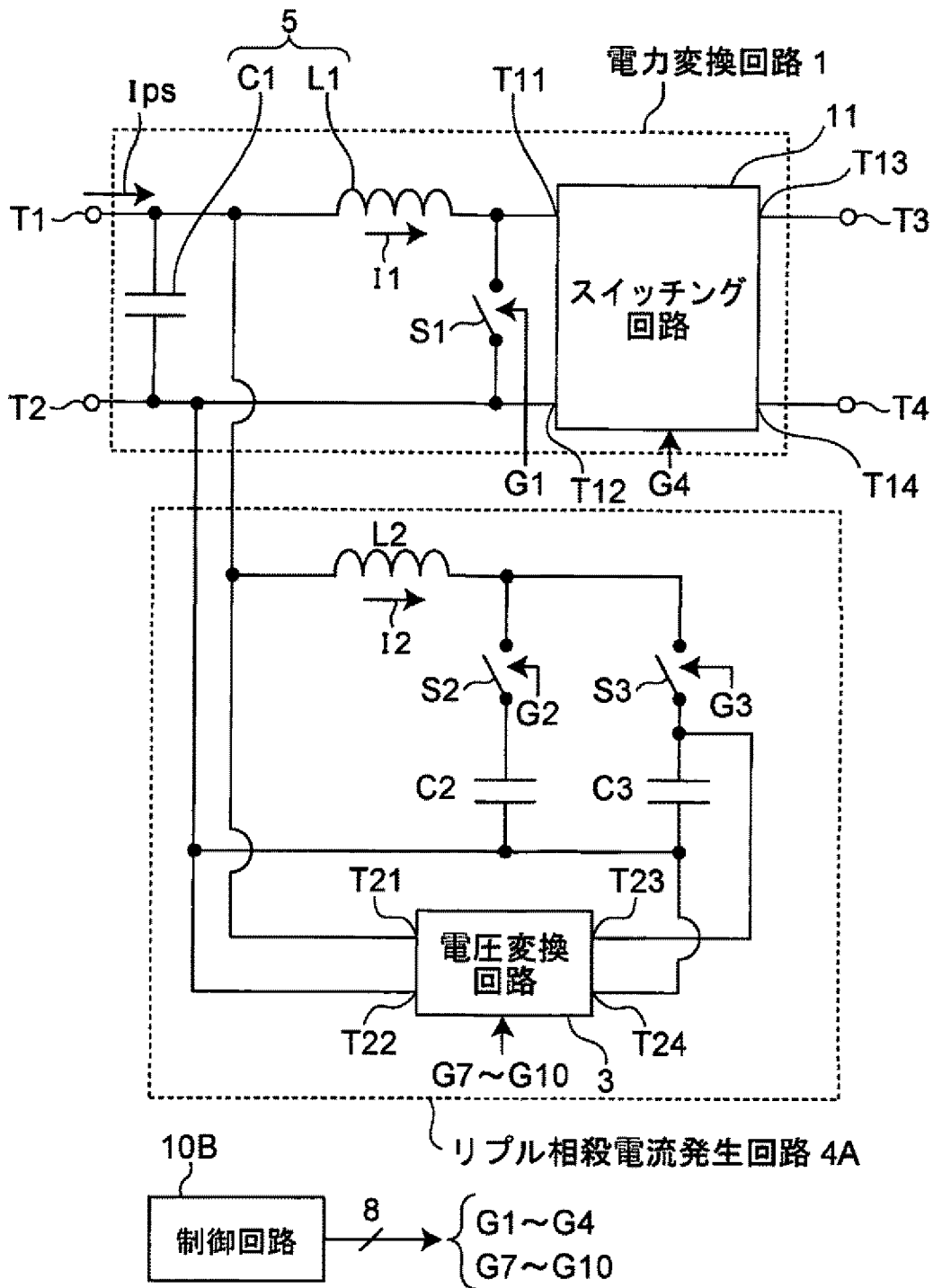


[図11]

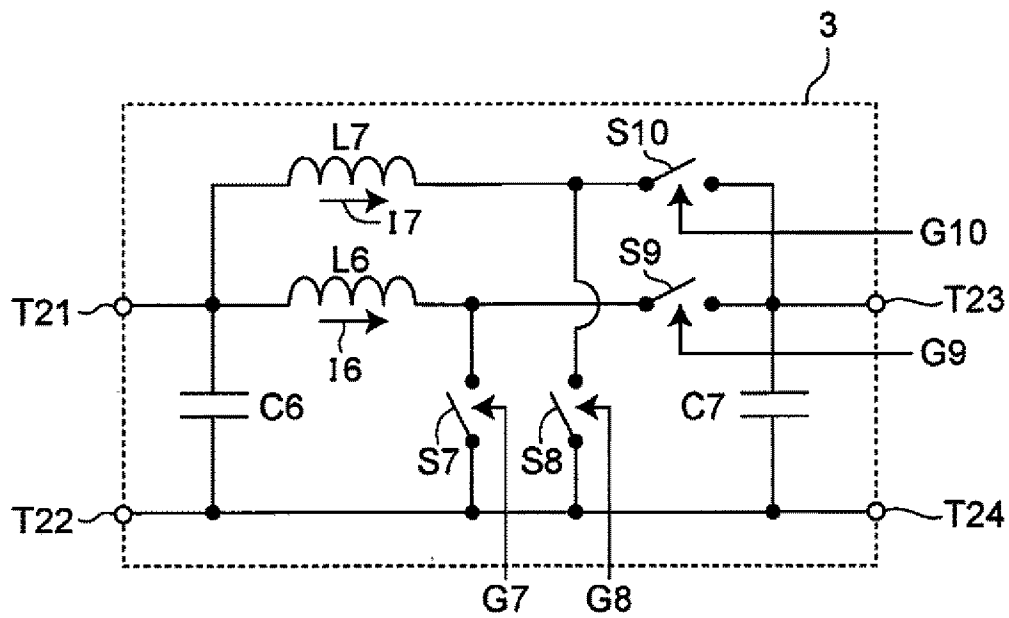


[図12]

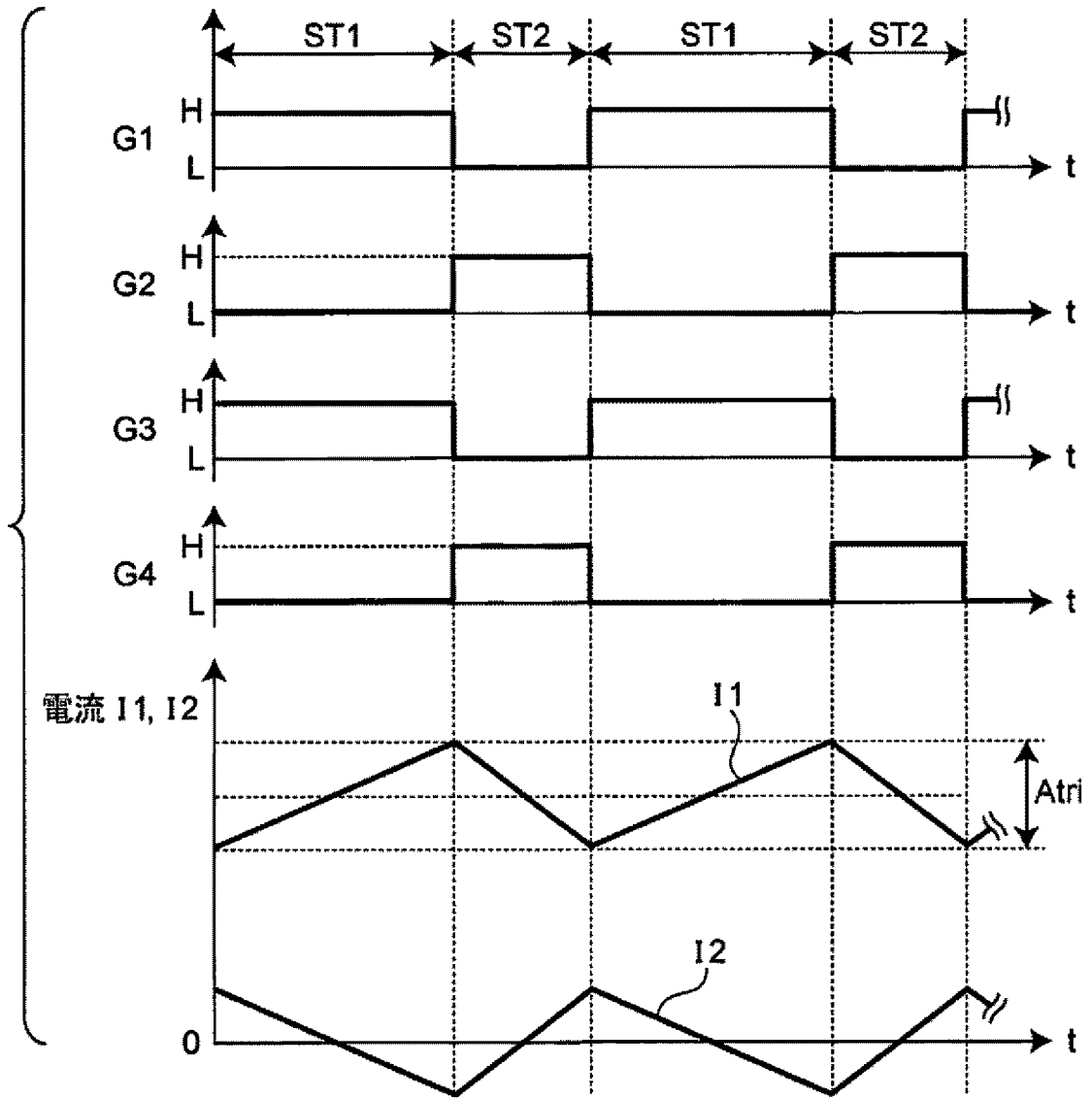
実施形態3



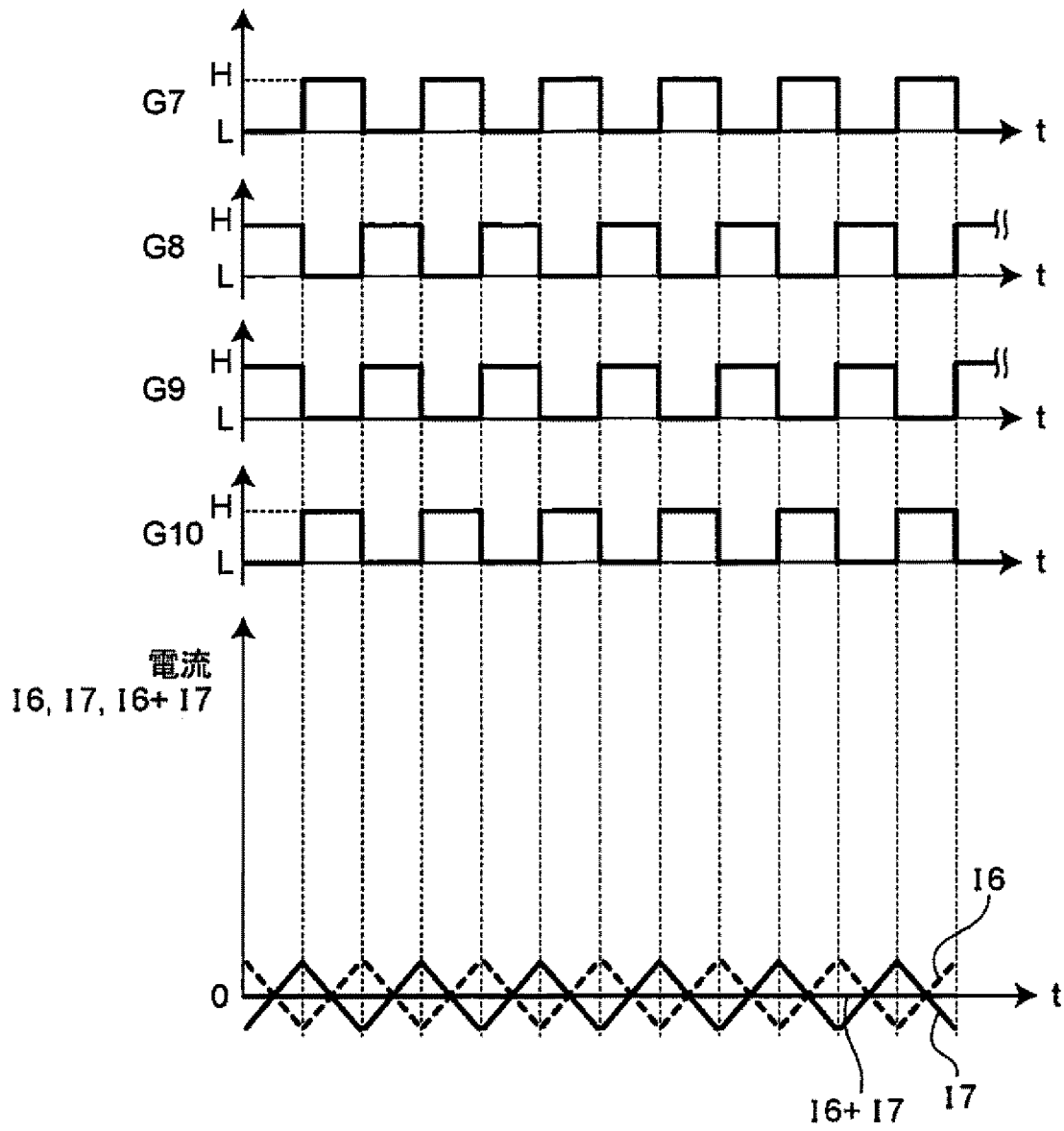
[図13]



[図14A]

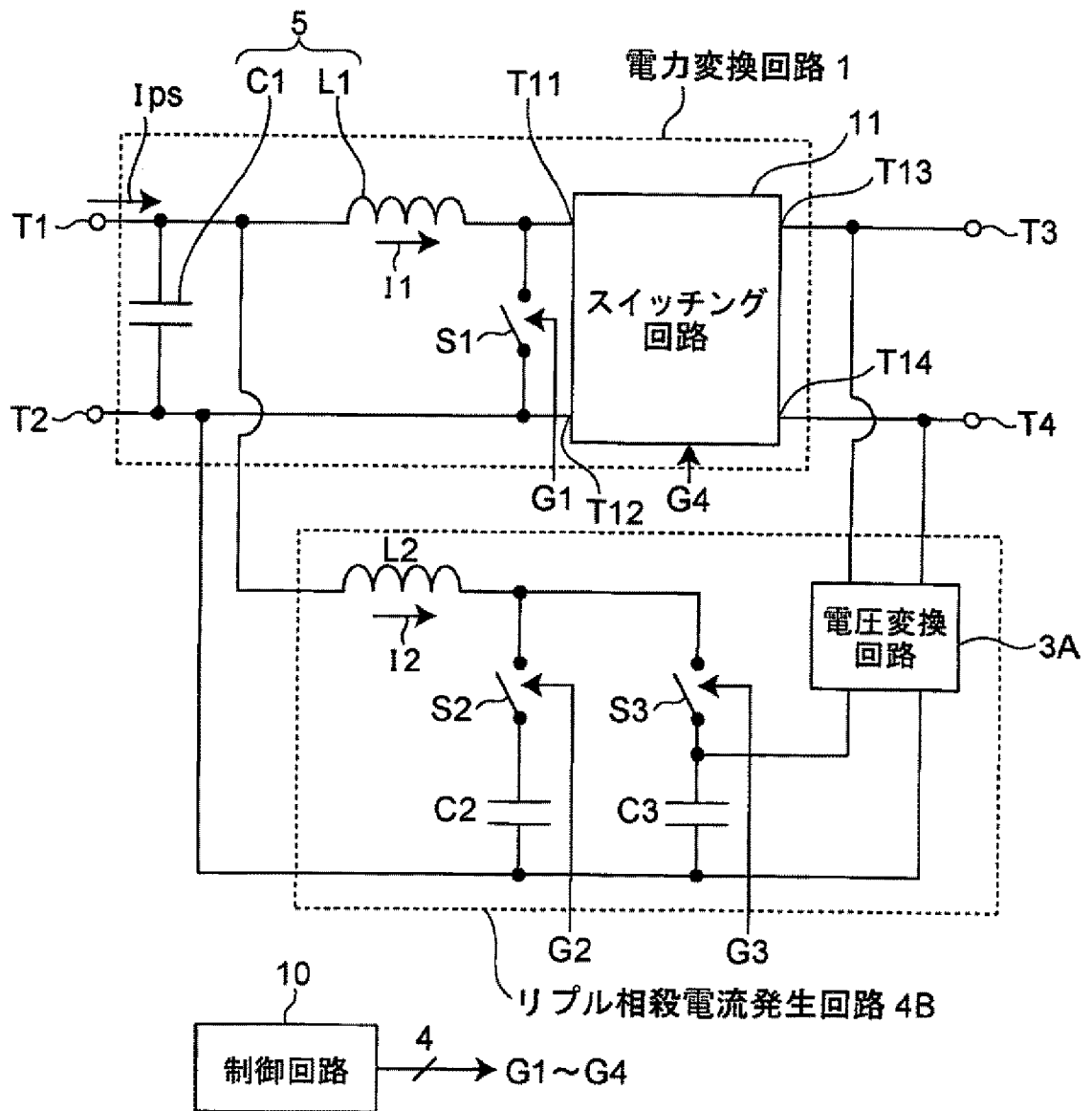


[図14B]



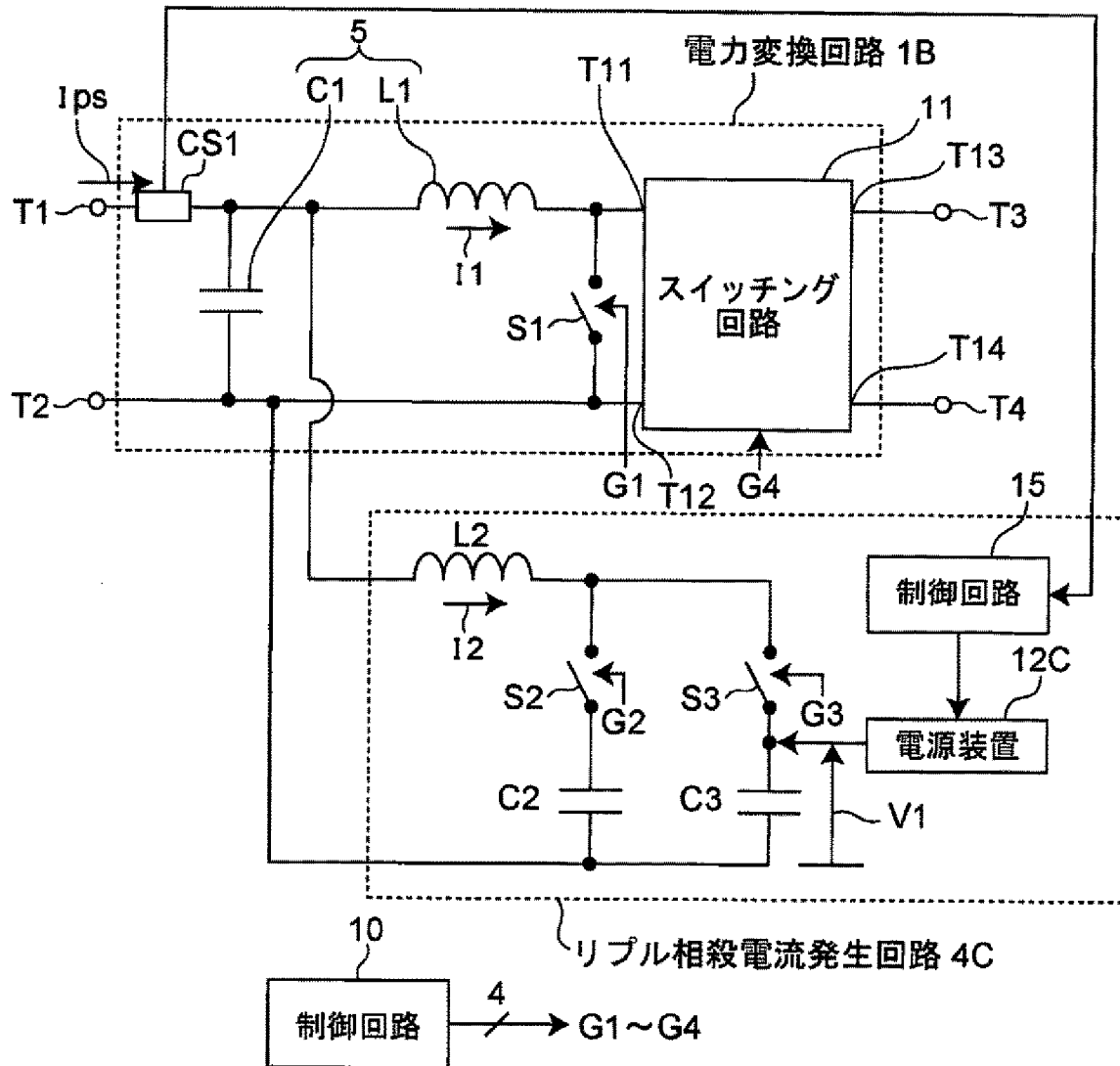
[図15]

実施形態4

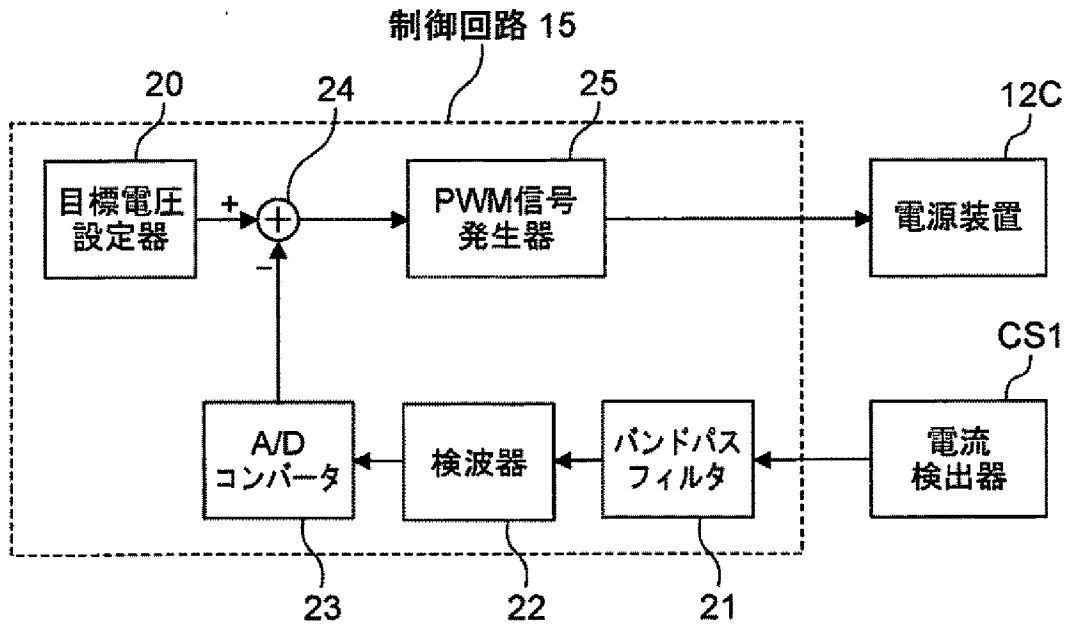


[図16]

実施形態5



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/045518

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H02M 3/155</i> (2006.01)i FI: H02M3/155 E		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M3/155		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-147641 A (SUMITOMO HEAVY IND LTD) 02 August 2012 (2012-08-02) entire text, all drawings	1-14
A	US 2020/0083798 A1 (SENZEN GOODIX TECHNOLOGY CO., LTD.) 12 March 2020 (2020-03-12) entire text, all drawings	1-14
A	CN 103887958 A (WUXI VIMICRO CORP) 25 June 2014 (2014-06-25) entire text, all drawings	1-14
A	US 2020/0321867 A1 (FRAUNHOFER GES FORSCHUNG) 08 October 2020 (2020-10-08) entire text, all drawings	1-14
A	JP 2011-244534 A (TOYOTA INDUSTRIES CORP) 01 December 2011 (2011-12-01) entire text, all drawings	1-14
A	WO 2020/053884 A1 (INDIAN INSTITUTE OF TECHNOLOGY MADRAS) 19 March 2020 (2020-03-19) entire text, all drawings	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 February 2022		Date of mailing of the international search report 22 February 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/045518

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-147641	A	02 August 2012	(Family: none)	
US	2020/0083798	A1	12 March 2020	US	10298114 B1
				US	2020/0186023 A1
				WO	2020/048077 A1
				CN	109923776 A
				CN	112701889 A
CN	103887958	A	25 June 2014	(Family: none)	
US	2020/0321867	A1	08 October 2020	WO	2019/122432 A1
				CN	111758211 A
JP	2011-244534	A	01 December 2011	(Family: none)	
WO	2020/053884	A1	19 March 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i FI: H02M3/155 E		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/155 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-147641 A (住友重機械工業株式会社) 02.08.2012 (2012-08-02) 全文, 全図	1-14
A	US 2020/0083798 A1 (SENZEN GOODIX TECHNOLOGY CO., LTD.) 12.03.2020 (2020-03-12) 全文, 全図	1-14
A	CN 103887958 A (WUXI VIMICRO CORP) 25.06.2014 (2014-06-25) 全文, 全図	1-14
A	US 2020/0321867 A1 (FRAUNHOFER GES FORSCHUNG) 08.10.2020 (2020-10-08) 全文, 全図	1-14
A	JP 2011-244534 A (株式会社豊田自動織機) 01.12.2011 (2011-12-01) 全文, 全図	1-14
A	WO 2020/053884 A1 (INDIAN INSTITUTE OF TECHNOLOGY MADRAS) 19.03.2020 (2020-03-19) 全文, 全図	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 10.02.2022	国際調査報告の発送日 22.02.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2021/045518

引用文献	公表日	パテントファミリー文献	公表日
JP 2012-147641 A	02.08.2012	(ファミリーなし)	
US 2020/0083798 A1	12.03.2020	US 10298114 B1	
		US 2020/0186023 A1	
		WO 2020/048077 A1	
		CN 109923776 A	
		CN 112701889 A	
CN 103887958 A	25.06.2014	(ファミリーなし)	
US 2020/0321867 A1	08.10.2020	WO 2019/122432 A1	
		CN 111758211 A	
JP 2011-244534 A	01.12.2011	(ファミリーなし)	
WO 2020/053884 A1	19.03.2020	(ファミリーなし)	