

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201566 A1

(51) 国際特許分類:

H10B 12/00 (2023.01)

(21) 国際出願番号:

PCT/JP2023/011810

(22) 国際出願日:

2023年3月24日(24.03.2023)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人(USを除く全ての指定国について):ユニ  
サンティス エレクトロニクス シンガポ  
ール プライベート リミテッド(UNISANTIS  
ELECTRONICS SINGAPORE PTE. LTD.) [SG/  
SG]; 179098 ノースブリッジロード 1  
1 1、ペニンシュラ プラザ # 2 3  
- 0 5 Singapore (SG).

(72) 発明者; および

(71) 出願人 (US についてのみ): 各 務 正 一  
(KAKUMU Masakazu) [JP/JP]; 〒1020083 東京  
都千代田区麹町1丁目3番7号 日月館麹町ビ  
ル5階 Semicon Consulting  
株式会社内 Tokyo (JP). 作井 康司(SAKUI Koji)

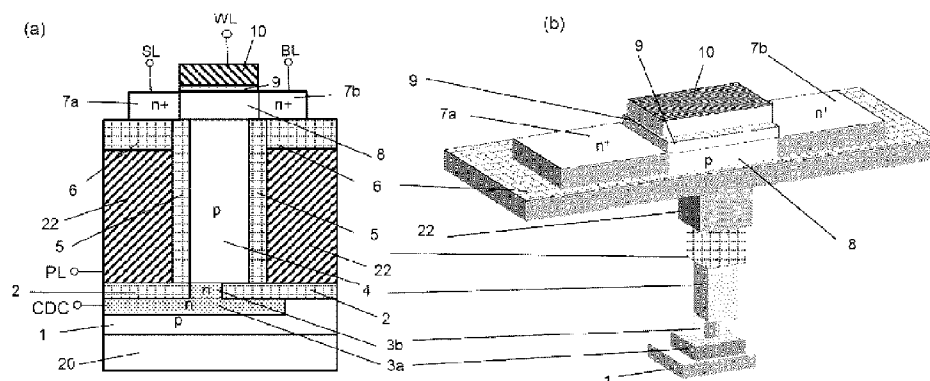
[JP/JP]; 〒1020083 東京都千代田区麹町1丁目  
3番7号 日月館麹町ビル5階 Semicon  
Consulting株式会社内 Tokyo (JP).  
原田 望(HARADA Nozomu) [JP/JP]; 〒1020083  
東京都千代田区麹町1丁目3番7号 日月館  
麹町ビル5階 Semicon Consu  
lting株式会社内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro  
et al.); 〒1008355 東京都千代田区丸の内3  
丁目3番1号 新東京ビル 中村合同特  
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,  
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,  
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,  
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,  
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,  
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子を用いたメモリ装置



(57) Abstract: In the present invention, an n layer 3a is formed on a p layer 1 disposed on a substrate 20. An n layer 3b vertically extends from a surface of the n layer 3a, and a columnar p layer 4 is disposed on the n layer 3b. An insulating layer 2 partly covers the n layers 3a and 3b. A gate insulating layer 5 is in contact with the insulating layer 2. A gate conductor layer 22 is in contact with the gate insulating layer 5 and the insulating layer 2. An insulating layer 6 is in contact with the gate conductor layer 22. A MOSFET is formed by: a p layer 8 disposed on the p layer 4; a gate insulating layer 9 disposed on the p layer 8; an n+ layer 7a and an n+ layer 7b disposed at either end of the p layer 8; and a gate conductor layer 10. The contact area between the p layer 4 and the n layer 3b is smaller than the cross-sectional area of the p layer 4. Voltages are applied to the n+ layer 7a, the n+ layer 7b, the gate conductor layers 5, 10, and the n layer 3a, respectively, to perform a write operation and an erase operation.

[続葉有]



SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 基板20上のp層1上に、n層3aを形成し、その表面から垂直方向に伸延するn層3bとその上部に柱状のp層4があり、n層3a、3bの一部を覆う絶縁層2があり、これに接して、ゲート絶縁層5があり、ゲート絶縁層5と絶縁層2に接して、ゲート導体層22があり、これに接触して、絶縁層6があり、p層4の上にp層8と、その上部に、ゲート絶縁層9と、p層8の両側の端部にあるn+層7a、n+層7bと、ゲート導体層10で構成されるMOSFETがある。p層4とn層3bの接触面積はp層4の断面積よりも小さい。n+層7a、n+層7b、ゲート導体層5、10、n層3aにそれぞれ電圧を印加し、書き込み動作、消去動作を行う。

## 明 細 書

発明の名称：半導体素子を用いたメモリ装置

### 技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置に関する。

### 背景技術

[0002] 近年、LSI (Large Scale Integration) 技術開発において、半導体素子を用いたメモリ装置の高集積化、高性能化、低消費電力化、高機能化が求められている。

[0003] 通常のプレーナ型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレーナ型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照) などの高集積化を行うことができる。

[0004] また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献6～非特許文献10を参照）などがある。例えばNチャンネルMOSトランジスタのソース、ドレイン間電流によりチャンネル内にインパクトイオン化現象により発生させた正孔群、電子群の内、正孔群の一部、または全てをチャンネル内に保持させて論理記憶データ“1”書込みを行う。そして、チャンネル内から正孔群を除去して論理記憶データ“0

” 書込みを行う。このメモリセルでは、フローティングボディチャネル電圧変動による動作マージンの低下の改善、そして、チャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。

[0005] また、SOI層に、2つのMOSトランジスタを用いて1つのメモリセルを形成したTwin-Transistor MOSトランジスタメモリ素子がある（例えば、特許文献2、3、非特許文献11を参照）。これらの素子では、2つのMOSトランジスタのフローティングボディチャネルを分ける、ソース、またはドレインとなるN<sup>+</sup>層が基板側にある絶縁層に接して形成されている。このメモリセルにおいても、信号電荷である正孔群は一つのMOSトランジスタのチャネルに溜められるので、前述の1個のMOSトランジスタよりなるメモリセルと同じく、動作マージンの低下の改善、又はチャネルに溜められた信号電荷である正孔群の一部が除去されることによるデータ保持特性の低下の改善が課題である。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、半導体素子を用いたメモリ装置に関する。

## 先行技術文献

### 特許文献

[0006] 特許文献1：特開平2-188966号公報

特許文献2：US2008/0137394 A1

特許文献3：US2003/0111681 A1

### 非特許文献

[0007] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol. 38, No. 3, pp. 573-578 (1991)

非特許文献2: H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K.W. Song, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor (VPT)," 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3: H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol. 98, No 12, December, pp. 2201-2227 (2010)

非特許文献4: K. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)

非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE

Transaction on Electron Devices, p  
p. 1–9 (2015)

非特許文献6: M. G. Ertosun, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T1C1T DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No. 5, pp. 405–407 (2010)

非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: “A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration,” Electron Device Letters, Vol. 35, No. 2, pp. 179–181 (2012)

非特許文献8: Takashi Ohasawa and Takeshi Hamamoto, “Floating Body Cell –a Novel Body Capacitorless DRAM Cell”, Pan Stanford Publishing (2011).

非特許文献9: T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hattasuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its

Scalability to 32nm Node and Beyond,” IEEE IEDM (2006).

非特許文献10: E. Yoshida: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE IEDM (2006).

非特許文献11: F. Morishita, H. Noda, I. Hayashi, T. Gyohden, M. Okamoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto: “Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI,” IEICE Trans. Electron., Vol. E90-c., No. 4 pp. 765-771 (2007)

非特許文献12: K. Sakui, N. Harada, “Dynamic Flash Memory with Dual Gate Surrounding Gate Transistor (SGT),” Proc. IEEE IMW, pp. 72-75 (2021)

非特許文献13: Yuan Taur and Tak. H. Ning, “Fundamentals of Modern VLSI Devices” (2021).

## 発明の概要

### 発明が解決しようとする課題

[0008] 本発明の目的は、メモリ装置であるダイナミック フラッシュ メモリの安定したメモリ情報の書き込み方法、消去方法、読み出し方法を提供することである。

[0009] 上記の課題を解決するために、本発明に係る半導体素子を用いたメモリ装

置は、

基板と、

前記基板上にある第 1 の半導体領域と、

前記第 1 の半導体領域の一部の表面にある、第 1 の不純物領域と

前記第 1 の不純物領域に接して、垂直方向に伸延する第 2 の不純物領域と

、

前記第 2 の不純物領域に接して垂直方向に伸延する第 2 の半導体領域と、

前記第 1 の半導体領域の一部と前記第 2 の不純物領域の一部を覆う第 1 の絶縁層と、

前記第 2 の不純物領域と第 2 の半導体領域の一部を覆う第 1 のゲート絶縁層と、

前記第 1 の絶縁層と第 1 のゲート絶縁層に接してある第 1 のゲート導体層と、

前記第 1 のゲート導体層と、前記第 1 のゲート絶縁層に接触するように形成された第 2 の絶縁層と、

前記第 2 の半導体領域に接触した第 3 の半導体領域と、

前記第 3 の半導体領域の一部、もしくは全てを覆う第 2 のゲート絶縁層と

、

前記第 2 のゲート絶縁層の一部、もしくは全部を覆った第 2 のゲート導体層と、

前記第 3 の半導体領域の両端に接続する第 3 の不純物領域および第 4 の不純物領域と、を具備し、

平面視において、前記第 2 の不純物領域と前記第 2 半導体領域との接触面積が、前記第 2 半導体領域の平面視における最大断面積より小さい、

ことを特徴とする。

[0010] 第 2 発明は、上記第 1 発明において、前記第 1 の不純物領域の多数キャリアは前記第 1 の半導体領域の多数キャリアとは異なることを特徴とする。

[0011] 第 3 発明は、上記第 1 発明において、前記第 2 の不純物領域の多数キャリア

アと前記第 1 の不純物領域の多数キャリアとは同じであり、そして、前記第 2 の不純物領域の多数キャリアと前記第 1 の半導体領域の多数キャリアとは異なることを特徴とする。

[0012] 第 4 発明は、上記第 1 発明において、前記第 2 の半導体領域の多数キャリアは前記第 1 の半導体領域の多数キャリアと同じであることを特徴とする。

[0013] 第 5 発明は、上記第 1 発明において、前記第 3 の不純物領域と前記第 4 の不純物領域の多数キャリアは前記第 1 の不純物領域の多数キャリアと同じであることを特徴とする。

[0014] 第 6 発明は、上記第 1 発明において、前記第 2 の不純物領域の濃度は前記第 3 の不純物領域、前記第 4 の不純物領域よりも低いことを特徴とする。

[0015] 第 7 発明は、上記第 1 発明において、前記第 3 の半導体領域の底部から前記第 2 の不純物領域の上部までの垂直距離が、前記第 3 の半導体領域の底部から前記第 1 のゲート導体層の底部までの垂直距離よりも短いことを特徴とする。

[0016] 第 8 発明は、上記第 1 発明において、垂直方向において、前記第 1 の不純物領域の底部が前記第 1 の絶縁層の底部より低い位置にあることを特徴とする。

[0017] 第 9 発明は、上記第 1 発明において、垂直方向において、前記第 2 の不純物領域の上面が、第 1 の絶縁層の上面より高い位置にあることを特徴とする。

[0018] 第 10 発明は、上記第 1 発明において、前記第 1 の不純物領域が、隣接する複数のメモリセルで共有されていることを特徴とする。

[0019] 第 11 発明は、上記第 1 発明において、前記第 1 のゲート導体層にかける電圧を変えることで、前記第 3 の半導体領域、前記第 2 の不純物領域、前記第 3 の不純物領域、前記第 2 のゲート絶縁層、前記第 2 のゲート導体層よりなる MOS トランジスタのしきい値を操作することを特徴とす。

[0020] 第 12 発明は、上記第 1 発明において、前記第 2 の半導体領域と前記第 3 の不純物領域の間に第 5 の不純物領域、もしくは前記第 3 の半導体領域と前

記第4の不純物領域の間に第6の不純物領域があり、かつ前記第2の半導体領域と前記第5の不純物領域、もしくは前記第6の不純物領域との接触面積が、前記第3の不純物領域、もしくは第4の不純物領域の垂直方向の断面積よりも小さいことを特徴とする。

[0021] 第13発明は、上記第1発明において、

前記第3の不純物領域に接続する第1の配線導体層と、  
前記第4の不純物領域に接続する第2の配線導体層と、  
前記第2のゲート導体層に接続する第3の配線導体層と、  
前記第1のゲート導体層に接続する第4の配線導体層と、  
前記第1の不純物領域に接続する第5の配線導体層と、  
をさらに有し、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記前記第4の配線導体層と、前記前記第5の配線導体層に印加する電圧を制御して、前記第3の不純物領域と前記第4の不純物領域との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記第3の半導体領域及び前記第2の半導体領域に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記第3の半導体領域及び前記第2の半導体領域における少数キャリアを除去する動作と、前記第3の半導体領域及び第2の半導体領域における多数キャリアの一部または全てを、前記第3の半導体領域及び第2の半導体領域に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層と、前記第5の配線導体層に印加する電圧を制御して、前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第4の不純物領域の少なくとも一か所から、残存している前記第2の半導体領域、もしくは第3の半導体領域における多数キャリアを前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第4の不純物領域の多数キャリアと再結合させることで抜き取り、メモリ消去動

作を行うことを特徴とする。

[0022] 第14発明は、上記第13発明において、前記第3の不純物領域に繋がる前記第1の配線導体層は、ソース線であり、前記第4の不純物領域に繋がる前記第2の配線導体層は、ビット線であり、前記第2のゲート導体層に繋がる前記第3の配線導体層は、ワード線であり、前記第1のゲート導体層に繋がる前記第4の配線導体層は、プレート線であり、前記第5の配線導体層は、コントロール線であり、ソース線、ビット線、プレート線、ワード線、コントロール線にそれぞれ電圧を与えて、前記メモリ書き込み動作と、前記メモリ消去動作を行うことを特徴とする。

[0023] 第15発明は、上記第1発明において、前記メモリ書き込み動作において、前記第3の不純物領域と前記第4の不純物領域に電位差ができるように電圧を印加し、前記第2のゲート導体層には前記第2の半導体の多数キャリアが正孔の場合には、正の電圧を印加し、

前記第2の半導体の多数キャリアが電子の場合には前記第2のゲート導体層に負の電圧を印加し、前記第1のゲート導体層には正の電圧、もしくは0Vの電圧を印加することを特徴とする。

[0024] 第16発明は、上記第1発明において、前記メモリ消去動作において、前記第1のゲート導体層に前記メモリ書き込み動作時とは異なる極性の電圧、もしくは0Vを印加することを特徴とする。

[0025] 第17発明は、上記第1発明において、メモリ読み出し動作において、前記第1のゲート導体層に前記メモリ書き込み動作時と同じ極性の電圧、もしくは0Vを印加し、前記第3の不純物領域と前記第4の不純物領域に電位差ができるように電圧を印加し、かつ、前記第2のゲート導体層に前記書き込み動作時と同じ極性の電圧を印加することを特徴とする。

[0026] 第18発明は、上記第1発明において、メモリ待機動作時において、前記第1のゲート導体層と、前記第2のゲート導体層には、前記メモリ書き込み動作時にかける電圧と異なる極性、もしくは0Vを印加することを特徴とする。

## 図面の簡単な説明

[0027] [図1]第1実施形態に係る半導体素子を用いたメモリ装置の断面構造と鳥観図を示す図である。

[図2]第1実施形態に係る半導体素子を用いたメモリ装置の書き込み動作時の正孔キャリアの蓄積、セル電流を説明するための図である。

[図3]第1実施形態に係る半導体素子を用いたメモリ装置の消去動作を説明するための図である。

[図4]第1実施形態に係る半導体素子を用いたメモリ装置の追加例1の断面構造である。

[図5]第1実施形態に係る半導体素子を用いたメモリ装置の追加例2の断面構造である。

## 発明を実施するための形態

[0028] 以下、本発明の実施形態に係る、半導体素子を用いたメモリ装置の構造、駆動方式、蓄積キャリアの挙動、について、図面を参照しながら説明する。

[0029] (第1実施形態)

図1～図5を用いて、本実施形態による半導体素子を用いたメモリのセル構造と動作を説明する。図1を参照して、本実施形態による半導体素子を用いたメモリのセル構造を述べる。図2を参照して、半導体素子を用いたメモリセルの書き込みメカニズムとキャリアの挙動を述べる。図3を参照して、メモリ書き込み動作時の動作波形を述べる。図4を参照して、本実施形態の応用例1を述べる。図5を参照して、本実施形態の応用例2を説明する。

[0030] 図1(a)に、本発明の実施形態に係る半導体素子を用いたメモリの垂直断面構造を示す。基板20(特許請求の範囲の「基板」の一例である)上にアクセプタ不純物を含むp型の導電型を有するシリコンのp層1(特許請求の範囲の「第1の半導体領域」の一例である)がある。p層1に接して、ドナー不純物を含むn層3a(特許請求の範囲の「第1の不純物領域」の一例である)を持つ半導体がある。その一部に接して、垂直方向に立つ柱状のドナー不純物を含むn層3b(特許請求の範囲の「第2の不純物領域」の一例

である）がある。n層3bと接触して、その接触面積よりも平面視における最大断面積が大きい、アクセプタ不純物を含む水平断面が矩形である柱状のp層4（特許請求の範囲の「第2の半導体領域」の一例である）がある。p層1、n層3a、n層3b、p層4の一部を覆う第1の絶縁層2（特許請求の範囲の「第1の絶縁層」の一例である）がある。第1の絶縁層2に接して、p層4の一部を覆う、第1のゲート絶縁層5（特許請求の範囲の「第1のゲート絶縁層」の一例である）がある。また、第1のゲート導体層22（特許請求の範囲の「第1のゲート導体層」の一例である）が第1の絶縁層2、第1のゲート絶縁層5に接してある。ゲート絶縁層5とゲート導体層22に接した第2の絶縁層6（特許請求の範囲の「第2の絶縁層」の一例である）がある。p層4に接触したアクセプタ不純物を含むp層8（特許請求の範囲の「第3の半導体領域」の一例である）がある。

[0031] p層8の水平方向の両端に接してドナー不純物を含んだn+層7a（特許請求の範囲の「第3の不純物領域」の一例である）と、n+層7b（特許請求の範囲の「第4の不純物領域」の一例である）とがある（以下、ドナー不純物を高濃度で含む半導体領域を「n+層」と称する。）。

[0032] p層8の上表面に第2のゲート絶縁層9（特許請求の範囲の「第2のゲート絶縁層」の一例である）がある。このゲート絶縁層9は、n+層7a、7bに、それぞれ接するか、または近接している。垂直方向において、このゲート絶縁層9上に第2のゲート導体層10（特許請求の範囲の「第2のゲート導体層」の一例である）がある。

[0033] 図1（b）に、本実施形態によるメモリセル構造の鳥観図を示す。この図では理解しやすくする目的で、p層1と第1の絶縁層2を除去したうえで、p層1、n層3a、n層3b、p層4、n+層7a、n+層7b、p層8、第1のゲート絶縁層5、第1のゲート導体層22、第2のゲート絶縁層9、第2のゲート導体層10を示した。なお、わかりやすくするために第2のゲート絶縁層9、第2のゲート導体層10をp層8から少しずらして図示している。n層3bとp層4の接触面積はp層4の断面積よりも小さい。

[0034] これにより基板20、p層1、絶縁層2、第1のゲート絶縁層5、第1のゲート導体層22、第1の絶縁層6、n層3a、n層3b、p層4、n+層7a、n+層7b、p層8、第2のゲート絶縁層9、第2のゲート導体層10、からなる半導体素子を用いたメモリ装置が形成される。そして、n+層7aは第1の配線導電層であるソース線SL（特許請求の範囲の「ソース線」の一例である）に、n+層7bは第2の配線導電層であるビット線BL（特許請求の範囲の「ビット線」の一例である）に、ゲート導体層10は第3の配線導電層であるワード線WL（特許請求の範囲の「ワード線」の一例である）に、ゲート導体層22は第4の配線導電層であるプレート線PL（特許請求の範囲の「プレート線」の一例である）に、n層3aは第5の配線導電層であるコントロール線CDC（特許請求の範囲の「コントロール線」の一例である）にそれぞれ接続している。ソース線SL、ビット線BL、プレート線BL、ワード線WL、コントロール線CDCの印加電圧を操作することで、メモリの動作をさせる。このメモリ装置を以下、ダイナミック フラッシュ メモリと呼ぶ。

[0035] 実際の本実施形態のメモリ装置では、上述のダイナミック フラッシュ メモリセルが基板20上にひとつ、もしくは2次元状に複数配置されている。

[0036] また、図1でp層1はp型の半導体としたが、不純物の濃度にプロファイルが存在してもよい。また、n層3a、n層3b、p層4、p層8の不純物の濃度にプロファイルが存在してもよい。また、p層4とp層8は独立して、不純物の濃度、プロファイルを設定してもよい。また、p層4とp層8は異なる半導体材料層で形成されてもよい。また、平面視において、p層4の断面がp層4とp層8の接続面で、同じ形状であってもよい。または、n+層7a、7bに繋がる方向において、p層8の水平方向の長さが、p層4の幅より長くても短くてもよい。また、p層8と、n+層7a、7bとの間にn+層7a、7bのドナー不純物濃度より低いドナー濃度を持つLDD（L i g h t l y D o p e d D r a i n）領域を設けてもよい。

- [0037] また、図1では第1の半導体領域1がp型の半導体としたが、基板20にn型の半導体基板を用い、pウェルを形成し、これを第1の半導体領域1として、本発明のメモリセルを配置してもダイナック フラッシュ メモリの動作がなされる。
- [0038] また、図1ではn層3aとn層3bを別々に示したが、連続した半導体領域であってもよい。図1ではn層3aとn層3bの境界線が、絶縁層2の底部に一致するように図示されているが、この境界線が、必ずしも絶縁層2の底部に一致する必要はなく、垂直方向において、n層3aの上部がゲート導体層22の底部より高い位置にあり、n層3bの上部がゲート導体層22の底部と同じか、高い位置にあればよい。また、図1において、n層3aはメモリセルの下に存在すれば、全面に形成する必要はない。さらに、n層3aはp層1の中のnウェルによって形成してもよい。なお、これ以降n層3aとn層3bを併せてn層3として表記することがある。
- [0039] また、図1では絶縁層2とゲート絶縁層5を区別して示したが、一体のものとして形成してもよい。以下では、絶縁層2とゲート絶縁層5とを併せてゲート絶縁層5とも言う。
- [0040] また、図1ではp層8はp型の半導体としたが、p層4の多数キャリア濃度、p層8の厚さ、ゲート絶縁層9の材料、厚さ、ゲート導体層10の材料に依存し、p層8はp型、n型、i型いずれのタイプも用いることができる。
- [0041] また、基板20は絶縁体でも、半導体でも、導体でも、p層1を支えられるものであれば任意の材料を用いることができる。
- [0042] また、第1～第5の配線導電層はそれぞれが接触しなければ、多層で形成してもよい。
- [0043] また、ゲート絶縁層5、9には、例えばSiO<sub>2</sub>膜、SiON膜、HfSiON膜やSiO<sub>2</sub>/SiNの積層膜など、通常のMOSプロセスにおいて使用されるいかなる絶縁膜も使用可能である。
- [0044] また、第1のゲート導体層22はゲート絶縁層5を介して、また第2のゲート導体層10はゲート絶縁層9を介してメモリセルの一部の電位を変化さ

せられるのであれば、例えばW、Pd、Ru、Al、TiN、Ta<sub>2</sub>N<sub>5</sub>、WNのような金属、金属の窒化物、もしくはその合金（シリサイドを含む）、例えばTiN/W/Ta<sub>2</sub>N<sub>5</sub>のような積層構造であってもよいし、高濃度にドーピングされた半導体で形成してもよい。

[0045] また、図1においてメモリセルは、p層4、p層8の垂直断面構造が矩形であるとして説明したが、台形状でも多角形でも、また、平面視において、p層4断面が円形、楕円形でもよい。

[0046] また、n+層7a、7b、p層8、ゲート絶縁層9、ゲート導体層10よりなるMOSFETはプレーナ型でもよいし、フィン（Fin）型のFETでもよい。プレーナ型では、第2のゲート絶縁層9はp層8の上面に形成され、第2のゲート導体層10は、そのゲート絶縁層上に形成される。また、フィン型では第2のゲート絶縁層9はp層8の上面、及び対向する2つの側面に形成され、第2のゲート導体層10は、そのゲート絶縁層を覆って形成される。また、チャンネルであるp層8の形状がU字状であるFETであってもよい。

[0047] また、図1において、第1のゲート導体層22は、平面視において、の全体を囲んでもよいし、または一部を覆っていてもよい。第1のゲート導体層22は、平面視において、複数個に分割されていてもよい。また、第1のゲート導体層22は、垂直方向において、複数個に分割されていてもよい。また断面構造でも図1ではp層4の両側に第1のゲート導体層22が存在しているが、どちらか一方に存在すれば、これによっても、ダイナミック フラッシュ メモリの動作ができる。

[0048] また、n+層7aとn+層7bを、正孔が多数キャリアであるp+層（以下、アクセプタ不純物を高濃度で含む半導体領域を「p+層」と称する。）で形成したときは、p層1、p層4、p層8をn型半導体、n層3a、n層3bにp型半導体を用いれば、書き込みのキャリアを電子とするダイナミック フラッシュ メモリの動作がなされる

[0049] 図2を参照して、本発明の第1実施形態に係るダイナミック フラッシュ

メモリの書き込み動作時（特許請求の範囲の「書き込み動作」の一例である）のキャリア挙動、蓄積、セル電流を説明する。まず  $n$  層 3 a、 $n$  層 3 b、 $n +$  層 7 a と  $n +$  層 7 b の多数キャリアが電子であり、たとえばプレート線 PL に接続されるゲート導体層 2 2 と WL に接続されるゲート導体層 1 0 にドナー不純物を高濃度で含む  $\text{poly Si}$ （以下、ドナー不純物を高濃度で含む  $\text{poly Si}$  を「 $n + \text{poly}$ 」と称する。）を使用し、第 3 の半導体領域 8 として  $p$  型半導体を使用した場合について説明する。図 2（a）に示したように、このメモリセルの中の MOSFET はソースとなる  $n +$  層 7 a、ドレインとなる  $n +$  層 7 b、ゲート絶縁層 9、ゲートとなるゲート導体層 1 0、基板となる  $p$  層 8 を構成要素として作動する。 $p$  層 1 に例えば 0 V を印加し、コントロール線 CDC 線の接続された  $n$  層 3 a に例えば 0.5 V を印加し、ソース線 SL の接続された  $n +$  層 7 a に例えば 0 V を入力し、ビット線 BL の接続された  $n +$  層 7 b に例えば 1.0 V を入力し、プレート線 PL の接続されたゲート導体層 2 2 に例えば、-1 V を印加する。ここでは、書き込み前のゲート導体層 1 0 をゲート電極とする MOSFET のしきい値は、プレート線 PL の電圧が -1 V の時には、例えば 1.0 V とする。次に、ワード線 WL の接続されたゲート導体層 1 0 に、例えば、1.5 V を入力すると、ゲート導体層 1 0 の下にあるゲート絶縁層 9 の直下には一部反転層 1 2 が形成され、ピンチオフ点 1 3 が存在する。したがってゲート導体層 1 0 を有する MOSFET は飽和領域で動作する。

[0050] この結果、ゲート導体層 1 0 を有する MOSFET の中でピンチオフ点 1 3 と  $n +$  層 7 b の間で電界は最大となり、この領域でインパクトイオン化現象が生じる。このインパクトイオン化現象により、ソース線 SL の接続された  $n +$  層 7 a から、ビット線 BL の接続された  $n +$  層 7 b に向かって加速された電子が Si 格子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された正孔はその濃度勾配によって、より正孔濃度の薄いほうに向かって拡散をしていく。また、生成された電子の一部は、ゲート導体層 1 0 に流れるが、大半はビット線 BL に接続されている  $n +$  層 7 b に

流れる。この結果、p層4やp層8に正孔群14が蓄積される。

[0051] 上記の例ではプレート線PLを $-1\text{ V}$ としたが、これは、p層の中に空乏層がひろがらないようにして、インパクトイオン化によって生じた正孔を蓄積することと、メモリセルの中のMOSFETのしきい値電圧を基板バイアス効果によって調整することに寄与する。

[0052] また、上記の例ではゲート導体層22にn+polyを使用して、負電圧をバイアスする例を示したが、ゲート導体層10の材料に比較して、仕事関数の高い材料を使用しても負電圧を印加するのと同様の効果を得ることができる。

[0053] なお、上記のインパクトイオン化現象を起こさせる代わりに、ゲート誘起ドレインリーク(GIDL)電流を流して正孔群を生成してもよい(例えば非特許文献7を参照)。

[0054] 図2(b)には、書き込み直後、プレート線PLが $-1\text{ V}$ 、ワード線WL、ソース線SL、ビット線BLのバイアスが $0\text{ V}$ 、コントロール線CDCのバイアスが $0.5\text{ V}$ になったときのp層4、p層8にある正孔群14を示す。生成された正孔群14は、p層4とp層8の多数キャリアであるが、生成された正孔濃度は一時的にp層8の領域で高濃度となり、その濃度の勾配によってp層4の方へ拡散によって移動する。さらに、第1のゲート導体層22に負電位を印加する、p層4の第1のゲート絶縁層5の近傍により高濃度に蓄積される。p層4とp層8が電氣的につながっているために実質的にゲート導体層10を持つMOSFETの基板であるp層8を正バイアスに充電する。ゲート導体層10をもつMOSFETのしきい値電圧は、p層4とp層8に一時的に蓄積される正孔により正の基板バイアス効果によって、低くなる。本例の場合には、書き込み後のMOSFETのしきい値は $0.6\text{ V}$ となる。これにより、図2(c)に示すように、ワード線WLの接続されたゲート導体層10をもつMOSFETのしきい値電圧は、約 $0.3\text{ V}$ となり、書き込み前に比較して、低くなる。この書き込み状態を論理記憶データ“1”に割り当てる。

[0055] 本実施形態の構造によれば、ワード線WLの接続されたゲート導体層10をもつMOSFETのp層8は、p層4に電氣的に接続されているので、発生された正孔を蓄積できる容量を、p層4の体積により自由に変えることができる。さらに、正孔キャリアが蓄積されているp層4、p層8の体積に比べて、電子と再結合することに関与するn層3b、n+層7a、n+層7bが接触する面積を意図的に小さくできる。特に、p層4とn層3bの接触面積はp層4の最大水平断面積よりも小さいために、書き込み動作の後に蓄積された正孔と電子が再結合する機会をより小さくし、保持時間を長くできる。

[0056] 上述した例に加えて、例えば、上記のビット線BL、プレート線PL、ワード線WL、に印加する電圧をそれぞれ $V-BL$ 、 $V-PL$ 、 $V-WL$ と略記すると、電圧印加条件は、 $SL$ は $0V$ として、 $1.0V (V-BL) / -1V (V-PL) / 2.0V (V-WL)$  や  $1.0V (V-BL) / -0.5V (V-PL) / 1.2V (V-WL)$ 、 $1.5V (V-BL) / -1V (V-PL) / 2.0V (V-WL)$  などの組み合わせでも可能である。ビット線BLとソース線SLの電圧関係を入れ替えてもよい。ただし、ビット線BLに $1.0V$ 、ソース線SLに $0V$ 、ワード線WLに $2V$ 、プレート線PLに $-1V$ をかけた場合には書き込み中にしきい値が下がり、しだいにピンチオフ点13はn+層7bのほうにシフトし、MOSFETが線形動作をすることもある。

[0057] 次に、図3を用いて消去動作（特許請求の範囲の「消去動作」の一例である）メカニズムを説明する。図3（a）に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群14がp層4とp層8に蓄えられた直後の状態を示している。ソース線SL、ビット線BL、コントロール線CDCの電圧は $0.5V$ で、ワード線WLのプレート線PLの電圧は $-1V$ である。

[0058] 図3（b）に示すように、消去動作時には、ソース線SL、ビット線BL、ワード線WLを $0V$ 、コントロール線CDCの電圧を $0.5V$ にする。また

プレート線PLの電圧は、例えば2Vとする。その結果、p層8の初期電位の値に関係なく、絶縁膜5とp層4の界面に電子の反転層15が形成される。この反転層15の一部はn層3bと接触する。そのためにp層4に蓄積された正孔はp層4から反転層15に流れ、電子と再結合する。再結合により消失した電子は、n層3a、n層3bを通して、接触している反転層15から補給される。図3(b)では反転層15が左と右に分かれて図示されているが、これはp層4の周囲に形成されるので、電氣的に接続されており、p層4とn層3bの接触面積を小さくした影響は出ない。この正孔と電子の再結合の結果、p層4とp層8の正孔濃度は時間とともに低くなり、MOSFETのしきい値電圧は、“1”を書き込んだ時よりも高くなる。例えば、ここではプレート線PL電圧が-1Vであれば、MOSFETのしきい値は1.2Vとなる。これにより、図3(c)に示すように、このワード線WLが接続されたゲート導体層10をもつMOSFETはもともとのしきい値に戻る。このダイナミックフラッシュメモリの消去状態は論理記憶データ“0”となる。

[0059] 本実施形態の構造によれば、データ消去時において、データ蓄積時と比べて、電子、正孔の再結合面積を実効的に増加させることができる。したがって、論理情報データ“0”の安定した状態を短い時間で供与でき、このダイナミックフラッシュメモリ素子の動作速度が向上する。また、データ消去時にかかる消費電力はp層4やp層8に蓄積される正孔の総量にほぼ等しく、それ以外の電流が流れないために、大幅な消費電力の低下を供与できる。

[0060] また、例にあげた以外のデータの消去方法として、上記のビット線BL、プレート線PL、ワード線WL、に印加する電圧をそれぞれ $V-BL$ 、 $V-PL$ 、 $V-WL$ と略記すると、電圧印加条件は、ソース線SLは0V、コントロール線CDCは0.5Vとして、 $0V(V-BL)/2V(W-PL)/-1V(V-WL)$ や $0.4V(V-BL)/2V(V-PL)/0.5V(V-WL)$ や $1V(V-BL)/1.5V(V-L)/0V(V-$

WL)、などの組み合わせでも可能であり、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、メモリ消去動作を行うための一例であり、メモリ消去動作ができる他の動作条件であってもよい。

[0061] また、絶縁層2および、絶縁層6、ゲート絶縁層5を同時に形成することもできるし、同じ材料で形成することもできる。また、ゲート酸化膜5と絶縁膜2、6の膜厚をそれぞれに調整することで、ゲート導体層22に印加する電圧を調整することもできる。

[0062] また、メモリの書き込み時、消去時、いずれの場合でもコントロール線CDCは0.5Vで説明をしてきたが、コントロール線CDCを接地電圧、つまり0Vとすることもできる。

[0063] 書き込み動作、もしくは消去動作をしたのちに、メモリは待機動作（特許請求の範囲の「待機時動作」の一例である）となるが、この場合には、プレート線がつながるゲート導体層22とワード線の繋がるゲート導体層10には、書き込み時における電圧と違う極性、もしくは0Vを印加する。ソース線SLの繋がる不純物層7aとビット線BLの繋がる不純物層7bは0Vである。

[0064] また、本実施形態によれば、情報を読み書きするMOSFETの構成要素の一つであるp層8は、p層1、n層3、p層4と電氣的に接続されている。さらに、ゲート導体層22にある電圧を印加でき、p層4の電位を人為的にコントロールできる。したがって、書き込み動作においても、消去動作においても、例えば、SOI構造のようにMOSFET動作中に基板バイアスがフローティング状態で不安定になったり、ゲート絶縁層9の下の半導体部分が完全に空乏化したりすることがない。このために、MOSFETのしきい値、駆動電流などが動作状況に左右されにくい。

[0065] また、本実施形態によれば、メモリセルの誤動作防止に効果がある。メモリセルの動作において、目的セルの電圧操作により、セルアレイ内にある目的以外のセルの一部の電極に不要な電圧がかかり、誤動作をすることが大き

な問題である（例えば、非特許文献 9）。つまり、現象としては、“1”を書いたセルがほかのセル動作によって“0”になったり、“0”を書いたセルがほかのセル動作によって“1”になったりすることをいう（これ以降、この誤動作による現象をディスタ urb 不良と表記する）。本実施形態によれば、元来“1”がデータ情報として書かれている場合に、蓄積されている正孔が n 層 3 と p 層 4 の接触面積を最小化することにより、電子と正孔の再結合量を減少させることができ、従来のメモリでディスタ urb 不良の起きる条件でも、M O S F E T のしきい値変動に与える影響が少なく、不良を起こしにくい。また、元来“0”がデータ情報として書かれている場合は、読み出しの際のトランジスタ動作によって意図しない正孔の生成がされたとしても、ただちに p 層 4 に拡散していくので、同じく p 層 4 の深さを深くすれば、p 層 4 と p 層 8 全体の正孔濃度の変化率は小さく、この場合も M O S F E T のしきい値に与える影響は少なく、従来よりもディスタ urb 不良の起こる確率を減少できる。したがって、本実施形態によれば、メモリのディスタ urb 不良に強い構造になっている。

[0066] また、本実施形態によれば、消去時にプレート線 P L を正の電圧に印加しても、メモリの消去が行えるので、ゲート導体層 2 2 を共有化している複数のセルの情報を一度に消去することができる特徴がある。

[0067] また、図 1 の構造から明らかなように、p 層 8、n + 層 7 a、7 b、ゲート絶縁層 9、ゲート導体層 1 0 からなる素子構造は、このメモリセルだけではなく、それ以外の一般的な C M O S 構造を含む M O S 回路と共通に形成できる。たとえば、p 層 1 や p 層 4、p 層 8 は C M O S 構造の一部として共有化できる。したがって、このメモリセルは従来の C M O S 回路と容易に組み合わせることができる。

[0068] また、本発明のメモリセルは平面視的に M O S F E T 一つの面積で形成されるために、そのソース線、ビット線を隣接するメモリセルと共有することで、従来のダイナミック R A M よりも高密度のメモリセルアレイを実現できる。

- [0069] 図4を用いて、本発明のダイナミック フラッシュ メモリの追加例について説明する。図4において、図1と同一または類似の構成部分には数字が同一の符号を付してある。
- [0070] 図4(a)に示すように、図1におけるn層3の底部が、ゲート絶縁層2よりも浅い位置にあり、かつコントロール線CDCが存在しない。それ以外は図1と同じである。
- [0071] また、図4(b)のようにn層3を複数のセルで共有せずに、各メモリセルで個々にn層3をp層4の底部に配置する構造でもダイナミック フラッシュ メモリの動作をすることができる。
- [0072] また、図4(a)、(b)どちらの構造においても、コントロール線CDCを除く、ソース線SL、プレート線PL、ワード線WL、ビット線BLに第1実施形態と同様な電圧を印加することで、ダイナミック フラッシュ メモリの書き込み動作、消去動作、読み出し動作ができる。
- [0073] また、図1に比べて、配線構造の一つが不必要となり、多少動作には調整が必要であるが、製造という観点に立てば、プロセスがより簡便化される。
- [0074] 図5を用いて、本発明のダイナミック フラッシュ メモリの他の追加例について説明する。図5において、図1と同一または類似の構成部分には数字が同一の符号を付してある。
- [0075] 図1で示した実施形態ではMOSFETのソース、ドレイン部分でpn接合を形成しているp層8とn+層7a、またはn+層7bとの接触面積が、n+層7a、7bの垂直方向の断面積とほぼ同じである。これに対して、図5ではp層8をより薄くし、さらにp層8とn+層7a、7bの間に、n+層7a、7bの断面積より薄い、n層11a（特許請求の範囲の「第5の不純物領域」の一例である）とn層11b（特許請求の範囲の「第6の不純物領域」の一例である）を挿入している。この構造によれば、図1に比較して、さらにメモリセル内のトータルのpn接合面積を小さくできるので、メモリの書き込み時に蓄積された正孔と電子との再結合を抑制でき、蓄積された正孔の保持時間をより長くできる。

[0076] また、本実施形態では、p層4、8を基板20に対して垂直に形成した例を使って説明したが、p層4、8を基板20に対して、水平方向に形成した場合に対しても本発明を適用できる。

[0077] 本実施形態は、下記の特徴を有する。

(特徴1)

本発明の第1実施形態に係るダイナミック フラッシュ メモリは、MOSFETのチャネルの形成される基板領域は、絶縁層2とゲート絶縁層5、n層3、n+層7a、7bで囲まれたp層4とp層8で構成される。p層4やp層8とn層3やn+層7a、7bと接触して形成されるpn接合の面積を小さくすることで、蓄積された正孔と電子の再結合面積を極力小さくし、その情報保持時間をより長くすることができる。さらに、ゲート導体層22に負電圧を与えて、書き込みの際の生成された正孔をゲート導体層22の近傍のp層4の界面近くに蓄積でき、かつ、p層4には空乏層が形成されないため、正孔の蓄積量が増加でき、情報保持時間が長くなる。

また、データ消去時にはゲート導体層22に正電圧を与えて、反転層や空乏層を形成し、正孔と電子の再結合面積を実効的に増加させることで、電子との再結合面積を増加させ、消去が短時間となる。したがって、メモリの動作マージンを拡大でき、消費電力を低減でき、メモリの高速動作に繋がる。

[0078] (特徴2)

本発明の第1実施形態に係るダイナミック フラッシュ メモリの中のMOSFETの構成要素の一つであるp層8は、p層4、n層3a、3b、p層1と接続されており、さらにゲート導体層22に印加する電圧を調整することで、ゲート絶縁層9の下p層8やp層4が完全に空乏化せず、かつMOSFETのしきい値を自由に設定できる。このために、MOSFETのしきい値、駆動電流などがメモリの動作状況に左右されにくい。さらに、MOSFETの下は完全空乏化しないために、キャパシタを持たないDRAMの欠点であったフローティングボディのワード線からのゲート電極のカップリングに大きく左右されることがない。つまり、本発明によればダイナミック

フラッシュ メモリとしての動作電圧のマージンを広く設計できる。

[0079] (特徴3)

本発明の第1実施形態に係るダイナミック フラッシュ メモリの中のM O S F E Tの構成要素の一つであるp層8は、p層4と接続されており、情報データ“1”を書きこむ際の正孔蓄積量は、例えば従来のゼロキャパシタD R A M（非特許文献6，9）に比較して、10倍以上大きくできる。したがって、読み書きの目的以外のメモリセルにかかる電圧に外乱要因が起きても書き込まれた情報データ“1”のデータが消えにくい。セル内に存在するp n接合面積を小さくすることで、正孔と電子が再結合する面積を少なくできるために、より“1”が消えにくい構造を供与できる。またメモリに情報データ“0”が書き込まれていた時に、読み書きの目的以外のメモリセルにかかる電圧に外乱要因が起きて、目的以外の正孔がメモリセル内で発生したとしても、この情報が短時間で“1”に転換するための正孔量が発生することはない。これらの結果として本発明はディスタ urb不良に強いメモリセル構造である。

[0080] (特徴4)

本発明の第1実施形態に係るダイナミック フラッシュ メモリでは、n層3の中にセルを複数配置し、かつゲート導体層22を共有化すれば、ある消去動作を一度の操作で複数のセルについて行うことができる。

[0081] (特徴5)

本発明の第1実施形態に係るダイナミック フラッシュ メモリでは、データ消去時において、流れる電流がメモリセルに蓄積された正孔の総量に匹敵する程度なので、非常に低い消費電力となる。

[0082] (特徴6)

本発明の第1実施形態に係るダイナミック フラッシュ メモリでは、高密度のメモリセルアレイと、C M O S互換性のある構造を提供できる。

### 産業上の利用可能性

[0083] 本発明に係る、半導体素子を用いれば従来よりも、密度の高い、かつ高速

であり、かつ動作マージンの高い、半導体メモリ装置を提供することができる。

## 符号の説明

- [0084] 1 第1の半導体領域  
2 第1の絶縁層  
3 a 第1の不純物層  
3 b 第2の不純物層  
3 3 a, 3 bを統合した総称  
4 第2の半導体領域  
5 第1のゲート絶縁層  
6 第2の絶縁層  
7 a、7 c n<sup>+</sup>層  
8 第3の半導体領域  
9 第2のゲート絶縁層  
10 第2のゲート導体層  
11 a、11 b n層  
12 反転層  
13 ピンチオフ点  
14 正孔群  
15 反転層  
20 基板  
22 第1のゲート導体層  
SL ソース線  
PL プレート線  
WL ワード線  
BL ビット線  
CDC コントロール線

## 請求の範囲

[請求項1]

基板と、  
前記基板上にある第1の半導体領域と、  
前記第1の半導体領域の一部の表面にある、第1の不純物領域と  
前記第1の不純物領域に接して、垂直方向に伸延する第2の不純物領域と、  
前記第2の不純物領域に接して垂直方向に伸延する第2の半導体領域と、  
前記第1の半導体領域の一部と前記第2の不純物領域の一部を覆う第1の絶縁層と、  
前記第2の不純物領域と第2の半導体領域の一部を覆う第1のゲート絶縁層と、  
前記第1の絶縁層と第1のゲート絶縁層に接してある第1のゲート導体層と、  
前記第1のゲート導体層と、前記第1のゲート絶縁層に接触するように形成された第2の絶縁層と、  
前記第2の半導体領域に接触した第3の半導体領域と、  
前記第3の半導体領域の一部、もしくは全てを覆う第2のゲート絶縁層と、  
前記第2のゲート絶縁層の一部、もしくは全部を覆った第2のゲート導体層と、  
前記第3の半導体領域の両端に接続する第3の不純物領域および第4の不純物領域と、を具備し、  
平面視において、前記第2の不純物領域と前記第2半導体領域との接触面積が、前記第2半導体領域の平面視における最大断面積より小さい、  
ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2]

前記第1の不純物領域の多数キャリアは前記第1の半導体領域の多

数キャリアとは異なることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項3] 前記第 2 の不純物領域の多数キャリアと前記第 1 の不純物領域の多数キャリアとは同じであり、そして、前記第 2 の不純物領域の多数キャリアと前記第 1 の半導体領域の多数キャリアとは異なることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項4] 前記第 2 の半導体領域の多数キャリアは前記第 1 の半導体領域の多数キャリアと同じであることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項5] 前記第 3 の不純物領域と前記第 4 の不純物領域の多数キャリアは前記第 1 の不純物領域の多数キャリアと同じであることを特徴とする、請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項6] 前記第 2 の不純物領域の濃度は前記第 3 の不純物領域、前記第 4 の不純物領域よりも低いことを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項7] 前記第 3 の半導体領域の底部から前記第 2 の不純物領域の上部までの垂直距離が、前記第 3 の半導体領域の底部から前記第 1 のゲート導体層の底部までの垂直距離よりも短いことを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項8] 垂直方向において、前記第 1 の不純物領域の底部が前記第 1 の絶縁層の底部より低い位置にあることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項9] 垂直方向において、前記第 2 の不純物領域の上面が、第 1 の絶縁層の上面より高い位置にあることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項10] 前記第 1 の不純物領域が、隣接する複数のメモリセルで共有されていることを特徴とする請求項 1 に記載の半導体素子を用いたメモリ装置。

[請求項11] 前記第1のゲート導体層にかかる電圧を変えることで、前記第3の半導体領域、前記第2の不純物領域、前記第3の不純物領域、前記第2のゲート絶縁層、前記第2のゲート導体層よりなるMOSトランジスタのしきい値を操作する、  
ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項12] 前記第2の半導体領域と前記第3の不純物領域の間に第5の不純物領域、もしくは前記第3の半導体領域と前記第4の不純物領域の間に第6の不純物領域があり、かつ前記第2の半導体領域と前記第5の不純物領域、もしくは前記第6の不純物領域との接触面積が、前記第3の不純物領域、もしくは第4の不純物領域の垂直方向の断面積よりも小さい  
ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項13] 前記第3の不純物領域に接続する第1の配線導体層と、  
前記第4の不純物領域に接続する第2の配線導体層と、  
前記第2のゲート導体層に接続する第3の配線導体層と、  
前記第1のゲート導体層に接続する第4の配線導体層と、  
前記第1の不純物領域に接続する第5の配線導体層と、  
をさらに有し、  
前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記前記第4の配線導体層と、前記前記第5の配線導体層に印加する電圧を制御して、前記第3の不純物領域と前記第4の不純物領域との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記第3の半導体領域及び前記第2の半導体領域に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記第3の半導体領域及び前記第2の半導体領域における少数キャリアを除去する動作と、前記第3の半導体領域

及び第2の半導体領域における多数キャリアの一部または全てを、前記第3の半導体領域及び第2の半導体領域に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記第1の配線導体層と、前記第2の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層と、前記第5の配線導体層に印加する電圧を制御して、前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第4の不純物領域の少なくとも一か所から、残存している前記第2の半導体領域、もしくは第3の半導体領域における多数キャリアを前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第4の不純物領域の多数キャリアと再結合させることで抜き取り、メモリ消去動作を行う、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置。

[請求項14] 前記第3の不純物領域に繋がる前記第1の配線導体層は、ソース線であり、前記第4の不純物領域に繋がる前記第2の配線導体層は、ビット線であり、前記第2のゲート導体層に繋がる前記第3の配線導体層は、ワード線であり、前記第1のゲート導体層に繋がる前記第4の配線導体層は、プレート線であり、前記第5の配線導体層は、コントロール線であり、ソース線、ビット線、プレート線、ワード線、コントロール線にそれぞれ電圧を与えて、前記メモリ書き込み動作と、前記メモリ消去動作を行う、

ことを特徴とする請求項13に記載の半導体素子を用いたメモリ装置。

[請求項15] 前記メモリ書き込み動作において、前記第3の不純物領域と前記第4の不純物領域に電位差ができるように電圧を印加し、前記第2のゲート導体層には前記第2の半導体の多数キャリアが正孔の場合には、正の電圧を印加し、

前記第2の半導体の多数キャリアが電子の場合には前記第2のゲート

導体層に負の電圧を印加し、前記第1のゲート導体層には正の電圧、もしくは0Vの電圧を印加する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項16] 前記メモリ消去動作において、前記第1のゲート導体層に前記メモリ書き込み動作時とは異なる極性の電圧、もしくは0Vを印加する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

。

[請求項17] メモリ読み出し動作において、前記第1のゲート導体層に前記メモリ書き込み動作時と同じ極性の電圧、もしくは0Vを印加し、前記第3の不純物領域と前記第4の不純物領域に電位差ができるように電圧を印加し、かつ、前記第2のゲート導体層に前記書き込み動作時と同じ極性の電圧を印加する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

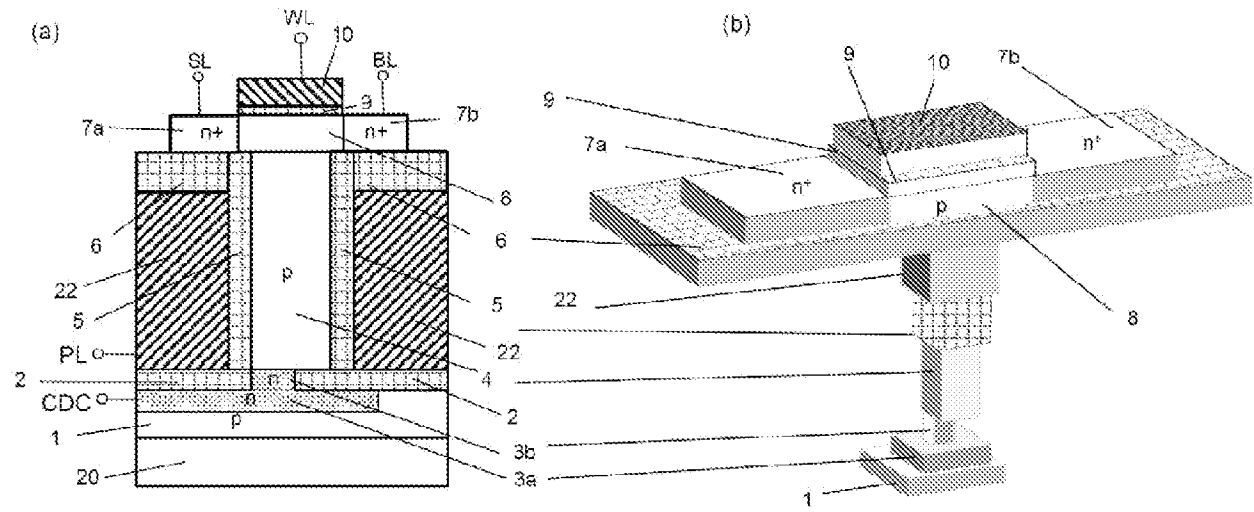
。

[請求項18] メモリ待機動作時において、前記第1のゲート導体層と、前記第2のゲート導体層には、前記メモリ書き込み動作時にかける電圧と異なる極性、もしくは0Vを印加する、

ことを特徴とする請求項1に記載の半導体素子を用いたメモリ装置

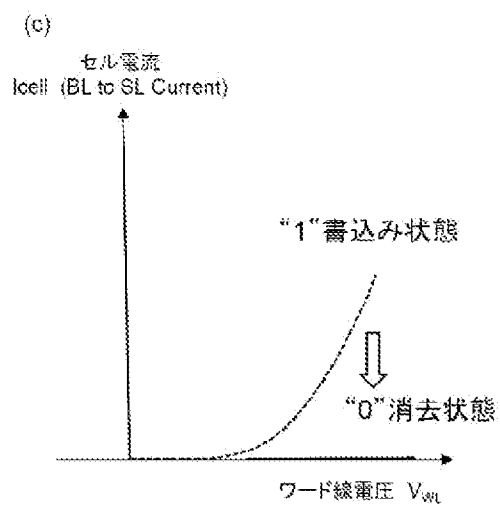
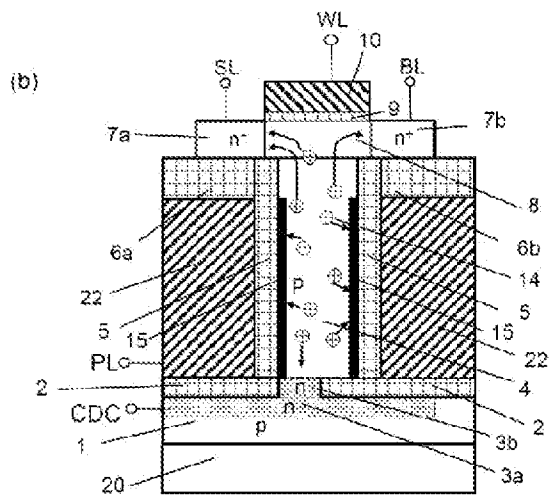
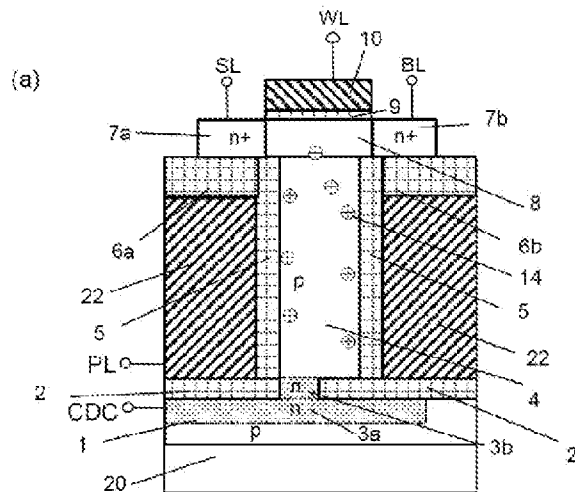
。

[図1]



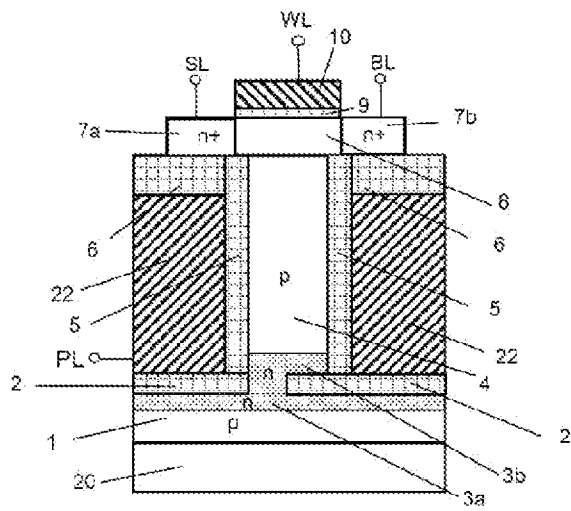


[図3]

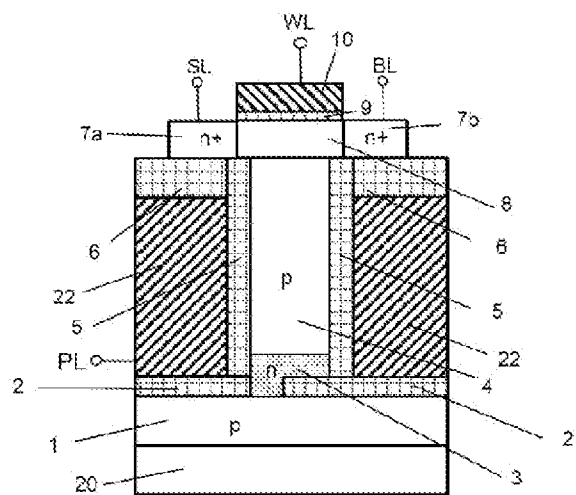


[図4]

(a)



(b)





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/011810

**A. CLASSIFICATION OF SUBJECT MATTER****H10B 12/00**(2023.01)i

FI: H10B12/00 801

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2023  
 Registered utility model specifications of Japan 1996-2023  
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                             | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | US 2023/0077140 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 09 March 2023 (2023-03-09)<br>paragraphs [0068]-[0072], [0086]-[0097], [0130], [0131], fig. 1-5 | 1-11, 13-17           |
| A         |                                                                                                                                                                | 12, 18                |
| Y         | US 2023/0046352 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 16 February 2023 (2023-02-16)<br>paragraphs [0070], [0071], fig. 1-11                           | 1-11, 13-17           |
| Y         | WO 2022/168160 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 11 August 2022 (2022-08-11)<br>paragraphs [0057], [0059], [0060], fig. 1-10                      | 17                    |
| A         | WO 2022/208658 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 06 October 2022 (2022-10-06)<br>paragraphs [0029]-[0040], fig. 1-9                               | 1-18                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search

15 June 2023

Date of mailing of the international search report

27 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)  
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915  
 Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/011810**

| Patent document<br>cited in search report |              |    | Publication date<br>(day/month/year) | Patent family member(s)                                      | Publication date<br>(day/month/year) |
|-------------------------------------------|--------------|----|--------------------------------------|--------------------------------------------------------------|--------------------------------------|
| US                                        | 2023/0077140 | A1 | 09 March 2023                        | (Family: none)                                               |                                      |
| US                                        | 2023/0046352 | A1 | 16 February 2023                     | WO 2023/017561 A1<br>paragraphs [0044], [0045], fig.<br>1-11 |                                      |
| WO                                        | 2022/168160  | A1 | 11 August 2022                       | (Family: none)                                               |                                      |
| WO                                        | 2022/208658  | A1 | 06 October 2022                      | US 2022/0320097 A1<br>paragraphs [0084]-[0097], fig.<br>1-9  |                                      |

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                                                           |                           |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------|---------------------------|
| A. 発明の属する分野の分類（国際特許分類（IPC））<br>H10B 12/00(2023.01)i<br>FI: H10B12/00 801                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                           |                           |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（IPC））<br>H10B12/00<br>最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2023年<br>日本国実用新案登録公報 1996-2023年<br>日本国登録実用新案公報 1994-2023年<br>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                       |                                                                                                                                           |                           |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                                                                           |                           |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                         | 関連する<br>請求項の番号            |
| Y<br><br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | US 2023/0077140 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 09.03.2023<br>(2023 - 03 - 09)<br>段落0068-0072, 0086-0097, 0130, 0131, 図1-5 | 1-11, 13-17<br><br>12, 18 |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | US 2023/0046352 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 16.02.2023<br>(2023 - 02 - 16)<br>段落0070, 0071, 図1-11                      | 1-11, 13-17               |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | WO 2022/168160 A1 (ユニサンティス エレクトロニクス シンガポール プライ<br>ベート リミテッド) 11.08.2022 (2022 - 08 - 11)<br>段落0057, 0059, 0060, 図1-10                     | 17                        |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | WO 2022/208658 A1 (ユニサンティス エレクトロニクス シンガポール プライ<br>ベート リミテッド) 06.10.2022 (2022 - 10 - 06)<br>段落0029-0040, 図1-9                             | 1-18                      |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                                           |                           |
| * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に<br>公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し<br>くは他の特別な理由を確立するために引用する文献（理由を<br>付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の<br>後に公表された文献<br>“T” 国際出願日又は優先日後に公表された文献であって出願と抵<br>触するものではなく、発明の原理又は理論の理解のために引<br>用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性<br>又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献<br>との、当業者にとって自明である組合せによって進歩性がな<br>いと考えられるもの<br>“&” 同一パテントファミリー文献 |                                                                                                                                           |                           |
| 国際調査を完了した日<br><br>15.06.2023                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 国際調査報告の発送日<br><br>27.06.2023                                                                                                              |                           |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                                                                       | 権限のある職員（特許庁審査官）<br><br>小山 満 5F 9458<br><br>電話番号 03-3581-1101 内線 3516                                                                      |                           |

国際調査報告  
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/011810

| 引用文献 |              |    | 公表日        | パテントファミリー文献         | 公表日 |
|------|--------------|----|------------|---------------------|-----|
| US   | 2023/0077140 | A1 | 09.03.2023 | (ファミリーなし)           |     |
| US   | 2023/0046352 | A1 | 16.02.2023 | WO 2023/017561 A1   |     |
|      |              |    |            | 段落0044, 0045, 図1-11 |     |
| WO   | 2022/168160  | A1 | 11.08.2022 | (ファミリーなし)           |     |
| WO   | 2022/208658  | A1 | 06.10.2022 | US 2022/0320097 A1  |     |
|      |              |    |            | 段落0084-0097, 図1-9   |     |