(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/20

(45) 공고일자 2003년11월01일
(11) 등록번호 10-0392026
(24) 등록일자 2003년07월07일

(21) 출원번호 10-1997-0006935
(22) 출원일자 1997년02월26일

(65) 공개번호 특1997-0063447
(43) 공개일자 1997년09월12일

(30) 우선권주장 96-65321 1996년02월26일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키 순페이
일본 가나가와켄 아쓰기시 하세 398

(74) 대리인 이병호

심사관 : 정회환

(54) 반도체장치

요약

결정 실리콘 막이 니켈을 사용하여 640 내지 980 ℃의 처리 온도 범위에서 50 내지 2,000 ppm의 OH 그룹과, 10 내지 1,000 ppm의 염소를 함유하는 기판 상에 형성된다. 열 산화막이 HCl을 함유하는 분위기에서 상기 범위내의 처리 온도에서 상기 결정 실리콘 상에 형성된다. 염소의 작용으로, 니켈이 상기 열 산화막으로 게터링된다. 상기 열 산화막을 제거함으로써, 우수한 결정성(crystallinity) 및 낮은 니켈 농도를 가진 결정 실리콘 막이 얻어진다.

대표도

도 1A 내지 도 1E

명세서

도면의 간단한 설명

도 1A 내지 도 1E 은 본 발명의 제 1 실시예에 따른 결정 실리콘 막의 제작 공정을 도시한 도면.
도 2A 내지 도 2E 는 본 발명의 제 5 실시예에 따른 결정 실리콘 막의 제작 공정을 도시한 도면.
도 3A 내지 도 3E 는 본 발명의 제 6 실시예에 따른 박막 트랜지스터의 제작 공정을 도시한 도면.
도 4A 내지 도 4E 는 본 발명의 제 7 실시예에 따른 박막 트랜지스터의 제작 공정을 도시한 도면.
도 5A 내지 도 5F 는 본 발명의 제 8 실시예에 따른 박막 트랜지스터의 제작 공정을 도시한 도면.
도 6 및 도 7 은 니켈 농도 프로파일(제 11 실시예)을 도시한 도면.
도 8 은 염소 농도 프로파일(제 11 실시예)을 도시한 도면.
도 9 및 도 10 은 니켈 농도 프로파일(제 12 실시예)을 도시한 도면.
도 11 은 염소 농도 프로파일(제 12 실시예)을 도시한 도면.
※ 도면의 주요부분에 대한 부호의 설명 ※
101 : 유리기판 또는 석영기판 103 : 비결정질 실리콘 막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본원 발명의 목적은 금속 원소를 사용함으로써 형성된 결정 실리콘 막에서 실리콘의 결정화를 촉진하기 위해 금속 원소의 농도를 감소시키는 기술을 제공하는 것이다. 본 발명의 다른 목적은 본 발명에서 형성된 상기 결정 실리콘 막을 사용하여 우수한 전기적 특성을 가진 박막 반도체 장치를 제공하는 것이다.
본 발명은 반도체 장치, 예를 들어 한 기판상에 형성된 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.
한 실리콘 막을 사용하는 박막 트랜지스터가 알려져 있다. 이 기술에서, 유리 또는 석영 기판상에 형성된 실리콘 막을 사용함으로써 박막 트랜지스터가 형성된다.
유리 또는 석영 기판을 사용하는 이유는 박막 트랜지스터들이 활성 매트릭스 액정 디스플레이 장치에 사용되기 때문이다. 종래적으로, 비결정 실리콘 막을 사용함으로써 박막 트랜지스터들이 형성된다. 그러나, 보다 우수한 성능을 제공하기 위해, 결정성(crystallinity)을 가진 실리콘 막(결정 실리콘 막으로 불림)을 형성하기 위한 노력이 이루어지고 있다.
결정 실리콘 막을 사용하는 박막 트랜지스터는 비결정 실리콘 막을 사용하는 트랜지스터보다 2배 또는 그 이상으로 빠르게 동작할 수 있다. 그러므로, 결정 실리콘 막을 사용하는 박막 트랜지스터를 이용함으로써, 종래적으로 외부 IC 회로인 활성 매트릭스 액정 디스플레이 장치의 주변 구동 회로가 활성 매트릭스 회로와 함께 유리 또는 석영 기판상에 형성될 수 있다.
상기 구조는 제조 비용에 있어서의 절감뿐만 아니라 전체 장치의 소형화 및 제조 공정의 간이화의 견지에서 매우 유용하다.
플라즈마 CVD 또는 저압의 열 CVD를 통해 비결정 실리콘 막을 형성하고 이 막을 레이저 광으로 열처리 또는 조사를 통해 결정화함으로써 결정 실리콘 막이 얻어진다.
한편, 상기 열처리로 인해, 현재 넓은 영역에 걸쳐 원하는 결정성 레벨을 얻기가 어렵다. 예를 들어, 결정화가 고르지 못하다.
다른 한편, 상기 레이저 광 조사를 사용하는 방법이 부분적으로 우수한 결정성을 제공할지라도, 이와 같은 기술이 넓은 영역에 걸쳐 양호한 어닐링 효과를 제공하는 것은 어렵다. 특별히, 높은 정도의 결정성을 제공하도록 하는 조건하에서 레이저광에 의한 조사가 불안정하게 되는 경향이 있다.
일본 특허 공개 공보 평 6-232059 호에 기술된 기법이 상기 문제를 해소하기 위한 방법으로 공지되어 있다. 이 기술에서, 실리콘 결정화를 촉진하기 위한 금속 원소(예를 들면, 니켈)가 비결정 실리콘 막을 제공하고 있으며, 그에 따라 종래의 기술에서 보다 낮은 온도의 열처리에 의해 결정 실리콘 막을 제공하게 된다.
본원 발명자들의 연구는 이 기술에 의해 제공된 결정 실리콘 막이 넓은 영역에 걸쳐 실제 사용하기에 적합하게 되도록 충분히 양호한 결정성을 갖는다는 것을 증명하였다.
그러나, 금속 원소의 도입량(introduction amount)이 최종막 안에 남아 있으므로, 이 량을 정밀하게 제어하는 것이 필요하다는 문제점이 있다. 따라서, 이 기술이 발생된 장치의 생산 가능성(reproducibility) 및 전기적 안정도에 있어서 문제가 된다는 것이 발견되었다.
더욱이, 제공된 반도체 장치의 특성이 시간에 따라 크게 변화함으로써, 남은 금속 원소에 영향을 미치는 문제점이 존재한다. 상기 남은 금속 원소는 또한 위에서 언급된 막을 사용함으로써 제조된 박막 트랜지스터의 오프-전류가 크다는 문제 점을 유발한다.
즉, 실리콘 결정화를 촉진하기 위한 금속 원소가 결정 실리콘 막을 형성하는데 매우 유용할 지라도, 그것은 결정 실리콘 막의 형성 후의 여러 문제점을 유발한다는 부정적인 요인과 관련이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 한 양상에 따라, 실리콘의 결정화를 촉진하기 위해 금속 원소를 사용함으로써 한 기판상에 결정 실리콘 막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법이 제공되며, 이때 이 단계 동안, 최대 처리 온도 (당해 처리 온도동안 최고의 온도)가 650℃보다 높고 1,000℃보다 낮으며, 처리 시간은 1시간보다 짧지 않으며, 상기 기판은 50 내지 2,000 ppm의 OH 그룹과, 10 내지 1,000 ppm의 염소를 포함하고, 상기 기판은 650 내지 1,000℃의 스트레인 포인트(strain point)를 갖는다.
본 발명의 다른 양상에 따라, 실리콘 결정화를 촉진하기 위해 금속 원소를 사용함으로서 한 기판상에 결정 실리콘 막을 형성하는 단계를 포함하며, 이 단계동안, 최대 처리 온도는 700℃보다 높아지며, 980℃보다 낮아지고 처리 시간은 30분보다 짧지 않다.
본 발명의 다른 양상에 따라, 실리콘의 결정화를 촉진하기 위해 금속 원소를 사용함으로써 기판상에 결정 실리콘 막을 형성하는 단계, 및 할로겐 원소를 함유하는 열 산화막을 형성함으로써 상기 결정 실리콘 막으로부터 상기 금속 원소를 제거하는 단계를 포함하는 반도체 장치의 제조 방법이 제공되며, 이때 상기 2 단계는 각각 650℃보다 높고 1,000℃보다 낮은 최대 처리 온도와 1시간보다 짧지 않은 처리 시간을 갖고, 상기 기판은 50 내지 2,000 ppm 및 650 내

지 1,000℃의 스트레인 포인트를 갖는다.
본 발명의 또 다른 양상에 따라, 기판을 사용하는 반도체 장치가 제공되며, 이때 기판은 50 내지 2,000 ppm의 OH 그룹과, 10 내지 1,000 ppm의 염소를 함유하고, 상기 기판은 650 내지 1,000℃의 스트레인 포인트를 갖는다.
본 발명의 또 다른 양상에 따라, 한 기판상에 형성된 실리콘 박막을 포함하는 반도체 장치가 제공되며, 이때 상기 기판은 50 내지 2,000 ppm의 OH 그룹과 10 내지 1,000 ppm의 염소를 함유하고, 상기 기판은 650 내지 1,000℃의 스트레인 포인트를 가지며, 상기 실리콘 박막은 1×10^{16} 내지 5×10^{19} cm^{-3} 의 농도로 실리콘의 결정화를 촉진하는 금속 원소, 즉 상기 실리콘 박막의 인터페이스의 부근에서 고농도로 존재하는 금속 원소를 포함한다.
실리콘 결정화의 촉진화가 사용되는 곳에서, 최종 결정 실리콘 막내의 잔류 금속 원소의 농도는 상기 범위내에 있게 된다. 상기 결정 실리콘 막이 상기 범위보다 높은 농도의 금속 원소를 함유할 경우, 이것은 반도체 특성을 나타내도록 상기 금속 원소에 의해 심하게 영향을 받게된다. 더욱이, 상기 반도체 장치의 신뢰도가 급속히 남아진다.
본 발명의 또 다른 실시예에 따라, 한 기판상에 형성된 실리콘 박막을 포함하는 반도체 장치가 제공되며, 이때 상기 기판은 50 내지 2,000 ppm의 OH 그룹과 10 내지 1,000 ppm의 염소를 함유하고, 상기 기판은 650 내지 1,000℃의 스트레인 포인트를 가지며, 상기 실리콘 박막은 1×10^{16} 내지 5×10^{19} cm^{-3} 의 농도로 실리콘의 결정화를 촉진하는 금속 원소 및 적어도 1×10^{16} cm^{-3} 농도의 할로겐 원소를 함유한다.
열 산화막이 할로겐 원소를 함유하는 분위기에서의 열처리에 의해 형성되는 곳에서, 상기 할로겐 원소는 상기 열 산화막의 형성동안 결정 실리콘 막으로 들어간다. 결과적으로, 상기 할로겐 원소는 적어도 1×10^{16} cm^{-3} 의 농도로 상기 결정 실리콘 막에 함유된다. 상기 할로겐 원소의 농도의 상한은 약 5×10^{20} cm^{-3} 이 되는 것이 더 바람직하다.
본 발명의 또 다른 실시예에 따라, 기판상에 형성된 실리콘 박막을 포함하는 반도체 장치가 제공되며, 이때 650 내지 1,000℃의 스트레인 포인트를 가지며, 상 기 실리콘 박막은 1×10^{16} 내지 5×10^{19} cm^{-3} 로 실리콘의 결정화를 촉진하는 금속 원소 및 적어도 1×10^{16} cm^{-3} 의 할로겐 원소를 함유한다.
본 발명에서, 상기 금속 원소는 Fe, Co, Ni, Ru, Pd, Os, Ir, Pt, Cu 및 Au로부터 선택된 하나 또는 다수의 원소가 될 수 있다.
할로겐 원소를 함유하는 산화 분위기는 HCl, HF, Cl_2, F_2, Br2 및 NF_3 로부터 선택된 하나 또는 다수의 가스가 부가되는 O_2 분위기 및 O_2 함유의 분위기일 수 도 있다.
본원 명세서에서, 상기 불순물 농도는 SIMS(Secondary Ion Mass Spectrometry)의 측정값의 최소로서 정의되며, OH는 IR-Spectrometer로 측정되고, 염소는 Radioactive Analysis로 측정된다.
본 발명의 제조 방법이 아래에 간단히 설명된다.
제일 먼저, 비결정 실리콘 막이 이 명세서에 기술된 바와 같이 소정의 특성을 가진 기판상에 형성된다.
다음으로, 실리콘의 결정화를 촉진화시키기 위해 금속 원소, 예를 들면 니켈의 작용으로 상기 비결정질의 실리콘 막을 결정화함으로써 얻어진다. 이것은 레이저 광 조사에 의한 열처리로 이루어진다.
결정화를 위한 열처리가 650 내지 1,000℃에서 실행되는 것이 효과적이다. 상기 결정화가 상기 온도 범위 아래에서 이루어질 지라도, 우수한 결정성을 제공하 기 위해 상기 결정화가 상기 온도 범위에서 실행되는 것이 바람직하다.
특별히, 결정 실리콘 막이 래터럴 성장(lateral growth)을 사용하여 얻어지는 곳에서, 매우 높은 실용성을 가진 결정 실리콘 막(또는 결정화된 영역)이 상기 온도 범위 내에서 열처리를 실행함으로써 얻어질 수 있다.
상기 범위보다 높은 온도에서의 열처리는 바람직하지 않다. 이것은 제조 장치의 지그(jig)들에 필요한 높은 열 저항으로 인해 다루기에 불편하고 값비싼 기판이 사용될 필요가 있고, 기판 크기를 증가시키는 것이 불리하기 때문이다.
상기 열처리에 의해 얻어진 결정 실리콘 막은 상당한 농도의 금속 원소를 포함한다.
그후, 상기 결정 실리콘 막의 표면상에 열 산화막을 형성하기 위해 HCl을 함유하는 산화 분위기에서 열처리가 실행된다. 이 열처리에서, 상기 금속 원소는 높은 농도에서 거기에 포함되도록 상기 열 산화막으로 이동한다. 결과적으로, 상기 결정 실리콘 막내의 금속 원소의 농도는 감소한다. 상기 열처리의 온도는 650 내지 1,000℃ 내에서 설정된다. 상기 온도가 상기 범위보다 낮을 경우, 열 산화는 적절하게 형성되지 않으며, 그 결과 상기 원소는 상기 결정 실리콘 막으로부터 효과적으로 제거되지 않는다.
상기 온도가 상기 범위보다 높을 경우, 상기 열 산화막의 막 품질은 적절하게 변화한다. 한편, 다루기 불편하고 보다 값비싼 보다 높은 열저항 기판을 사용하는 것이 필요하다. 더욱이, 보다 무거운 짐이 상기 장치 측 상에 부가된다. 따라서, 이러한 온도는 바람직하지 않다.
상기 열처리 후, 최종 열 산화막이 우수한 결정성과 낮은 니켈 농도를 가진 결정 실리콘 막을 남긴 채 제거된다.
상기 기판은 상기 OH 그룹이 50 내지 2,000 ppm이 되고 상기 염소 농도가 10 내지 1,000 ppm이 되며, 상기 스트레인 포인트가 650 내지 1,000℃가 되도록 존재해야 한다. 상기 OH 그룹 농도는 300 내지 700 ppm이 되고, 상기 염소 농도는 50 내지 150 ppm이 되는 것이 바람직하다.
상기 범위내에서 상기 OH 그룹 농도를 설정함으로써 , 상기 기판에 일정 레벨의 유동성이 제공되며, 이것은 당해 기판이 자체 전송 또는 취급동안 손상되는 것을 막는데 효과적이다.
상기 염소 농도를 상기 범위내에 설정함으로써, 상기 기판 측면에 금속 원소 게터링 기능이 제공된다.
상기 스트레인 포인트를 650 내지 950℃, 양호하게도 적어도 800℃에 설정함으로써, 상기 기판의 휘어짐(warp) 또는 변형이 어떠한 문제도 일으키지 않는 레벨로 된다.
실시예 1
이 실시예는 니켈 원소를 사용함으로써 기판상에 결정 실리콘 막을 형성하는 방법에 관한 것이다.
이 실시예는 300 내지 700 ppm의 OH 그룹과 50 내지 150 ppm의 염소를 함유하는 $SiCl_4$ 로부터 발생된 기판을 사용한다 이 기판은 600 내지 800℃의 온도 범위 내에서 사용될 수 있다.
이 실시예의 제조 과정이 도 1A 내지 도 1E를 참조하여 이하에 기재된다.

우선, 상기 언더코트 막으로서 3,000Å 두께의 실리콘 산화막(102)이 스퍼터링에 의해 상기 언급된 바와 같은 기판(101)상에 형성된다. 상기 실리콘 산화막(102)은 차후 단계들에서 상기 기판(101)으로부터의 불순물의 확산을 억제하는 기능을 갖는다(다량의 불순물이 반도체 제조의 기준으로서 상기 기판(101)내에 함유됨). 상기 불순물 확산을 억제하는 기능을 최대화하기 위해선, 상기 실리콘 산화막(102)의 형성을 억제하는 것을 사용하는 것이 최선인데, 왜냐하면 최종 실리콘 산화막(102)이 미세하고 단단하기 때문이다.

상기 언더코트 막(102)이 가능한 한 높은 경도(hardness)를 갖는다. 이 결론은 최종적으로 얻어진 박막 트랜지스터가, 상기 언더코트 막(102)이 보다 단단해 질 때(즉, 비교적 작은 에칭율을 가짐)내구성 테스트에 있어서 보다 높은 신뢰도를 갖는 것으로 판정된다는 사실로부터 얻어진다. 이것은 박막 트랜지스터의 제조동안 상기 유리 기판(101)으로부터 발생하는 불순물을 차단하는 효과로 인한 것으로 여겨진다.

상기 언더코트 막(102)을 단단하게 하는 것은 상기 언더코트 막(102)과 실리콘 막사이에 비정렬(disarrangement) 층의 형성을 억제하는 다른 효과를 갖는다.

상기 비정렬 층은 많은 비결정질 성분 및 저-등급의 결정 성분을 함유하며, 최종적으로 얻어진 박막 트랜지스터의 동작을 불안정하게 하는 가장 큰 요인이다, 그러므로, 상기 언더코트 막(102)의 막 품질을 개선함으로써 상기 비정렬 층의 두 께를 감소시키는 것이 중요하다. 특히, 상기 비정렬 층의 두께가 2 내지 50Å이 되도록 상기 언더코트막(102)의 막 품질을 제어하는 것이 중요하다.

매우 소량의 할로겐 원소, 예를 들어, 염소를 상기 언더코트 막(102)에 첨가하는 것이 효과적이다. 상기 할로겐 원소는 나중 단계에서 한 반도체 층에 존재하는 실리콘의 결정화를 촉진하기 위해 금속 원소를 게터링할 수 있다.

상기 언더코트 막(102)의 형성 후 수소 플라즈마 처리를 실행하는 것이 효과적이다. 산소 및 수소의 혼합 분위기에서의 플라즈마 처리 또한 효과적이다. 이것은 상기 언더코트 막(102)의 표면에 흡수된 탄소 성분을 제거하는 효과를 제공하며, 그에 따라 그 위에 형성될 반도체 박막과 함께 인터페이스의 특성을 개선시키게 된다. 더욱이, 탄소 성분들을 제거함으로써, 앞서 언급된 바와 같은 비정렬 층이 억제될 수 있다.

상기 기판(101)이 평탄도(flatness)가 뛰어나고, 그의 표면이 깨끗해 질 경우, 언더코트 막(102)을 형성하는 것이 필요하지 않다. 그러나, 이 경우에 있어서 조차, 플라즈마 처리를 실행하는 것은 비정렬 층 형성 억제에 있어 효과적이다.

다음으로, 나중에 결정화될 1,600Å 두께의 비결정질 실리콘 막(103)이 저압의 열 CVD를 통해 형성된다. 저압 열 CVD의 사용은 막 품질에 있어서 최종 결정 실리콘 막이 우수하다는 사실에 기인한 것이다. 즉 막 품질이 우수하다. 저압 열 CVD대신, 플라즈마 CVD가 사용될 수 도 있다.

상기 비결정질 실리콘 막(103)은 5×10^{17} 내지 2×10^{19} cm^{-3} 의 산소를 함유하는 것이 바람직한데, 왜냐하면 산소가 금속 원소를 게터링하기 위해(실리콘의 결정화를 촉진시키기 위해) 나중 단계에서 중요한 역할을 하기 때문이다.

상기 산소 농도가 상기 범위를 초과하지 않도록 주의를 기울여야만 하는데, 왜냐하면 상기 비결정질 실리콘 막(103)의 결정화가 손상될 수 있기 때문이다.

질소와 탄소와 같은 다른 원소의 농도가 가능한한 2×10^{19} cm^{-3} 보다 작아야만 한다.

상기 비결정질 실리콘 막(103)이 단지 가열에 의해서만 결정화되어야 하는 곳에서, 시작막(starting film)(즉, 비결정질 실리콘 막(103))의 두께가 800 내지 5,000Å, 바람직하게는 1,500 내지 3,000Å에 설정된다.

상기 비결정질 실리콘 막(103)이 상기 범위보다 두꺼울 경우, 상기 막 형성 시간이 과도하게 길어지며, 이것은 생산 비용의 견지에서 보았을 때 경제적이다. 한편, 상기 비결정질 막이 상기 범위보다 얇을 때, 상기 결정화는 고르지 않으며, 상기 프로세스의 재생산성은 낮아진다.

따라서, 도 1A 의 상태가 얻어진다.

그후, 상기 비결정질 실리콘 막(103)을 결정화하기 위해, 니켈 원소가 소개된다. 이 실시예에 있어서, 10 ppm(무게상)의 니켈을 함유하는 니켈 아세테이트염 용액을 인가함으로써 니켈이 상기 비결정질 실리콘 막(103)의 표면에 유입된다.

니켈을 유입하는 방법에 관한 한, 상기 경우에서와 같이 용액을 사용하는 대신, 스퍼터링 또는 CVD, 또는 플라즈마 처리까지도 또는 흡수 방법도 사용될 수 있 다. 한 용액을 사용하는 방법은 그것이 간단하고 편리하기 때문에 상기 금속 원소 농도가 쉽게 조절될 수 있기 때문에 유리하다.

니켈 아세테이트 염 용액을 첨가함으로써, 니켈 아세테이트 염으로 된 액체 막(104)이 도 1B에 도시된 바와 같이 형성된다. 이 상태에서, 과도한 용액이 회전 코터(spin coater)(도시되지 않음)로 세정된다. 결과적으로, 니켈이 상기 비결정질 실리콘 막(103)의 표면 부근에 유지되는 상태가 설정된다.

불순물들이 나중의 가열 단계에 남게되는 현상을 고려함으로써, 니켈 아세테이트 용액보다도 니켈 황산염을 사용하는 것이 효과적이다. 이것은 니켈 아세테이트 용액이 탄소를 함유함으로써 카바이드가 어떻게든 발생되어 나중의 가열 단계에서 한 막내에 남게된다.

상기 니켈 유입량은 상기 용액의 니켈 밀도를 조절함으로써 제어될 수 있다. 이것은 또한 상기 회전 코터의 코팅 조건 및 상기 용액 홀딩 시간에 의해 조절될 수 있다.

도 1C의 상태에서, 상기 비결정질 실리콘 막(103)을 결정화하기 위해 감식분위기(이 실시예에서, 3%의 수소를 포함하는 질소 분위기)에서 4시간동안 800℃에서 실행된다. 따라서, 결정 실리콘 막(105)이 얻어진다.

열처리에 의한 상기 결정화 단계에서 감식 분위기의 사용은, 상기 니켈 및 상기 산소가 상기 표면상 또는 상기 막 안에서 NiO_X 를 형성하도록 서로 반응하는 현상을 억제하도록 이 단계에서 산화물을 형성하지 못하게 막아준다.

산소는 크게 게터링을 통한 실리콘 막으로부터 니켈의 제거에 기여한다. 그러나, 상기 결정화 단계에서 산소 및 니켈의 결합이 상기 결정화를 막아준다. 그러므로, 가열에 의해 상기 결정화 단계에서 산화물의 형성을 최소화시키는 것이

중요하다.
결정화를 위한 열처리에서, 상기 분위기에서의 산소 농도가 ppm정도로 설정되며, 바람직하게는 1 ppm보다 작은 값으로 설정된다.
질소 대신, 아르곤과 같은 불활성 가스가 결정화를 위한 열처리가 실행되는 분위기의 대부분을 점유하는 가스로서 사용될 수 있다.
결정화를 위한 열처리의 하한 온도가 자체 효과 및 재생산성의 견지에서 적어도 450℃가 되는 것이 바람직하다. 상기 하한 온도가 적어도 상기 기판(101)의 스트레인 포인트가 되도록 하는 것이 더 좋다. 보다 더 내화성이 강한 기판이 사용되는 경우, 상기 가열 온도가 약 1,050℃로 증가될 수 있다. 이 경우, 보다 높은 결정성을 가진 결정 실리콘 막이 얻어진다. 그러나, 이와같이 내화성이 비교적 강한 기판의 사용이 생산 비용 및 양품률의 견지에서 불리한데, 왜냐하면 상기 기판이 쉽게 손상되고 값비싸기 때문이다.
상기 결정 실리콘 막(105)이 도 1C에 도시된 바와 같이 얻어진 후, 열처리가 할로겐 원소를 함유하는 산화 분위기 내에서 다시 실행된다. 이 실시예에서, 상기 열처리는 50 체적%의 산소를 함유하는 질소 분위기에서 850℃에서 실행된다. HCl이 산소(이 실시예에서, 5 체적%)에 관해 0.5 내지 10 체적%에서 혼합되는 것이 바람직하다. 상기 HCl 밀도가 상기 범위를 초과할 경우, 상기 막 두께와 거의 동일한 레벨 상에서 애스패러티들(asperities)을 갖도록 거칠게된다. 상기 범위보다 낮은 HCl 밀도는 이러한 경우 니켈을 산화막으로 유입시키는 효과가 낮아지기 때문이다.
이 열처리에서, 열 산화막(106)이 200Å(도 1D)의 두께로 형성된다.
상기 열처리는 니켈(또는 실리콘의 결정화를 촉진화시키기 위한 다른 금속 원소)을 제거하려 하며, 상기 니켈은 상기 결정 실리콘 막(105)으로부터 초기 단계에서의 결정화에 의도적으로 유입된다. 상기 열 산화를 위한 이 열처리가 상기 니켈 게터링 효과를 강화하기 위해 상기 결정화를 위해 실행된 열처리보다 높은 온도에서 실행되는 것이 바람직하다.
상기 열 산화를 위한 열처리의 상한 온도가 상기 기판(101)의 스트레인 포이트에 의해 제한된다. 상기 열처리 온도가 상기 기판(101)의 스트레인 포인트를 초과하지 않도록 주의가 기울어져야만 하는데, 이는 기판(101)이 기형화되기 때문이다.
200Å 두께의 열 산화막의 형성의 결과로서, 상기 결정 실리콘 막의 두께, 즉, 원래 1,600Å이 약 1,500Å으로 감소된다.
상기 가열 온도가 높게 설정될 경우, 원하는 열 산화막(106)을 형성하는 시간은 단축된다. 단축된 처리 시간으로 인해, 상기 실리콘 막(105)으로부터 상기 열 산화막(106)으로의 니켈을 게터링하는 효과가 불충분하다. 이 문제점을 극복하기 위해, 상기 분위기에서 상기 산소 밀도를 감소시키고, 그에 따라 상기 열 산화막(106)을 형성하는 율을 낮추는 것이 효과적이 된다.
이 단계에서, 상기 할로겐 원소의 작용으로 인해 니켈이 상기 실리콘 막(105)으로부터 게터링된다. 이 실시예에서, 염소 작용으로 인해, 니켈이 형성중인 순수한 산화막(106)으로 게터링된다.
상기 결정 실리콘 막(105)에 존재하는 산소는 상기 게터링에 있어서 중요한 역할을 한다 즉, 염소의 게터링 동작이 산소 및 니켈의 결합으로 형성되는 니켈 산화물상에서 실행되도록 효과적으로 수행된다. 위에서 기술된 바와 같이, 산소의 농도가 아주 높을 경우, 이것은 도 1C 의 결정화 단계에서 상기 비결정질 실리콘 막(103)의 결정화를 손상시킨다. 다른 한편, 산소는 상기 니켈 게터링 단계에서 중요한 역할을 한다. 그러므로, 시작 막으로서 상기 비결정질 실리콘 막(103)에서의 산소 농도의 조절이 중요하다.
이 실시예는 Cl이 할로겐 원소로서 사용되며, HCl의 형태로 유입된다. 상기 HCl 가스와 달리, HF, HBr, Cl_2, F_2, Br_2 및 NF_3 로 부터 선택된 하나의 또는 다수의 가스가 사용될 수도 있다. 일반적으로, 할로겐화 수소가 사용될 수 도 있다.
상기 분위기에서 이들 가스의 체적 밀도가 다음과 같이 설정된다: HF: 0.25 내지 5%; HBr: 1 내지 1.5%; Cl_2 : 0.25 내지 5 %, F_2 : 0.125 내지 2.5 %, Br_2 : 0.5 내지 10 %, 및 NF_3 : 0.1 내지 5 %. 상기 밀도가 상기 범위보다 낮을 경우, 실질적인 어떠한 효과도 얻어지지 않는다. 이것이 상기 범위보다 높을 경우, 상기 실리콘 막의 표면은 거칠어진다.
이 단계의 결과로서, 상기 니켈 농도가 최상의 경우 초기 값의 1/10으로 감소될 수 있다. 이것은 상기 니켈 농도가 할로겐 원소에 의한 어떠한 게터링도 실시 되지 않는 경우의 1/10으로 감소될 수 있다. 이것은 마찬가지로 다른 금속 원소를 사용하는 경우들에 적용된다.
이 단계에서, 형성된 산화막(106)으로의 니켈의 게터링으로 인해, 상기 산화막(106)에서의 니켈 농도가 자연스럽게 더 높아진다.
특별히, 상기 니켈 농도가 상기 실리콘 막(105)과 상기 산화막(106)사이의 인터페이스에서 높아지는 경향이 있는 것으로 관찰되었다. 이것은 상기 게터링이 주로 상기 실리콘 막(105)과의 인터페이스에 밀접한 상기 산화막(106)의 영역에서 주로 실시된다는 사실로 인한 것으로 여겨진다. 상기 게터링이 주로 상기 인터페이스에 가까운 영역에서 실시되는 이유는 거기에서의 스트레인 및 결함의 존재로 여겨진다.
상기 니켈 농도가 상기 언더코트 막(102)과 상기 실리콘 막(105) 및 그의 근처 사이에서의 인터페이스에서 높아지는 경향이 있는 것으로 관찰되었다. 더욱이, 니켈이 상기 기판(101)으로 게터링되는데, 이는 상기 기판(101)이 또한 염소를 포함하기 때문이다.
상기 열 산화막(106)이 도 1D에 도시된 바와 같이 형성된 후, 높은 농도의 니켈을 함유하는 열 산화막(106)이 버퍼링된 불화 수소산을 사용하는 습식 에칭 또는 건식 에칭에 의해 제거된다.
따라서, 감소된 니켈 농도를 가진 결정 실리콘 막(107)이 도 1E에 도시된 바와 같이 얻어진다.

니켈이 자체 상부 표면에 밀접하게 상기 결정 실리콘 막(107)의 영역 내에 비교적 높은 농도로 함유되므로, 상기 결정 실리콘 막(107)의 상부 표면이 다소 에칭(오버 에칭)될 때까지 상기 산화막(106)의 에칭을 허용하도록 효과적이 된다.

실시예 2

이 실시예는 결정 실리콘 막이 상기 제 1 실시예(도 1C를 참조)에서의 열처리에 의해 얻어진 후, 자체 결정성을 향상시키도록 레이저 광 조사가 실행된다.

결정화를 위한 열처리의 온도가 낮거나 또는 처리 시간이 짧은 경우, 즉 상기 제조 프로세스에 관련된 어떤 이유로 상기 가열 온도 또는 가열 시간이 제한될 때, 필요한 결정성 레벨이 달성되지 않을 수 도 있다. 이러한 경우, 필요한 높은 레벨의 결정성이 레이저 광 조사에 의한 어닐링을 더욱 실행하므로써 얻어질 수 있다.

상기 가열 처리 후의 이 레이저 광 조사에 있어서, 상기 레이저 광 조사 상태의 허용 가능한 범위가 레이저 광 조사에 의해 비결정질 실리콘 막을 결정화하는 경우보다 더 넓어진다. 더욱이, 상기 레이저 광 조사의 재생 가능성이 높아진다.

상기 레이저 광 조사가 도 1C 의 단계 후 실행될 수 도 있다. 이 실시예에 있어서, 상기 시작 막으로서 상기 비결정질 막(103)의 두께가 200 내지 2,000Å이 되는 것이 중요하다.

이것은 상기 레이저 광 조사에 의한 어닐링 효과가 상기 비결정질 실리콘막(103)이 더 얇아질 때 보다 현저해진다. 자외선 엑시머 광으로부터 방사된 레이저광이 사용되는 것이 바람직하다. 특별히, KrF 엑시머 레이저(파장:248nm) 또는 XeCl 엑시머 레이저(파장:308nm)가 사용되는 것이 바람직하다.

실시예 3

본 실시예는 적외선 램프가 제 2 실시예에 사용되는 레이저 대신에 사용되는 경우에 관한 것이다. 적외선이 사용되는 경우, 실리콘 막은 주로 기판을 많이 가열하지 않으면서 가열될 수 있다. 따라서, 효과적인 가열처리가 기판에 열 손상을 주지 않으면서 수행될 수 있다.

실시예 4

본 실시예는 Cu가 제 1 실시예에서의 실리콘의 수정화를 촉진하기 위한 금속 성분으로 이용되는 경우에 관한 것이다. 이 경우, Cu는 구리 아세테이트($Cu(CH_3COO)_2$) 용액이나 구리 염화물($CuCl_2$,$2H_2O$) 용액을 이용함으로써 도입될 수 있다.

실시예 5

본 실시예는 수정 성장 모드가 제 1 실시예에서 설명된 것과 다른 경우에 관한 것이다. 특히, 상기 실시예에서, 기판과 같은 방향의 수정 성장 즉 측면 성장은 실리콘의 수정화를 촉진하기 위한 금속 성분을 이용함으로써 실현된다.

도 2A 내지 도 2E는 본 실시예에 따른 제조 공정을 도시한다. 우선, 언더코트막으로서 3,000Å 두께의 실리콘 산화질소 막(oxynitride layer)이 제 1 실시예에서와 동일하게 사용되는 기판(201)상에 형성된다. 만약, 기판(201)이 평탄성이 우수하고, 그 표면이 세정될 수 있다면, 언더코트 막(202)이 항상 형성될 필요는 없다.

다음에, 수정 실리콘 막의 초기막으로서 2,000Å 두께의 비정질 실리콘 막(203)이 저압 열 CVD에 의해 형성된다. 저압 열 CVD 대신에 플라즈마 CVD가 수행될 수도 있다.

다음에, 1,500Å 두께의 실리콘 산화막(도시되지 않음)이 형성되고 이어서 개구부(205)를 갖는 마스크(204)에 패터닝된다.

개구부는 도 2A 내지 도 2E의 지면에 수직인 방향으로 길게 늘어진 폭이 좁은 구형이라고 가정한다. 개구(205)의 폭은 20㎛ 이상이어야 하고 그 길이는 세로 방향으로 원하는 대로 결정할 수 있다.

이 경우, 실시예 1에 기술되었던 10 ppm의 니켈을 함유한 니켈 아세테이트 용액이 적용된다. 과도한 용액은 스피너(spinner)(도시되지 않음)를 이응한 회전 드라이를 실시하여 제거된다.

그러므로, 니켈은 도 2A에서 점선(206)으로 표시된 바와 같은 비결정 실리콘 막(203)의 노출 표면에 인접하게 유지된다.

계속적으로, 열처리는 800℃에서 4시간동안 수소를 3% 함유한 질소 분위기(산소밀도가 최소화됨)에서 실시된다. 이 단계에서, 결정 성장은 니켈이 주변 측으로 도입되었던 개구부(205) 아래 영역으로부터 도 2B에서 화살표(207)에 의해 지시된 바와 같이 기판(201)과 나란히 시작된다. 기판(201)과 평행한 이러한 결정성장은 측면 성장이라 명명된다. 이 실시예의 조건하에서, 측면 성장은 100㎛이상으로 진행될 수 있고, 그러므로 측면 성장 영역을 갖는 실리콘 막(208)이 얻어진다(도 2B 참조).

이때, 니켈을 선택적으로 도입하는데 이용했던 실리콘 산화막 마스크(204)가 제거된다.(도 2C 참조)

이 경우에, 열처리가 850℃에서 50%의 산소와 이 산소에 대해 3%의 HCL를 함유하는 질소 분위기에서 실시된다 그 결과 고농도로 니켈을 함유하는 산화막(209)이 형성된다. 또한 실리콘 막(208)의 니켈 농도는 비교적 낮게 만들어 질 수 있다.

이 단계의 결과로서, 열산화막(209)은 200Å의 두께로 만들어지는데, 염소의 반응에 의해서 고농도로 게터링된 니켈을 함유한다. 열산화막(209)의 형성의 결과, 결정 실리콘 막(208)의 두께는 약 1,900Å으로 감소된다(도 2D 참조).

도 2D의 단계를 완료한 후, 고농도의 니켈을 함유하는 열산화막(209)은 제거된다(도시 안됨).

이 상태에서, 결정 실리콘 막(208)은 표면 쪽으로 농도가 증가하는 니켈 농도 프로파일을 갖는다. 그러므로, 결정 실리콘 막(208)의 어느 정도 상면을 에칭하므로써 니켈이 고농도 존재하는 영역을 제거하는 것이 효과적이다. 이런 식으로 감소된 니켈 농도를 갖는 결정 실리콘 막이 얻어질 수 있다.

다음에, 결정 실리콘 막(208)이 래터럴 성장 영역을 구성하는 패턴(210)으로 패터닝된다(도 2E 참조).

패턴(210)이 어느 수직 성장 영역이나, 비정형 영역이나, 래터럴 성장의 선두 부분을 포함하지 않도록 패터닝이 수행되는 것이 중요하다. 이는 니켈 농도가 수직 성장 영역에서 비교적 높기 때문이며, 여기서 결정은 기판과 래터럴 성장

의 선두 부분에 수직하게 성장하고, 비정형 영역은 나쁜 전기적 특성을 보인다.
도 2E에 도시한 바와 같이, 오직 래터럴 성장 영역만으로 이루어진 패턴(210)은 제 1 실시예에 따라 얻어진 결정 실리콘 막보다 낮은 잔류 니켈 농도를 갖는다. 즉, 래터럴 성장 영역에서 금속 요소의 농도가 낮으므로, 래터럴 성장 영역으로 이루어진 패턴(210)에서의 니켈 농도는 10^{17} cm^{-3} 정도 보다 적게 용이하게 만들어 질 수 있다.
래터럴 성장 영역을 이용하여 만든 박막 트랜지스터는 제 1 실시예(제 1 실시예의 경우 수직 성장이 영역 전체에서 발생한다)의 경우에서와 같이 수직 성장 영역을 이용하여 만든 것 보다 큰 이동도를 나타낸다.
도 2E에 도시한 패턴(210)이 만들어진 후 에칭을 추가 실행하는 것이 패턴(210)의 표면 층에 나타나는 니켈을 제거하기 위해 효과적이다.
패턴(210)의 형성 후, 200 Å 두께의 열산화막(211)은 산소 분위기에서 800℃의 열처리로 만들어진다. 열산화막(211)은 제조될 박막 트랜지스터의 게이트 절연막 부분이 된다.
실시예 6
이 실시예는 액티브 매트릭스 액정 표시 장치 또는 액티브 매트릭스 EL 표시 장치의 픽셀 영역에서 사용될 박막 트랜지스터가 본 발명을 이용하여 만들어지는 경우에 관한 것이다.
도 3A 내지 도 3E는 이 실시예에 따른 제조 공정을 도시한다. 제 1 또는 제 5 실시예의 처리에 의해서 결정 실리콘 막이 만들어진다. 결정막이 제 1 실시예의 공정에 의해서 만들어진 경우, 도 3A의 상태는 결정 실리콘 막을 에칭함으로써 도 3A의 상태가 얻어진다.
도 3A의 상태에서, 참조 번호(310 내지 303) 각각은 결정 실리콘 막으로 이루어진 기판과, 언어 코팅막과, 활성층을 가리킨다.
도 3A의 상태에서 산소 및 수소의 저압의 혼합된 분위기에서 플라즈마 처리가 실행되었다. 플라즈마는 고주파 방전에 의해서 발생된다.
활성층(303)의 노출 표면 위에 존재하는 유기 물질은 제거된다. 보다 정확히 설명하자면, 활성층(303)의 표면 위에 흡수된 유기 물질들은 산소 플라즈마로 산화되고, 산화된 유기 물질들은 수소 플라즈마에 의해서 환원되고 증발된다.
유기 물질은 제거는 고정 전하들이 활성층(303)의 표면 위에 존재하지 않게 하는 것이 효과적이다. 유기 물질이 존재함으로써 야기되는 고정 전하들의 감소는 전하들이 장치의 동작을 방해하고 장치의 특성들을 불안정하게 하기 때문에 매우 효과적이다.
유기 물질을 제거한 후, 100 Å 두께의 열산화막(300)이 산소 분위기에서 850℃로 열 산화를 통해 만들어진다. 계면 특성에 있어서 보다 우수한 열 산화막(300)은 게이트 절연막 부분이 된다. 이처럼 도 3A의 상태가 얻어진다.
이러한 상태에서, 1000 Å 두께의 실리콘 산화막(304)은 플라즈마 CVD에 의해서 만들어진다. 실리콘 산화막(304)은 열산화막(300)과 함께 게이트 절연막을 구성한다.
실리콘 산화막(304)이 할로겐 원소를 함유하게 하는 것이 효과적이다. 즉, 할로겐 원소의 반응에 의해서 니켈을 고착시킴으로써, 게이트 절연막의 절연막과 같은 기능이 저하되어 활성층(303)에 존재하는 니켈(또는 실리콘의 결정화를 촉진시키는 어떤 다른 금속 원소)에 의해서 영향을 받지 않도록 한다.
일단, 실리콘 산화막(304)이 형성된 후, 나중에 게이트 전극으로서 작용하는 알루미늄 막(도시되지 않음)이 스퍼터링에 의해서 만들어진다. 스칸듐이 다음 단계에서 힐록 및 휘스커의 발생을 억제하도록 0.2wt%로 알루미늄 막에 첨가된다. 힐록 및 휘스커는 가열될 때 알루미늄의 비정상적인 성장에 의해서 만들어지는 니들 또는 프리클형 돌출부이다.
알루미늄 막의 형성 후, 조밀한 양극의 산화막(도시되지 않음)이 3%의 주석산을 함유하는 에틸렌 글리콜 용액인 전해액의 표면상에 형성된다. 알루미늄 막은 양극으로서 사용되고, 플라티늄은 음극으로서 사용된다.
조밀한 양극 산화물 막의 두께는 약 100 Å로 설정된다. 이러한 양극 산화물막은 나중에 알루미늄막 위에 형성될 레지스트 마스크의 접착력을 증대하는 역할을 한다.
양극 산화물막의 두께는 양극 처리의 인가 전압에 의해서 제어될 수 있다.
다음에, 레지스트 마스크(306)가 만들어지고, 알루미늄 막이 패턴(305)으로 패터닝된다. 이처럼 도 3B의 상태가 얻어진다.
이 상태에서, 양극으로서 이용되는 알루미늄 패턴(305)으로 수산의 3%의 수용액인 전해액에서 다시 양극 처리가 수행된다. 그 결과 다공성의 양극 산화물막(308)이 형성된다.
이 단계에서, 알루미늄 패턴(305)의 정면 위에 부착력이 높은 레지스트 마스크(306)가 존재하기 때문에, 패턴(305)의 측면에만 양극 산화물막(308)이 형성된다.
양극 산화물막(308)은 수 마이크로미터 두께로 성장할 수 있다. 이 실시예에서, 두께는 6,000 Å이다. 두께 즉 성장 길이는 양극 처리 시간에 의해서 제어된다.
다음에, 레지스트 마스크(306)가 제거된 후, 조밀한 양극 산화물막(309)을 형성하도록 3%의 주석산을 포함하는 에틸렌 글리콜 용액인 전해액(이전 양극 처리에서 사용된 것과 같은 전해액)에서 행해진다. 조밀한 양극 산화물막(309)이 도 3C에 도시한 바와 같이 만들어지는데, 이는 전해액이 다공성 양극 산화물막(308)을 들어가기 때문이다.
인가 전압에 의해서 제어되는 조밀한 양극 산화물막(309)의 두께는 1000 Å으로 설정된다.
이 상태에서 실리콘 산화물막(304)과 열 산화막의 노출된 부분은 건식 에칭에 의해서 제거된다(도 3C). 이때, 다공성 양극 산화물막(308)은 아세트산, 질산, 인산의 혼합산으로 제거된다.
이 상태에서 불순물이 주입된다. 이 실시예에서, P(인산) 이온이 n채널의 박막 트랜지스터를 형성하도록 플라즈마 도핑에 의해서 주입된다.
이 단계에서, 강하게 도핑된 영역(311,315)과 약하게 도핑된 영역(312, 314)이 형성되는데, 잔류 실리콘 산화물막(310) 부분이 입력 이온들 부분을 방해하는 반투명의 마스크로서 작용하기 때문이다.

레이저광 또는 강한 광이 이온 주입 영역을 활성화하기 위해 인가된다. 이처럼 소스 영역(311), 채널 형성 영역(313), 드레인 영역(315), 저농도 영역(312,314)이 자기 정렬 방식으로 형성된다. 영역(314)은 LDD(약하게 도핑된 드레인) 영역이라고 칭해진다(도 3D 참조).
만약 조밀한 음극 산화막(309)이 2,000Å이라면, 상기 산화막(309)에 대응하는 두께를 가진 오프셋(offset)영역은 채널 형성 영역(313)밖에서 형성된다.
오프셋 영역들은 도면에 도시되지는 않았지만, 이 실시예에서는 형성되었다. 그러나 오프셋 영역들은 짧고, 커다란 영향을 끼치지 않는다.
실리콘 산화막, 실리콘 질화막, 또는 적층막은 층간 절연막(316)으로 형성된다. 층간 절연막(316)은 실리콘 산화막 또는 실리콘 질화막과 수지막(resin film)의 결합 형태이다.
접촉 구멍들이 형성된 후에는, 소스 전극(317)과 드레인 전극(318)이 형성된다. 그러므로 박막 트랜지스터는 도 3E에 도시된 것과 같이 완성된다.
실시예 7
이 실시예는 박막 트랜지스터가 도 3A 내지 도 3E에 도시된 다른 공정에 의해서 형성되는 경우를 보여주고 있다.
도 4A 내지 도 4E는 이 실시예에 따르는 제조 과정을 도시하고 있다. 먼저, 결정 실리콘 막이 제 1 및 제 2 실시예의 공정에 의해 기판 상에 형성된다. 결정 실리콘 막은 도 4A의 상태를 얻기 위해 패터닝된다.
이 상태에서는 플라즈마 처리가 또한 산소와 수소의 저압의 혼합된 분위기에 서 실행되었다.
도 4A에서는 참조번호(410 내지 403)는 기판, 언더코트막과 결정 실리콘 막으로 구성된 활성막을 표시하고 있다. 번호(400)는 게터링(gettering)을 위해 열 산화막을 제거한 후에, 형성된 열 산화막을 표시하고 있다.
도 4A의 상태가 일단 얻어지면, 1,000Å 두께의 실리콘 산화막(404)은 플라즈마 CVD에 의해 형성된다. 실리콘 산화막(404)은 열 산화막(400)과 함께 게이트 절연막을 구성한다.
실리콘 산화막(404)이 형성된 후에는 게이트 전극으로 나중에 작용하는 알루미늄 막이 스퍼터링(sputtering)에 의해 형성되어진다. 스칸디움(scandium)은 0.2wt%에서 알루미늄 막에 더해진다.
알루미늄 막이 형성된 후에는, 100Å의 조밀한 음극 산화막이 그 위에 형성되어진다. 이러한 음극 산화막은 나중에 형성된 레지스트(resist)마스크와 함께 접착력을 개선시킨다.
다음에는 레지스트 마스크(405)가 형성되며, 알루미늄 막은 패턴(406)에서 패터닝된다.
이 상태에서, 음극화 과정은 음극으로 사용되는 알루미늄 패턴(406)과 수산(dxalic acid) 의 3%용액인 전해질 내에서 이루어진다. 결과적으로 구멍이 많은 음극 산화막(407)이 형성된다.
이 단계에서는, 알루미늄 패턴(406)의 맨 위에 높은 접착력을 갖고 있는 레지스트 마스크(405)가 있기 때문에 음극 산화막(407)이 패턴(406)의 측면에만 형성 된다(도 4B 참조).
음극 산화막들(407)은 수 마이크로 미터 두께로 성장할 수 있다. 이 실시예에서는 두께가 6,000Å으로 설정된다. 그 두께는 예를 들면, 성장 길이는 음극화 시간에 의해 제어된다.
다음에는 레지스트 마스크(405)가 제거된 후에는, 음극화 과정(이전의 음극화 과정에서 사용된 동일한 전해질)이 3%의 타르타르산을 포함하고 있는 에틸렌 글리콜 용액으로 되어있는 전해질 내에서 다시 한번 수행된다. 그리하여, 조밀한 음극 산화막(408)을 형성하게 된다. 조밀한 음극 산화막(407)은 전해질이 구멍이 많은 음극 산화막(407)으로 들어가기 때문에, 도 4C에 도시된 것처럼 형성된다.
그 후에는 제 1 불순물 이온 임플란테이션(ion implantation)이 수행된다. 이 단계는 레지스트 마스크(405)가 제거된 후에 수행된다.
이러한 이온 불순물 임플란테이션의 결과로서 소스 영역(409)과 드레인 영역(411)이 형성된다. 어떠한 불순불 이온이라도 영역(410)내로 임플란트되지 않는다(도 4C 참조).
다음에는 구멍이 많은 음극 산화막(407)이 아세틱산, 질화산 그리고 인산으로 혼합된 산에 의해 제거된다. 그러므로 도 4D의 상태가 얻어진다.
이 상태에서는 불순물 이온들이 제 1 불순물 이온 임플란테이션보다 낮은 도핑을 위한 조건하에서 임플란트된다. 이 단계에서는 낮게 도핑된 영역들(412, 413)이 형성된다. 영역(414)은 채널 형성 영역이 된다(도 4D참조).
레이저 빛 또는 강한 빛은 이온이 임플란트된 영역들을 활성화시키기 위해 인가되어진다. 그러므로 소스영역(409), 채널 형성 영역(414), 드레인 영역(411)과 낮은 농도 영역(412,413)들은 자가 정렬 방식으로 형성된다. 영역(413)은 LDB(lightly doped drain) 영역으로 명명된다(도 4D 참조).
실리콘 산화막, 실리콘 질화막, 또는 적층막은 층간 절연막(415)으로 형성되어진다. 층간 절연막(415)은 실리콘 산화막 또는 실리콘 질화막과 수지막(resin film)의 결합 형태이다.
접촉 구멍들이 형성된 후에는, 소스 전극(416)과 드레인 전극(417)이 형성된다. 그러므로 박막 트랜지스터는 도 4E에 도시된 것처럼 완성된다.
실시예 8
이 실시예는 n 채널 트랜지스터와 p 채널 트랜지스터를 상보적 형태로 형성한 경우를 보여주고 있다.
예를 들면, 이 실시예는 절연표면에 형성된 여러가지 박막 집적 회로들에 응용될 수 있다. 이 실시예는 또한 활성 매트릭스(active matrix) 액정 디스플레이 장치의 주변 구동기 회로에도 응용될 수 있다.
먼저, 도 5A에 도시된 것처럼, 언더코트 막(502)인 실리콘 산화막은 기판(501)위에 형성된다. 기판(501)은 300 내지 700 ppm의 OH그룹과, 50 내지 150 ppm의 염소를 포함하고 있다.
다음에는 무정형 실리콘 막이 플라즈마 CVD 또는 저기압 열처리 CVD에 의해 형성된다. 그리고 제 1 실시예의 방법에 의해 결정 실리콘 막으로 변환된다.

다음에는 플라즈마 처리가 산소와 수소의 혼합 분위기에서 행해진다. 최종 결정 실리콘 막은 활성막들(503, 504)로 패터닝된다. 그러므로 도 5A의 상태가 얻어진다.
이 상태에서는 열처리가 활성막들(503,504)의 측면을 따라서 움직이는 캐리어(carrier)들의 영향을 없애기 위해 3%의 HCl를 포함하고 있는 질소 분위기에서 10시간 동안에 750℃에서 행해진다.
트랩(trap)이 금속 성분의 존재로 인해, 활성막들(503, 504)의 측면들에 존재한다면, 오프(off) 전류 특성이 저하된다. 그 후에는 이러한 트랩 상태의 밀도를 상기와 처리에 의해 감소시키는 것이 효과적이다.
다음에는 게이트 절연막을 형성하는 열 산화막(500)과 실리콘 산화질소 막(505)이 형성된다. 만약 석영기판이 사용된다면, 게이트 절연막은 단지 상술한 열 산화방법에 의해 형성된 열 산화막 만을 구성하는 것이 바람직하다.
이때, 게이트 전극을 구성하기 위한 4000Å 두께의 알루미늄 막(도시되지 않음)이 형성된다. 알루미늄 대신 양극 처리를 할 수 있는 금속(예를 들어, 탄탈)이 이용될 수 있다.
알루미늄 막이 매우 얇게 형성된 후, 애노드형 강 산화막이 앞서 언급한 방법을 통해 알루미늄 막 표면에 형성된다.
다음, 알루미늄 막상에 레지스트 막(도시되지 않음)이 형성된 후, 알루미늄 막은 패터닝된다. 이때, 알루미늄을 패터닝한 알루미늄 패턴을 애노드를 이용하여 양극 처리가 실시되어, 애노드형 다공 산화막(508, 509)(5000Å 두께를 가짐)이 형성된다.
계속해서, 애노드형 강 산화막을 형성하기 위한 적당한 조건하에서 양극처리가 다시 실시되어 애노드형 강 산화막들(510, 511)이 형성된다. 이 산화막들의 두께는 800Å으로 설정된다. 그러므로, 도 5B의 상태를 얻을 수 있다.
실리콘 산화막(505)과 열처리된 산화막(500)의 노출 부분은 건식 에칭 처리를 통해 제거되어 도 5C의 상태를 얻는다.
이 경우, 애노드형 다공 산화막(508, 509)은 아세틱 용액과 질소 함유 용액과 인 함유 용액의 혼합액을 이용하여 제거된다.
다음, 레지스트 마스크가 좌측 박막 트랜지스터로 P 이온이 주입되고, 우측 박막 트랜지스터로 B 이온이 주입된다. 그 결과, 두껍게 도핑된 n형 소스와 드레인 영역들(514, 517)이 자기 정렬 방식으로 형성된다.
동시에, P 이온으로 얇게 도핑된 n형 영역(515)과 채널 형성 영역(516)이 형성된다. 도핑 농도가 낮은 n형 영역(515)의 형성은 잔여 게이트 절연막(512)의 존재에 영향을 받는다. 즉, 도핑된 P 이온의 부분이 게이트 절연막(512)에 의해 중단된다.
동일 원칙에 따라, 도핑 농도가 강한 P형 소스와 드레인 영역들(521, 518)은 자기 정렬 방식으로 형성된다. 동시에, 저농도 불순물 영역(520)과 채널 형성영역(519)이 형성된다. 그러므로, 도 5D의 상태가 얻어진다.
애노드형 강 산화막들(510, 511)의 두께가 2000Å으로 두꺼운 경우, 오프셋 영역은 상기 애노드형 강 산화막들(510, 511)의 두께와 일치하는 두께로 채널 형성 영역(516, 519)과 접촉하도록 형성될 수 있다. 이 실시예에서, 오프셋 영역은 무시 될 수 있는데, 이는 애노드형 강 산화막들(510, 511)이 1000Å 이하의 얇은 막이기 때문이다.
이때, 레이저 광 또는 강한 빛이 이온 주입 영역을 어닐링하기 위해 쏘아 진다.
다음, 층간 절연막으로서 실리콘 질화물막(522)과 실리콘 산화막(523)이 1000Å의 두께로 형성된다. 실리콘 산화막(523)은 생략할 수 있다.
도 5E에 도시된 바와 같이, 박막 트랜지스터는 실리콘 질화물막(522)으로 덮여있다. 일반적으로 실리콘 질화물 막은 조밀하기 때문에 우수한 개면 특성을 보이고, 이 구조는 박막 트랜지스터의 신뢰성을 향상시키는데 기여한다.
또한, 1㎛ 두께의 층간 절연막(524)은 합성수지 금속을 이용하여 회전 코팅 처리를 통해 형성된다.
이때에 접촉홀이 형성된 후, 좌측 n채널 박막 트랜지스터의 소스 전극(525)과 드레인 전극(526)이 형성되고, 동시에 우측 p채널 박막 트랜지스터의 소스 전극(527)과 드레인 전극(526)이 형성된다. 드레인 전극(526)은 서로 결합된다. 그러므로, CMOS 박막 트랜지스터 회로가 얻어진다.
이 실시예에서, 박막 트랜지스터는 질화물 막과 그에 더하여 합성 수지막으로 덮여있다. 이 구조에서, 이동성 이온과 용수는 박막 트랜지스터를 가로지를만큼 단단하여, 또한, 다층간 결합의 경우에, 이 구조는 박막 트랜지스터와 간의 캐패시턴스의 형성을 방지한다.

실시예 9

본 실시예는 단결정 또는 실제 단결정으로 고려될 수 있는 영역을 제 1 또는 제 2 실시예에 따라 형성된 결정체 실리콘 막에 레이저광을 쏨으로서 형성하는 경우에 관한 것이다.
먼저, 결정체 실리콘 막은 제 1 실시예에서 기술한 바와 같이 니켈효과를 이용하여 형성된다. 결정체는 결정체 실리콘 막을 엑시머(excimer) 레이저 광(예를 들어, KrF 엑시머 레이저로부터 방사된 레이저광)으로 조사해 줌으로서 향상된다. 이 과정동안, 열처리는 또한 450℃보다 낮지 않은 온도에서 실행되고, 레이저광 조사 상태는 최적화되어 단결정 영역 또는 실제 단결정으로 고려될 수 있는 영역을 형성한다.
위에서 언급한 방법을 통해 막의 결정도는 매우 높게 향상될 수 있으며, 이 막은 ERS에 의해 측정된 바와같이, $3\times10^{17}\ cm^{-3}$ 이하의 전자 스핀 밀도와 SIMS(secondary ion mass spedtrometry)에 의해 측정된 최소값으로서 $3\times10^{17}\ cm^{-3}$ 이하의 니켈 농도를 갖는다. 또한, 이러한 막은 단결정으로 고려될 수 있는 영역을 갖는다.
실제로 어떤 격자 경계도 갖고 있지 않은 이 영역은 단결정 실리콘 웨이퍼의 전기특성과 같은 우수한 전기성을 제공할 수 있다.
단결정으로 고려될 수 있는 영역은 5원자%에서 $1\times10^{15}\ cm^{-3}$ 에 대한 수소를 포함한다. 이 값은 SIMS 측정을 통해 얻어진다.
단결정 영역 또는 앞서 언급한 바와 같이 단결정으로 간주될 수 있는 영역을 이용하여 형성되는 박막 트랜지스터는 단결정 웨이퍼 상에 형성된 MOS 트랜지스터와 같다.

실시예 10

본 실시예는 실시예 1의 처리에서 코팅에 덮인 막의 표면에 니켈이 직접 인가되는 경우에 관한 것이다. 이 경우에, 니켈은 비결정 실리콘 막의 하부 표면 부근에 유지된다.
이 실시예에서, 니켈(즉, 금속 원소)은 코팅으로 덮여지는 막을 형성한 후 직접 인가되어 코팅으로 덮여지는 막의 표면 부근에 유지되도록 한다. 니켈은 용액이나 스퍼터링과 CVD, 또는 흡착 방법과 같은 다른 어떤 방법을 통해 인가될 수 있다.
실시예 11
이 실시예는 실험 데이터를 근거로 니켈 반응을 통해 결정화된 결정체 실리콘 막으로부터 염소 반응을 통해 니켈을 제거하는 효과를 설명한다.
도 6은 니켈을 사용하여 형성된 수정 실리콘 막의 횡단면도에서 니켈 농도 자료의 SIMS 측정 결과를 도시한다.
표면 부근의 측정 데이터는 이들이 표면 거칠기와 흡수형 물질에 의해 영향받기 때문에 중요하지는 않다. 같은 이유 때문에, 경계부 부근의 데이터는 다소 약간의 에러를 갖는다.
상기 측정 데이터를 제공하는 샘플을 형성하기 위한 방법에 대해 간단한 설명을 한다. 우선, 언더코트 막으로 4,000Å 두께의 실리콘 산화막이 석영 기판상에 형성된다. 그 위에, 500Å 두께의 비정질 실리콘 막이 저압 열 CVD에 의해 형성된다.
이 때, 니켈은 니켈 아세테이트 소금 용액을 이용하는 방법에 의해 비정질 실리콘 막에 도입된다. 수정 실리콘 막은 650°C에서 4시간 동안 가열 처리를 수행함으로써 비정질 실리콘 막을 수정화하여 이루어진다.
또한, 500Å 두께의 열 산화막은 산화 분위기에서 950°C로 가열처리를 수행함으로써 형성된다.
도 6에 도시된 바와 같이, 니켈은 다른 영역보다 높은 농도로 수정 실리콘(poly-Si)막에 존재한다. 열 산화막의 표면 근방의 높은 니켈 농도는 표면 상태의 영향으로 인한 측정 에러 때문에 중요하지 않다. 도 7은 열 산화막이 3%의 HCl를 함유한 산화 분위기에서 형성되는 샘플의 측정 데이터를 도시한다.
도 7에서, 수정 실리콘(poly-Si)막에서의 니켈 농도는 도 6의 경우보다 낮다. 대신에, 열 산화막에서의 니켈 농도는 상대적으로 증가된다. 이것은 니켈이 열 산화막으로 이동됨(즉, 게터링됨)을 의미한다.
도 6과 도 7의 샘플간의 차이점은 단지 도 7의 샘플에서 열 산화막이 HCl를 함유한 분위기에서 형성되는데 있다. 따라서, 상술한 게터링 효과는 HCl 때문인 것으로 추정할 수 있다. 수소의 게터링 효과는 아직 발견되지 않았기 때문에, 도 6과 도 7 간의 차이에 의해 나타난 바와 같은 게터링 효과는 염소의 작용에 의해 발생된 것으로 추정하는 것이 더 정확하다.
낮은 니켈 농도를 갖는 수정 실리콘 막은 니켈이 게터링되는 열 산화막을 제 거함으로써 제공됨을 알 수 있다.
도 8은 도 7의 데이터가 제공되는 샘플과 같은 조건하에서 형성된 샘플의 염소 농도 자료를 도시한다. 도 8에 도시된 바와 같이, 염소는 수정 실리콘 막과 열 산화막 간의 계면 주변에 집중된다.
실시예 12
본 실시예는 제 11 실시예에서 초기막이 저압 열 CVD에 의해 형성된 비정질 실리콘 막인 사실에 반하여, 플라즈마 CVD에 의해 형성된 비정질 실리콘 막이 수정 실리콘 막의 초기막으로 사용되는 경우에 관한 것이다. 저압 열 CVD에 의해 형성된 비정질 실시콘 막은 저압 열 CVD에 의해 형성된 막과는 다른 막 질을 갖기 때문에, 이들은 후술하는 바와 같이 게터링 작용이 다르다.
도 9는 열 산화막이 950°C의 산화 분위기에서 형성되는 샘플과 비교하기 위한 측정 데이터이다. 도 9에 도시된 바와 같이, 니켈은 수정 실리콘(poly-Si)막에서 고농도로 존재한다.
니켈이 동일한 조건하에 도입된다는 사실에도 불구하고, 도 9의 수정 실리콘 막에서의 니켈 농도는 도 6에서보다 높다. 이것은 플라즈마 CVD에 의해 형성된 비정질 실리콘 막이 덜 조밀하고, 더 많은 결함이 있어서, 니켈이 막으로 더 용이하게 확산된다는 사실에 기인함을 알 수 있다.
니켈 농도에서의 상기 차이점은 다른 관점에서 설명할 수 있다. 니켈 아세테이트 용액을 사용하기 전에, 매우 얇은 산화막이 UV 산화법에 의해 비정질 실리콘 막의 표면상에 형성된다. 상기 산화막의 두께는 하부 비정질 실리콘 막의 막질의 차이로 인하여 2가지 경우간의 차이가 있을 수 있다. 막두께의 차는 실리콘 막으로 확산되는 니켈의 양의 차를 일으키기 때문에, 막두께의 차는 도 6과 도 9간의 니켈 농도의 차를 일으킬 수 있다고 할 수 있다.
도 10은 열 산화막이 산소에 대하여 10%의 HCl를 함유한 분위기에서 형성되는 샘플로부터 제공된 데이터를 도시한다. 도 10에 도시된 바와 같이, 수정 실리콘(poly-Si)막에서의 니켈 농도는 도 9의 데이터에서보다 낮다. 대신에, 열 산화막에서의 니켈 농도는 상대적으로 증가된다.
이것은 니켈이 염소의 작용으로 인해 열 산화막으로 게터링됨을 의미한다. 상술한 바를 통해 알 수 있는 바와 같이, 니켈은 염소를 함유한 분위기에서 실리콘 막상에 열 산화막을 형성함으로써 실리콘 막으로부터 열 산화막으로 효과적으로 게터링될 수 있다.
따라서, 낮아진 니켈 농도를 갖는 수정 실리콘 막은 니켈이 게터링되는 열 산화막을 제거함으로써 작성될 수 있다.
도 11은 도 10의 데이터가 제공되는 샘플과 같은 조건하에서 형성된 샘플의 염소 농도 자료를 도시한다. 도 11에 도시된 바와 같이, 염소는 언더코트 막과 수정 실리콘 막간의 경계부와 수정 실리콘 막과 열 산화막간의 경계부 근방에서 고농도로 존재한다.
도 11은 도 8과 비교된다. 도 11의 염소 농도 자료는 플라즈마 CVD에 의해 형성된 초기막으로 비정질 실리콘 막이 조밀하기 않기 때문임을 알 수 있다.
니켈 농도가 또한 언더코트 막과 수정 실리콘 막간의 계면 근방에서 높다는 사실은 언더코트 막을 갖는 계면(또는, 언더코트 막)의 근방에 존재하는 염소의 작용으로 인해 언더코트 막으로 니켈이 게터링됨을 알 수 있다.
상기 현상은 또한 할로겐 성분이 언더코트 막에 부가되는 경우에 발생될 수 있다.

상술한 바와 같이, 본 발명은 금속 성분을 이용함으로써 제공되는 수정 실리콘 막내의 금속 성분의 농도를 감소할 수 있다. 따라서, 우수한 전기적 특성을 갖는 박막 반도체 장치가 실현될 수 있다.

(57) 청구의 범위

청구항 1.

적어도 하나의 박막 트랜지스터를 갖는 반도체 장치에 있어서,
절연 표면을 갖는 기판으로서, 상기 기판은 50 내지 2,000 ppm의 OH 그룹과, 10 내지 1,000 ppm의 염소를 함유하는, 상기 기판과,
상기 기판 상의 결정 반도체 막으로서, 상기 반도체 막은 상기 반도체 막의 결정화를 촉진하는 원소를 포함하는, 상기 결정 반도체 막과,
상기 반도체 막에 인접한 적어도 하나의 게이트 전극으로서, 상기 반도체 막과 상기 하나의 게이트 전극 사이에 게이트 절연막이 삽입된, 상기 적어도 하나의 게이트 전극을 포함하며,
상기 원소는 상기 반도체 막의 중앙부 농도보다 상기 반도체 막의 하부 표면 부근에서 더 높은 농도로 존재하는, 반도체 장치.

청구항 2.

적어도 하나의 박막 트랜지스터를 갖는 반도체 장치에 있어서,
50 내지 2,000 ppm의 OH 그룹과, 10 내지 1,000 ppm의 염소를 가지고, 650 내지 1000℃의 스트레인 포인트를 가지는 기판과,
상기 기판 상의 결정 반도체 막으로서, 상기 반도체 막은 5×10^{19} cm^{-3} 이하의 농도로 반도체의 결정화를 촉진하는 원소와, 1×10^{16} 내지 5×10^{20} cm^{-3} 의 농도의 할로겐 원소를 갖는, 상기 결정 반도체 막과,
상기 반도체 막에 인접한 적어도 하나의 게이트 전극으로서, 상기 반도체 막과 상기 하나의 게이트 전극 사이에 게이트 절연막이 삽입된, 상기 하나의 게이트 전극을 포함하고,
상기 원소는 상기 반도체 막의 중앙부 농도보다 상기 반도체 막의 하부 표면 부근에서 더 높은 농도가 존재하는, 반도체 장치.

청구항 3.

적어도 하나의 박막 트랜지스터를 갖는 반도체 장치에 있어서,
50 내지 2,000 ppm의 OH 그룹과, 10 내지 1,000 ppm의 염소를 함유하고, 650 내지 1000℃의 스트레인 포인트를 갖는 기판과,
5×10^{19} cm^{-3} 이하의 농도로 반도체의 결정화를 촉진하는 원소와, 1×10^{16} 내지 5×10^{20} cm^{-3} 의 할로겐 원소를 갖는 결정 반도체 막과,
상기 반도체 막의 열 산화막을 포함하는 절연막으로서, 상기 절연막은 상기 할로겐 원소를 갖는, 상기 절연막 및
상기 결정 반도체 막에 인접한 적어도 하나의 게이트 전극으로서, 상기 결정 반도체 막과 상기 하나의 게이트 전극 사이에 게이트 절연막이 삽입된, 상기 적어도 하나의 게이트 전극을 포함하는, 반도체 장치.

청구항 4.

제 1 항 또는 제 2 항 또는 제 3 항 중 어느 한 항에 있어서,
상기 기판은 200 내지 500 ppm의 OH 그룹과, 50 내지 100 ppm의 염소를 함유 하는, 반도체 장치.

청구항 5.

적어도 하나의 박막 트랜지스터를 갖는 반도체 장치에 있어서,
200 내지 500 ppm의 OH 그룹과, 50 내지 100 ppm의 염소를 갖는 기판과,
200 내지 2000 Å의 두께로 상기 기판 상에 형성된 반도체 막으로서, 상기 반도체 막은 5×10^{19} cm^{-3} 이하로 반도체의 결정화를 촉진하는 원소와, 1×10^{16} 내지 5×10^{20} cm^{-3} 의 할로겐 원소를 함유하는, 반도체 막과,
상기 반도체 막의 열 산화막을 포함하는 제 1 절연막으로서, 상기 제 1 절연막은 상기 할로겐 원소를 갖는, 상기 제 1 절연막과,
상기 제 1 절연막 상에 형성된 제 2 절연막, 및
상기 반도체 막에 인접한 게이트 전극으로서, 상기 반도체 막과 상기 게이트 전극 사이에 상기 제 1 및 제 2 절연막들이 삽입된, 상기 게이트 전극을 포함하고,
상기 반도체 막은 3×10^{17} cm^{-3} 이하의 전자 스핀 밀도(electron spin density)를 갖는, 반도체 장치.

청구항 6.

적어도 하나의 박막 트랜지스터를 갖는 반도체 장치에 있어서,
200 내지 500 ppm의 OH 그룹과, 50 내지 100 ppm의 염소를 갖는 기판과,
상기 기판 상의 결정 반도체 막으로서, 상기 반도체 막은 5×10^{19} cm^{-3} 이하로 반도체의 결정화를 촉진하는 원소와, 1×10^{16} 내지 5×10^{20} cm^{-3} 의 할로겐 원소를 갖는, 결정 반도체 막과,
상기 반도체 막의 열 산화막을 포함하는 절연막으로서, 상기 절연막은 상기 할로겐 원소를 갖는, 상기 절연막과,
상기 결정 반도체 막에 인접한 게이트 전극으로서, 그 사이에 삽입된 게이트 절연막을 갖는, 상기 게이트 전극, 및
상기 반도체 막 및 상기 게이트 전극 상의 층간 절연막들로서, 상기 층간 절연막들 중 하나는 수지막을 포함하는, 층간 절연막을 포함하며,
상기 결정 반도체 막의 전자 스핀 밀도가 3×10^{17} cm^{-3} 이하인, 반도체 장치.

청구항 7.
제 1 항 또는 제 2 항 또는 제 3 항 또는 제 5 항 또는 제 6 항 중 어느 한 항에 있어서,
상기 원소는 Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au로 이루어진 상기 그룹으로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

청구항 8.
제 1 항 또는 제 6 항에 있어서,
상기 기판은 650 내지 1,000℃의 스트레인 포인트를 갖는, 반도체 장치.

청구항 9.
제 6 항에 있어서,
상기 반도체 막은 단결정과 대등하고 또는 실질적으로 단결정 결정체인, 반도체 장치.

청구항 10.
제 1 항 또는 제 2 항 또는 제 3 항 또는 제 6 항 중 어느 한 항에 있어서,
상기 반도체 막은 200 내지 2,000 Å 의 두께를 갖는, 반도체 장치.

청구항 11.
제 1 항에 있어서,
상기 기판의 원료들 중 하나는 $SiCl_4$ 인, 반도체 장치.

청구항 12.
제 1 항 또는 제 2 항 또는 제 3 항 또는 제 5 항 또는 제 6 항 중 어느 한 항에 있어서,
상기 반도체 막은 적어도 채널 영역, 소스 및 드레인 영역들과, 한 쌍의 LDD 영역들을 포함하는, 반도체 장치.

청구항 13.
제 3 항 또는 제 6 항에 있어서,
상기 절연막은 상기 게이트 절연막 중 하나의 층인, 반도체 장치.

청구항 14.
제 5 항에 있어서,
게이트 절연막은 상기 제 1 및 제 2 절연막들을 포함하는, 반도체 장치.

청구항 15.
제 1 항 또는 제 2 항 또는 제 3 항 또는 제 5 항 또는 제 6 항 중 어느 한 항에 있어서,
상기 반도체 장치는 EL 디스플레이 장치인, 반도체 장치.

청구항 16.
제 1 항에 있어서,
상기 반도체 막은 1×10^{16} 내지 5×10^{20} cm^{-3} 농도의 할로겐 원소를 구비하는, 반도체 장치.

청구항 17.
제 2 항에 있어서,
상기 할로겐 원소는 Cl, F, Br로 이루어진 상기 그룹으로부터 선택되는, 반도체 장치.

청구항 18.
제 6 항에 있어서,
상기 반도체 막은 5 원자%보다 더 높지 않은 농도의 수소를 포함하는, 반도체 장치.

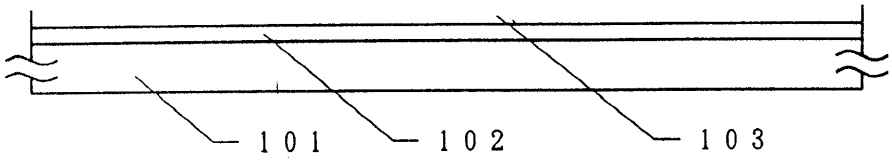
청구항 19.
제 3 항 또는 제 5 항 또는 제 6 항 중 어느 한 항에 있어서,
상기 원소는 상기 반도체 막의 중앙부에서의 농도보다 상기 반도체 막의 하 부 표면 부근에서 더 높은 농도가 존재하는, 반도체 장치.

청구항 20.
제 6 항에 있어서,
상기 반도체 막은 5원자%보다 높지 않은 농도의 수소로 도핑되는, 반도체 장치.

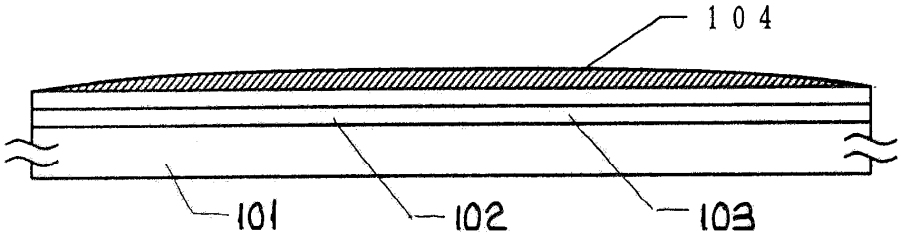
청구항 21.
제 6 항에 있어서,
상기 반도체 막에 함유된 산소, 탄소 및 질소의 각각의 농도는 2×10^{19} $atoms/cm^3$ 이하인, 반도체 장치.

도면

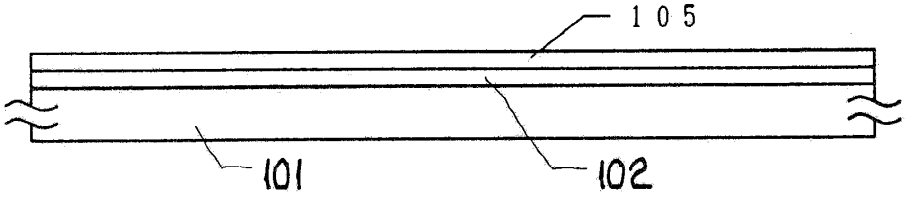
도면1a



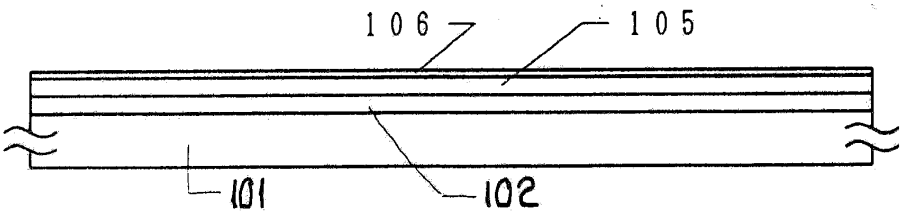
도면1b



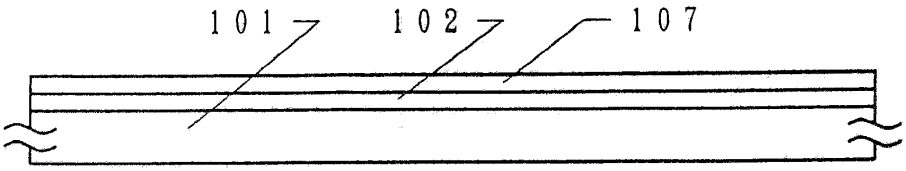
도면1c



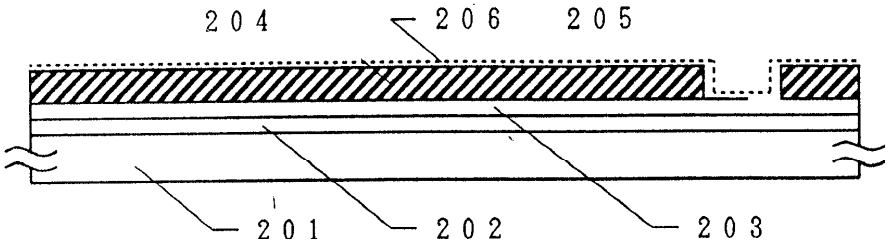
도면1d



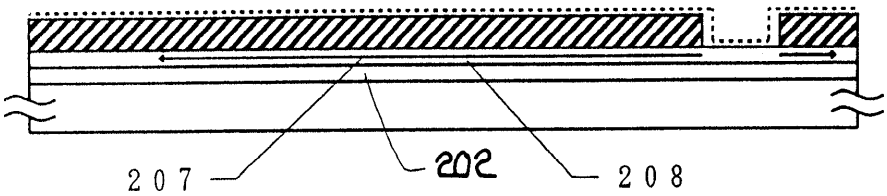
도면1e



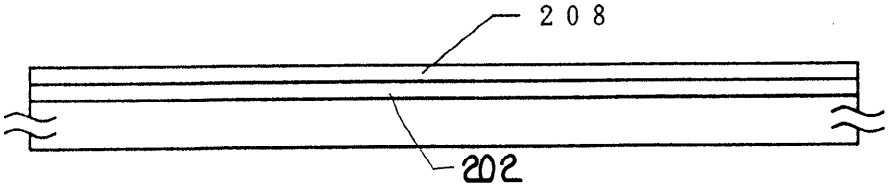
도면2a



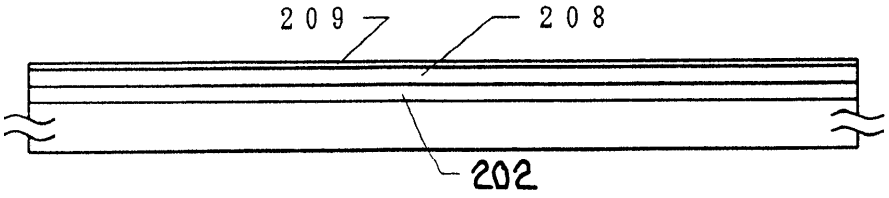
도면2b



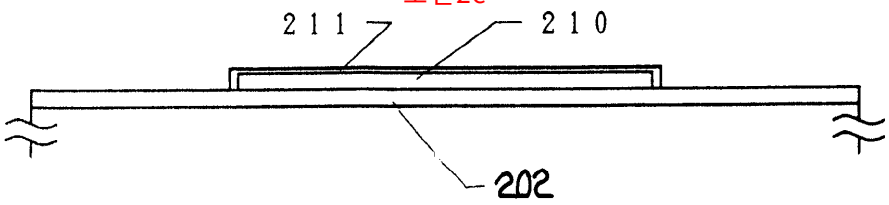
도면2c



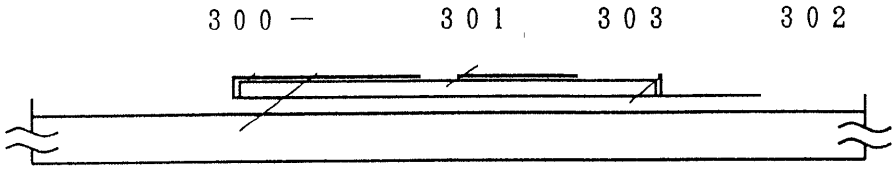
도면2d



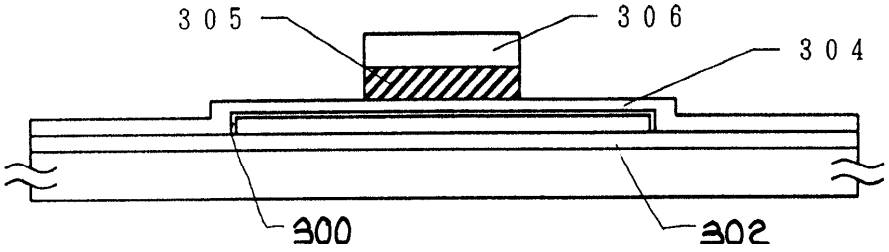
도면2e



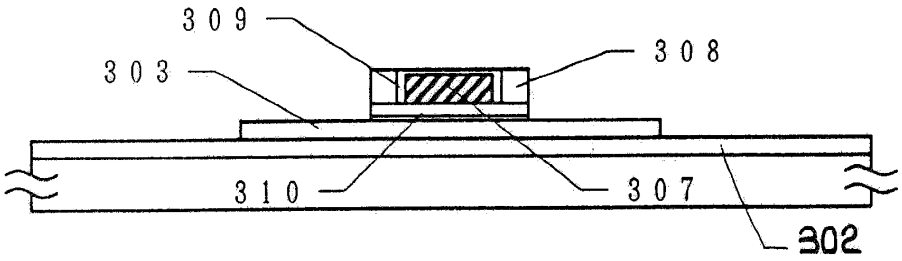
도면3a



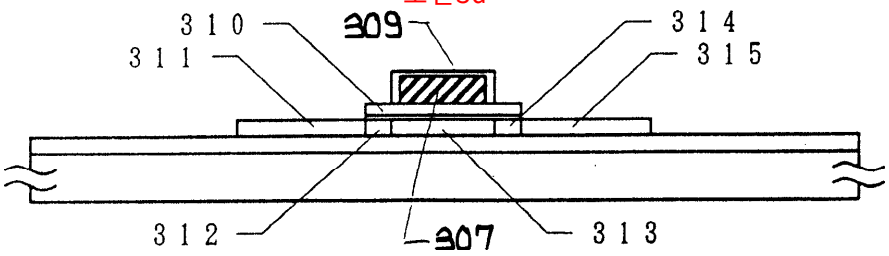
도면3b



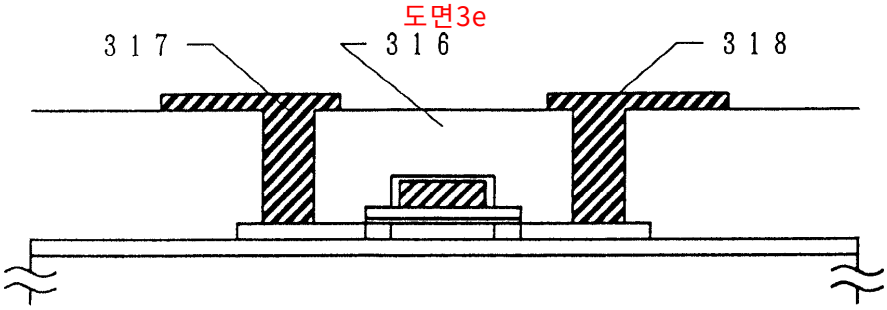
도면3c



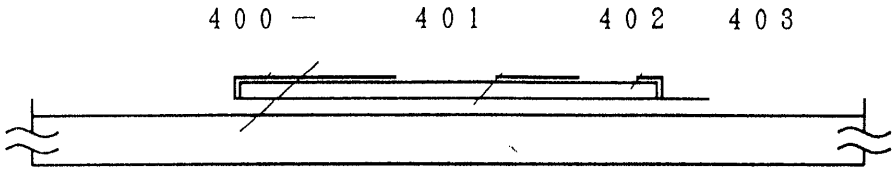
도면3d



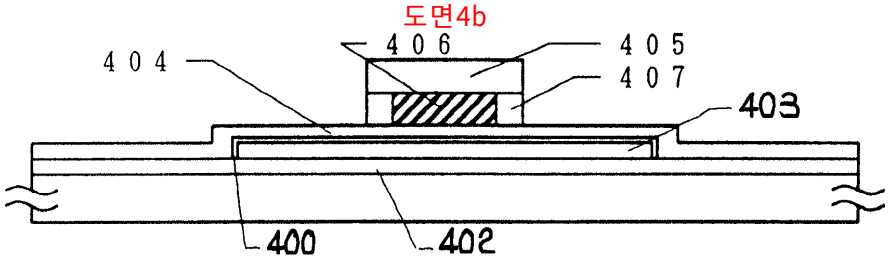
도면3e



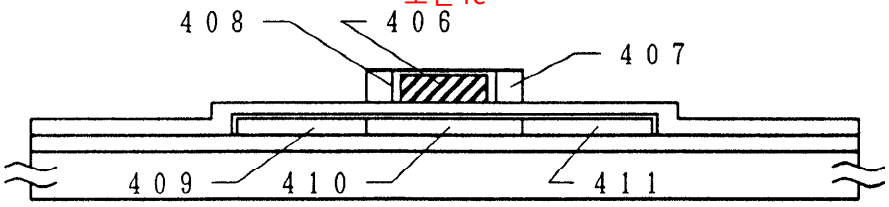
도면4a



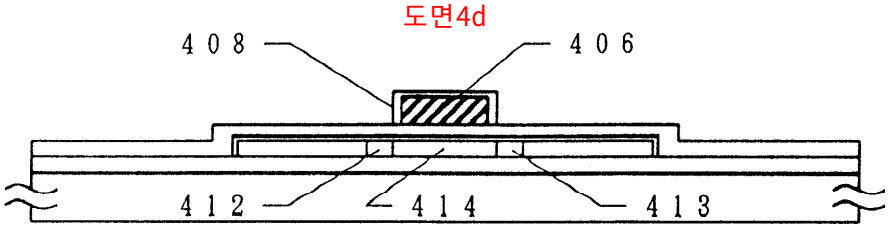
도면4b



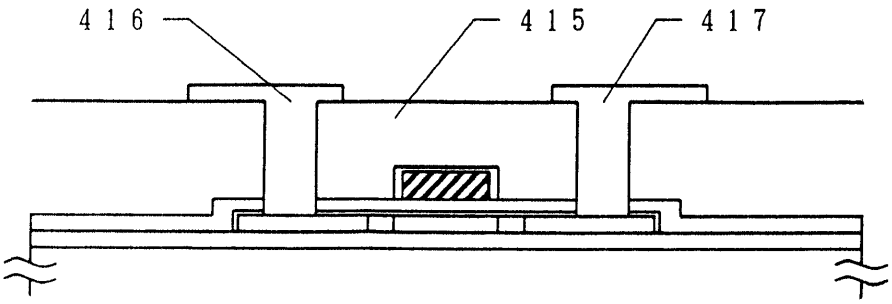
도면4c



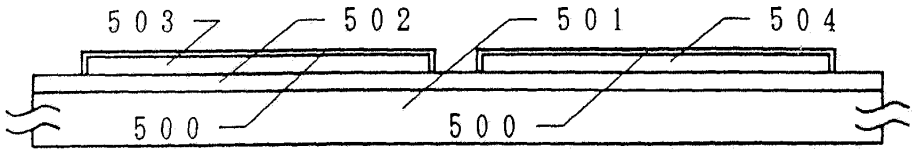
도면4d



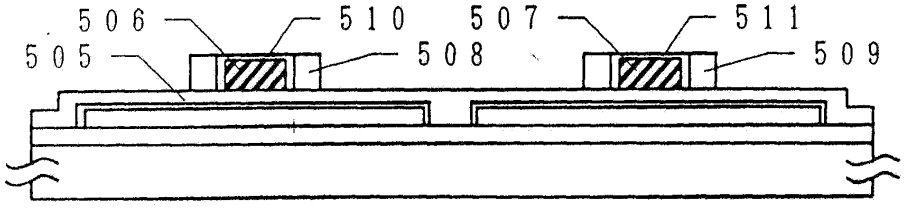
도면4e



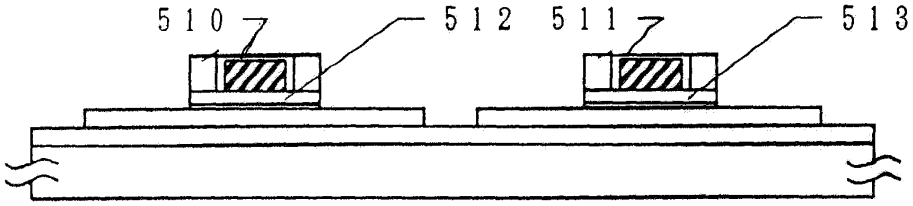
도면5a



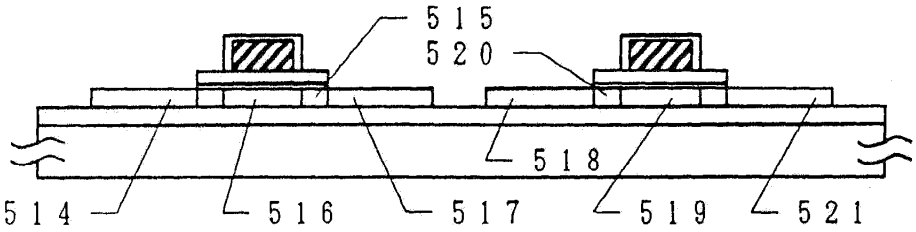
도면5b



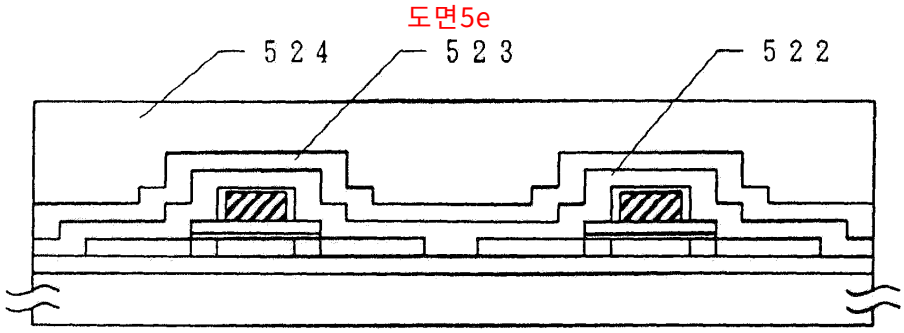
도면5c



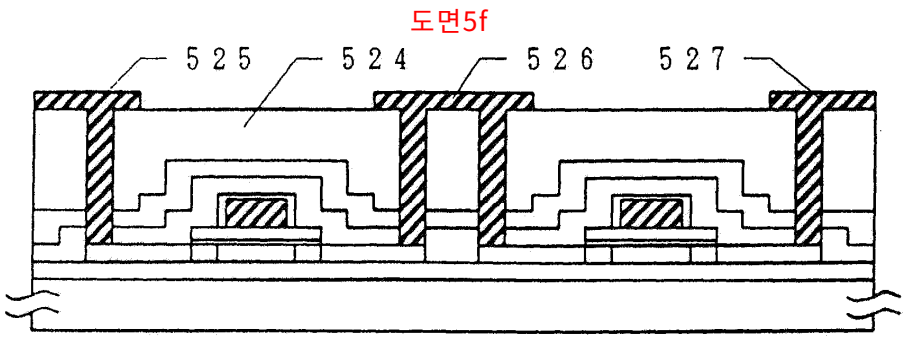
도면5d



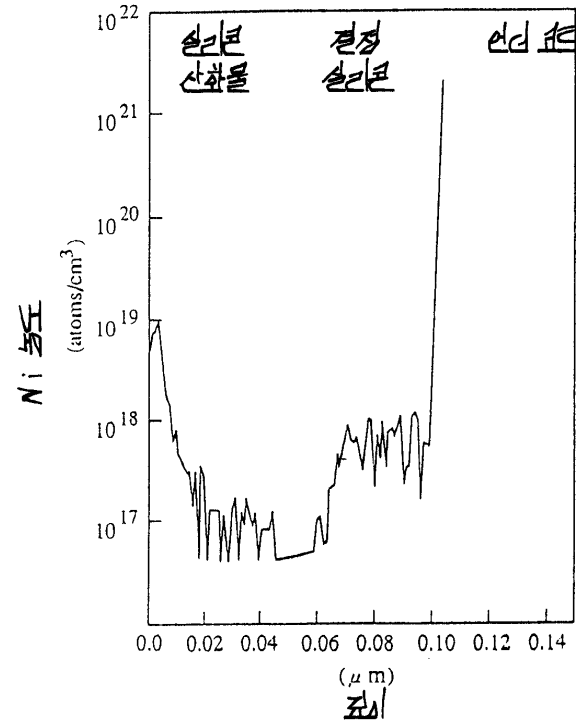
도면5e



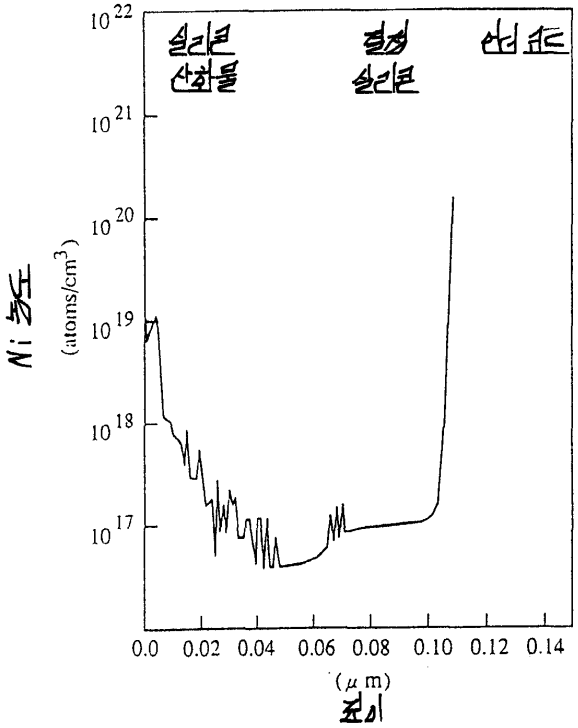
도면5f



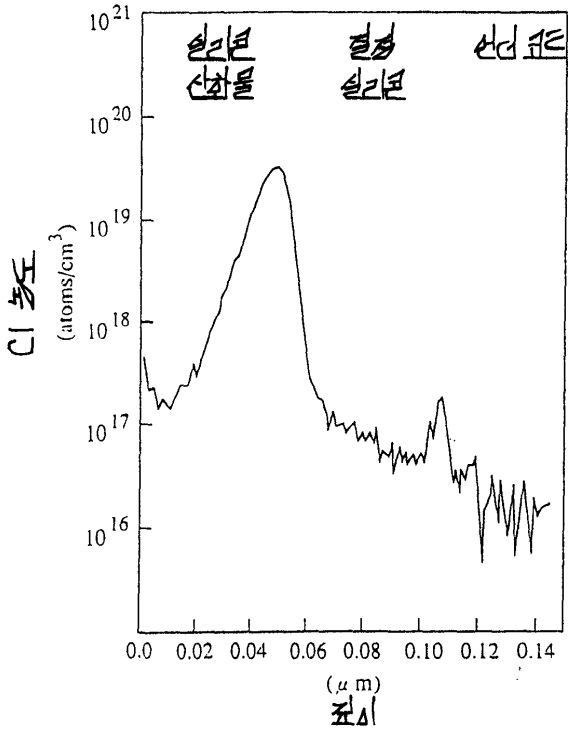
도면6


실리콘 산화물
결정 실리콘
Ni 농도
(atoms/cm3)
깊이
(μm)
0.0 0.02 0.04 0.06 0.08 0.10 0.12 0.14

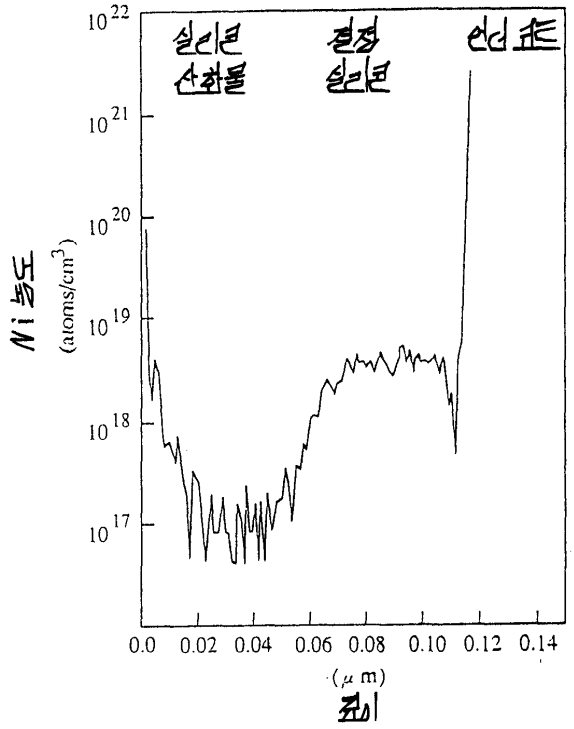
도면7


실리콘 산화물
결정 실리콘
Ni 농도
(atoms/cm3)
깊이
(μm)
0.0 0.02 0.04 0.06 0.08 0.10 0.12 0.14

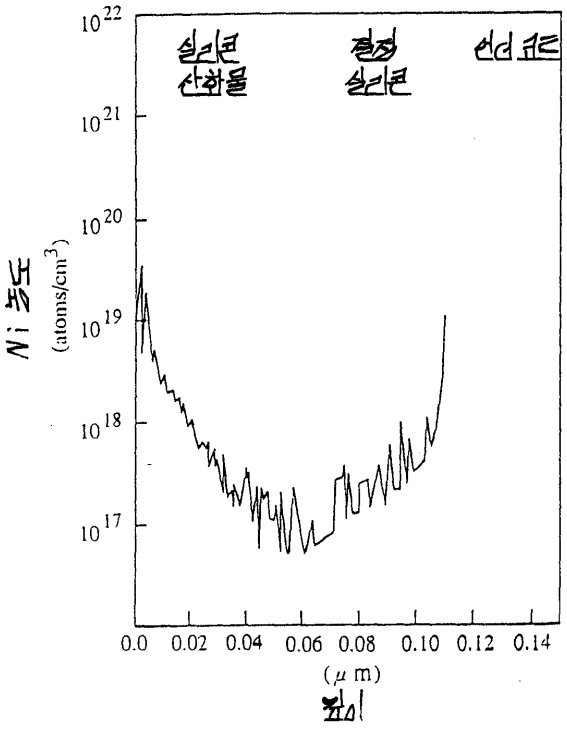
도면8


10^{21}
10^{20}
10^{19}
10^{18}
10^{17}
10^{16}
(atoms/cm^3)
0.0 0.02 0.04 0.06 0.08 0.10 0.12 0.14
(μm)

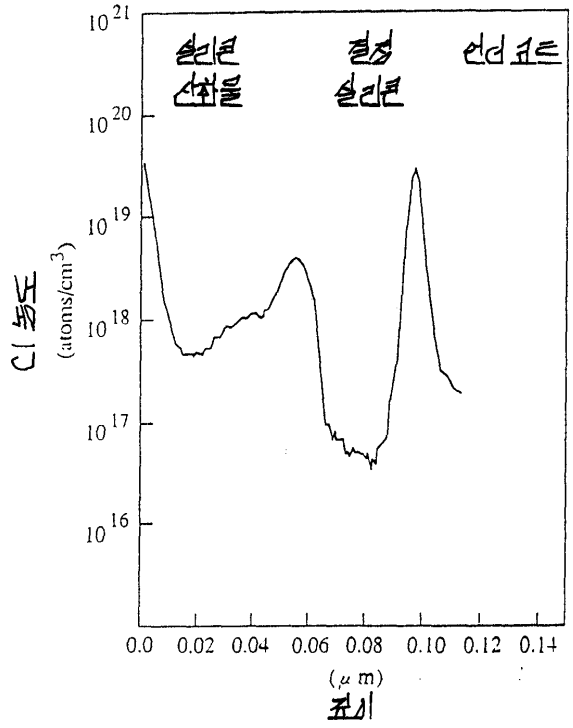
도면9


10^{22}
10^{21}
10^{20}
10^{19}
10^{18}
10^{17}
(atoms/cm^3)
0.0 0.02 0.04 0.06 0.08 0.10 0.12 0.14
(μm)

도면10


실리콘 산화물
결정 실리콘
언더 코트
Ni 농도
(atoms/cm3)
10^22
10^21
10^20
10^19
10^18
10^17
0.0 0.02 0.04 0.06 0.08 0.10 0.12 0.14
(μm)
깊이

도면11


실리콘 산화물
결정 실리콘
언더 코트
Cl 농도
(atoms/cm3)
10^21
10^20
10^19
10^18
10^17
10^16
0.0 0.02 0.04 0.06 0.08 0.10 0.12 0.14
(μm)
깊이