



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0114510  
(43) 공개일자 2016년10월05일

(51) 국제특허분류(Int. Cl.)  
*G06F 3/044* (2006.01) *G02F 1/1333* (2006.01)

*G02F 1/1335* (2006.01)

(52) CPC특허분류

*G06F 3/044* (2013.01)

*G02F 1/13338* (2013.01)

(21) 출원번호 10-2016-0031852

(22) 출원일자 2016년03월17일

심사청구일자 없음

(30) 우선권주장

JP-P-2015-060598 2015년03월24일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

히라카타 요시하루

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
구보타 다이스케

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)

(74) 대리인  
양영준, 박충범

전체 청구항 수 : 총 14 항

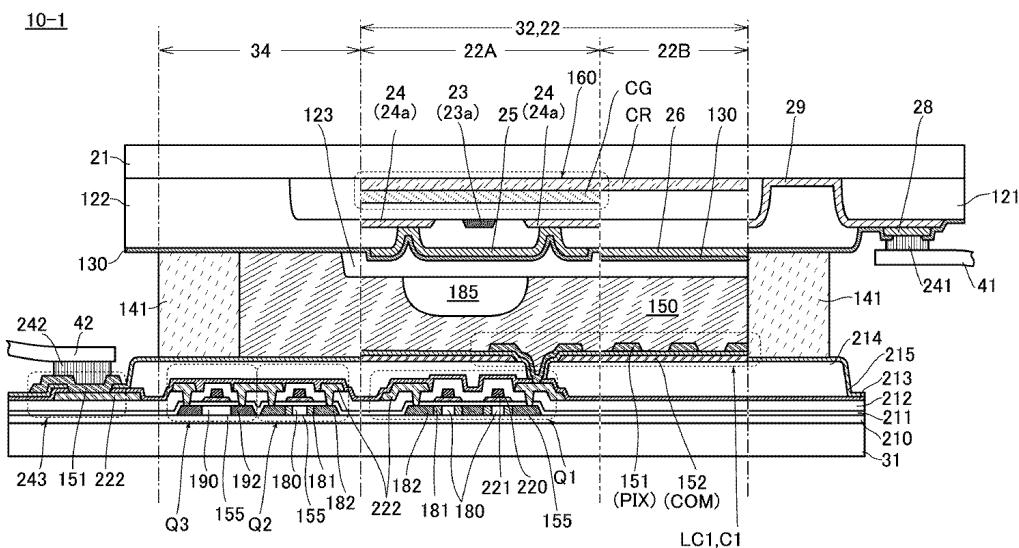
(54) 발명의 명칭 터치 패널

### (57) 요 약

터치 패널의 경량화를 도모한다.

표시 패널은 제1, 제2 기판을 갖는다. 제1 기판과 제2 기판의 사이에 액정층이 형성되어 있다. 제1 기판에는 액정 패널의 화소 전극, 공통 전극 및 트랜지스터 등이 설치되어 있다. 제2 기판에는 터치 센서가 설치되어 있다. 터치 센서는 제1 전극, 2개의 제2 전극, 제3 전극 및 제4 전극을 갖는다. 제1 전극과 2개의 제2 전극은 제1 도전막으로 형성되고, 제3 전극과 제4 전극은 제2 도전막으로 형성된다. 제1 전극은 제1 방향으로 연신되고, 2개의 제2 전극은, 제1 전극을 사이에 두고 제2 방향을 따라 설치되어 있다. 제3 전극은 2개의 제2 전극을 전기적으로 접속한다. 제4 전극은 액정층을 사이에 두고 화소 전극 및 공통 전극과 대향한다.

### 대 표 도



(52) CPC특허분류

*G02F 1/133512* (2013.01)

*G02F 1/133514* (2013.01)

*G06F 2203/04112* (2013.01)

(72) 발명자

**오카자키 ジェイチ**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

---

**야마자키 슌페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

터치 패널로서,

제1 기판;

제2 기판;

액정층;

화소 전극;

공통 전극; 및

제1 전극, 2개의 제2 전극, 제3 전극, 및 제4 전극을 포함하는 터치 센서

를 포함하고,

상기 제1 기판과 상기 제2 기판은 서로 대향하고,

상기 액정층은 상기 제1 기판과 상기 제2 기판 사이에 제공되고,

상기 제1 기판에 상기 화소 전극 및 상기 공통 전극이 제공되고,

상기 화소 전극과 상기 공통 전극 사이의 진계에 의해 상기 액정층의 배향이 제어되고,

상기 제2 기판에 상기 터치 센서가 제공되고,

상기 제1 전극 및 상기 2개의 제2 전극은 제1 도전막을 이용하여 형성되고,

상기 제3 전극 및 상기 제4 전극은 제2 도전막을 이용하여 형성되고,

상기 제1 전극 및 상기 2개의 제2 전극은 각각 복수의 개구를 갖는 메쉬 전극이고,

상기 제1 전극은 제1 방향으로 연신되고,

상기 2개의 제2 전극은 상기 제1 전극을 사이에 두고 제2 방향을 따라 제공되고,

상기 2개의 제2 전극은 상기 제3 전극에 의해 서로 전기적으로 접속되고,

상기 제3 전극은 상기 제1 전극과 중첩하는 영역을 포함하고,

상기 제4 전극은 상기 액정층을 사이에 두고 상기 화소 전극 및 상기 공통 전극과 대향하도록 제공되는, 터치 패널.

#### 청구항 2

제1항에 있어서,

상기 제2 도전막은 금속 산화물막을 포함하는, 터치 패널.

#### 청구항 3

제1항에 있어서,

상기 제2 기판에 차광층 및 컬러 필터가 제공되고,

상기 제1 전극 및 상기 2개의 제2 전극 각각에서, 상기 제1 도전막을 이용하여 형성된 부위가 상기 차광층과 중첩하고, 상기 복수의 개구는 상기 컬러 필터와 중첩하는, 터치 패널.

#### 청구항 4

제3항에 있어서,

상기 차광층 및 상기 컬러 필터는 동일한 층에 제공되는, 터치 패널.

#### 청구항 5

제3항에 있어서,

상기 차광층 및 상기 컬러 필터는 상이한 층에 제공되고,

상기 컬러 필터는 상기 제4 전극과 상기 제2 전극 사이에 제공되는, 터치 패널.

#### 청구항 6

제3항에 있어서,

상기 차광층 및 상기 컬러 필터는 상이한 층에 제공되고,

상기 컬러 필터는 상기 제4 전극과 상기 액정층 사이에 제공되는, 터치 패널.

#### 청구항 7

제3항에 있어서,

상기 컬러 필터는 적어도 3개의 착색층을 포함하고,

상기 차광층은 적어도 2색의 상기 착색층의 적층체를 포함하는, 터치 패널.

#### 청구항 8

터치 패널로서,

제1 기판;

상기 제1 기판 위의 화소 전극;

상기 화소 전극 위의 액정층;

제1 전극, 2개의 제2 전극, 제3 전극, 및 제4 전극을 포함하는, 상기 액정층 위의 터치 센서를 포함하고,

상기 2개의 제2 전극은 각각 복수의 개구를 포함하는 메쉬 전극이고,

상기 제1 전극은 상기 2개의 제2 전극 사이에 제공되고,

상기 2개의 제2 전극은 상기 제3 전극에 의해 서로 전기적으로 접속되고,

상기 제3 전극과 상기 제1 전극은 서로 중첩하고,

상기 제4 전극과 상기 화소 전극은 서로 중첩하는, 터치 패널.

#### 청구항 9

제8항에 있어서,

상기 제3 전극 및 상기 제4 전극 각각은 금속 산화물막을 포함하는, 터치 패널.

#### 청구항 10

제8항에 있어서,

차광층 및 컬러 필터를 더 포함하고,

상기 2개의 제2 전극과 상기 차광층은 서로 중첩하고,

상기 복수의 개구와 상기 컬러 필터는 서로 중첩하는, 터치 패널.

**청구항 11**

제10항에 있어서, 상기 차광층과 상기 컬러 필터는 동일한 층에 제공되는, 터치 패널.

**청구항 12**

제10항에 있어서,

상기 차광층 및 상기 컬러 필터는 상이한 층에 제공되고,

상기 컬러 필터는 상기 제4 전극 위에 제공되는, 터치 패널.

**청구항 13**

제10항에 있어서,

상기 차광층 및 상기 컬러 필터는 상이한 층에 제공되고,

상기 컬러 필터는 상기 제4 전극 아래에 제공되는, 터치 패널.

**청구항 14**

제10항에 있어서,

상기 컬러 필터는 적어도 3개의 착색층을 포함하고,

상기 차광층은 적어도 2색의 상기 착색층의 적층체를 포함하는, 터치 패널.

**발명의 설명****기술 분야**

[0001] 본 발명의 일 형태는 표시 장치, 터치 패널, 입력 장치 등의 반도체 장치에 관한 것이다. 또한, 본 명세서 등에 있어서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 표시 장치, 터치 패널, 입출력 장치, 활상 장치, 발광 장치 및 전자 기기는, 반도체 장치의 일 형태이다. 반도체 회로나, 표시 장치, 터치 패널 및 전자 기기 등의 장치는, 반도체 장치를 갖고 있는 경우가 있다.

**배경 기술**

[0002] 정보 단말기의 대형 화면화, 경량화 및 편리성을 위해, 키보드를 대신하는 입력 수단으로서, 터치 센서가 탑재되고 있다. 이러한 정보 단말기로서는, 스마트폰, 내비게이션 시스템, 태블릿형 정보 단말기, 전자 서적 단말기 등이 있다. 이들 정보 단말기에서는, 표시부에 중첩하여 터치 센서를 설치하기 때문에, 정보 단말기가 두꺼워진다고 하는 과제가 있다.

[0003] 이와 같은 과제를 해결하기 위해, 예를 들어 특허문헌 1에서는, 화상 표시를 위한 구동 회로가 제작되어 있는 기판과, 좌표 검출 소자가 제작되어 있는 기판을 대향시킴으로써, 박형화된 표시 장치를 제공할 수 있다고 되어 있다.

**선행기술문헌****특허문헌**

[0004] (특허문헌 0001) 일본 특허 공개 제2003-196023호

**발명의 내용****해결하려는 과제**

[0005] 본 발명의 일 형태의 과제는, 경량의 터치 패널을 제공하는 것, 또는 얇은 터치 패널을 제공하는 것, 또는 신규

의 반도체 장치를 제공하는 것이다.

### 과제의 해결 수단

[0006] 본 발명의 일 형태는, 제1 기판, 제2 기판, 액정층, 화소 전극, 공통 전극 및 터치 센서를 갖는 터치 패널이며, 제1 기판과 제2 기판은 서로 대향하고, 액정층은 제1 기판과 제2 기판의 사이에 형성되고, 화소 전극 및 공통 전극은 제1 기판에 설치되고, 화소 전극 및 공통 전극 사이의 전계에 의해, 액정층의 배향을 제어하는 것이 가능하게 되고, 터치 센서는 제2 기판에 설치되고, 터치 센서는 제1 전극, 2개의 제2 전극, 제3 전극 및 제4 전극을 갖고, 제1 전극과 2개의 제2 전극은 제1 도전막으로 형성되고, 제3 전극과 제4 전극은 제2 도전막으로 형성되고, 제1 전극과 2개의 제2 전극은 복수의 개구를 갖는 메쉬형의 전극이고, 제1 전극은 제1 방향으로 연신되고, 2개의 제2 전극은 제1 전극을 사이에 두고 제2 방향을 따라 설치되고, 2개의 제2 전극은 제3 전극에 의해 전기적으로 접속되고, 제3 전극은 제1 전극과 중첩하는 영역을 갖고, 제4 전극은 액정층을 사이에 두고 화소 전극 및 공통 전극과 대향하도록 설치되어 있는 터치 패널이다.

[0007] 또는, 상기 형태에 있어서, 제2 도전막은 금속 산화물을 가질 수 있다.

[0008] 또는, 상기 형태에 있어서, 제2 기판에는 차광층 및 컬러 필터가 설치되어도 된다. 이 경우, 제1 전극 및 2개의 제2 전극은, 각각 제1 도전막인 부위가 차광층과 중첩되고, 또한 복수의 개구가 컬러 필터와 중첩될 수 있다.

### 발명의 효과

[0009] 본 발명의 일 형태에 의해, 경량의 터치 패널을 제공하는 것, 또는 얇은 터치 패널을 제공하는 것, 신규의 반도체 장치를 제공하는 것이 가능하다.

### 도면의 간단한 설명

[0010] 도 1은 터치 패널 모듈의 구성예를 도시하는 도면.

도 2는 터치 센서의 구성예를 도시하는 도면.

도 3은 터치 센서의 구성예를 도시하는 도면.

도 4는 터치 센서, 컬러 필터 및 블랙 매트릭스의 레이아웃예를 설명하는 도면.

도 5는 터치 패널 모듈의 구성예를 도시하는 단면도.

도 6은 터치 패널 모듈의 구성예를 도시하는 단면도.

도 7은 터치 패널 모듈의 구성예를 도시하는 단면도.

도 8은 터치 패널 모듈의 구성예를 도시하는 단면도.

도 9는 터치 패널 모듈의 구성예를 도시하는 단면도.

도 10은 터치 패널 모듈의 구성예를 도시하는 단면도.

도 11은 트랜지스터의 구성예를 도시하는 상면도 및 단면도.

도 12는 트랜지스터의 구성예를 도시하는 상면도 및 단면도.

도 13은 트랜지스터의 구성예를 도시하는 상면도 및 단면도.

도 14는 트랜지스터의 구성예를 도시하는 상면도 및 단면도.

도 15는 트랜지스터의 구성예를 도시하는 상면도 및 단면도.

도 16은 트랜지스터의 구성예를 도시하는 단면도.

도 17은 터치 패널 모듈을 구비한 표시 모듈의 구성예를 도시하는 도면.

도 18은 전자 기기의 구성예를 설명하는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0011] 이하에, 본 발명의 실시 형태를 설명한다. 단, 본 발명의 일 형태는, 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명의 일 형태는, 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0012] 이하에 나타내는 복수의 실시 형태는 적절히 조합하는 것이 가능하다. 또한, 일 실시 형태 중에, 복수의 구성 예(제작 방법예, 동작 방법예 등도 포함함)가 개시되는 경우에는, 서로 구성예를 적절히 조합하는 것, 및 다른 실시 형태에 기재된 하나 또는 복수의 구성예와 적절히 조합하는 것도 가능하다.
- [0013] 도면에 있어서, 동일한 요소 또는 마찬가지 기능을 갖는 요소, 동일한 재질의 요소, 혹은 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있으며, 그 반복 설명은 생략하는 경우가 있다.
- [0014] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다.
- [0015] 또한, 본 명세서 등에 있어서의 「제1」, 「제2」 등의 서수사는, 구성 요소의 혼동을 피하기 위해 붙이는 경우가 있으며, 그 경우에는 수적으로 한정되는 것은 아니다.
- [0016] 또한, 「막」이라는 말과 「층」이라는 말은, 서로 바꿔 넣는 것이 가능한 경우가 있다. 예를 들어, 「도전층」이라는 용어를 「도전막」이라는 용어로 변경하는 것이나, 「절연막」이라는 용어를 「절연층」이라는 용어로 변경하는 것이 가능한 경우가 있다.
- [0017] [실시 형태 1]
- [0018] 본 실시 형태에서는, 입력 장치(터치 센서)의 구성예, 및 본 발명의 일 형태의 입력 장치와 표시 장치(표시 패널)를 구비하는 입출력 장치(터치 패널)의 구성예에 대하여 설명한다.
- [0019] 본 명세서 등에 있어서, 터치 패널은, 표시면에 화상 등을 표시(출력)하는 표시 기능과, 표시면에 손가락이나 스타일러스 등의 피검지체가 접촉하거나, 또는 근접하는 것을 검지하는 터치 센서의 기능을 갖는다. 따라서, 터치 패널은 입출력 장치의 일 형태이다.
- [0020] 본 명세서 등에서는 터치 패널의 기판에, 예를 들어 FPC(Flexible Printed Circuit) 혹은 TCP(Tape Carrier Package) 등의 커넥터가 설치된 것, 또는 기판에 COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 실장된 것을, 터치 패널 모듈, 또는 간단히 터치 패널이라고 칭하는 경우가 있다.
- [0021] 이하에서는, 본 발명의 일 형태의 터치 센서로서, 정전 용량 방식의 터치 센서를 적용한 경우에 대하여 설명한다. 정전 용량 방식에는 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 투영형 정전 용량 방식에는, 주로 구동 방식의 차이로부터 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 이용하면, 동시에 다점 검출이 가능하게 되므로 바람직하다.
- [0022] 정전 용량 방식의 터치 센서는, 유전체를 사이에 두는 한 쌍의 도전층을 구비한다. 이들에 의해 용량이 형성된다. 한 쌍의 도전층에 피검지체가 접촉하거나 또는 근접함으로써, 한 쌍의 도전층간의 용량 크기가 변화하는 것을 이용하여 검지를 행할 수 있다. 한 쌍의 도전층은, 각각 개구를 갖는 것이 바람직하다. 복수의 개구를 갖는 메쉬형의 형상을 갖는 것이 보다 바람직하다. 당해 개구와, 표시 소자가 서로 중첩하도록 배치하는 구성으로 하는 것이 바람직하다. 이와 같이 함으로써, 표시 소자로부터의 광이 당해 개구를 통하여 외부로 사출되므로, 한 쌍의 도전층은 투광성을 가질 필요가 없어진다. 따라서, 한 쌍의 도전층의 재료에, 투광성 도전성 재료보다 저저항의 금속이나 합금 등의 재료를 선택하는 것이 가능하게 된다. 따라서, 검출 신호의 지연이 저감되어, 터치 패널의 검출 감도를 높일 수 있다. 또한, 터치 센서의 대형화가 용이하게 되므로, 휴대형 전자 기기뿐만 아니라 텔레비전 등의 대형 화면을 갖는 전자 기기에도, 터치 센서를 적절히 적용할 수 있다.
- [0023] 터치 센서의 한 쌍의 도전층이 메쉬형의 형상을 갖는 경우, 한 쌍의 도전층은 표시 소자로부터의 광의 광로를 피하여 배치되게 되므로, 원리적으로 무아례가 발생하지 않는다고 하는 효과를 발휘한다. 그로 인해, 극히 표시 품위가 높은 터치 패널을 실현할 수 있다. 여기서 무아례란, 2 이상의 주기성을 갖는 패턴을 중첩했을 때 발생하는 간섭 줄무늬를 말한다.
- [0024] 터치 패널의 표시 장치는, 액티브 매트릭스형 표시 장치로 구성하는 것이 바람직하다. 표시 장치의 표시 소자로서는 액정 소자, MEMS(Micro Electro Mechanical System)를 이용한 광학 소자, 유기 EL(Electro Luminescence) 소자나 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자, 전기 영동 소자 등, 다양한

표시 소자를 사용할 수 있다.

[0025] 터치 패널의 표시 장치에는, 액정 소자를 사용한 반사형 액정 표시 장치를 적용하는 것이 바람직하다. 반사형 액정 표시 장치를 사용함으로써, 투과형 액정 표시 장치에 비하여 소비 전력을 현저하게 저감시키는 것이 가능하게 된다.

[0026] 또한, 터치 센서를 구성하는 한 쌍의 도전층을, 터치 패널이 갖는 한 쌍의 기판의 내측에 배치하는 것이 바람직하다. 이때 특히, 터치 센서를 구성하는 도전층으로서 복수의 개구를 갖는 형상으로 하는 것이 바람직하다. 이러한 도전층은 그 표면적을 저감할 수 있다. 그로 인해 예를 들어 개구를 갖지 않는 투광성을 갖는 도전막을 사용한 경우에 비하여, 표시 소자를 구동시킬 때의 전기적인 노이즈가 터치 센서를 구성하는 도전층으로 전달되기 어려운 구성으로 할 수 있다. 즉, 한 쌍의 기판 사이에 표시 소자와 터치 센서를 구성하는 도전막의 양쪽을 협지해도, 높은 겹지 감도를 실현할 수 있다. 그 결과, 얇은 두께와, 높은 겹지 감도가 양립된 터치 패널을 실현할 수 있다.

[0027] 터치 센서를 구성하는 한 쌍의 도전층이 형성되는 기판에, 정전위를 공급 가능한 도전층을 형성해도 된다. 이러한 도전층은 실드층으로서 기능시킬 수 있다. 구체적으로는, 당해 도전층에 의해, 표시 소자를 구동하는 회로로부터의 노이즈가 터치 센서로 전달되는 것을 방지할 수 있다. 당해 도전층에 의해, 터치 센서를 구동했을 때의 노이즈가, 표시 소자나 표시 소자를 구동하는 회로 등으로 전달되는 것을 방지할 수도 있다. 그로 인해, 예를 들어 표시 소자를 구동하는 타이밍과, 터치 센서를 구동하는 타이밍을 어긋나게 함으로써 노이즈의 영향을 억제하는 등과 같은 대책을 강구하지 않고, 표시 패널과 터치 센서를 양쪽 모두 구동시키는 것이나, 이들을 독립적으로 구동하는 것 등이 가능하게 된다. 따라서, 예를 들어 표시 소자의 구동 주파수(프레임 레이트라고도 함)를 높임으로써 매끄러운 통화상 표시를 행할 수 있다. 또한, 예를 들어 터치 센서의 구동 주파수를 높게 함으로써, 겹출 정밀도를 높이는 것이 가능하게 된다. 표시 소자의 구동 주파수와, 터치 센서의 구동 주파수를 각각 개별적으로 자유롭게 설정할 수 있다. 예를 들어, 상황에 따라 어느 한쪽 또는 양쪽의 구동 주파수를 낮게 설정하는 기간을 둘으로써, 소비 전력의 저감을 도모하는 것도 가능하게 된다.

[터치 패널 모듈의 구성예]

[0029] 도 1의 (A)는 본 발명의 일 형태의 터치 패널 모듈(10)의 사시 개략도이다. 도 1의 (B)는 터치 패널 모듈(10)의 분해 사시 개략도이다. 터치 패널 모듈(10)은 기판(31)과 기판(21)이 접합된 구성을 갖는다. 터치 센서(22)는 기판(21)측에 설치되어 있다. 기판(31)에는 표시 패널을 구성하는 회로가 설치되어 있다.

[0030] 기판(21)에는 배선(29), FPC(41)가 설치되어 있다. 기판(21)의 기판(31)과 대향하는 측의 면에, 터치 센서(22)가 설치되어 있다. 터치 센서(22)는 전극(23 내지 25) 등을 갖는다. 배선(29)은 이를 전극과 FPC(41)를 전기적으로 접속한다. FPC(41)에 의해, 터치 센서(22)에 외부 신호나 전력이 공급되고, 터치 센서(22)에서 생성된 신호가 외부로 출력된다. 또한, FPC(41)를 구비하지 않는 형태도, 터치 패널 모듈 또는 터치 패널이라고 칭하는 경우가 있다.

[0031] 터치 센서(22)가 형성된 기판(21)은, 단체로 터치 센서 기판, 또는 터치 패널 모듈로서 기능할 수 있다. 그로 인해, 예를 들어 이러한 기판을 표시 패널의 표시면측에 부착함으로써, 터치 패널을 형성할 수도 있다.

[0032] 터치 센서(22)는 복수의 전극(23), 복수의 전극(24) 및 복수의 전극(25)을 갖는다. 전극(23)은 일 방향으로 연신된 형상을 갖는다. 복수의 전극(23)은 연신 방향과 교차하는 방향을 따라 배치되어 있다. 여기서는, 복수의 전극(23)의 연신 방향을 「Y 방향」이라고 칭하고, Y 방향과 교차하는 방향(복수의 전극(23)의 배치 방향)을 「X 방향」이라고 칭하기로 한다. 복수의 전극(24)은, 인접하는 2개의 전극(23) 사이에 위치하도록 설치되어 있다. 전극(25)은, X 방향에서 인접하는 2개의 전극(24)을 전기적으로 접속한다. 따라서, 전극(25)에 의해 전기적으로 접속되어 있는 복수의 전극(24)은 X 방향으로 연신된 하나의 도전층을 구성한다. 전극(23)과 전극(25)은 서로 중첩하는 영역을 갖는다. 전극(23)과 전극(25) 사이에는 절연층이 형성되어 있다.

[0033] 인접하는 전극(23)과 전극(24) 사이에는 용량이 형성되어 있다. 예를 들어, 투영형 정전 용량 방식의 방법을 사용하는 경우에는, 전극(23)과 전극(24) 중 한쪽을 송신측의 전극으로서, 다른 쪽을 수신측의 전극으로서 사용할 수 있다.

[0034] 또한, 전극(23), 전극(24), 전극(25)에 사용할 수 있는 재료는, 저항률이 낮은 것이 바람직하다. 예를 들어, 은, 구리, 알루미늄 등의 금속을 사용할 수 있다. 매우 미세한(예를 들어, 직경이 수나노미터) 다수의 도전체를 사용하여 구성되는 금속 나노와이어를 사용해도 된다. 일례로서는 Ag 나노와이어, Cu 나노와이어, Al 나노와이어 등을 사용해도 된다. Ag 나노와이어의 경우, 예를 들어 광투과율은 89% 이상, 시트 저항값은 40Ω/□

이상 100Ω/□ 이하를 실현할 수 있다. 터치 패널 모듈(10)을 구성하는 배선이나 전극을 이들 재료로 형성할 수 있다. 또한, 이러한 금속 나노와이어는 투과율이 높기 때문에, 표시 소자에 사용하는 전극, 예를 들어 화소 전극이나 공통 전극에, 당해 금속 나노와이어를 사용해도 된다.

[0035] 기판(31) 위에는 표시부(32), 회로(34) 및 배선(35)이 설치되어 있다. 배선(35)은 FPC(42)와 전기적으로 접속되어 있다. FPC(42) 및 배선(35)을 통하여, 표시부(32) 및 회로(34)에 외부로부터 신호 및 전력이 공급된다. 표시부(32)에는, 복수의 화소(33)가 매트릭스형으로 배치되어 있다.

[0036] 표시부(32)에서 컬러 표시를 행하는 경우, 화소(33)는, 상이한 색을 표시하는 복수의 부화소를 포함한다. 예를 들어, 화소(33)는, 상이한 색을 표시하는 3개의 부화소(33R, 33G, 33B)로 구성할 수 있다. 부화소(33R), 부화소(33G), 부화소(33B)의 표시색은, 각각 적색, 녹색, 청색이다.

[0037] 회로(34)는, 표시부(32)와 동일 공정에서 기판(31)에 제작된다. 회로(34)로서는, 예를 들어 게이트 구동 회로를 기판(31)에 설치하면 된다. 또한, 소스 구동 회로도 기판(31)에 설치해도 된다. 표시부(32)를 구동하기 위한 일부 회로를 IC 칩에 내장하고, 이 IC 칩을 COG 방식에 의해 기판(31)에 실장해도 되고, IC 칩이 실장된 FPC, TAB 또는 TCP 등을 기판(31)에 설치할 수도 있다.

[0038] 기판(21, 31)에는 평탄면을 갖는 재료를 사용할 수 있다. 표시 소자로부터의 광을 취출하는 측의 기판에는, 상기 광을 투과하는 재료를 사용한다. 예를 들어, 유리, 석영, 세라믹, 사파이어, 유기 수지 등의 재료를 사용할 수 있다. 유리로서는, 예를 들어 무알칼리 유리, 바륨붕규산 유리, 알루미노붕규산 유리 등을 사용할 수 있다. 가요성 및 가시광에 대한 투과성을 갖는 재료로서는, 예를 들어 가요성을 가질 정도의 두께의 유리나, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스테르 수지, 폴리아크릴로니트릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카르보네이트(PC) 수지, 폴리에테르술폰(PES) 수지, 폴리아미드 수지, 시클로올레핀 수지, 폴리스티렌 수지, 폴리아미드이미드 수지, 폴리염화비닐 수지, 폴리테트라플루오로에틸렌(PTFE) 수지 등을 들 수 있다. 특히, 열팽창 계수가 낮은 재료를 사용하는 것이 바람직하며, 예를 들어 폴리아미드이미드 수지, 폴리이미드 수지, PET 등을 적절히 사용할 수 있다. 또한, 유리 섬유에 유기 수지를 함침한 기판이나, 무기 필러를 유기 수지에 섞어 열팽창 계수를 낮춘 기판을 사용할 수도 있다. 이러한 재료를 사용한 기판은, 중량이 가볍기 때문에, 상기 기판을 사용한 터치 패널도 경량으로 할 수 있다.

[0039] 얇은 기판을 사용함으로써, 터치 패널의 경량화, 박형화를 도모할 수 있다. 또한, 가요성을 가질 정도의 두께의 기판을 사용함으로써, 가요성을 갖는 터치 패널을 실현할 수 있다.

[0040] 또한, 발광을 취출하지 않는 측의 기판은, 투광성을 갖고 있지 않아도 되므로, 상기에 예시한 기판 외에, 금속 재료나 합금 재료를 사용한 금속 기판, 세라믹 기판 또는 반도체 기판 등을 사용할 수도 있다. 금속 재료나 합금 재료는 열전도성이 높고, 밀봉 기판 전체에 열을 용이하게 전도할 수 있기 때문에, 터치 패널의 국소적인 온도 상승을 억제할 수 있어 바람직하다. 가요성이나 굽힘성을 얻기 위해서는, 금속 기판의 두께는 10μm 이상 200μm 이하가 바람직하고, 20μm 이상 50μm 이하인 것이 보다 바람직하다. 금속 기판을 구성하는 재료로서는, 특별히 한정은 없지만, 예를 들어 알루미늄, 구리, 니켈, 또는 알루미늄 합금 혹은 스테인리스 등의 금속의 합금 등을 적절히 사용할 수 있다.

[0041] 또한, 도전성 기판의 표면을 산화하거나, 또는 표면에 절연막을 형성하는 등에 의해, 절연 처리가 실시된 기판을 사용해도 된다. 예를 들어, 스판 코팅법이나 침지법 등의 도포법, 전착법, 증착법, 또는 스퍼터링법 등을 사용하여 절연막을 형성해도 되고, 산소 분위기에서 방치하거나 또는 가열하는 것 외에, 양극 산화법 등에 의해 기판 표면에 산화막을 형성해도 된다.

[0042] 가요성을 갖는 기판으로서는, 상기 재료를 사용한 층이, 터치 패널의 표면을 흠집 등으로부터 보호하는 하드 코팅층(예를 들어, 질화실리콘층 등)이나, 가압을 분산 가능한 재질의 층(예를 들어, 아라미드 수지층 등) 등과 적층되어 구성되어도 된다. 또한, 수분 등에 의한 표시 소자의 수명 저하 등을 억제하기 위해, 질화실리콘막, 산화질화실리콘막 등의 질소와 규소를 포함하는 막이나, 질화알루미늄막 등의 질소와 알루미늄을 포함하는 막 등의 투수성이 낮은 절연막을 가져도 된다.

[0043] 기판은 복수의 층을 적층하여 사용할 수도 있다. 특히, 유리층을 갖는 구성으로 하면, 물이나 산소에 대한 배리어성을 향상시켜, 신뢰성이 높은 터치 패널로 할 수 있다.

[0044] 예를 들어, 유리층, 접착층 및 유기 수지층의 순서로 적층된 기판을 사용할 수 있다. 당해 유리층의 두께는 20μm 이상 200μm 이하, 바람직하게는 25μm 이상 100μm 이하로 한다. 이러한 두께의 유리층은, 물이나 산소에 대한 높은 배리어성과 가요성을 동시에 실현할 수 있다. 또한, 유기 수지층의 두께는 10μm 이상 200μm 이하, 바

람직하게는  $20\mu\text{m}$  이상  $50\mu\text{m}$  이하로 한다. 이러한 유기 수지층을 형성함으로써, 유리층의 깨짐이나 크랙을 억제하여, 기계적 강도를 향상시킬 수 있다. 이러한 유리 재료와 유기 수지의 복합 재료를 기판에 적용함으로써, 극히 신뢰성이 높은 유연한 터치 패널(10)로 할 수 있다.

[0045] 터치 패널 모듈(10)의 도전층에 사용하는 재료로서는 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈륨 또는 텉스텐 등의 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용할 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막 위에 알루미늄막을 적층하는 2층 구조, 텉스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 텉스텐막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화티타늄막과, 그 티타늄막 또는 질화티타늄막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티타늄막 또는 질화티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화몰리브덴막과, 그 몰리브덴막 또는 질화몰리브덴막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화인듐, 산화주석 또는 산화아연을 포함하는 투명 도전 재료를 사용해도 된다. 또한, 망간을 포함하는 구리를 사용하면, 예치에 의한 형상의 제어성이 높아지므로 바람직하다.

[0046] 또한, 투광성을 갖는 도전성 재료로서는 산화인듐, 인듐주석 산화물, 인듐아연 산화물, 산화아연, 갈륨을 첨가한 산화아연 등의 도전성 산화물 또는 그래핀을 사용할 수 있다. 또는, 금, 은, 백금, 마그네슘, 니켈, 텉스텐, 크롬, 몰리브덴, 철, 코발트, 구리, 팔라듐 또는 티타늄 등의 금속 재료나, 그 금속 재료를 포함하는 합금 재료를 사용할 수 있다. 또는, 상기 금속 재료의 질화물(예를 들어, 질화티타늄) 등을 사용해도 된다. 또한, 금속 재료, 합금 재료(또는 그들의 질화물)를 사용하는 경우에는, 투광성을 가질 정도로 얇게 하면 된다. 또한, 상기 재료의 적층막을 도전층으로서 사용할 수 있다. 예를 들어, 은과 마그네슘의 합금과 인듐주석 산화물의 적층막 등을 사용하면, 도전성을 높일 수 있기 때문에 바람직하다.

[0047] 터치 패널 모듈(10)에 사용되는 절연 재료로서는, 예를 들어 아크릴 수지, 에폭시 수지, 폴리이미드 수지, 실록산 결합을 갖는 수지 등의 수지 재료, 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄 등의 무기 절연 재료를 사용할 수 있다.

[0048] 표시 패널을 액정 패널로 하는 경우, 여러가지 모드의 액정 패널을 적용할 수 있다. 액정 패널에는, 예를 들어 VA(Vertical Alignment) 모드, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등이 적용된 액정 소자를 사용할 수 있다.

[0049] 또한, 터치 패널 모듈(10)에 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치를 적용해도 된다. 수직 배향 모드로서는 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 사용할 수 있다.

[0050] 액정 소자는, 액정의 광학적 변조 작용에 의해 광의 투과 또는 비투과를 제어하는 소자이다. 또한, 액정의 광학적 변조 작용은, 액정에 걸리는 전계(횡방향의 전계, 종방향의 전계 또는 경사 방향의 전계를 포함함)에 의해 제어된다. 액정 소자에 사용하는 액정으로서는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC: Polymer Dispersed Liquid Crystal), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라 콜레스테릭상, 스벡터상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다.

[0051] 또한, 액정 재료로서는 포지티브형 액정 또는 네가티브형 액정의 어느 것을 사용해도 되며, 적용하는 모드나 설계에 따라 최적의 액정 재료를 사용하면 된다.

[0052] 또한, 횡전계 모드를 채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용해도 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현되므로, 온도 범위를 개선하기 위해 수 중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 빠르고, 광학적 등방성이다. 또한, 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 배향 처리가 불필요하며, 시야각 의존성이 작다. 또한, 배향막을 설치하지 않아도 되므로 러빙 처리도 불필요하게 되기 때문에, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다.

- [0053] 도 2의 (A), 도 2의 (B)는 터치 패널의 구성예를 설명하기 위한 평면도이다. 도 2의 (A)에는 전극(23)과 전극(24)의 레이아웃예를 도시한다. 도 2의 (B)는 전극(23)과 전극(25)의 교차 부분을 모식적으로 도시한 도면이다.
- [0054] 전극(23)과 전극(24)은, 기판(21)의 동일한 절연 표면 위에 설치되어 있다. 전극(23), 전극(24)은 동일한 공정에서 형성된다. 절연 표면 위에 도전막(161)을 형성하고, 도전막(161)을 가공함으로써, 이들이 형성된다.
- [0055] 전극(23)은, 터치 센서(22)의 Y 방향 전극으로서 기능한다. 전극(23)은, 복수의 전극(23A)이 Y 방향으로 배열된 구조를 갖는다. 전극(23A)은 사각 형상이며, 격자형으로 배치된 복수의 배선(23a)으로 이루어진다. 전극(24)은 전극(23A)과 마찬가지 구조이며, 격자형으로 배치된 복수의 배선(24a)으로 구성되어 있다. 터치 센서(22)의 X 방향 전극은, 복수의 전극(25)에 의해 접속된 복수의 전극(24a)으로 구성되게 된다.
- [0056] 전극(23) 및 전극(24)은 사각형의 메쉬 전극(그물눈형 전극)이라고 칭할 수 있다. 전극(23), 전극(24)을 이러한 구조로 함으로써, 터치 센서(22)를 통하여, 표시부(32)에서 표시되는 화상을 보는 것이 가능하다. 따라서, 전극(23), 전극(24)은 광의 투과성을 갖지 않아도 되므로, 도전막(161)에는 금속, 합금, 금속 화합물 등의 저항률이 낮은 도전체막을 적용할 수 있다.
- [0057] 배선(23a), 배선(24a)의 폭은 50nm 이상  $100\mu\text{m}$  이하로 할 수 있다. 이들 폭은  $1\mu\text{m}$  이상  $50\mu\text{m}$  이하가 바람직하고,  $1\mu\text{m}$  이상  $20\mu\text{m}$  이하가 보다 바람직하다. 이와 같이 배선(23a), 배선(24a)의 폭을 작게 함으로써, 표시부(32)의 화소(33)의 간격을 좁히는 것이 가능하게 되므로, 표시부(32)의 개구율이 향상된다. 따라서, 고정밀도의 표시부(32)를 실현할 수 있다. 전극(23)의 개구율(단위 면적당 전극(23)의 개구 면적의 비율)은 20% 이상 100% 미만으로 할 수 있다. 개구율은 30% 이상 100% 미만이 바람직하고, 50% 이상 100% 미만이 보다 바람직하다. 전극(24)도 마찬가지이다.
- [0058] 전극(23, 24)을 덮어 절연층(27)이 형성되어 있다. 절연층(27) 위에 전극(25) 및 전극(26)이 형성된다. 전극(25)과 전극(26)은 동일한 공정에서 형성된다. 절연층(27) 위의 도전막(162)을 형성하고, 도전막(162)을 부분적으로 제거하고, 복수의 개구(162a)를 형성함으로써, 하나의 전극(26)에 대하여 복수의 전극(25)이 형성된다.
- [0059] 전극(25)과 전극(26)은 화소(33)의 표시 영역과 중첩되기 때문에, 도전막(162)은 투광성을 갖는 막으로 한다. 따라서, 도전막(162)은 산화인듐, 인듐주석 산화물, 인듐아연 산화물, 산화아연, 갈륨을 첨가한 산화아연 등의 도전성 금속 산화물로 형성할 수 있다. 또한, In-Zn-Ga 산화물 등의 산화물 반도체라고 불리고 있는 금속 산화물을 저저항화함으로써, 도전막(162)에 사용할 수 있다.
- [0060] 도전막(162)에 사용할 수 있는 금속 산화물은, 산소 결손 및 / 또는 막 내의 수소, 물 등의 불순물 농도에 따라, 저항률을 제어할 수 있는 재료이다. 이러한 금속 산화물에는, 예를 들어 In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce 또는 Hf 등의 금속)이 있다. 금속 산화물의 산소 결손 및 / 또는 불순물 농도가 증가하는 처리를 행함으로써, 금속 산화물의 저항률을 낮게 할 수 있다. 예를 들어, 도전막(162)을 금속 산화물로 형성하는 경우, 도전막(162)의 수소 농도는  $8 \times 10^{19} \text{ atoms/cm}^3$  이상, 바람직하게는  $1 \times 10^{20} \text{ atoms/cm}^3$  이상, 보다 바람직하게는  $5 \times 10^{20} \text{ atoms/cm}^3$  이상이다.
- [0061] 이온 주입법, 이온 도핑법, 플라즈마 이온화 전 이온 임플랜테이션법 등을 사용하여, 수소, 붕소, 인, 또는 질소를 금속 산화물에 주입함으로써, 금속 산화물의 저저항화가 가능하다.
- [0062] 또한, 수소를 방출하는 것이 가능한 절연막(대표적으로는 질화실리콘막)을 금속 산화물막에 접하여 형성하고, 가열 처리에 의해 저저항의 금속 산화물막을 형성할 수 있다. 이것은 절연막으로부터 금속 산화물막으로 수소를 공급할 수 있기 때문이다. 수소를 방출하는 것이 가능한 절연막은, 막 내의 함유 수소 농도가  $1 \times 10^{22} \text{ atoms/cm}^3$  이상이면 바람직하다. 이러한 절연막을 금속 산화물막에 접하여 형성함으로써, 금속 산화물막에 효과적으로 수소를 함유시킬 수 있다.
- [0063] 금속 산화물막에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응하여 물로 됨과 함께, 산소가 탈리한 격자(또는 산소가 탈리한 부분)에 산소 결손을 형성한다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합함으로써, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함되어 있는 절연막과 접하여 형성된 금속 산화물막은, 수소가 포함되어 있는 절연막과 접하지 않은 금속 산화물막보다 캐리어 밀도를 높게 할 수 있다.
- [0064] 또한, 플라즈마 처리에 의해 금속 산화물막을 저저항화할 수 있다. 예를 들어, 플라즈마 처리로서는 희가스

(He, Ne, Ar, Kr, Xe), 수소 및 질소 중에서 선택된 1종 이상을 포함하는 가스를 사용한 플라즈마 처리를 들 수 있다. 보다 구체적으로는, Ar 분위기하에서의 플라즈마 처리, Ar과 수소의 혼합 가스 분위기하에서의 플라즈마 처리, 암모니아 분위기하에서의 플라즈마 처리, Ar과 암모니아의 혼합 가스 분위기하에서의 플라즈마 처리, 또는 질소 분위기하에서의 플라즈마 처리 등을 들 수 있다.

[0065] 상기 플라즈마 처리에 의해, 금속 산화물막은, 산소가 탈리한 격자(또는 산소가 탈리한 부분)에 산소 결손을 형성한다. 상기 산소 결손은, 캐리어를 발생시키는 요인으로 되는 경우가 있다. 또한, 금속 산화물막의 근방, 보다 구체적으로는 금속 산화물막의 하측 또는 상측에 접하는 절연막으로부터 수소가 공급되면, 상기 산소 결손과 수소가 결합함으로써, 캐리어인 전자를 생성하는 경우가 있다.

[0066] 절연층(27)에는, 전극(24)과 전극(25)을 접속하기 위한 개구(27a)가 형성되어 있다. 한 쌍의 개구(27a)에 있어서, 전극(25)은 인접하는 2개의 전극(24)을 전기적으로 접속한다. 전극(26)은, 표시 패널의 대향 기판측의 공통 전극으로서 기능시킬 수 있다.

[0067] 도 2의 (B)의 예에서는, 각 전극(24)에 있어서, 하나의 배선(24a)에 인접하는 하나의 전극(24)과의 접속부를 설치하고 있지만, 복수의 배선(24a)에, 인접하는 전극(24)과의 접속부를 설치해도 된다. 도 3에 3개의 배선(24a)에 접속부를 설치한 예를 도시한다. 도 3의 예에서는, 2개의 중계 배선(24b) 및 3개의 전극(25)에 의해, 2개의 전극(24) 사이가 접속되어 있다. 중계 배선(24b)은, 전극(23, 24)과 동일한 공정으로 제작된다.

[0068] 기판(21)에는 컬러 필터 및 블랙 매트릭스가 설치되어 있다. 블랙 매트릭스는 차광층의 1종이며, 부화소의 혼색을 방지하기 위해 설치된다. 도 4를 참조하여, 전극(24), 컬러 필터 및 블랙 매트릭스(BM)의 레이아웃에 대하여 설명한다. 또한, 전극(23)의 레이아웃도 전극(24)과 마찬가지이다. 도 4의 (A)는 전극(24)과 블랙 매트릭스의 레이아웃예를 도시하는 모식도이고, 도 4의 (B)는 블랙 매트릭스와 컬러 필터의 레이아웃예를 도시하는 모식도이다. 도 4의 (A), 도 4의 (B)에는 4개의 배선(24a)에 의해 형성되는 격자 부분을 도시하고 있다.

[0069] BM(160)의 형상도, 전극(24)과 마찬가지로 격자형이다. 4개의 배선(24a)으로 둘러싸이는 영역 내에, 2행 2열로 화소(33)가 형성된다. 화소(33)는 3개의 부화소로 구성되어 있다. 화소(33)의 개구율을 저하시키지 않도록 하기 위해 전극(24)의 각 배선(24a)은 BM(160)과 중첩하도록 설치되어 있다. BM(160)의 개구부에, 충(CR), 충(CG), 충(CB)이 형성되어 있다. CR충, CG충, CB충은 컬러 필터를 구성하는 착색충이다. CR충, CG충, CB충은 적색, 녹색, 청색의 착색충이다.

[0070] 또한, 전극(24), BM(160), 컬러 필터의 적충 순서는 적절히 설정할 수 있다. 예를 들어, 기판(21)측으로부터 BM(160), 컬러 필터, 전극(24)의 순으로 적충할 수 있다. 혹은, BM(160), 전극(24), 컬러 필터의 순으로 적충할 수 있다.

[0071] 여기서는, 화소(33)가 갖는 3개의 부화소의 면적(BM(160)의 개구부의 면적)은 동일하게 하고 있지만, 부화소의 면적을 상이하게 해도 된다. 예를 들어 청색은 시감도가 비교적 낮기 때문에, 충(CB)의 면적을 가장 넓게 해도 된다. 혹은, 적색이나 녹색은 시감도가 비교적 높기 때문에, 충(CR) 또는 충(CG)의 면적을 작게 할 수도 있다.

[0072] 또한, 화소(33)를 구성하는 부화소의 수는 3개에 한정되지 않는다. 예를 들어, 4개의 부화소로 할 수 있다. 이 경우, RGB를 표시하는 3개의 부화소에, 백색 또는 황색을 표시하는 부화소를 추가할 수 있다.

[0073] 이하에, 도 5 내지 도 10을 참조하여, 터치 패널 모듈(10)의 몇 가지 디바이스 구조에 대하여 설명한다. 여기서는, 터치 패널 모듈(10)의 표시 패널이 FFS(Fringe Field Switching) 모드의 액정 패널인 예를 도시하고 있다.

[0074] <구성 예 1>

[0075] 도 5는 터치 패널 모듈(10)의 단면 구조의 개략도이다. 여기서는, 도 5에 도시하는 터치 패널 모듈(10)을 「터치 패널 모듈(10-1)」이라고 칭하기로 한다.

[0076] 도 5에는 FPC(42)를 포함하는 영역, 회로(34)를 포함하는 영역, 표시부(32) 및 터치 센서(22)를 포함하는 영역, FPC(41)를 포함하는 영역 등의 단면 구조를 도시하고 있다. 또한, 도 5에는 터치 센서(22)의 부위(22A, 22B)의 단면 구조를 도시하고 있다. 부위(22A)는 2개의 전극(24)이 전극(25)에서 접속되어 있는 부위이며, 부위(22B)는 전극(24)의 개구부이다.

[0077] 화소(33)는 3개의 부화소(33R, 33G, 33B)로 구성되어 있는 것으로 한다. 도 5에는 부화소(33R)의 단면 구조를 도시하고 있다. 부화소(33R)는 트랜지스터(Q1), 용량 소자(C1), 액정 소자(LC1) 및 충(CR)을 갖는다. 부화소

(33G, 33B)도 마찬가지이다.

[0078] 기판(21)과 기판(31)은 접착층(141)에 의해 접합되어 있다. 기판(21), 기판(31) 및 접착층(141)에 둘러싸인 영역에, 액정층(150)이 밀봉되어 있다. 또한, 기판(21), 기판(31)에 액정층(150)의 배향을 제어하기 위한 배향막이 설치되어 있어도 된다.

[0079] 여기서는, 회로(34)가 액정층(150)과 중첩하는 영역을 갖고 있지만, 회로(34)가 액정층(150)과 중첩하지 않도록 접착층(141)을 형성할 수도 있다. 접착층(141)으로서는 열경화 수지나 광경화 수지, 2액 혼합형의 경화성 수지 등의 경화성 수지를 사용할 수 있다. 예를 들어, 아크릴 수지, 폴리우레탄, 에폭시 수지, 또는 실록산 결합을 갖는 수지 등의 수지를 사용할 수 있다.

[0080] 기판(31) 위에는, 절연층(210 내지 215) 등의 절연층, 도전층(151, 152, 220 내지 222) 등의 도전층, 반도체층(155)이 형성되어 있다. 여기서는, 동일한 도전막을 가공하여 얹어지는 복수의 도전층에 동일한 부호를 붙여 설명하는 경우가 있다. 또한, 각 도전층을 구성하는 도전막은 단층 또는 2층이어도 된다. 이것은 절연층이나 반도체층에 대해서도 마찬가지이다.

[0081] 절연층(210) 위에 트랜지스터(Q1 내지 Q3) 등의 트랜지스터가 설치되어 있다. 트랜지스터(Q1)는 액정 소자(LC1)를 구동하기 위한 스위칭 트랜지스터이다. 트랜지스터(Q1)는 n채널형 트랜지스터이다. 트랜지스터(Q2, Q3)는 회로(34)를 구성하는 트랜지스터이다. 트랜지스터(Q2)는 n채널형 트랜지스터이며, 트랜지스터(Q3)는 p채널형이다. 여기서는, 트랜지스터(Q2)와 트랜지스터(Q3)는 직렬로 전기적으로 접속되어, 인버터를 구성하고 있다.

[0082] 도전층(220 내지 222)은, 액정 패널을 구성하는 회로의 전극이나 배선 등을 구성한다. 예를 들어, 트랜지스터(Q1 내지 Q3)의 게이트 전극은, 도전층(220)과 도전층(221)의 적층으로 구성된다. 이들 소스 전극 및 드레인 전극은 도전층(222)으로 구성된다.

[0083] 트랜지스터(Q1 내지 Q3)의 반도체층(155)은, 반도체막으로 형성된다. 이 반도체막의 결정성은 비정질, 미결정, 다결정 또는 단결정이다. 또한, 반도체층(155)의 반도체 재료는 특별히 제약은 없으며, 예를 들어 제14족의 원소로 이루어지는 반도체 재료(실리콘, 게르마늄, 탄화실리콘, Si-Ge), 화합물 반도체, 금속 산화물(산화물 반도체) 등을 들 수 있다.

[0084] 예를 들어, 비정질 실리콘을 성막하고, 이것을 결정화한 다결정 실리콘막으로 반도체층(155)을 형성할 수 있다. 비정질 실리콘막의 결정화 방법에는, 파장 400nm 이하의 레이저를 조사하는 레이저 결정화법, 적외광에 의한 램프 어닐링 결정화법, 400°C 내지 600°C의 열처리에 의한 고상 성장법, 950°C 정도의 고온 어닐링 결정화 등이 있다. 고상 성장법에서는, 비정질 실리콘막에 니켈 등의 촉매 원소를 첨가한 후, 가열 처리를 행하는 방법이 있다. 또한, 복수의 결정화 방법을 이용하여, 비정질 실리콘막을 결정화해도 된다. 예를 들어, 니켈 등의 촉매 원소를 첨가하고, 열처리에 의해 고상 성장시켜 다결정 실리콘막을 얻는다. 그 후, 다결정 실리콘막 내의 결함을 저감하기 위해, 레이저광을 이 다결정 실리콘막에 조사한다.

[0085] 또한, 단결정(또는 다결정) 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리하여 얻어진 단결정(또는 다결정) 실리콘막으로 반도체층(155)을 형성할 수도 있다.

[0086] 트랜지스터(Q2)의 반도체층(155)에는, 1개의 채널 형성 영역(180), 2개의 저농도 불순물 영역(181), 및 2개의 고농도 불순물 영역(182)이 형성되어 있다. 저농도 불순물 영역(181) 및 고농도 불순물 영역(182)은 n형의 영역이며, 봉소(B), 알루미늄(Al), 갈륨(Ga) 등이 첨가되어 있다. 저농도 불순물 영역(181)은 LDD(Lightly Doped Drain) 영역이라고도 불린다. 고농도 불순물 영역(182)은, 소스 영역 또는 드레인 영역의 기능을 갖는다.

[0087] 트랜지스터(Q3)의 반도체층(155)은 LDD 영역을 갖지 않는다. 반도체층(155)에는 1개의 채널 형성 영역(190), 2개의 고농도 불순물 영역(192)이 형성되어 있다. 고농도 불순물 영역(192)은 p형의 영역이며, 인(P), 비소(As) 등이 첨가되어 있다. 고농도 불순물 영역(192)은 소스 영역 또는 드레인 영역으로서 기능한다.

[0088] 트랜지스터(Q1)는, 1개의 반도체층에 복수의 채널 형성 영역을 구비하는 멀티채널 구조의 트랜지스터이다. 게이트 전극에 대응하여, 반도체층(155)에는 2개의 채널 형성 영역(180), 4개의 저농도 불순물 영역(181), 3개의 고농도 불순물 영역(182)이 형성되어 있다. 멀티채널 구조로 함으로써, 트랜지스터(Q1)의 오프 상태에서의 누설 전류를 저감할 수 있다.

[0089] 기판(31)의 단부에는, 도전층(222) 및 도전층(151)에 의해 단자(243)가 구성되어 있다. 단자(243)는, 도전층

(242)에 의해 FPC(42)와 전기적으로 접속되어 있다.

[0090] 화소 전극(PIX)(이하 「전극(PIX)」이라고 칭함)은 부화소마다 설치되어 있고, 각각 트랜지스터(Q1)와 전기적으로 접속되어 있다. 전극(PIX)은 톱니형의 상면 형상, 또는 슬릿이 설치된 평면 형상을 갖는다. 전극(PIX)은 도전층(151)으로 형성되어 있다. 도전층(151)은 가시광을 투과하는 재료로 형성된다.

[0091] 전극(COM)은, 표시부(32)에서 1개의 도전층(152)으로 형성되어 있다. 또한, 전극(COM)도 전극(PIX)과 부화소마다 분할해도 된다. 이 경우, 열방향(또는 행방향)으로 배선을 설치하고, 동일한 열(또한 행)의 전극(COM)을 이 배선과 전기적으로 접속하도록 해도 된다. 또한, 전극(COM)도 전극(PIX)과 마찬가지로, 톱니형의 부위, 또는 슬릿이 설치된 부위를 갖도록 해도 된다.

[0092] 전극(PIX, COM), 액정층(150)에 의해, 액정 소자(LC1)가 구성되어 있다. 전극(PIX)에 있어서, 절연층(215)을 개재하여 전극(COM)과 중첩되어 있는 부위가 용량 소자(C1)를 구성한다. 가시광을 반사하는 재료로 도전층(152)을 형성함으로써, 반사형 액정 패널이 얻어지고, 가시광을 투과하는 재료로 도전층(152)을 형성함으로써, 투과형 액정 패널이 얻어진다.

[0093] 기판(21)에는 터치 센서(22), 컬러 필터 및 BM(160), 스페이서(185) 등이 설치되어 있다. 기판(21)에, 손가락 또는 스타일러스 등의 검지체가 직접 접촉하는 기판을 설치해도 된다. 또한, 터치 센서(22)가 형성된 기판(21)은, 단체로 터치 센서 기판, 또는 터치 패널 모듈로서 사용할 수도 있다. 예를 들어, 이러한 기판을 표시 패널의 표시면측에 부착함으로써, 터치 패널을 형성할 수도 있다. 본 실시 형태에서는 액정 패널을 구성하는 대향 기판(기판(21))에 터치 센서(22)를 설치하고 있으므로, 박막화 및 경량화된 터치 패널 모듈(10-1)을 제공하는 것이 가능하다.

[0094] 도 5의 예에서는, 컬러 필터와 BM(160)은 동일한 층 내에 설치되어 있다. 여기서는, BM(160)을 형성하는 부분에는, 컬러 필터를 구성하는 적어도 2색의 착색층이 적층된다. 여기서는 층(CR)과 층(CB)이 적층된다. 컬러 필터를 형성하는 부위에는, 부화소의 표시색에 맞추어 층(CR), 층(CB), 층(CG) 중 어느 1층이 형성된다. 또한, 도 4의 (B)의 구성예와 마찬가지로, 부위(22B)에서도 컬러 필터가 존재하지 않고, BM(160)이 설치되어 있는 영역이 있다.

[0095] 여기서는, 층(CR)이 형성되어 있다. 컬러 필터와 BM(160)을 이러한 구성으로 함으로써, 제조에 사용하는 재료의 종류를 적게 할 수 있다. 또한, BM(160)을 금속층이나, 카본 블랙을 포함하는 착색층으로 형성하는 것도 가능하다. 이를 층은 도전성을 갖기 때문에, 터치 센서(22)의 동작에 영향을 주게 된다. 그로 인해, 본 실시 형태와 같이, 도전성을 갖지 않는 층(예를 들어, 컬러 필터용 착색층)에서 BM(160)을 설치하는 것은, 터치 센서(22)의 검출 감도의 향상으로 이어져 바람직하다.

[0096] 층(CR), 층(CB), 층(CG)을 덮어 절연층(121)이 형성되어 있다. 절연층(121) 위에 전극(23, 24)이 설치되어 있다. 전극(23, 24)을 덮어 절연층(122)이 형성되어 있다. 절연층(122)은, 도 2의 (B)에 도시하는 절연층(27)에 상당한다. 절연층(122) 위에 전극(25, 26)이 설치되어 있다. 전극(25, 26)을 덮어 절연층(130, 123)이 형성되어 있다. 절연층(123) 위에 스페이서(185)가 설치되어 있다.

[0097] 절연층(121)은, 층(CR), 층(CB), 층(CG)에 포함되는 안료 등의 불순물이 액정층(150)으로 확산되는 것을 방지하는 오버코트로서의 기능을 갖는다. 절연층(122, 123)은 평탄화막의 기능을 갖는다. 절연층(121 내지 123)은 아크릴 수지 등의 수지 재료로 형성된다. 여기서는, 저저항화된 금속 산화물막을 가공함으로써, 전극(25, 26)을 형성하고 있다. 절연층(130)은 금속 산화물막을 저저항화하기 위해 형성되어 있으며, 절연층(130)은 예를 들어 수소를 방출하는 것이 가능한 질화실리콘층이다.

[0098] 전극(26)에는 적절한 정전위가 제공된다. 예를 들어, 전극(26)과 전극(COM)을 등전위로 하면 된다. 이에 의해, 액정층(150)에 형성되는 전계 중, 기판(21)의 표면에 대하여 수직 방향(종방향)의 성분이 저감되므로, 액정층(150)의 배향 결함을 억제할 수 있다. 또한, 반전 구동에 의해 액정 소자(LC1)에 발생하는 잔류 DC(직류) 전압을 저감할 수 있기 때문에, 플리커의 억제로 이어진다. 따라서, 터치 패널 모듈(10-1)의 표시 품위를 향상시킬 수 있다. 또한, 전극(26)을, 터치 센서(22)에서 발생한 노이즈로부터 표시부(32)를 차폐하는 차폐층으로서 기능시킬 수 있다. 또한, 표시부(32)에서 발생한 노이즈로부터, 터치 센서(22)를 차폐하는 차폐층으로서 기능시킬 수 있다. 또한, 터치 패널 모듈(10-1)의 검출 감도를 향상시킬 수 있다.

[0099] 기판(21)의 단부에는 배선(29)이 형성되어 있다. 배선(29)은, 전극(28), 도전층(241)에 의해 FPC(41)와 전기적으로 접속되어 있다. 배선(29)은, 전극(23, 24)과 동일한 공정으로 제작된다. 전극(28)은, 전극(25, 26)과 동일한 공정으로 제작된다. 도전층(241)은, 이방성 도전 필름(ACF: Anisotropic Conductive Film)이나, 이방성

도전 페이스트(ACP: Anisotropic Conductive Paste) 등을 사용할 수 있다. 도전층(242)도 마찬가지이다.

[0100] 이하에, 터치 패널 모듈(10)의 다른 구성예를 나타낸다. 이를 구성예에서는, BM(160)과 컬러 필터가 상이한 층에 형성되어 있다.

[0101] <구성 예 2>

[0102] 도 6에 도시하는 터치 패널 모듈(10-2)에서는, 전극(23, 24)을 형성한 후, 컬러 필터를 설치하고 있다. 절연층(121), 전극(23, 24)을 덮어 절연층(131)이 형성되어 있다. 절연층(131) 위에 컬러 필터를 구성하는 착색층이 형성된다. 부화소의 표시색에 맞추어 충(CR), 충(CB), 충(CG) 중 어느 1층이 형성된다. 컬러 필터를 덮어 절연층(122)이 형성된다. 절연층(122) 위에 전극(25, 26)이 설치되어 있다. 또한, 절연층(131)은 형성하지 않고, 전극(23, 24) 위에 컬러 필터를 설치해도 된다.

[0103] <구성 예 3>

[0104] 도 7에 도시하는 터치 패널 모듈(10-3)에서는, 전극(25, 26)의 상방에 컬러 필터가 설치되어 있다. 구체적으로는, 절연층(123) 위에 컬러 필터를 구성하는 착색층이 형성되어 있다. 부화소의 표시색에 맞추어, 부위(22B)의 절연층(122) 위에 충(CR), 충(CB), 충(CG) 중 어느 1층이 형성된다. 컬러 필터를 덮어 절연층(124)이 형성되어 있다.

[0105] <구성 예 4>

[0106] 도 8에 도시하는 터치 패널 모듈(10-4)은, 터치 패널 모듈(10-3)의 변형예이며, 절연층(130) 위에 컬러 필터를 구성하는 착색층이 형성되어 있다. 부화소의 표시색에 맞추어, 절연층(130) 위에 충(CR), 충(CB), 충(CG) 중 어느 1층이 형성된다. 컬러 필터, 전극(25, 26)을 덮어 절연층(123)이 형성되어 있다. 또한, 부위(22B)에서도 컬러 필터가 존재하지 않는 영역이 있다.

[0107] <구성 예 5>

[0108] 도 9에 도시하는 터치 패널 모듈(10-5)에서는, 전극(25, 26)의 형성 전에 컬러 필터가 형성된다. 절연층(122) 위에 컬러 필터가 설치되어 있다. 부화소의 표시색에 맞추어, 절연층(122) 위에 충(CR), 충(CB), 충(CG) 중 어느 1층이 형성된다. 부위(22A)에는, 절연층(122) 위에 전극(25)이 설치되어 있다. 부위(22B)에는, 충(CR) 위에 전극(26)이 설치되어 있다. 또한, 부위(22B)의 컬러 필터가 존재하지 않는 영역에서는, 전극(26)은 절연층(122) 상면과 접하게 된다.

[0109] <구성 예 6>

[0110] 도 10에 도시하는 터치 패널 모듈(10-6)은, 터치 패널 모듈(10-5)과 마찬가지로, 전극(25, 26)의 형성 전에 컬러 필터가 형성된다. 터치 패널 모듈(10-6)에서는, 절연층(123)의 형성 후, 전극(25, 26)을 형성하고 있다는 점에서, 터치 패널 모듈(10-5)과 상이하다. 전극(25)이 설치되는 부위의 절연층(123)은 제거된다. 즉, 전극(25)은 절연층(123)의 개구 내의 절연층(122) 위에 설치되고, 전극(26)은 절연층(123) 위에 설치된다.

[0111] 또한, 상기 구성예 1 내지 6에 있어서, 전극(25, 26)을 상기한 인듐주석 산화물, 아연 산화물 등의 도전성 산화물로 형성하는 경우에는, 절연층(130)은 형성하지 않아도 된다.

[0112] [실시 형태 2]

[0113] 본 실시 형태에서는, 터치 패널 모듈(10)에 적용 가능한 트랜지스터에 대하여 설명한다.

[0114] 도 11 내지 도 16을 참조하여, 박막의 다결정 실리콘(폴리실리콘)막을 사용한 n채널형 트랜지스터의 구성예를 도시한다.

[0115] 도 11의 (A)는 트랜지스터(70A)의 상면도이다. 도 11의 (B)는 도 11의 (A)의 L1-L2선에 의한 단면도이고, 도 11의 (C)는 도 11의 (A)의 W1-W2선에 의한 단면도이다. 또한, 도 11의 (B)는 채널 길이 L 방향의 트랜지스터(70A)의 단면도이고, 도 11의 (C)는 채널 폭 W 방향의 트랜지스터(70A)의 단면도이다.

[0116] 트랜지스터(70A)는, 절연 표면을 갖는 기판(72) 위에, 게이트로서 기능하는 도전층(73)과, 도전층(73) 위의 절연층(74)과, 절연층(74)을 사이에 개재하여 도전층(73)과 중첩하는 반도체층(75)과, 반도체층(75) 위의 절연층(76)과, 절연층(76)을 사이에 개재하여 반도체층(75)과 중첩하고, 또한 게이트로서 기능하는 도전층(77)과, 도전층(77) 위의 절연층(78)과, 절연층(78) 위의 절연층(79)과, 절연층(78) 및 절연층(79)에 형성된 개구에 있어서 반도체층(75)에 전기적으로 접속되고, 또한 소스 전극 또는 드레인 전극으로서 기능하는 도전층(80) 및 도전

층(81)을 갖는다.

[0117] 또한, 반도체층(75)은, 도전층(77)과 중첩하는 위치에 채널 형성 영역(82)과, 채널 형성 영역(82)을 사이에 두도록 위치하는 한 쌍의 LDD 영역(83)과, 채널 형성 영역(82), LDD 영역(83)을 사이에 두도록 위치하는 한 쌍의 불순물 영역(84)을 갖는다. 한 쌍의 불순물 영역(84)은 소스 영역 또는 드레인 영역으로서 기능한다. 또한, LDD 영역(83) 및 불순물 영역(84)에는, n형의 도전성을 부여하는 불순물 원소, 예를 들어 인(P), 비소(As) 등이 첨가되어 있다.

[0118] 트랜지스터(70A)는, 제1 도전층(도전층(73)) 위에 제1 절연층(절연층(74))을 갖고, 제1 절연층(절연층(74)) 위에 채널 형성 영역(82)을 갖는 반도체층(75)을 갖고, 반도체층(75) 위에 제2 절연층(절연층(76))을 갖고, 제2 절연층(절연층(76)) 위에 제2 도전층(도전층(77))을 갖고, 제2 도전층(도전층(77))은, 제2 절연층(절연층(76))을 개재하여 반도체층(75)의 측면을 덮고, 반도체층(75)은, 채널 폭 방향의 단면에 있어서, 제1 도전층(도전층(73))과 제2 도전층(도전층(77))으로 둘러싸인 구조, 즉 S-channel 구조를 갖는다.

[0119] S-channel 구조로 함으로써, 전류는 반도체층(75)의 전체(벌크)를 흐른다. 반도체층(75)의 내부에 전류가 흐름으로써, 계면 산란의 영향을 받기 어렵기 때문에, 높은 온 전류를 얻을 수 있다. 또한, 반도체층(75)을 두껍게 하면, 온 전류를 향상시킬 수 있다.

[0120] 또한, 트랜지스터를 S-channel 구조로 함으로써, 상방으로부터 반도체층(75)으로의 불순물 혼입의 영향을 배제할 수 있는 효과 등을 겸비한다. 또한, 제1 도전층(도전층(73))과 제2 도전층(도전층(77))은, 상하로부터의 광이 반도체층으로 조사되는 것을 방지할 수 있으므로, 광 여기가 억제되고, 오프 전류의 증가를 방지할 수 있다.

[0121] 여기서는 n채널형 트랜지스터의 예를 나타내고 있지만, n형의 도전형을 반도체층(75)에 부여하는 불순물 원소 대신에 p형의 도전형을 부여하는 불순물 원소, 예를 들어 붕소(B), 알루미늄(Al), 갈륨(Ga) 등을 첨가하면, p채널형 트랜지스터를 제작할 수 있다. 또한, n채널형 트랜지스터(70A)의 채널 형성 영역(82)에 p형의 도전형을 부여하는 불순물 원소를 미량 첨가해도 된다.

[0122] 또한, 반도체층(75)은, 여러가지 기술에 의해 결정화해도 된다. 여러가지 결정화 방법으로서, 레이저광을 사용한 레이저 결정화법, 촉매 원소를 사용하는 결정화법이 있다. 혹은, 촉매 원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기판(72)으로서 석영과 같은 내열성이 우수한 기판을 사용하는 경우, 전열로를 사용한 열결정화 방법, 적외광을 사용한 램프 어닐링 결정화법, 촉매 원소를 사용하는 결정화법, 950°C 정도의 고온 어닐링을 조합한 결정화법을 사용해도 된다.

[0123] 비정질 실리콘막에 레이저광을 조사하여 다결정 실리콘막으로 하고, 다결정 실리콘막을 트랜지스터(70A)의 채널 형성 영역(82)으로서 사용하는 경우, 레이저광을 조사하여 형성되는 입계는, 다결정 실리콘막의 하방까지 도달하고 있기 때문에, 반도체막 계면보다도 반도체막의 벌크에 전류가 흐른다. 따라서, 레이저광의 조사 에너지의 변동에 의한 영향을 저감할 수 있다.

[0124] 종래는, 채널 형성 영역에 저농도의 불순물 원소를 첨가하여 역치 제어를 행하고 있었지만, 한 쌍의 게이트 전극에서 반도체층을 사이에 끼우는 구조의 경우, 반도체층과 절연층의 계면에 캐리어가 발생할 확률이 높고, 캐리어가 절연층이나 절연막과 반도체층의 계면에 주입되어, 역치가 상승해 버린다고 하는 문제가 있었다. 또한, 이 채널 영역의 에너지 밴드 구조에 따르면, 캐리어의 통로는, 반도체층과 절연막의 계면 부근뿐이다. 이로 인해, 드레인에 인가된 전압에 의해 가속된 핫 캐리어가 절연막과 반도체층의 계면이나 절연막에 주입됨에 따른 이동도나 드레인 전류의 저하가 큰 문제로 되고 있었다.

[0125] 트랜지스터(70A)에는, 반도체막에 수직 방향으로부터의 게이트 전계 외에, 측면 방향으로부터의 게이트 전계가 인가된다. 즉, 반도체막의 전체에 게이트 전계를 인가시키게 되어, 전류는 반도체막의 벌크를 흐른다. 이에 의해, 트랜지스터의 전계 효과 이동도의 향상을 도모하는 것이 가능하게 된다. 또한, 불순물의 변동도 벌크 전체에 효과를 미치기 때문에, 전기 특성 변동의 억제를 도모할 수 있다.

[0126] 트랜지스터(70A)는, 게이트로서 기능하는 도전층(77)과, 백 게이트로서 기능하는 도전층(73)을 갖는 구성이지만, 다른 구성이어도 된다. 예를 들어, 사용하는 회로에 따라서는, 백 게이트로서 기능하는 도전층(73)을 생략한 트랜지스터를 부분적으로 설치해도 된다.

[0127] 또한, 게이트로서 기능하는 도전층(77)은, 테이퍼부를 갖는 구성으로 되어 있다. 테이퍼부를 갖는 게이트 전극을 사용하여, 반도체층에 불순물 원소를 도핑하여 자기 정합적으로 불순물 영역을 형성하면, 핫 캐리어 열화가 적은 반도체 장치를 실현할 수 있다.

- [0128] 또한, 트랜지스터(70A)에서는, 게이트로서 기능하는 도전층(77)과, 백 게이트로서 기능하는 도전층(73)이 전기적으로 접속되어 있지만, 각각에 상이한 전위를 제공하도록 할 수도 있다. 그러한 예를 도 12에 도시한다. 도 12의 (A)는 트랜지스터(70B)의 상면도이다. 도 12의 (B)는 도 12의 (A)의 L1-L2선에 의한 단면도이고, 도 12의 (C)는 도 12의 (A)의 W1-W2선에 의한 단면도이다.
- [0129] 또한, 도 12에 도시하는 트랜지스터(70B)는, 트랜지스터(70A)와는 절연층(74)의 종류가 상이하다. 트랜지스터(70B)에서는, 절연층(74)으로서 플라즈마 CVD법 등으로 얻어지는 절연막이 사용되고 있다. 백 게이트로서 기능하는 도전층(73)의 존재에 의해 절연막 표면에 볼록부가 형성되고, 그 위에 반도체막이 형성되므로, 반도체막 표면에도 하지의 표면 형상이 반영되어 있다.
- [0130] 트랜지스터(70B)도, 채널 형성 영역이, 게이트로서 기능하는 도전층(77)과 백 게이트로서 기능하는 도전층(73)으로 둘러싸인 S-channel 구조로 되어 있다.
- [0131] 또한, 도 13의 (A)에는 트랜지스터(70C)의 상면도를 도시한다. 도 13의 (B)는 도 13의 (A)의 L1-L2선에 의한 단면도이다. 도 13의 (C)는 도 13의 (A)의 W1-W2선에 의한 단면도이다.
- [0132] 트랜지스터(70C)는 기판(72) 위에 형성되어 있다. 트랜지스터(70C)는 도전층(73), 도전층(77), 반도체층(75), 도전층(80), 도전층(81)을 갖는다. 도전층(77)은 게이트로서 기능하고, 도전층(77a, 77b)을 갖는다.
- [0133] 반도체층(75)은 절연층(74)을 사이에 개재하여 도전층(73)과 중첩되고, 절연층(76)을 개재하여 도전층(77)과 중첩된다. 절연층(74, 76)에 개구(95, 96)가 형성되어 있다. 개구(95, 96)에 있어서, 도전층(77)과 도전층(73)이 전기적으로 접속되어 있다. 도전층(77)은 절연층(78, 79)에 덮여 있다. 절연층(79) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전층(80, 81)이 형성되어 있다. 절연층(78), 절연층(79)에는 개구(93, 94)가 형성되어 있다. 개구(93)에 있어서, 도전층(80)이 반도체층(75)에 전기적으로 접속되고, 개구(94)에 있어서 도전층(81)이 반도체층(75)에 전기적으로 접속되어 있다.
- [0134] 반도체층(75)은 채널 형성 영역(82), LDD 영역(83) 및 불순물 영역(84)을 갖는다. 도전층(77b)과 중첩되지 않은 도전층(77a)을 통하여 불순물을 이온 도핑함으로써 LDD 영역(83), 불순물 영역(84)을 자기 정합적으로 형성할 수 있다. 따라서, 도전층(77a)과 오버랩되는 LDD 영역(83)의 길이를 정확하게 제어할 수 있으므로, 핫 캐리어 열화를 억제하여, 수명 시간을 연장하고, 신뢰성이 높은 반도체 장치를 높은 수율로 제작할 수 있다.
- [0135] 트랜지스터(70C)에서는, 게이트로서 기능하는 도전층(77), 도전층(77)과 전기적으로 접속된 백 게이트인 도전층(73)에 의해, 반도체층(75)의 채널 형성 영역(82)의 채널 폭 방향을 전기적으로 둘러싸는 구조로 되어 있다. 즉, 당해 구조는, 채널 형성 영역의 상면, 하면 및 측면으로부터, 채널 형성 영역을 감싸는 구조로 할 수 있다. 그로 인해, 온 전류를 높일 수 있고, 채널 폭 방향의 사이즈 축소를 도모할 수 있다. 또한, 채널 형성 영역을 도전막으로 둘러싸는 구성으로 하기 때문에, 채널 형성 영역의 차광을 용이하게 행할 수 있어, 채널 형성 영역에 의도치 않은 광이 조사되는 것에 따른 광 여기를 억제할 수 있다.
- [0136] 또한, 트랜지스터(70C)에서는, 채널 폭 방향에서의 반도체층(75)의 측단부에 있어서의 의도치 않은 도전율의 상승에 의한 도통 상태를 억제할 수 있다. 또한, LDD 영역(83) 및 불순물 영역(84)에 첨가한 불순물 원소의 분포변동의 영향을 작게 할 수 있다.
- [0137] 또한, 도 13의 (A) 내지 도 13의 (C)에 도시하는 트랜지스터(70C)는 일레이며, 다른 구성으로 할 수도 있다. 예를 들어, 트랜지스터(70C)에서는, 게이트와 백 게이트를 전기적으로 접속하는 구성으로 했지만, 트랜지스터(70B)와 같이 게이트와 백 게이트를 전기적으로 접속하지 않고, 이들에 별개의 전위를 제공할 수 있는 구성도 유효하다. 당해 구성은, 특히 n채널형 트랜지스터만으로 구성하는 회로에 유효하다. 즉, 백 게이트에 전압을 인가함으로써 트랜지스터의 역치 전압을 제어할 수 있으므로, 역치 전압이 상이한 트랜지스터에서 인버터 회로 등의 로직 회로를 구성할 수 있다. 이러한 로직 회로를, 화소를 구동하기 위한 구동 회로에 적용함으로써 구동 회로가 차지하는 면적을 축소할 수 있으므로, 표시 장치의 프레임 폭 협소화를 실현할 수 있다. 또한, 백 게이트의 전압을 트랜지스터가 오프로 되는 전압으로 함으로써, 트랜지스터를 오프 상태로 했을 때의 오프 전류를 보다 작게 할 수 있다. 그로 인해, 표시 장치의 리프레시 레이트를 크게 해도, 기입한 전압을 계속해서 유지시킬 수 있다. 그로 인해, 기입 횟수를 적게 함에 따른 표시 장치의 저소비 전력화를 예상할 수 있다.
- [0138] 도 14의 (A) 내지 도 14의 (C), 도 15의 (A) 내지 도 15의 (C)에 트랜지스터의 다른 구성예를 도시한다.
- [0139] 도 14의 (A) 내지 도 14의 (C)에 도시하는 트랜지스터(70D)가, 트랜지스터(70C)와 상이한 점은, 게이트로 되는 도전층(77)을 단층으로 형성하고 있다는 점에 있다. 또한, 개구(95, 96)의 위치를, 채널 형성 영역(82)에 보다

근접한 점으로 한다. 이와 같이 함으로써, 트랜지스터(70D)의 채널 형성 영역의 상면, 하면 및 측면으로부터, 채널 형성 영역을 향하여 전계를 가하기 쉽게 할 수 있다. 또한, 당해 구성으로 해도, 트랜지스터(70C)와 마찬가지로 S-channel 구조이기 때문에, 그 효과를 발휘할 수 있다.

[0140] 도 15의 (A) 내지 도 15의 (C)에 도시하는 트랜지스터(70E)가, 트랜지스터(70C)와 상이한 점은, 트랜지스터(70E)의 백 게이트로 되는 도전층(73)을 도전층(73a) 및 도전층(73b)으로 구성하고, 도전층(73b)을 도전층(73a)으로 둘러싸는 구조로 하고 있다는 점에 있다. 당해 구성으로 해도, 트랜지스터(70C)와 마찬가지로 S-channel 구조이기 때문에, 그 효과를 발휘할 수 있다.

[0141] 더불어, 트랜지스터(70E)에서는, 도전층(73b)에 가동성 원소(예를 들어, 구리(Cu))를 사용한 경우에 있어서도, 가동성 원소가 반도체막에 진입하여 반도체막이 열화하는 것을 방지할 수 있다.

[0142] 또한, 배선의 피형성면에 있는, 배리어막으로서 기능하는 도전층(73a)의 재료로서는, 고용점 재료인 텉스텐(W), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 중 어느 하나, 혹은 그의 합금(예를 들어, W-Mo, Mo-Cr, Ta-Mo), 혹은 그의 질화물(예를 들어, 질화텅스텐, 질화티타늄, 질화탄탈륨) 등을 사용할 수 있다. 형성 방법으로서는 스퍼터링법, CVD법 등을 사용할 수 있다. 또한, 도전층(73b)의 재료로서는 구리(Cu)가 바람직하지만, 저저항 재료이면 특별히 한정되지 않는다. 예를 들어, 은(Ag), 알루미늄(Al), 금(Au) 및 그들의 합금 등을 사용할 수도 있다. 도전층(73b)을 형성하는 방법으로서는 스퍼터링법이 바람직하지만, 레지스트 마스크에 손상을 주지 않는 조건을 선택함으로써, CVD법을 사용할 수도 있다.

[0143] 여기서는, 동일 기판 위에 n채널형 트랜지스터(70)와 p채널형 트랜지스터(71)를 구성하는 일례를 나타낸다. n채널형 트랜지스터와 p채널형 트랜지스터를 조합함으로써 CMOS 회로 등을 제작할 수 있다. 이러한 예를 도 16의 (A)에 도시한다.

[0144] 도 16의 (A)에 도시하는 n채널형 트랜지스터(70)와 p채널형 트랜지스터(71)는, 트랜지스터(70A)와 마찬가지로 S-channel 구조이다. 트랜지스터(70, 71)는 절연 표면을 갖는 기판(72) 위에 형성되어 있다.

[0145] 트랜지스터(70)는, 게이트로서 기능하는 도전층(73)과, 도전층(73) 위의 절연층(74)과, 절연층(74)을 사이에 개재하여 도전층(73)과 중첩되는 반도체층(75)과, 반도체층(75) 위의 절연층(76)과, 절연층(76)을 사이에 개재하여 반도체층(75)과 중첩되고, 또한 게이트로서 기능하는 도전층(77a) 및 도전층(77b)과, 도전층(77a) 및 도전층(77b) 위의 절연층(78)과, 절연층(78) 위의 절연층(79)과, 절연층(78) 및 절연층(79)에 형성된 개구에 있어서 반도체층(75)에 전기적으로 접속되고, 또한 소스 전극 또는 드레인 전극으로서 기능하는 도전층(80) 및 도전층(81)을 갖는다.

[0146] 도전층(77b)은, 채널 길이 방향에서의 폭이 도전층(77a)보다 짧고, 도전층(77a) 및 도전층(77b)은 절연층(76)측으로부터 순서대로 적층되어 있다. 또한, 반도체층(75)은, 도전층(77b)과 중첩하는 위치에 채널 형성 영역(82)과, 채널 형성 영역(82)을 사이에 두도록 위치하는 한 쌍의 LDD 영역(83)과, 채널 형성 영역(82), LDD 영역(83)을 사이에 두도록 위치하는 한 쌍의 불순물 영역(84)을 갖는다. 한 쌍의 불순물 영역(84)은 소스 영역 또는 드레인 영역으로서 기능한다.

[0147] 또한, 트랜지스터(71)는, 게이트로서 기능하는 도전층(85)과, 도전층(85) 위의 절연층(74)과, 절연층(74)을 사이에 개재하여 도전층(85)과 중첩되는 반도체층(86)과, 반도체층(86) 위의 절연층(76)과, 절연층(76)을 사이에 개재하여 반도체층(86)과 중첩되고, 또한 게이트로서 기능하는 도전층(87a) 및 도전층(87b)과, 도전층(87a) 및 도전층(87b) 위의 절연층(78)과, 절연층(78) 위의 절연층(79)과, 절연층(78) 및 절연층(79)에 형성된 개구에 있어서 반도체층(86)에 전기적으로 접속되고, 또한 소스 전극 또는 드레인 전극으로서 기능하는 도전층(88) 및 도전층(89)을 갖는다.

[0148] 도전층(87b)은, 채널 길이 방향에서의 폭이 도전층(87a)보다 짧고, 도전층(87a) 및 도전층(87b)은 절연층(76)측으로부터 순서대로 적층되어 있다. 또한, 반도체층(86)은, 도전층(87b)과 중첩하는 위치에 채널 형성 영역(90)과, 채널 형성 영역(90)을 사이에 두도록 위치하는 한 쌍의 불순물 영역(91)을 갖는다. 한 쌍의 불순물 영역(91)은 소스 영역 또는 드레인 영역으로서 기능한다.

[0149] 도 16의 (A)에서는, 게이트로서 기능하는 도전층(77a, 77b)과, 백 게이트로서 기능하는 도전층(73)을 갖는 구성을 도시하고 있지만, 다른 구성이여도 된다. 예를 들어, 도 16의 (B)에 도시하는 바와 같이, 백 게이트로서 기능하는 도전층(73)을 생략해도 된다. 또한, 도 16의 (A)에서는, 게이트로서 기능하는 도전층(87a, 87b)과, 백 게이트로서 기능하는 도전층(85)을 갖는 구성을 도시하고 있지만, 다른 구성이여도 된다. 예를 들어, 도 16의

(B)에 도시하는 바와 같이, 백 게이트로서 기능하는 도전층(85)을 생략해도 된다.

[0150] [실시 형태 3]

본 실시 형태에서는, 본 발명의 일 형태의 표시 장치, 또는 표시 시스템을 갖는 표시 모듈 및 전자 기기에 대하여, 도 17 및 도 18을 사용하여 설명을 행한다.

도 17에 도시하는 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002)의 사이에, 터치 패널(8004), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 갖는다. 표시 모듈(8000)은 편광판, 위상차판, 프리즘 시트 등의 광학 부재를 더 가진다.

터치 패널(8004)에 본 발명의 일 형태의 터치 패널 모듈이 적용된다. 터치 패널(8004)은 FPC(8012, 8013)가 접속되어 있다. 상부 커버(8001) 및 하부 커버(8002)는, 터치 패널(8004)의 사이즈에 맞추어 형상이나 치수를 적절히 변경할 수 있다.

프레임(8009)은, 표시 패널(8004)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 설드로서의 기능을 갖는다. 또한, 프레임(8009)은 방열판으로서의 기능을 가진다.

프린트 기판(8010)은 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어야 되고, 별도 설치한 배터리(8011)에 의한 전원이어야 된다. 상용 전원을 사용하는 경우에는, 배터리(8011)는 생략 가능하다.

또한, 투과형 액정 소자를 사용한 경우에는, 도 17에 도시하는 바와 같이 백라이트 유닛(8007)을 설치하면 된다. 백라이트 유닛(8007)은 광원(8008)을 갖는다. 또한, 도 17에 있어서, 백라이트 유닛(8007) 위에 광원(8008)을 배치하는 구성에 대하여 예시했지만, 이것에 한정되지 않는다. 예를 들어, 단부에 광원을 형성한 광학산판을 백라이트 유닛(8007)으로서 사용해도 된다. 또한, 백라이트 유닛(8007)과 터치 패널(8004)의 사이에 파장 변환 부재를 설치해도 된다. 파장 변환 부재는, 형광 안료, 형광 염료, 양자 도트 등의 파장 변환 물질을 포함한다. 파장 변환 물질은 백라이트 유닛(8007)의 광을 흡수하여, 그 광의 일부 또는 전부를 다른 파장의 광으로 변환할 수 있다. 또한, 파장 변환 물질인 양자 도트는, 직경이 1nm 이상 100nm 이하인 입자이다. 양자 도트를 갖는 파장 변환 부재를 사용함으로써, 표시 장치의 색 재현성을 높일 수 있다. 또한, 파장 변환 부재는, 도광판으로서 기능시켜도 된다.

상기 실시 형태 1의 터치 패널 모듈은, 각종 전자 기기의 표시부에 적용할 수 있다. 도 18의 (A) 내지 도 18의 (H)에 전자 기기의 예를 도시한다. 이들 전자 기기는 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

도 18의 (A)는 모바일 컴퓨터이며, 상술한 것 외에 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 18의 (B)는 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것 외에 제2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 18의 (C)는 고글형 디스플레이이며, 상술한 것 외에 제2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 18의 (D)는 휴대형 게임기이며, 상술한 것 외에 기록 매체 판독부(5011) 등을 가질 수 있다. 도 18의 (E)는 텔레비전 수상 기능을 구비한 디지털 카메라이며, 상술한 것 외에 안테나(5014), 셋터 버튼(5015), 촬상부(5016) 등을 가질 수 있다. 도 18의 (F)는 휴대형 게임기이며, 상술한 것 외에 제2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 18의 (G)는 운반형 텔레비전 수상기이며, 상술한 것 외에 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 18의 (H)는 손목 시계형 정보 단말기이며, 상술한 것 외에 밴드(5018), 이음쇠(5019) 등을 가질 수 있다. 베젤 부분을 겹치는 하우징(5000)에 탑재된 표시부(5001)는, 비직사각 형상의 표시 영역을 갖고 있다. 표시부(5001)는, 시각을 나타내는 아이콘(5020), 그 밖의 아이콘(5021) 등을 표시할 수 있다.

도 18의 (A) 내지 도 18의 (H)에 도시하는 전자 기기는, 여러가지 기능을 가질 수 있다. 예를 들어, 여러가지 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 일자 또는 시각 등을 표시하는 기능, 여러가지 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 여러가지 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 여러가지 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 갖는 전자 기기에 있어서는, 하나의 표시부에 주로 화상 정보

를 표시하고, 다른 하나의 표시부에 주로 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 활상부를 갖는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 18의 (A) 내지 도 18의 (H)에 도시하는 전자 기기가 가질 수 있는 기능은 이들에 한정되지 않고, 여러가지 기능을 가질 수 있다.

### **부호의 설명**

[0160]

10: 터치 패널 모듈

20: 터치 패널

21: 기판

22: 터치 센서

22A, 22B: 부위

23: 전극

23a: 배선

23A: 전극

24: 전극

24a: 배선

24A: 전극

24b: 중계 배선

25: 전극

26: 전극

27: 절연층

27a: 개구

28: 전극

29: 배선

31: 기판

32: 표시부

33: 화소

121 내지 124, 130, 131: 절연층

141: 접착층

150: 액정층

151: 도전층

152: 도전층

155: 반도체층

160: 블랙 매트릭스(BM)

161, 162: 도전막

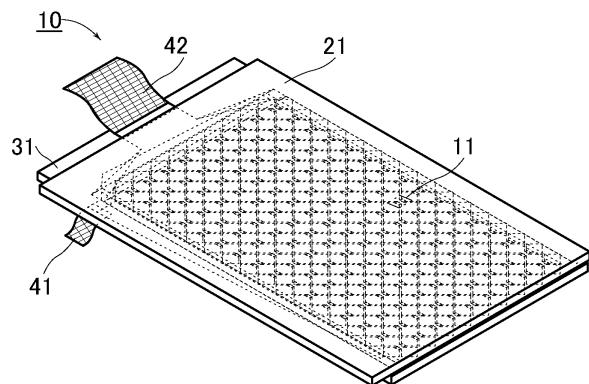
162a: 개구

- 180: 채널 형성 영역
- 181: 저농도 불순물 영역
- 182: 고농도 불순물 영역
- 185: 스페이서
- 190: 채널 형성 영역
- 192: 고농도 불순물 영역
- 210: 절연층
- 210 내지 215: 절연층
- 215: 절연층
- 220 내지 222, 241, 242: 도전층
- 243: 단자

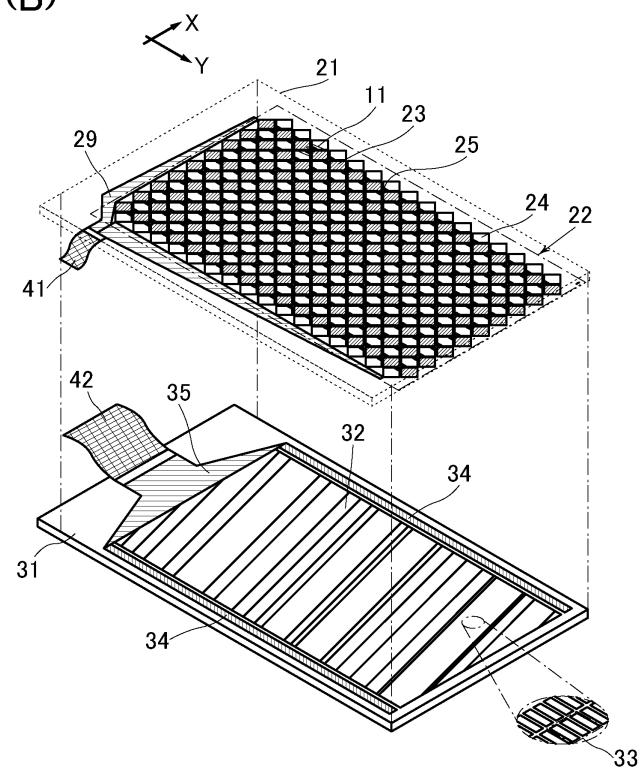
도면

도면1

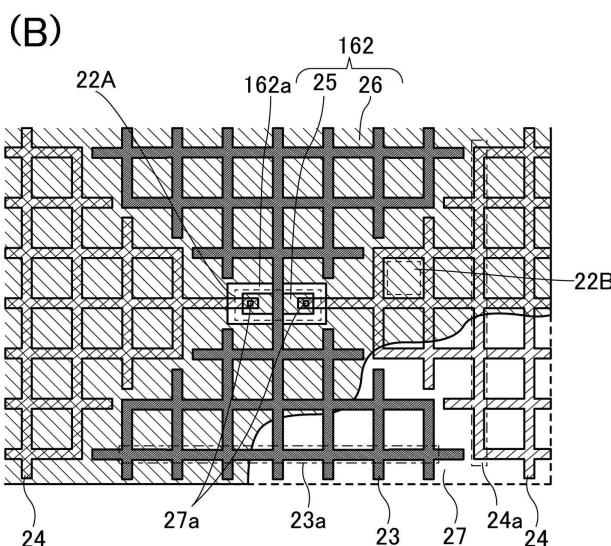
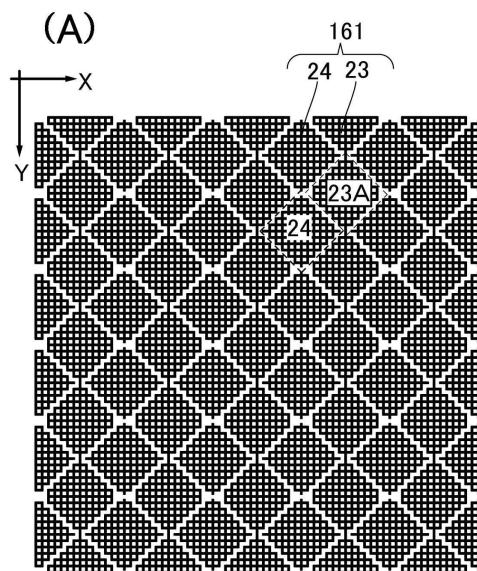
(A)



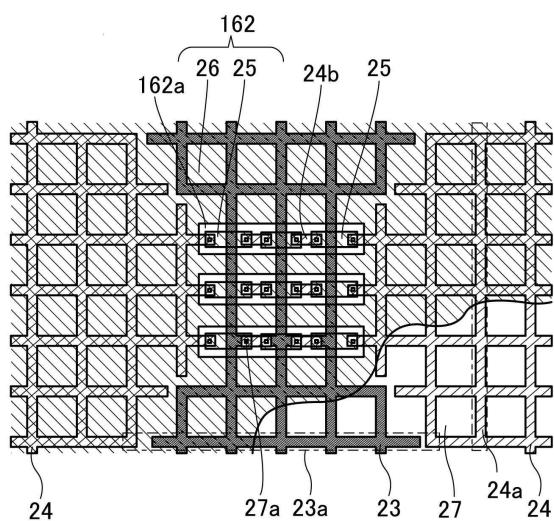
(B)



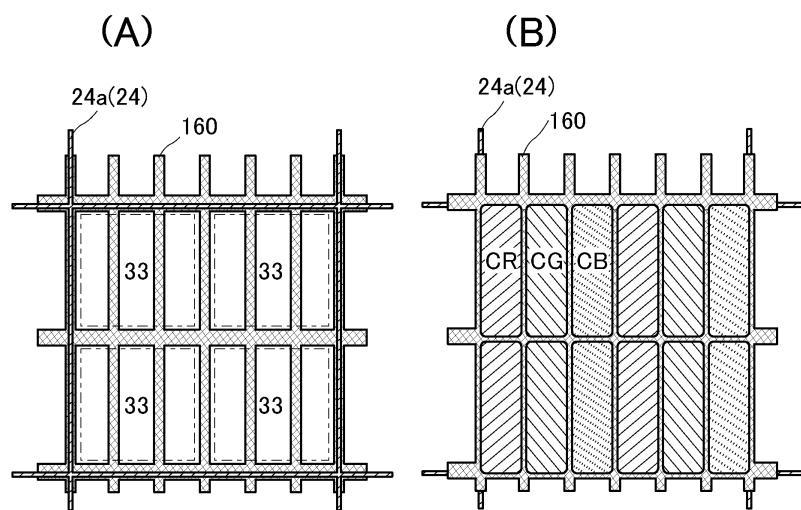
## 도면2



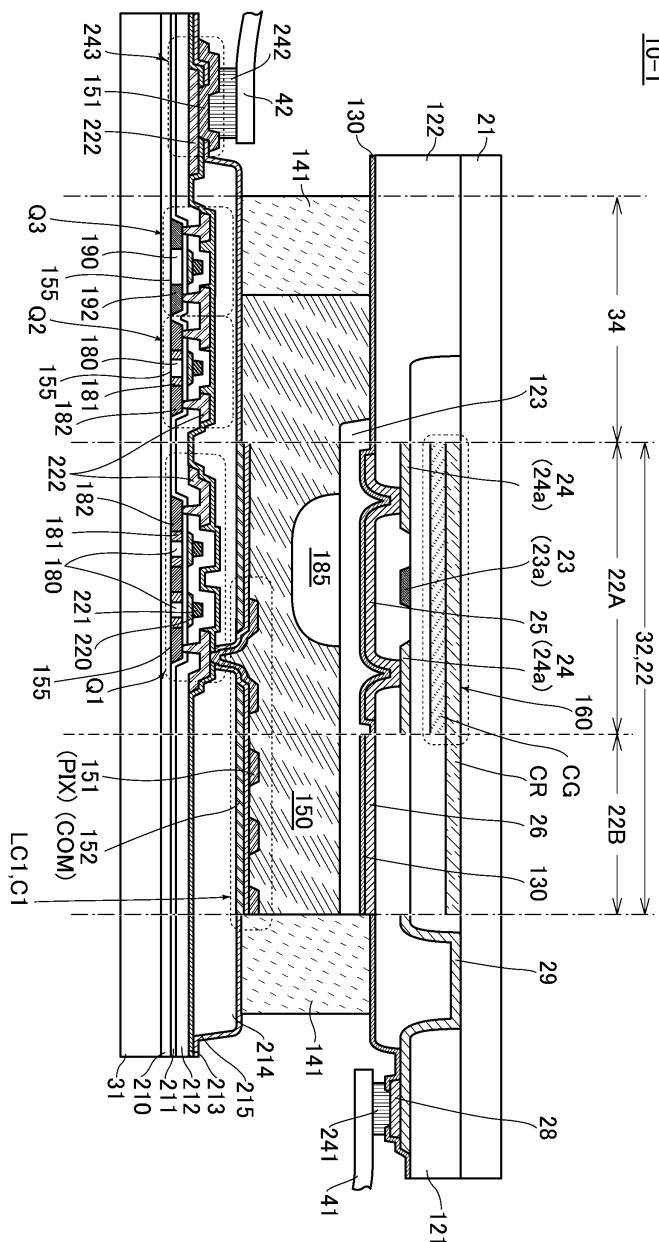
## 도면3



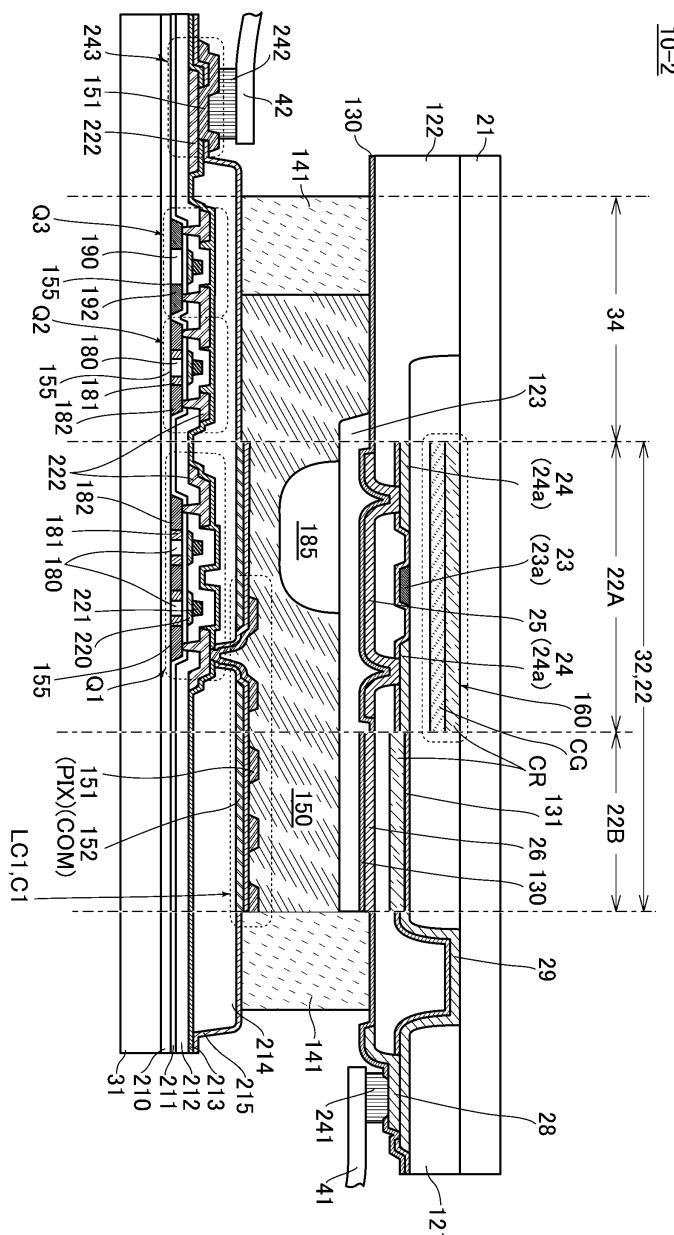
도면4



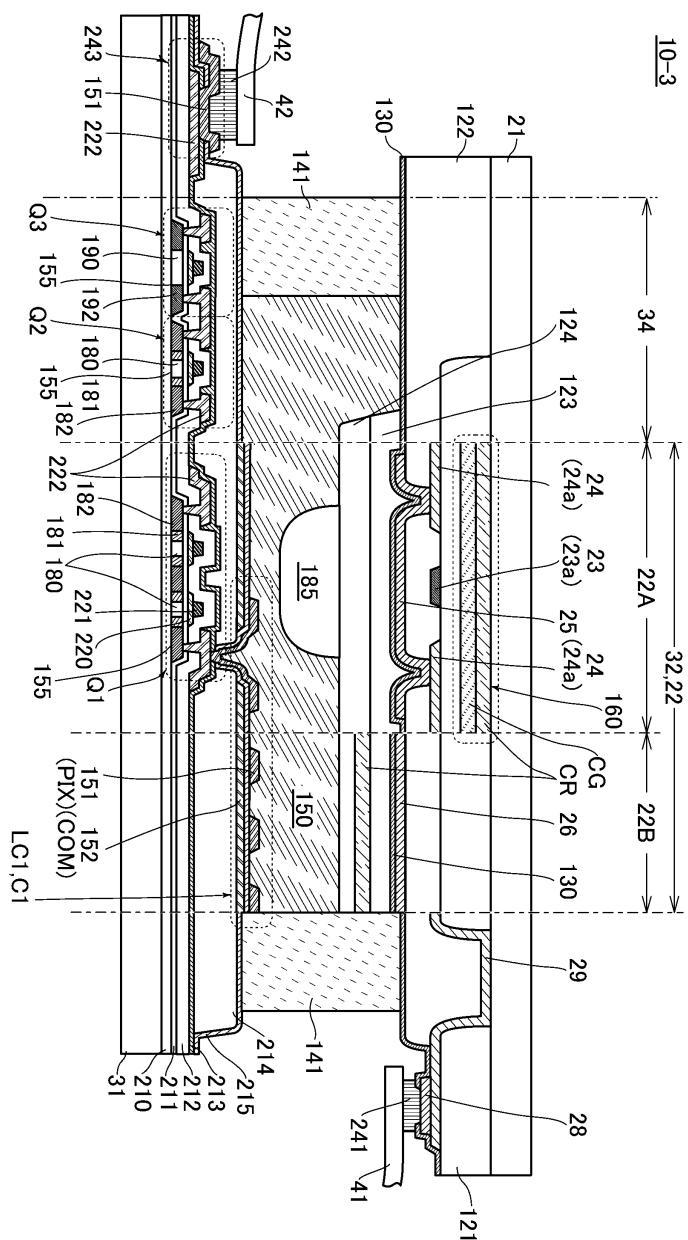
## 도면5



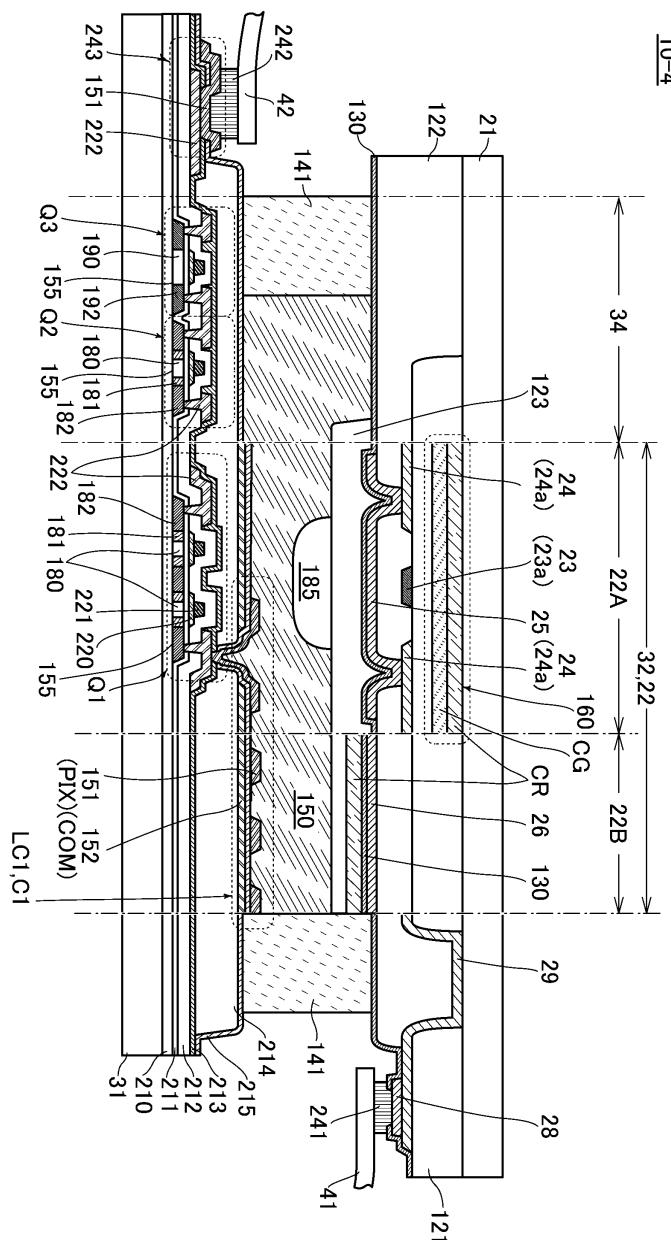
도면6



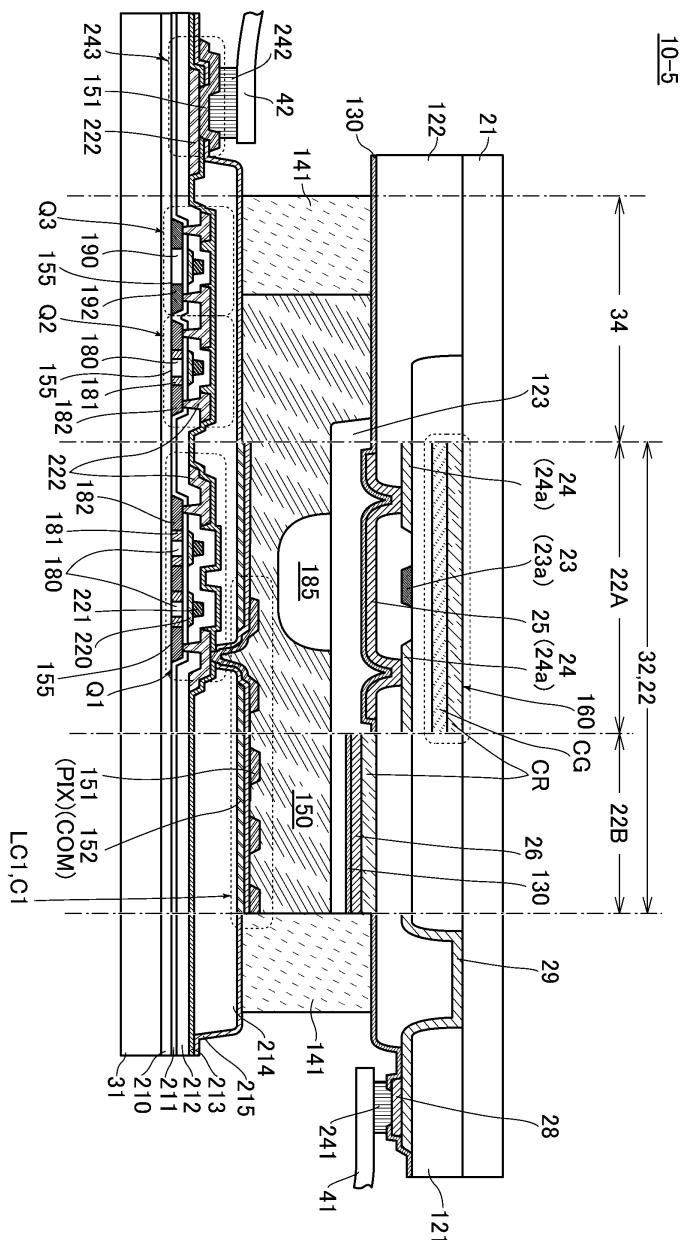
도면7



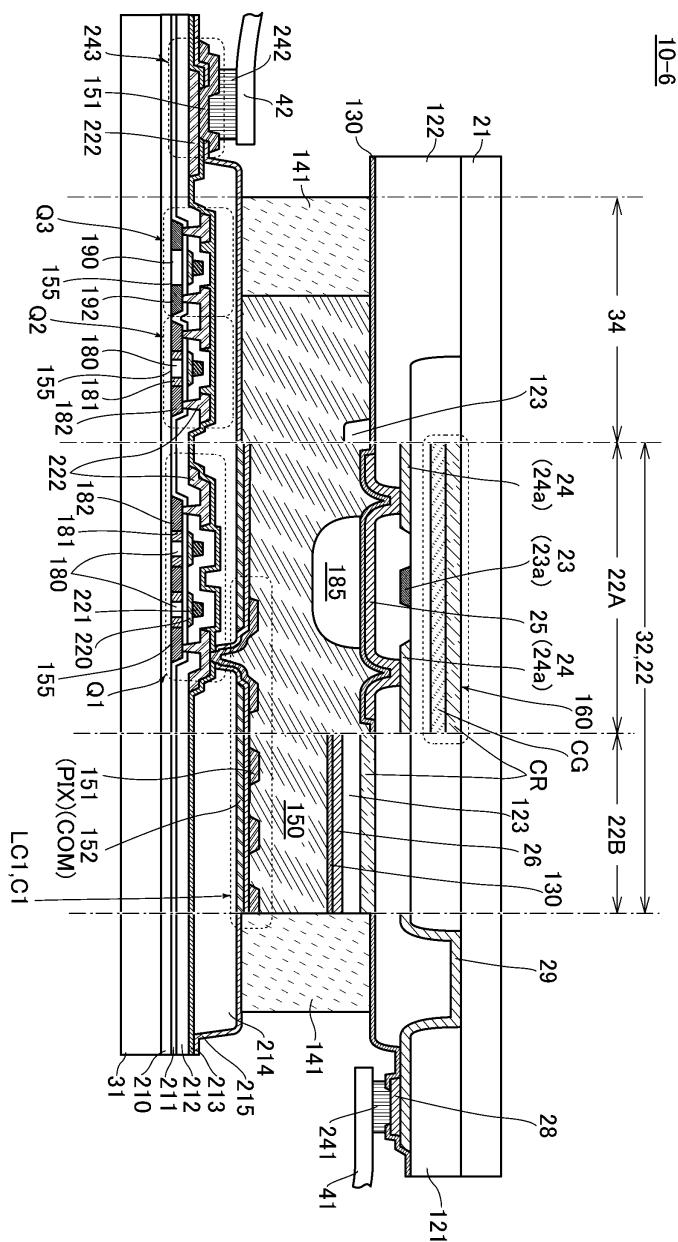
도면8



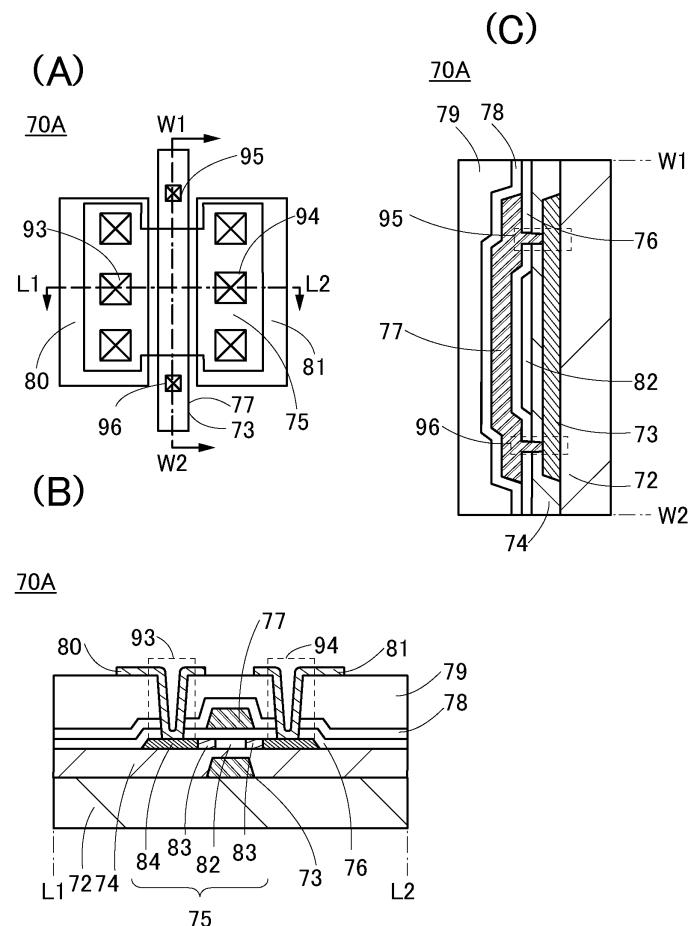
## 도면9



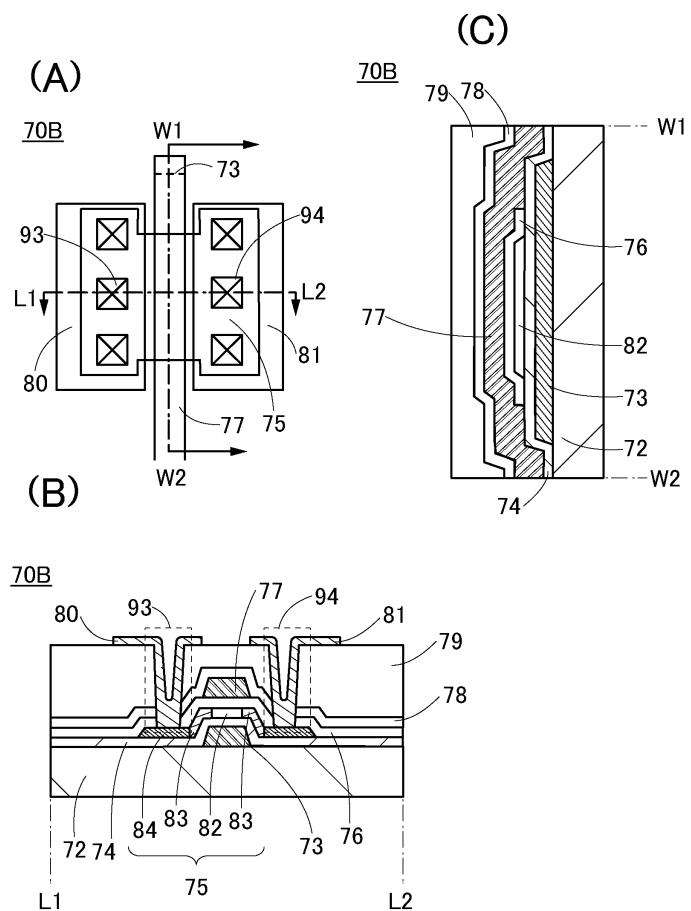
## 도면10



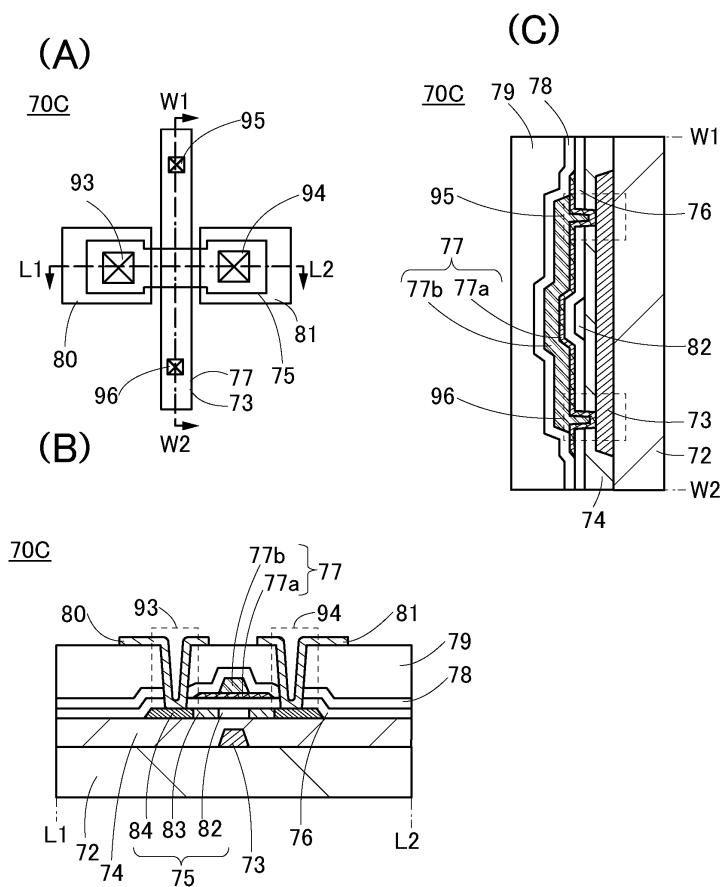
## 도면11



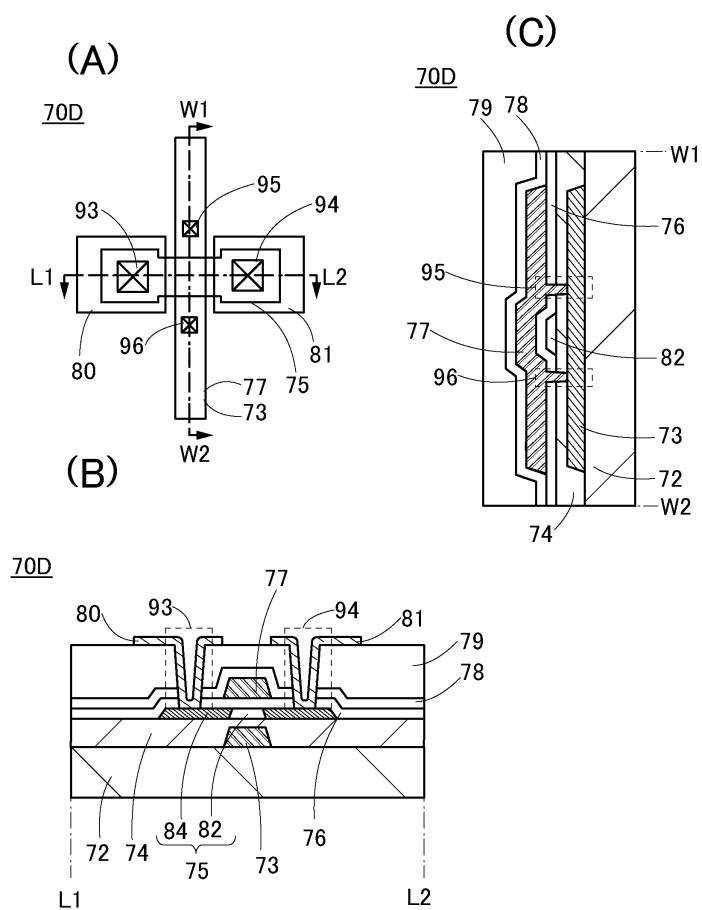
## 도면12



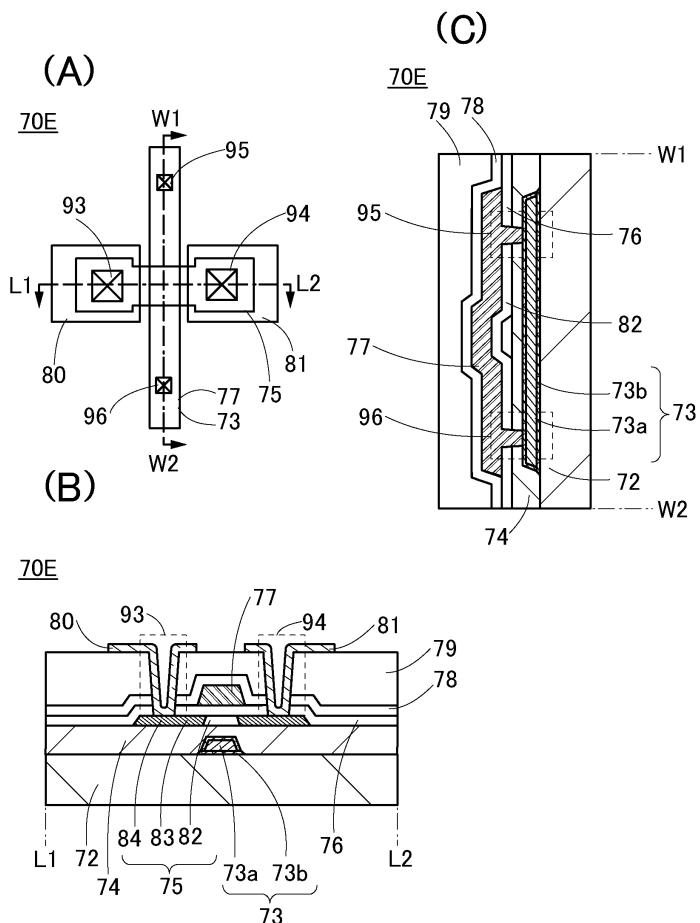
## 도면13



## 도면14

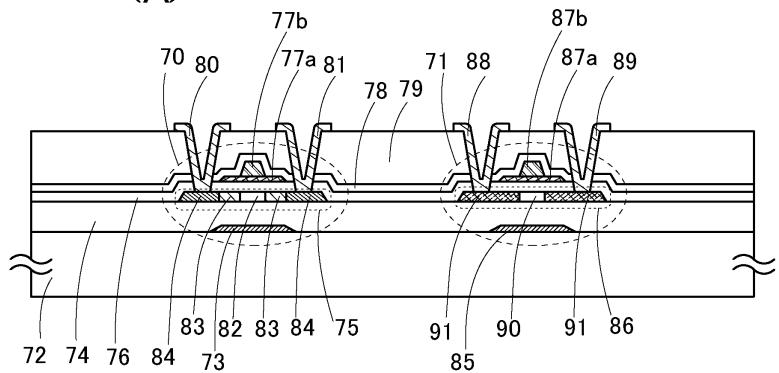


## 도면15

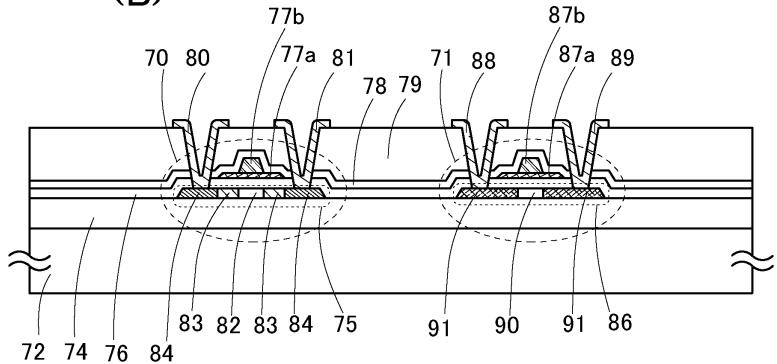


## 도면16

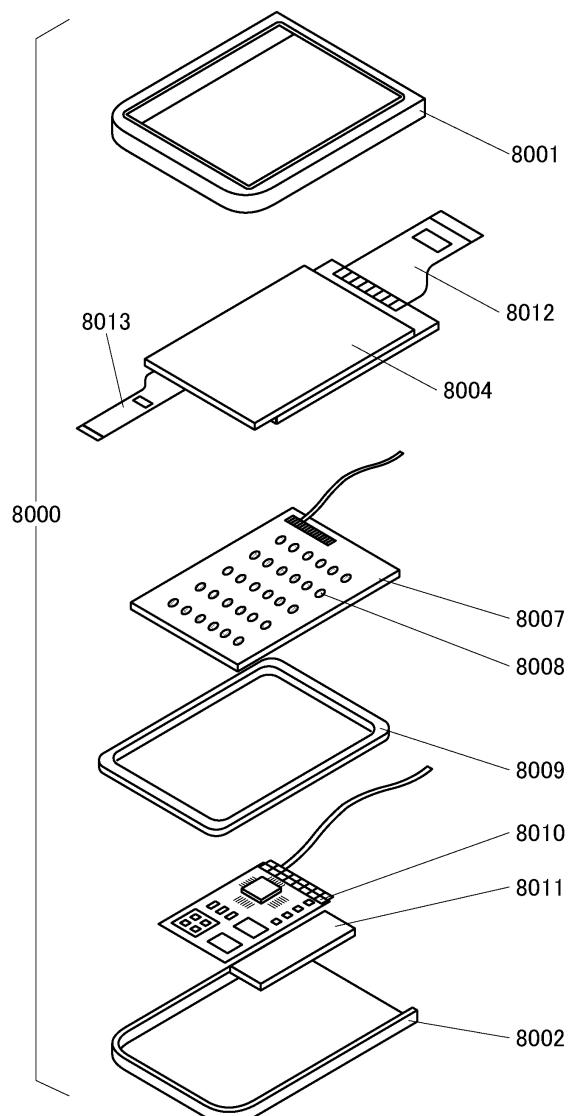
(A)



(B)



도면17



## 도면18

