



(12) 发明专利

(10) 授权公告号 CN 109727987 B

(45) 授权公告日 2021.02.02

(21) 申请号 201811631904.9

(22) 申请日 2018.12.29

(65) 同一申请的已公布的文献号

申请公布号 CN 109727987 A

(43) 申请公布日 2019.05.07

(73) 专利权人 上海华力集成电路制造有限公司

地址 201315 上海市浦东新区中国(上海)

自由贸易试验区康桥东路298号1幢
1060室

(72) 发明人 任佳 巨晓华 乔夫龙 王一

(74) 专利代理机构 上海浦一知识产权代理有限公司

公司 31211

代理人 焦天雷

(51) Int. Cl.

H01L 27/11524 (2017.01)

(56) 对比文件

CN 104637946 A, 2015.05.20

CN 102956564 A, 2013.03.06

CN 104425508 A, 2015.03.18

US 2008248621 A1, 2008.10.09

审查员 金政

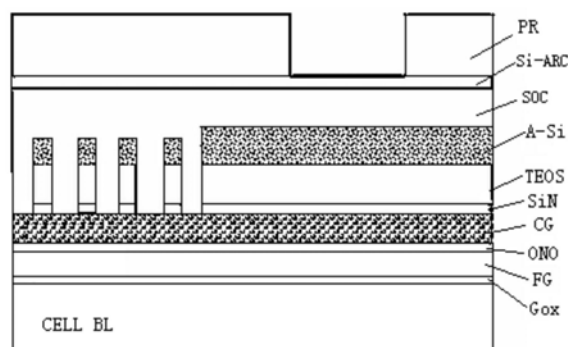
权利要求书1页 说明书4页 附图3页

(54) 发明名称

NAND flash栅形成方法

(57) 摘要

本发明公开了一种采用自对准双重成像技术(SADP)实现的NAND flash栅形成方法,包括:在SADP制程定义最小操作擦写读单元时,将定义的最小操作擦写读单元区域延伸到选择栅区域,定义硬掩膜窗口的过程中将选择栅区域形成的自对准双重图形去除,光刻形成选择栅图形。本发明能去除最小操作擦写读单元区阵列边缘外围一根line负载作用带来的关键尺寸异常,能够较好的形成最小操作擦写读单元图形和选择栅图形。



1. 一种NAND flash栅形成方法,采用自对准双重成像技术(SADP)实现,其特征在于,包括以下步骤:

1) 形成最小操作擦写读单元(CELL)区域有源区的核心图形,并将曝光区域延伸到选择栅(SG)区域;

2) 形成隔离侧墙,去除最小操作擦写读单元(CELL)区域的多晶硅层和部分隔离侧墙,完成自对准双重成像图形(SADP pattern)定义;

3) 在制作掩膜结构窗口过程中,消除选择栅(SG)区域的自对准双重图形;

4) 形成掩膜结构,去除部分掩膜结构初步形成选择栅(SG)刻蚀窗口;

5) 光刻去除初步形成选择栅(SG)刻蚀窗口处的全部掩膜结构,保留初步形成选择栅(SG)刻蚀窗口以外区域的部分掩膜结构,最终形成选择栅(SG)刻蚀窗口;

6) 将选择栅(SG)区域刻蚀形成两个选择栅(SG),刻蚀去除选择栅(SG)区域剩余的掩膜结构,并将最小操作擦写读单元(CELL)区域剩余的掩膜结构全部去除,完成最小操作擦写读单元(CELL)区域和选择栅(SG)区域图形定义;

7) 最小操作擦写读单元(CELL)区域和选择栅(SG)区域分别以各自区域的硬掩模为硬掩膜版进行下层(layer)刻蚀,最终形成最小操作擦写读单元(CELL)区域和选择栅(SG)区域的栅。

2. 如权利要求1所述的NAND flash栅形成方法,其特征在于:所述NAND是2X NAND。

3. 如权利要求1所述的NAND flash栅形成方法,其特征在于:实施步骤1)时,利用光刻和干法刻蚀形成最小操作擦写读单元(CELL)区域有源区的核心图形,并将曝光区域延伸到选择栅(SG)区域。

4. 如权利要求1所述的NAND flash栅形成方法,其特征在于:实施步骤2)时,利用原子层沉积形成隔离侧墙,刻蚀去除最小操作擦写读单元(CELL)区域的多晶硅层和部分隔离侧墙,完成自对准双重成像图形(SADP pattern)定义。

5. 如权利要求1所述的NAND flash栅形成方法,其特征在于:实施步骤4)时,掩膜结构是三层(tri-layer)结构,所述三层结构是自上而下顺序布置光刻胶(PR)、防反射膜(Si-ARC)和旋涂碳(SOC)。

6. 如权利要求5所述的NAND flash栅形成方法,其特征在于:实施步骤4)时,去除选择栅(SG)区域的光刻胶(PR)初步形成选择栅(SG)刻蚀窗口。

7. 如权利要求1所述的NAND flash栅形成方法,其特征在于:实施步骤5)时,保留部分掩膜结构是减薄的防反射膜(Si-ARC),以及全部旋涂碳(SOC)。

8. 如权利要求1所述的NAND flash栅形成方法,其特征在于:实施步骤6)时,最小操作擦写读单元(CELL)区域剩余的掩膜结构是旋涂碳(SOC)。

9. 如权利要求8所述的NAND flash栅形成方法,其特征在于:实施步骤6)时,采用N₂、O₂、或CO₂去除旋涂碳(SOC)。

NAND flash栅形成方法

技术领域

[0001] 本发明涉及集成电路领域,特别是涉及一种NAND flash栅形成方法。

背景技术

[0002] 对于高容量的半导体存储装置需求的日益增加,这些半导体存储装置的集成密度受到人们的关注,为了增加半导体存储装置的集成密度,现有技术中采用了许多不同的方法,例如通过减小晶片尺寸和/或改变内结构单元而在单一晶片上形成多个存储单元,对于通过改变单元结构增加集成密度的方法来说,已经进行尝试沟通过改变有源区的平面布置或改变单元布局来减小单元面积。

[0003] Nand-flash存储器是flash存储器的一种,其内部采用非线性宏单元模式,为固态大容量内存的实现提供了廉价有效的解决方案。NAND闪存是一种比硬盘驱动器更好的存储方案,由于NAND闪存以页为单位读写数据,所以适合于存储连续的数据,如图片、音频或其他文件数据;同时因其成本低、容量大且写入速度快、擦除时间短的优点在移动通讯装置及便携式多媒体装置的存储领域得到广泛的应用。目前,为了提高NAND闪存的容量,需要在制备过程中提高NAND闪存的集成密度。NAND Flash的数据是以bit的方式保存在最小操作擦写读单元memory cell,简称cell,一般来说,一个最小操作擦写读单元CELL中只能存储一个bit。这些最小操作擦写读单元CELL以8个或者16个为单位,连成bit line,形成所谓的byte(x8)/word(x16),这就是NAND Device的位宽。这些Line会再组成Page。具体一片flash上有多少个Block视需要所定。Nand-flash存储器具有容量较大,改写速度快等优点,适用于大量数据的存储,因而在业界得到了越来越广泛的应用,如嵌入式产品中包括数码相机、MP3随身听记忆卡、体积小巧的U盘等。

[0004] 在制备NAND闪存过程中,间隔物图案化技术(Spacer patterning technology, SPT)以及自对准双图案技术(self aligned double patterning, SADP)均可以用来制备纳米尺度的晶体管,采用所述方法处理半导体的晶片时通常使用公知的图案化和蚀刻工艺在晶片上形成半导体器件的特征,在这些光刻工艺中,光刻胶材料沉积在晶片上,然后暴露于经过中间掩膜过滤的光线,通过中间掩膜后,该光线接触该光刻胶材料的表面,该光线改变该光刻胶材料的化学成分从而显影机可以去除该光刻胶材料的一部分,得到所需要的图案,

[0005] 20nm NAND在2X generation节点下,由于ArF的曝光极限,栅环GT loop的最小操作擦写读单元CELL区采用自对准双图案工艺技术来形成最终pitchpitch=line+space,两“单元”其中心间之距离为38nm的图形pattern。栅光刻GT photo时再定义外围Peri区的图形pattern,包括选择栅select gate。在这种策略scheme下,最小操作擦写读单元CELL区最外面一根line由于刻蚀过程etch process中的负载作用loading effect,最终刻蚀后的关键尺寸CD会跟最小操作擦写读单元阵列cell array中间line的关键尺寸CD差异较大,为了去除这种现象,提出了一种新的Peri区gate形成方法。

发明内容

[0006] 本发明要解决的技术问题是提供一种能避免NAND flash最小操作擦写读单元CELL阵列最外围line的关键尺寸CD差异的NAND flash栅形成方法。

[0007] 为解决上述技术问题,本发明提供的NAND flash栅形成方法,采用自对准双重成像技术SADP实现,包括以下步骤:

[0008] 1) 形成最小操作擦写读单元CELL区域有源区的核心图形,并将曝光区域延伸到选择栅SG区域;

[0009] 2) 形成隔离侧墙,去除最小操作擦写读单元CELL区域的多晶硅层和部分隔离侧墙,完成自对准双重成像图形SADP pattern定义;

[0010] 3) 在制作掩膜结构窗口过程中,消除选择栅SG区域的自对准双重图形;

[0011] 4) 形成掩膜结构,去除部分掩膜结构初步形成选择栅SG刻蚀窗口;

[0012] 5) 光刻去除初步形成选择栅SG刻蚀窗口处的全部掩膜结构,保留初步形成选择栅SG刻蚀窗口以外区域的部分掩膜结构,最终形成选择栅SG刻蚀窗口;

[0013] 6) 将选择栅SG区域刻蚀形成两个选择栅SG,刻蚀去除选择栅SG区域剩余的掩膜结构,并将最小操作擦写读单元CELL区域剩余的掩膜结构全部去除,完成最小操作擦写读单元CELL区域和选择栅SG区域图形定义;

[0014] 7) 最小操作擦写读单元CELL区域和选择栅SG区域分别以各自区域的HM为硬掩膜版进行下层layer刻蚀,最终形成最小操作擦写读单元CELL区域和选择栅SG区域的栅。

[0015] 进一步改进所述的NAND flash栅形成方法,所述NAND是2X NAND。

[0016] 进一步改进所述的NAND flash栅形成方法,实施步骤1)时,利用光刻和干法刻蚀形成最小操作擦写读单元CELL区域有源区的核心图形,并将曝光区域延伸到选择栅SG区域。

[0017] 进一步改进所述的NAND flash栅形成方法,实施步骤2)时,利用原子层沉积形成隔离侧墙,刻蚀去除最小操作擦写读单元CELL区域的多晶硅层和部分隔离侧墙,完成自对准双重成像图形SADP pattern定义。

[0018] 进一步改进所述的NAND flash栅形成方法,实施步骤4)时,掩膜结构是三层tri-layer结构,所述三层结构是光刻胶PR、防反射膜Si-ARC和旋涂碳SOC。

[0019] 进一步改进所述的NAND flash栅形成方法,实施步骤4)时,去除选择栅(SG)区域的光刻胶PR初步形成选择栅SG刻蚀窗口。

[0020] 进一步改进所述的NAND flash栅形成方法,实施步骤5)时,保留部分掩膜结构是减薄的防反射膜Si-ARC,以及全部旋涂碳SOC。

[0021] 进一步改进所述的NAND flash栅形成方法,实施步骤6)时,最小操作擦写读单元CELL区域剩余的掩膜结构是旋涂碳SOC。

[0022] 进一步改进所述的NAND flash栅形成方法,实施步骤6)时,采用N₂、O₂、或CO₂去除旋涂碳SOC。

[0023] 本发明针对目前采用自对准双图案工艺实现GT曝光的这种生产工艺下,最小操作擦写读单元CELL区最外面一根line由于刻蚀过程etch process中的负载作用loadingeffect,最终刻蚀后的关键尺寸CD会跟最小操作擦写读单元阵列cell array中间line的关键尺寸CD差异较大,提出一种新的选择栅SG形成方法。本发明在自对准双图案工

艺制程定义最小操作擦写读单元CELL的时候,将最小操作擦写读单元CELL定义区间延伸到选择栅SG区域,在选择栅SG区域形成的自对准双图案图形SADP pattern在后面硬掩膜窗口定义HM open的过程当中去除掉延伸的最小操作擦写读单元CELL,再加一道光刻去除Cut photo以形成选择栅图形SG pattern。本发明通过将最小操作擦写读单元CELL区自对准双图案图形定义区延伸以去除实际最小操作擦写读单元CELL区阵列边缘array edge最边上一根line负载作用loading effect带来的关键尺寸CD异常,后续的外围Peri区刻蚀过程etch process可以去除掉在选择栅SG区域定义的自对准双图案图形SADP pattern,最终实现完整的栅图形GT pattern。通过本发明的技术方案去除实际最小操作擦写读单元CELL区阵列边缘array edge最边上一根line负载作用

[0024] loading effect带来的关键尺寸CD异常,因此能够较好的形成最小操作擦写读单元图形CELL/选择栅图形SG。

附图说明

[0025] 下面结合附图与具体实施方式对本发明作进一步详细的说明:

[0026] 图1是本发明实施例的示意图一。

[0027] 图2是本发明实施例的示意图二。

[0028] 图3是本发明实施例的示意图三。

[0029] 图4是本发明实施例的示意图四。

[0030] 图5是本发明实施例的示意图五。

[0031] 图6是本发明实施例的示意图六。

[0032] 图7是本发明实施例的示意图七。

[0033] 图8是本发明实施例的示意图八。

[0034] 附图标记说明

[0035] Spacer隔离侧墙

[0036] A-Si是多晶硅层

[0037] CELL是最小操作擦写读单元区域

[0038] TEOS是正硅酸乙酯层

[0039] SiN是氮化硅层

[0040] CG是控制栅

[0041] ONO是氧化层-氮化层-氧化层结构

[0042] FG是浮栅

[0043] Gox是氧化层

[0044] PR光刻胶

[0045] Si-ARC防反射膜

[0046] SOC旋涂碳

[0047] CELL BL是BL最小操作擦写读单元。

具体实施方式

[0048] 以下结合附图提供本发明采用自对准双图案工艺实现的NAND flash栅形成方法

一具体可行实施例,本实施例中所述NAND是2X NAND。

[0049] 首先按照本领域现有2X NAND的执行制造步骤。参考图1所示,形成由上至下行包括隔离侧墙Spacer、多晶硅层A-Si、正硅酸乙酯层TEOS、氮化硅层SiN、控制栅CG、氧化层-氮化层-氧化层结构ON₂O、浮栅FG和氧化层G_{ox}的结构;

[0050] 1) 图1所示左侧是设计的最小操作擦写读单元CELL区域,右侧为设计的选择栅SG区域。利用光刻和干法刻蚀形成最小操作擦写读单元CELL区域有源区的核心图形,并将曝光区域延伸到选择栅SG区域。

[0051] 2) 参考图1、2所示,利用原子层沉积形成隔离侧墙,光刻去除最小操作擦写读单元CELL区域的多晶硅层和部分隔离侧墙,完成自对准双重成像图形SADP pattern定义;

[0052] 3) 参考图3所示,在制作掩膜结构窗口过程中,消除选择栅SG区域的自对准双重图形;

[0053] 4) 参考图4所示,掩膜结构是三层tri-layer结构,所述三层结构是光刻胶PR、防反射膜Si-ARC和旋涂碳SOC,去除选择栅(SG)区域的光刻胶PR初步形成选择栅SG刻蚀窗口;

[0054] 5) 参考图5所示,光刻去除初步形成选择栅SG刻蚀窗口处的全部光刻胶PR、防反射膜Si-ARC和旋涂碳SOC,保留初步形成选择栅SG刻蚀窗口以外区域的减薄的防反射膜Si-ARC,以及全部旋涂碳SOC,最终形成选择栅SG刻蚀窗口;

[0055] 6) 参考图6所示,将选择栅SG区域刻蚀形成两个选择栅SG,刻蚀去除选择栅SG区域剩余的防反射膜Si-AR和旋涂碳SOC,并采用N₂、O₂、或CO₂将最小操作擦写读单元CELL区域剩余的旋涂碳SOC全部去除,完成最小操作擦写读单元CELL区域和选择栅SG区域图形定义;

[0056] 7) 参考图7所示,最小操作擦写读单元CELL区域和选择栅SG区域分别以各自区域的HM为硬掩膜版进行下层layer刻蚀,参考图8所示最终形成最小操作擦写读单元CELL区域和选择栅SG区域的栅。

[0057] 以上通过具体实施方式和实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

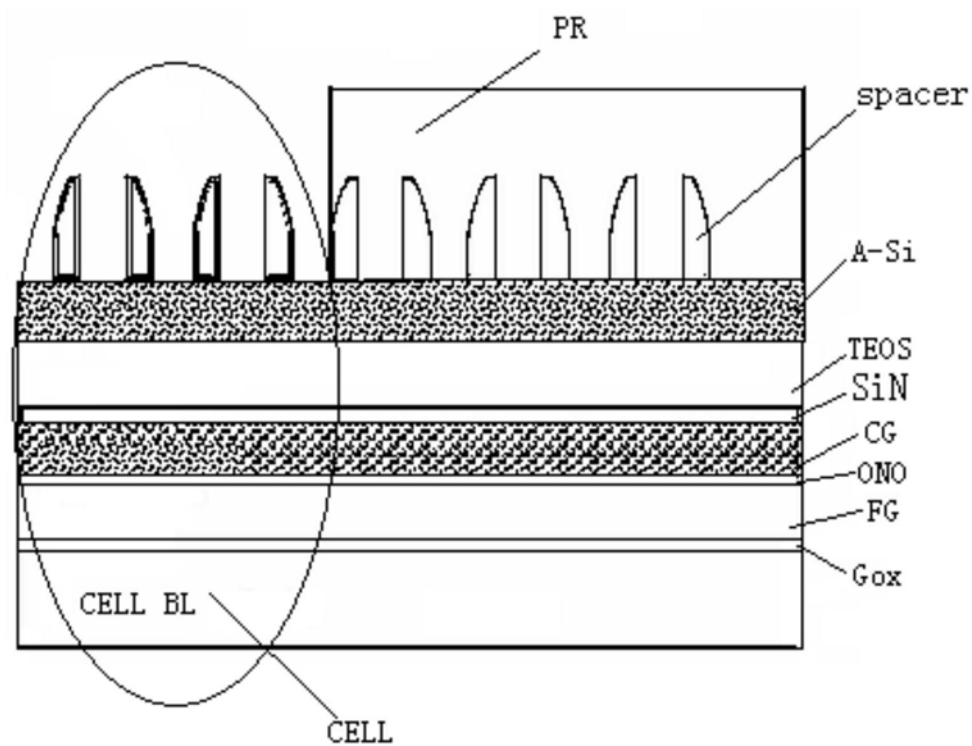


图1

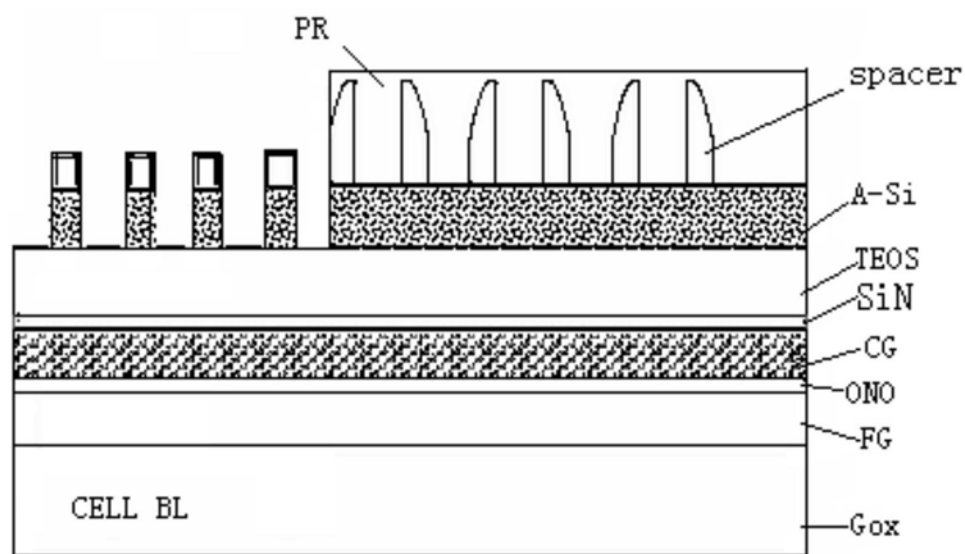


图2

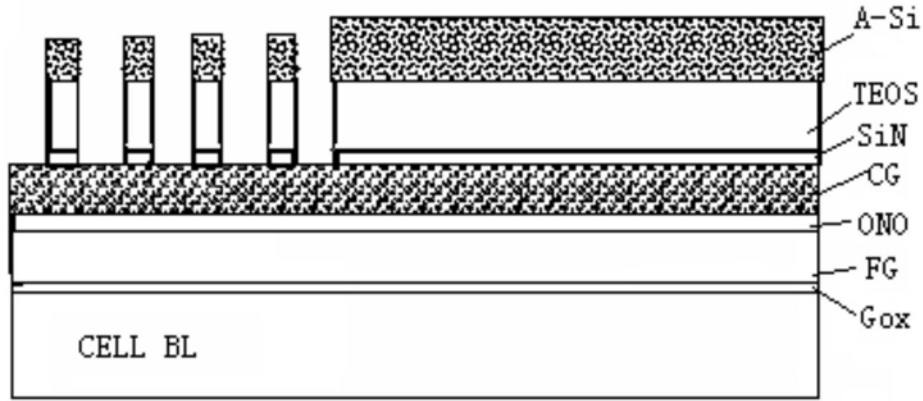


图3

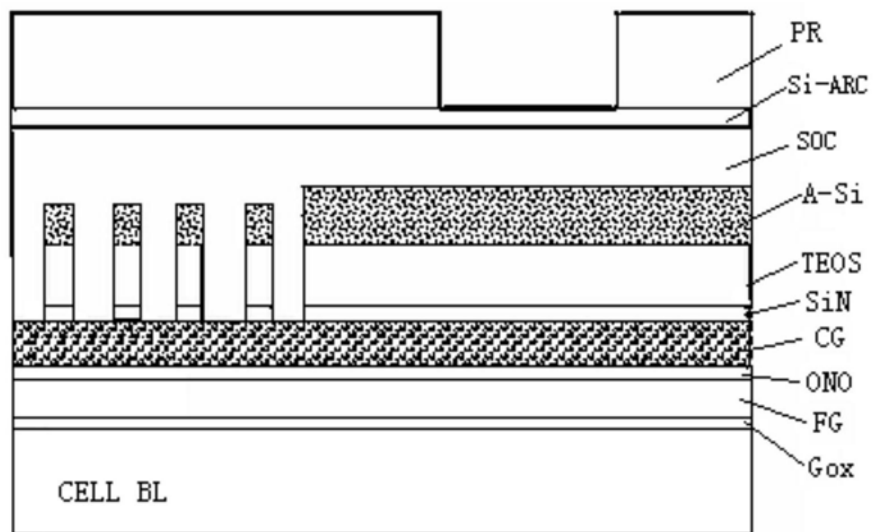


图4

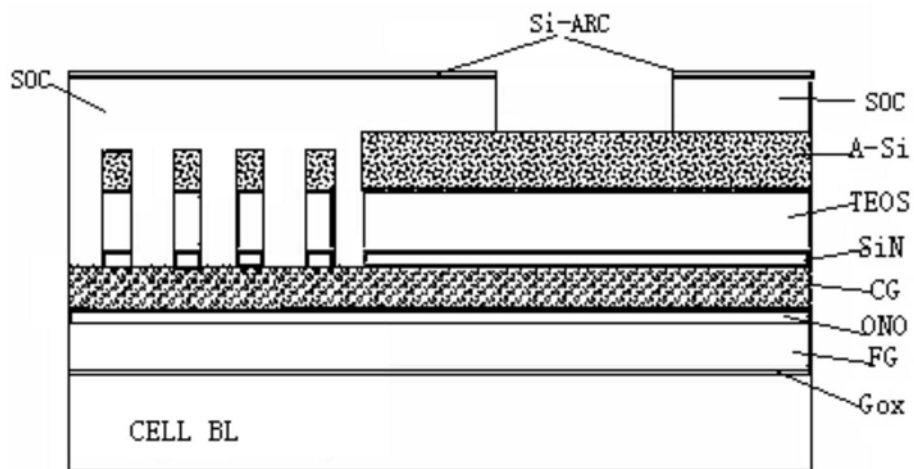


图5

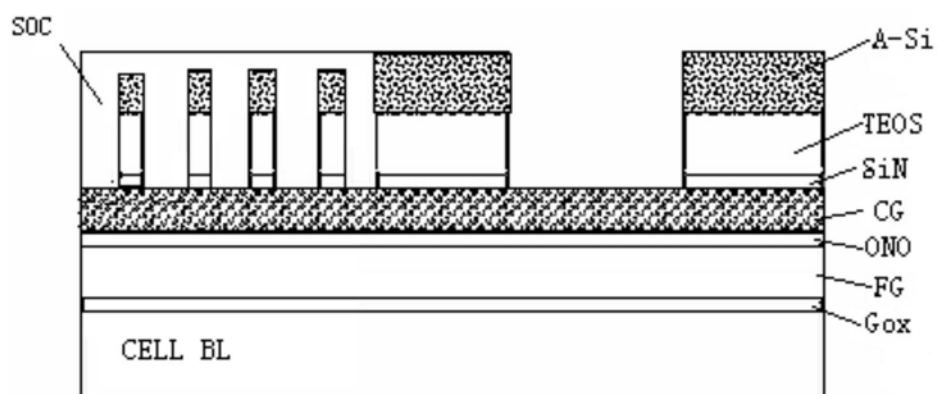


图6

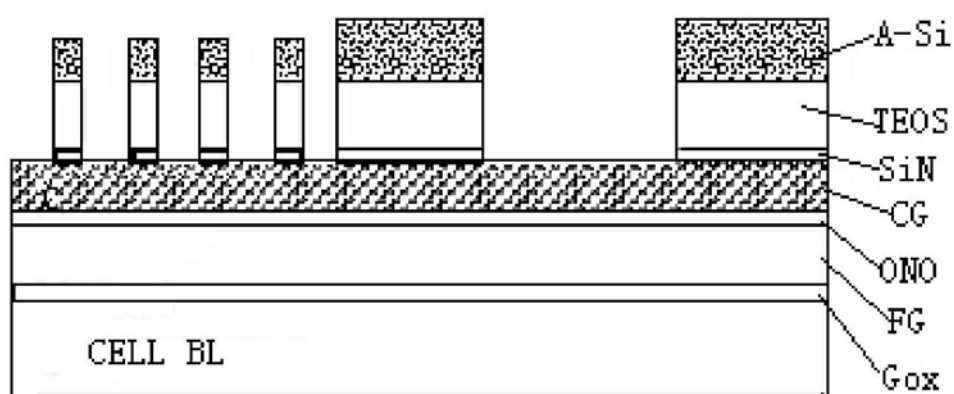


图7

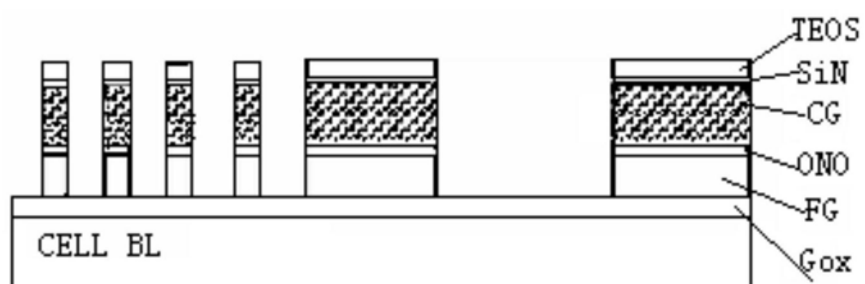


图8