(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 696 29 635 T2** 2004.06.24

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 756 371 B1**
(21) Deutsches Aktenzeichen: **696 29 635.7**
(96) Europäisches Aktenzeichen: **96 111 425.3**
(96) Europäischer Anmeldetag: **16.07.1996**
(97) Erstveröffentlichung durch das EPA: **29.01.1997**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **27.08.2003**
(47) Veröffentlichungstag im Patentblatt: **24.06.2004**

(51) Int Cl.[7]: **H02M 7/5387**
H02P 7/00

(30) Unionspriorität:
18248495 19.07.1995 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Matsushita Electric Industrial Co., Ltd., Kadoma, Osaka, JP

(74) Vertreter:
Eisenführ, Speiser & Partner, 28195 Bremen

(72) Erfinder:
Takada, Kazuyuki, Hirakata-shi, Osaka-fu, JP; Isomura, Yoshinori, Itami-shi, JP; Tsubouchi, Toshiki, Takefu-shi, Fukui-ken, JP

(54) Bezeichnung: **Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung mit logischer Schaltung zur periodischen Erzeugung von Schaltsignalen**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

1. GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft eine Umrichtervorrichtung mit PWM (pulsweitenmodulierter) Stromsteuerung zum Antreiben und Steuern eines Dreiphasenmotors, und im Speziellen eine Umrichtervorrichtung mit PWM (pulsweitenmodulierter) Stromsteuerung, die eine logische Schaltung zum Erzeugen von Schaltsteuerungssignalen in periodischen Zeittakten aufweist.

2. BESCHREIBUNG DES STANDES DER TECHNIK

[0002] In den letzten Jahren sind Umrichtervorrichtungen mit pulsweitenmodulierter Stromsteuerung umfassend zum Antreiben und Steuern von Dreiphasenmotoren, wie Induktionsmotoren, Synchronmotoren, Reluktanzmotoren oder dgl., verwendet worden.

[0003] Im Vergleich mit einer Umrichtervorrichtung mit pulsweitenmodulierter Spannungssteuerung, welche eine Spannung steuert, die zu einem Motor geführt wird, und die der Steuerung entsprechende Spannung zu dem Motor führt, ist die Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung, welche einen Strom steuert, der in einen Motor geleitet wird, und den der Steuerung entsprechenden Strom zwingend durch den Motor leitet, vorteilhaft in Ansprechverhalten und Beherrschbarkeit. Im Speziellen ist die Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung zur Steuerung eines Wechselstrom-Servomotors und dgl. in beinahe all den Fällen eingeführt.

[0004] Ein Aufbau eines allgemeinen Umrichtersystems mit pulsweitenmodulierter Stromsteuerung wird hier mit Bezug auf **Fig.** 11 beschrieben.

[0005] Bezug nehmend auf **Fig.** 11 wird als erstes eine Grundfrequenz f und ein effektiver Stromwert ip eines dreiphasigen AC-(Wechselstrom)-Stromsignalverlaufs, die zu einem Dreiphasenmotor **1** zugeführt werden, in einem Strombefehls-Erzeugungsmittel **7** eingestellt, und aufgrund dieser Information erzeugt das Strombefehls-Erzeugungsmittel **7** intern Strombefehlssignale, die in den Dreiphasenmotor **1** geleitet werden, und die erzeugten Befehlssignale als ein erstes Leitungsstrom-Steuersignal iTU, ein zweites Leitungsstrom-Steuersignal iTV und ein drittes Leitungsstrom-Steuersignal iTW.

[0006] Dann erfasst eine Motorstrom-Erfassungsschaltung **9** zwei Leitungsströme des Dreiphasenmotors **1**, erhält den verbleibenden einen Leitungsstrom durch Erhalten der Summe der erfassten zwei Leitungsströme und Invertieren des Vorzeichens des Summenwerts und gibt die resultierenden erfassten Ströme als einen ersten erfassten Leitungsstrom iFU, einen zweiten erfassten Leitungsstrom iFV und einen dritten erfassten Leitungsstrom iFW aus. Es ist zu beachten, dass die Motorstrom-Erfassungsschaltung **9** die drei Leitungsströme des Dreiphasenmotors **1** erfassen kann und dann den ersten erfassten Leitungsstrom iFU, den zweiten erfassten Leitungsstrom iFV und den dritten erfassten Leitungsstrom iFW ausgibt.

[0007] Dann erhält eine Stromsteuerung **106** das erste Leitungsstrom-Steuersignal iTU, das zweite Leitungsstrom-Steuersignal iTV, das dritte Leitungsstrom-Steuersignal iTW, den ersten erfassten Leitungsstrom iFU, den zweiten erfassten Leitungsstrom iFV und den dritten erfassten Leitungsstrom iFW und erzeugt ein erstes Schaltsteuersignal PU, ein zweites Schaltsteuersignal PV und ein drittes Schaltsteuersignal PW, so dass das erste Leitungsstrom-Steuersignal iTU, das zweite Leitungsstrom-Steuersignal iTV und das dritte Leitungsstrom-Steuersignal iTW ausgebildet sind, um jeweils so weit wie möglich mit dem ersten erfassten Leitungsstrom iFU, dem zweiten erfassten Leitungsstrom iFV und dem dritten erfassten Leitungsstrom iFW übereinzustimmen.

[0008] Ferner umfasst eine Hauptschaltungs-Leistungssteuerung **8**:

(a) eine logische Umrichterschaltung **5**, die drei Umrichter aufweist;

(b) eine Grundtreiberschaltung **4**, die sechs Grundtreiber aufweist;

(c) eine Hauptschaltungs-DC-(Gleichstrom)-Energiequelle **3**; und

(d) eine Hauptschaltungs-Versorgungsschaltung **2**, die eine Dreiphasen-Brückenschaltung hat, wobei die Hauptschaltungs-Versorgungsschaltung **2** umfasst:

(d-1) ein erstes Hauptschaltungs-Leistungsschaltelement Q1, welches an eine positive Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und einen ersten Leitungsstrom IU zu dem Dreiphasenmotor **1** zuführt;

(d-2) ein zweites Hauptschaltungs-Leistungsschaltelement Q2, welches an die positive Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und einen zweiten Leitungsstrom IV zu dem Dreiphasenmotor **1** zuführt;

(d-3) ein drittes Hauptschaltungs-Leistungsschaltelement Q3, welches an die positive Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und einen dritten Leitungsstrom IW zu dem Dreiphasen-

motor **1** zuführt;
(d-4) ein viertes Hauptschaltungs-Leistungsschaltelement Q4, welches an eine negative Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und den ersten Leitungsstrom IU zu dem Dreiphasenmotor **1** zuführt;
(d-5) ein fünftes Hauptschaltungs-Leistungsschaltelement Q5, welches an die negative Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und den zweiten Leitungsstrom IV zu dem Dreiphasenmotor **1** zuführt;
(d-6) ein sechstes Hauptschaltungs-Leistungsschaltelement Q6, welches an die negative Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und den dritten Leitungsstrom IW zu dem Dreiphasenmotor **1** zuführt; und
(d-7) sechs Freilaufdioden, von denen jede parallel zwischen dem Kollektor und dem Emitter jeder der Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 angeschlossen ist.

[0009] Die Hauptschaltungs-Versorgungsschaltung **2** arbeitet zum Einschalten entweder des ersten Hauptschaltungs-Leistungsschaltelements Q1 oder des vierten Hauptschaltungs-Leistungsschaltelements Q4 in Übereinstimmung mit dem ersten Schaltsteuersignal PU, Einschalten entweder des zweiten Hauptschaltungs-Leistungsschaltelements Q2 oder des fünften Hauptschaltungs-Leistungsschaltelements Q5 in Übereinstimmung mit dem zweiten Schaltsteuersignal PV und Einschalten entweder des dritten Hauptschaltungs-Leistungsschaltelements Q3 oder des sechsten Hauptschaltungs-Leistungsschaltelements Q6 in Übereinstimmung mit dem dritten Schaltsteuersignal PW.
[0010] In diesem Fall, wenn das erste Schaltsteuersignal PU einen hohen Pegel (im Folgenden als H-Pegel bezeichnet) einnimmt, wird das erste Hauptschaltungs-Leistungsschaltelement Q1 eingeschaltet. Andererseits, wenn das erste Schaltsteuersignal PU einen niedrigen Pegel (im Folgenden als L-Pegel bezeichnet) einnimmt, wird das vierte Hauptschaltungs-Leistungsschaltelement Q4 eingeschaltet. Wenn das zweite Schaltsteuersignal PV einen H-Pegel einnimmt, wird das zweite Hauptschaltungs-Leistungsschaltelement Q2 eingeschaltet. Andererseits, wenn das zweite Schaltsteuersignal PV einen L-Pegel einnimmt, wird das fünfte Hauptschaltungs-Leistungsschaltelement Q5 eingeschaltet. Wenn das dritte Schaltsteuersignal PW einen H-Pegel einnimmt, wird das dritte Hauptschaltungs-Leistungsschaltelement Q3 eingeschaltet. Andererseits, wenn das dritte Schaltsteuersignal PW einen L-Pegel einnimmt, wird das sechste Hauptschaltungs-Leistungsschaltelement Q6 eingeschaltet.
[0011] Oben ist der Aufbau und Betrieb des allgemeinen Umrichtersystems mit pulsweitenmodulierter Stromsteuerung beschrieben.
[0012] Ein Aufbau einer Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung des Standes der Technik wird mit Bezug auf **Fig.** 12 beschrieben.
[0013] **Fig.** 12 zeigt den Aufbau einer Stromsteuerung **106** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung, die in **Fig.** 11 gezeigt ist, gemäß dem Stand der Technik.
[0014] **Fig.** 13A bis 13E zeigen eine Arbeitsweise des in **Fig.** 12 dargestellten Umrichtersystems.
[0015] Zuallererst werden die ersten, zweiten und dritten Leitungsstrom-Steuersignale iTU, iTV und iTW und die ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW jeweils einem Subtraktionsverfahren in Subtrahiergliedern **117**, **118** und **119** unterworfen, um die ersten, zweiten und dritten Leitungsstrom-Fehlersignale iEU, iEV und iEW zu erhalten. Die ersten, zweiten und dritten Stromfehlerverstärker **120**, **121** und **122** erhalten dann jeweils die ersten, zweiten und dritten Leitungsstrom-Fehlersignale iEU, iEV und iEW und geben dann jeweils die verstärkten Spannungssteuersignale VU, VV und VW aus. Jeder der Stromfehlerverstärker **120**, **121** und **122** ist allgemein durch einen aufteilenden und integrierenden Verstärker, wie in **Fig.** 14 dargestellt, ausgeführt und eine Verstärkungscharakteristik von diesen kann durch die Gleichung (1) angegeben werden:

$$G(s) = R2 \times (R3 \times C1 \times s)/[R1 \times [(R2 + R3) \times C1 \times s + 1] \quad (1),$$

worin s = jw eine Variable der Laplace-Transformation ist.
[0016] Das Bezugszeichen Nummer **139** bezeichnet einen dreiphasigen pulsweitenmodulierten Signalerzeuger, der erste, zweite und dritte Vergleicher **123**, **124** und **125** und einen Dreieckswellenerzeuger **126** aufweist. Die ersten, zweiten und dritten Vergleicher **123**, **124** und **125** vergleichen jeweils ein von dem Dreieckswellenerzeuger **126** ausgegebenes Dreieckswellensignal SC mit den jeweiligen Spannungssteuersignalen VU, VV und VW und geben dann jeweils die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW aus.
[0017] In dem vorliegenden Fall gibt jeder der ersten, zweiten und dritten Vergleicher **123**, **124** und **125** den H-Pegel aus, wenn jedes der Spannungssteuersignale VU, VV und VW größer als das Dreieckswellensignal SC ist, während jeder der ersten, zweiten und dritten Vergleicher **123**, **124** und **125** den L-Pegel ausgibt, wenn jedes der Spannungssteuersignale VU, VV und VW kleiner als das Dreieckswellensignal SC ist.
[0018] **Fig.** 13A bis 13E zeigen eine Arbeitsweise der in **Fig.** 12 gezeigten Stromsteuerung, wenn die ersten,

zweiten und dritten Leitungsstrom-Steuersignale iTU, iTV und iTW jeweils dreiphasige Sinuswellen sind.

[0019] Wenn man die Verstärkungen der Stromfehlerverstärker **120**, **121** und **122**, die in **Fig.** 12 und 13A bis 13E gezeigt sind, berücksichtigt, lässt es sich verstehen, dass jeder Leitungsstromfehler durch Erhöhen der Verstärkungen der Stromfehlerverstärker **120**, **121** und **122** als eine Konsequenz der Annäherung der erfassten Leitungsströme zu den jeweiligen Leitungsstrom-Steuersignalen reduziert werden kann, und die Verlässlichkeit der erfassten Leitungsströme zu den jeweiligen Leitungsstrom-Steuersignalen wird verbessert.

[0020] Jedoch wird gemäß des Aufbaus des oben erwähnten Standes der Technik, wegen einer Phasenverzögerung aufgrund einer elektrischen Zeitkonstante des Dreiphasenmotors **1**, Phasenverzögerungen der Stromfehlerverstärker **120**, **121** und **122**, einer Zeit vergeudenden Verzögerung des dreiphasigen pulsweitenmodulierten Signalerzeugers und dgl., ein Schwingungsphänomen auftreten, wenn der Stromfehler-Verstärkungsfaktor zu hoch eingestellt wird. Daher wird die Verstärkung eines jeden der Stromfehlerverstärker **120**, **121** und **122** allgemein auf einen Wert eingestellt, der so groß wie möglich ist und in einen Bereich fällt, in welchem keine Schwingung auftritt. Die Verstärkung eines jeden der Stromfehlerverstärker **120**, **121** und **122** wird in dem Konzeptionsstadium durch Überprüfen einer Schleifenübertragungsfunktion der Stromsteuerschleife von der Charakteristik des Dreiphasenmotors **1**, der Motorstrom-Erfassungsschaltung **9**, der Stromsteuerung **106** und der Hauptschaltungs-Leistungssteuerung **8** bestimmt. In dem vorliegenden Fall ist es unter Berücksichtigung der herstellungsabhängigen Abweichung der Eigenschaften und Temperaturcharakteristik erforderlich, die Verstärkung auf ein Niveau zu reduzieren, bei dem schlimmstenfalls kein Schwingungsphänomen auftritt. Die Arbeit zum Bestimmen der Verstärkung erfordert viel Anstrengung der sich mit der Entwicklung beschäftigenden Betreiber, und selbst ein Umrichter mit pulsweitenmodulierter Stromsteuerung, der den gleichen Aufbau hat, erfordert eine Verstärkungseinstellung, die von unterschiedlichen Motoren, an die der Umrichter angeschlossen wird, abhängt, was zu einem solchen Problem führt, dass viel Anstrengung für die Steuerung des Herstellungsprozesses benötigt wird.

[0021] Ferner ist es erforderlich, wenn die Einzelheiten des an den Umrichter mit pulsweitenmodulierter Stromsteuerung anzuschließenden Dreiphasenmotors **1** in dem Konzeptionsstadium (z. B. in dem Fall eines allgemein verwendbaren Umrichters, eines allgemein verwendbaren Wechselstrom-Servoantriebs oder dgl.) noch nicht bestimmt worden sind, die Verstärkung in Bezug auf die Einzelheiten des Dreiphasenmotors **1** bei der Bestimmung und Installation des Dreiphasenmotors **1**, an welchen der Umrichter angeschlossen wird, anzupassen, und dabei besteht solch ein Problem, dass diese Einstellarbeit der Verstärkung ein Flaschenhals ist.

[0022] Ferner verschlechtern der Offset und der Drift des Dreieckswellenerzeugers und der Stromfehlerverstärker **120**, **121** und **122** ihrer selbst den Stromsteuerfehler und begrenzen die Dynamikbereiche der verstärkten Fehlersignale. Deshalb ist ein funktionsbereiter Verstärker, der einen kleinen Offset und Drift hat, als ein Bestandteil dieser erforderlich und abhängig von den Fällen ist eine Offseteinstellarbeit im Produktionsstadium erforderlich, was das Problem der Kostenerhöhung nach sich zieht.

[0023] **Fig.** 12 zeigt ein Beispiel des Standes der Technik der Stromsteuerung **106**, die durch einen analogen Schaltkreis verwirklicht ist, jedoch existiert eine Stromsteuerung, die einen ähnlichen Aufbau durch eine digitale Schaltung, wie einen Mikrocomputer, welche die ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW einem analog-zu-digital-Umsetzverfahren mittels eines A/D-Umsetzers unterwirft, verwirklicht. In solch einem Fall ist die Bestimmung der Vestärkung des Stromfehlerverstärkers durch Überprüfen der Schleifenübertragungsfunktion der Stromsteuerschleife aus den Eigenschaften des Dreiphasenmotors **1**, der Motorstrom-Erfassungsschaltung **9**, der Stromsteuerung **106** und der Hauptschaltungs-Leistungssteuerung **8** erforderlich, und ihre Probleme sind die gleichen wie diejenigen der durch die analoge Schaltung verwirklichten Stromsteuerung.

[0024] Ferner können, wenn der Stromfehlerverstärker durch eine digitale Schaltung, wie einen Mikrocomputer oder dgl., verwirklicht ist, der Offset und der Drift des Stromfehlerverstärkers sich selbst auslöschen, da diese durch digitale Berechnungen erhalten werden. Während sich jedoch die Rechenarbeitszeit erhöht, erhöht sich die Phasenverzögerung und die Schaltung neigt zum Schwingen. Dies bedeutet folglich, dass die Verstärkung nicht erhöht werden kann, ohne dass die Verarbeitungszeit verringert wird, und deshalb muss ein Mikrocomputer mit sehr hoher Rechengeschwindigkeits-Verarbeitungskapazität oder dgl. verwendet werden, was das Problem des Kostenanstiegs nach sich zieht.

[0025] Ferner wird die Phasenverzögerung des A/D-Umsetzers zum Umsetzen der ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW in digitale Daten größer, während die Zeit für die Umsetzung sich erhöht, und neigt zum Schwingen.

[0026] Dies bedeutet folglich, dass die Verstärkung nicht erhöht werden kann, ohne dass die Umsetzungszeit reduziert wird, und deshalb muss ein A/D-Umsetzer mit einer sehr hohen Umsetzungsgeschwindigkeitskapazität verwendet werden, was das Problem der Kostenerhöhung nach sich zieht. Ferner verschlechtern der Offset und der Drift des A/D-Umsetzers folglich den Stromsteuerfehler und verringern seinen Dynamikbereich. Deshalb ist es erforderlich, einen A/D-Umsetzer mit kleinerem Offset und Drift auszuwählen, was das Problem der Kostenerhöhung nach sich zieht.

[0027] Ferner hat der dreiphasige pulsweitenmodulierte Steuersignalerzeuger, der durch eine digitale Schal-

tung verwirklicht ist, derartige Probleme, dass der dreiphasige pulsweitenmodulierte Steuersignalerzeuger einen komplizierten Aufbau hat und viel kostet, wie es in dem digitalen dreiphasigen pulsweitenmodulierten Wellenerzeugungsapparat, der in der japanischen Patent-Offenlegungsschrift Nr. 4-312360 offenbart ist, gezeigt ist.

[0028] Die US 4,641,075 beschreibt eine Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung. Diese bekannte Umrichtervorrichtung mit Pulsweitenmodulierung enthält ein Motorerfassungsmittel, ein Stromsteuerungs-Erzeugungsmittel, ein Vergleichermittel, eine Hauptschaltungs-Gleichstrom-Versorgungsquelle, eine Hauptschaltungs-Leistungstreiberschaltung und eine logische Schaltung. Nach der Lehre der US 4,641,075 wird eines der Schaltelemente in einem EIN- oder AUS-Zustand, d. h. in einem festen Zustand, gehalten, so dass ein bestimmter Ausgangsanschluss des Umrichters auf einer Polarität gehalten wird, wenn sich ein Phasenwinkel der bestimmten idealen Phasenspannung innerhalb eines vorbestimmten Phasenwinkelbereichs befindet. Eine feste Phase zum EIN- oder AUS-Schalten eines der Schaltelemente wird abhängig von dem Phasenwinkel einer Phasenspannung bestimmt. Während dieser Zeitperiode, wenn das eine Schaltelement in einem EIN- oder AUS-Zustand gehalten wird, werden die anderen zwei Schaltelemente mehrmals EIN-/AUS-gesteuert, um den Fehler zwischen dem erfassten Leitungsstrom und den Stromsteuerungssignalen zu minimieren. Die Steuerung der Schaltelemente wird derart ausgeführt, dass die benötigten Schaltbetätigungen, d. h. die Kommutierungs-Vorgänge des Umrichters, minimiert sind. Die Konfiguration der Steuerschaltung zum Erzeugen von EIN-Schaltsignalen ist in dieser Konfiguration ziemlich schwierig.

ZUSAMMENFASSUNG DER ERFINDUNG

[0029] Eine wesentliche Aufgabe der vorliegenden Erfindung ist es deshalb, eine Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung zu schaffen, die weniger kostet und keine Verstärkungseinstellung erfordert.

[0030] Eine andere Aufgabe der vorliegenden Erfindung ist es, eine Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung zu schaffen, die imstande ist, ein ausgezeichneteres Ansprechverhalten von Antriebsleitungsströmen gegenüber Leitungsstrom-Steuersignalen verglichen mit den Vorrichtungen des Standes der Technik zu zeigen.

[0031] Diese Aufgabe wird gemäß der vorliegenden Erfindung gelöst durch eine Umrichtervorrichtung mit pulsweitenmodulierfer Stromsteuerung umfassend: Motorstromerfassungsmittel zum Erfassen von Leitungsströmen, die von entsprechenden Leitungen der Pulsweitenmodulations-Umrichtervorrichtung in einen Dreiphasenmotor fließen, und zum Ausgeben eines ersten erfassten Leitungsstroms, eines zweiten erfassten Leitungsstroms und eines dritten erfassten Leitungsstroms, Strombefehlserzeugungsmittel zum Erzeugen und Ausgeben eines ersten Leitungsstrom-Steuersignals, eines zweiten Leitungsstrom-Steuersignals und eines dritten Leitungsstrom-Steuersignals zum Steuern der von den jeweiligen Leitungen in den Dreiphasenmotor zu leitenden Leitungsströme, erste Vergleichsmittel zum Vergleichen des ersten Leitungsstrom-Steuersignals mit dem ersten erfassten Leitungsstrom, zum Ausgeben eines ersten Leitungsstrom-Vergleichssignals mit einem ersten Pegel, wenn der erste erfasste Leitungsstrom gleich oder größer ist als das erste Leitungsstrom-Steuersignal, und zum Ausgeben des ersten Leitungsstrom-Vergleichssignals mit einem zweiten Pegel, wenn der erste erfasste Leitungsstrom kleiner ist als das erste Leitungsstrom-Steuersignal, zweite Vergleichsmittel zum Vergleichen des zweiten Leitungsstrom-Steuersignals mit dem zweiten erfassten Leitungsstrom, zum Ausgeben eines zweiten Leitungsstrom-Vergleichssignals mit einem ersten Pegel, wenn der zweite erfasste Leitungsstrom gleich oder größer ist als das zweite Leitungsstrom-Steuersignal, und zum Ausgeben des zweiten Leitungsstrom-Vergleichssignals mit einem zweiten Pegel, wenn der zweite erfasste Leitungsstrom kleiner ist als das zweite Leitungsstrom-Steuersignal, dritte Vergleichsmittel zum Vergleichen des dritten Leitungsstrom-Steuersignals mit dem dritten erfassten Leitungsstrom, zum Ausgeben eines dritten Leitungsstrom-Vergleichssignals mit einem ersten Pegel, wenn der dritte erfasste Leitungsstrom gleich oder größer ist als das dritte Leitungsstrom-Vergleichssignal mit einem zweiten Pegel, wenn der dritte erfasste Leitungsstrom kleiner ist als das dritte Leitungsstrom-Steuersignal, eine Hauptschaltungs-Gleichstromquelle und eine Hauptschaltungs-Versorgungsschaltung mit einer Dreiphasen-Brückenschaltung und ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungs-Leistungsschaltelementen, und sechs Freilaufdioden, die jeweils parallel zu den ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungs-Leistungsschaltelementen geschaltet sind, wobei das dritte Hauptschaltungs-Leistungsschaltelement verbunden ist mit der positiven Elektrode der Hauptschaltungs-Gleichstromquelle und dem Dreiphasenmotor einen dritten Leitungsstrom aus der Hauptschaltungs-Gleichstromquelle zuführt basierend auf den dritten Schaltsteuersignalen, wobei das vierte Hauptschaltungs-Leistungsschaltelement verbunden ist mit einer negativen Elektrode der Hauptschaltungs-Gleichstromquelle und dem Dreiphasenmotor den ersten Leitungsstrom aus der Hauptschaltungs-Gleichstromquelle zuführt basierend auf dem vierten Schaltsteuersignal, wobei das fünfte Hauptschaltungs-Leistungsschaltelement verbunden ist mit der negativen Elektrode der Hauptschaltungs-Gleichstromquelle und dem Dreiphasenmotor den zweiten Leitungsstrom aus der Hauptschaltungs-Gleichstromquelle zu-

führt basierend auf dem fünften Schaltsteuersignal, wobei das sechste Hauptschaltungs-Leistungsschaltelement verbunden ist mit der negativen Elektrode der Hauptschaltungs-Gleichstromquelle und dem Dreiphasenmotor den dritten Leitungsstrom aus der Hauptschaltungs-Gleichstromquelle zuführt basierend auf den sechsten Schaltsteuersignalen, wobei die Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung des Weiteren umfasst: eine Logikschaltung zum Empfangen des ersten Leitungsstrom-Vergleichssignals, des zweiten Leitungsstrom-Vergleichssignals und des dritten Leitungsstrom-Vergleichssignals, und zum Erzeugen und Ausgeben von ersten, zweiten, dritten, vierten, fünften und sechsten Schaltsteuersignalen zum Ein- oder Ausschalten der ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungs-Leistungsschaltelemente, an die ersten, zweiten, dritten, vierten, fünften bzw. sechsten Hauptschaltungs-Leistungsschaltelemente, Synchronisiermittel zum Erzeugen und Ausgeben eines periodischen Zustands, der einen ersten Zeittakt für die logische Schaltung auffrischt, wobei in dem Zustand des Auffrischens des ersten Zeittakts und zumindest eines zweiten Zeittakts, wenn eines der ersten, zweiten und dritten Vergleichssignale sich nach der Zustandsauffrischung des ersten Zeittakts ändert, die logische Schaltung die ersten, zweiten, dritten, vierten, fünften und sechsten Schaltsteuerungssignale erzeugt und ausgibt, wobei die Logikschaltung erste, zweite, dritte, vierte, fünfte und sechste Schaltsteuersignale erzeugt und ausgibt, um zu minimieren einen Fehler zwischen dem ersten Leitungsstrom-Steuersignal und dem ersten erfassten Leitungsstrom, einen Fehler zwischen dem zweiten Leitungsstrom-Steuersignal und dem zweiten erfassten Leitungsstrom, und einen Fehler zwischen dem dritten Leitungsstrom-Steuersignal und dem ersten erfassten Leitungsstrom.

[0032] Mit der oben erwähnten Einrichtung gemäß der Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung der vorliegenden Erfindung wird der einfache Betriebsschritt des Entscheidens, ob jedes der ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungs-Versorgungsschaltungen in einer Richtung ein- oder ausgeschaltet ist, in welcher der Unterschied zwischen dem Leitungsstrom-Steuersignal und dem erfassten Leitungsstrom in Übereinstimmung mit einem Zustandsauffrischungs-Zeitpunkt und einem Zeitpunkt, bei dem die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale oder Vergleichsergebnissignale sich ändern, reduziert wird, wiederholt, so dass die Leitungsströme des Dreiphasenmotors sich den jeweiligen Leitungsstrom-Steuersignalen nähern, wodurch die Tatsache, dass jeder Leitungsstromfehler reduziert werden kann, bewiesen wird.

[0033] Die Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung der vorliegenden Erfindung hat keinen Stromfehlerverstärker und deshalb können die Probleme betreffend die Verstärkungseinstellung der Stromfehlerverstärkung wesentlich gelöst werden, folglich ist keine Verstärkungseinstellung erforderlich.

[0034] Außerdem arbeitet die Umkehrvorrichtung, selbst wenn die Charakteristik und Einzelheiten des Dreiphasenmotors, der Motorstrom-Erfassungsschaltung, der Stromsteuerung und der Hauptschaltungs-Leistungssteuerung sich ändern, derart, dass jeder Leitungsstromfehler durchweg minimiert wird.

[0035] Außerdem arbeitet die Umrichtervorrichtung, um jeden Leitungsstromfehler durchweg zu minimieren, selbst wenn eine herstellungsabhängige Schwankung der Charakteristiken, der Temperaturcharakteristiken und dgl. bestehen, und sie hat deshalb eine hervorragendere Stromsteuerungsverlässlichkeit verglichen mit der Vorrichtung des Standes der Technik und verursacht kein Schwingungsphänomen.

[0036] Außerdem kann die Stromsteuerung der Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung der vorliegenden Erfindung durch eine einfache digitale Schaltung mit Ausnahme des ersten, zweiten und dritten Vergleichsmittels verwirklicht werden. Deshalb erzeugen die durch die digitale Schaltung verwirklichten Teile weder einen Offset noch einen Drift und kosten weniger.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0037] Diese und andere Ziele und Eigenschaften der vorliegenden Erfindung werden durch die folgende Beschreibung, die in Verbindung mit deren bevorzugten Ausführungsbeispielen unter Bezugnahme auf die beigefügten Zeichnungen zu verstehen ist, in denen gleiche Teile durch gleiche Bezugszeichen gekennzeichnet sind und in welchen:

[0038] **Fig.** 1 ein Blockschaltbild einer Stromsteuerung eines ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung ist;

[0039] **Fig.** 2 ein Blockschaltbild einer in **Fig.** 1 dargestellten logischen Schaltung ist;

[0040] **Fig.** 3A, 3B und 3C Zeitdiagramme sind, die eine Betriebsart des ersten bevorzugten Ausführungsbeispiels zeigen, wobei **Fig.** 3A erste, zweite und dritte Leitungsstrom-Steuersignale iTU, iTV und iTW und erste, zweite und dritte erfasste iFU, iFV und iFW zeigt, **Fig.** 3B die jeweiligen Signale in einer Betriebsart der logischen Schaltung **10** zeigt, wenn ein Ausschnitt gepunkteter Linie von **Fig.** 3A vergrößert ist, und **Fig.** 3C zeigt EIN/AUS des Hauptschaltungs-Leistungsschaltelements aufgrund von Schaltsteuersignalen PU, PV und PW;

[0041] **Fig.** 4 ein Zeitablaufdiagramm der jeweiligen durch einen Zeitablauf-Signalerzeuger der in **Fig.** 1 gezeigten logischen Schaltung erzeugten Zeittakte ist;

[0042] **Fig.** 5 ein Blockschaltbild einer logischen Schaltung eines zweiten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung ist;

[0043] **Fig.** 6 ein Blockschaltbild einer Stromsteuerung eines dritten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung ist;
[0044] **Fig.** 7 ein Blockschaltbild eines Umrichtersystems mit pulsweitenmodulierter Stromsteuerung der bevorzugten Ausführungsbeispiele gemäß der vorliegenden Erfindung ist;
[0045] **Fig.** 8 ein Blockschaltbild einer in **Fig.** 6 gezeigten zweifach lesenden logischen Schaltung ist;
[0046] **Fig.** 9 ein Blockschaltbild einer logischen Schaltung eines vierten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung ist;
[0047] **Fig.** 10A, 10B und 10C Zeitablaufdiagramme sind, die Betriebsarten einer Stromsteuerung und einer Schaltsteuerung-Signalverzögerungsschaltung des vierten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung sind, wobei **Fig.** 10A erste, zweite und dritte Leitungsstrom-Steuersignale iTU, iTV und iTW und erste, zweite und dritte erfasste iFU, iFV und iFW zeigt, **Fig.** 10B die jeweiligen Signale in einer Betriebsart der logischen Schaltung **10** zeigt, wenn ein gepunkteter Linienabschnitt von **Fig.** 10A vergrößert ist, und **Fig.** 10C zeigt EIN/AUS des Hauptschaltungs-Leistungsschaltelements aufgrund von Schaltsteuersignalen PU, PV und PW;
[0048] **Fig.** 11 ein Blockschaltbild einer allgemeinen Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung des Standes der Technik ist;
[0049] **Fig.** 12 ein Blockschaltbild einer in **Fig.** 11 gezeigten Stromsteuerung des Standes der Technik ist;
[0050] **Fig.** 13A, 13B, 13C, 13D und 13E Zeitablaufdiagramme sind, die eine Betriebsart der in **Fig.** 12 gezeigten Stromsteuerung des Standes der Technik sind, wobei **Fig.** 13A erste, zweite und dritte Leitungsstrom-Steuersignale iTU, iTV und iTW und erste, zweite und dritte erfasste Leitungsströme iFU, iFV und iFW zeigt, **Fig.** 13B Spannungssteuersignale VU, VV und VW und ein Dreieckswellensignal S zeigt, **Fig.** 13C ein erstes Schaltsteuersignal PU zeigt, **Fig.** 13D ein zweites Schaltsteuersignal PV zeigt und **Fig.** 13E ein drittes Schaltsteuersignal PW zeigt; und
[0051] **Fig.** 14 ein Schaltungsdiagramm eines in **Fig.** 12 gezeigten Stromfehlerverstärkers des Standes der Technik ist.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

[0052] Bevorzugte Ausführungsbeispiele gemäß der vorliegenden Erfindung werden unten mit Bezug auf die beigefügten Zeichnungen beschrieben.

Erstes bevorzugtes Ausführungsbeispiel

[0053] Ein erstes bevorzugtes Ausführungsbeispiel gemäß der vorliegenden Erfindung wird unten mit Bezug auf die beigefügten Zeichnungen beschrieben.
[0054] **Fig.** 7 zeigt einen Aufbau einer Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung eines ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung.
[0055] Bezug nehmend auf **Fig.** 7 werden zuallererst eine Grundfrequenz f und ein effektiver Stromwert ip eines Dreiphasen-Wechselstrom-Stromwellenverlaufs, der zu einem Dreiphasenmotor **1** zugeführt wird, in einem Strombefehlserzeugungsmittel **7** eingerichtet, und aufgrund der Information erzeugt das Strombefehlserzeugungsmittel **7** intern Stromsteuersignale, die in den Dreiphasenmotor **1** geleitet werden, und gibt dann ein erstes Leitungsstrom-Steuersignal iTU, ein zweites Leitungsstrom-Steuersignal iTV und ein drittes Leitungsstrom-Steuersignal iTW aus.
[0056] Eine Motorstrom-Erfassungsschaltung **9** erfasst dann zwei Leitungsströme des Dreiphasenmotors **1**, erhält den verbleibenden einen Leitungsstrom durch Erhalten der Summe der erfassten zwei Leitungsströme und Invertieren des Vorzeichens des Summenwerts und gibt die resultierenden drei Leitungsströme als einen ersten erfassten Leitungsstrom iFU, einen zweiten erfassten Leitungsstrom iFV und einen dritten erfassten Leitungsstrom iFW aus. Es ist zu beachten, dass die Motorstrom-Erfassungsschaltung **9** die drei Leitungsströme des Dreiphasenmotors **1** erfassen kann und dann den ersten erfassten Leitungsstrom iFU, den zweiten erfassten Leitungsstrom iFV und den dritten erfassten Leitungsstrom iFW ausgibt.
[0057] Eine Stromsteuerung **6** erhält dann das erste Leitungsstrom-Steuersignal iTU, das zweite Leitungsstrom-Steuersignal iTV, das dritte Leitungsstrom-Steuersignal iTW, den ersten erfassten Leitungsstrom iFU, den zweiten erfassten Leitungsstrom iFV und den dritten erfassten Leitungsstrom iFW und erzeugt dann ein erstes Schaltsteuersignal PU, ein zweites Schaltsteuersignal PV und ein drittes Schaltsteuersignal PW.
[0058] Eine Betriebsart der Stromsteuerung **6** wird später im Detail beschrieben werden.
[0059] Ferner weist eine Hauptschaltungs-Leistungssteuerung **8** eine logische Umrichterschaltung **5**, die drei Umrichter aufweist, eine Grundantriebsschaltung **4**, die sechs Grundantriebe aufweist, eine Hauptschaltungs-Gleichstromquelle **3** und eine Hauptschaltungs-Versorgungsschaltung **2** auf, die eine Dreiphasen-Brückenverbindung umfasst. Die Hauptschaltungs-Versorgungsschaltung **2** umfasst:

(a) ein erstes Hauptschaltungs-Leistungsschaltelement Q1, welches an eine positive Elektrode der Haupt-

schaltungs-Gleichstromquelle **3** angeschlossen ist und einen ersten Leitungsstrom IU zu dem Dreiphasenmotor **1** zuführt;
(b) ein zweites Hauptschaltungs-Leistungsschaltelement Q2, welches an die positive Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und einen zweiten Leitungsstrom IV zu dem Dreiphasenmotor **1** zuführt;
(c) ein drittes Hauptschaltungs-Leistungsschaltelement Q3, welches an die positive Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und einen dritten Leitungsstrom IW zu dem Dreiphasenmotor **1** zuführt;
(d) ein viertes Hauptschaltungs-Leistungsschaltelement Q4, welches an eine negative Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und den ersten Leitungsstrom IU zu dem Dreiphasenmotor **1** zuführt;
(e) ein fünftes Hauptschaltungs-Leistungsschaltelement Q5, welches an die negative Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und den zweiten Leitungsstrom IV zu dem Dreiphasenmotor **1** zuführt;
(f) ein sechstes Hauptschaltungs-Leistungsschaltelement Q6, welches an die negative Elektrode der Hauptschaltungs-Gleichstromquelle **3** angeschlossen ist und den dritten Leitungsstrom IW zu dem Dreiphasenmotor **1** zuführt; und
(g) sechs Freilaufdioden, von denen jede parallel zwischen dem Kollektor und dem Emitter von jedem der Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 angeschlossen ist.

[0060] Die Schaltung, die die logische Umrichterschaltung **5** und die Grundantriebsschaltung **4** beinhaltet, arbeitet, um entweder das erste Hauptschaltungs-Leistungsschaltelement Q1 oder das vierte Hauptschaltungs-Leistungsschaltelement Q4 in Übereinstimmung mit dem ersten Schaltsteuersignal PU einzuschalten, um entweder das zweite Hauptschaltungs-Leistungsschaltelement Q2 oder das fünfte Hauptschaltungs-Leistungsschaltelement Q5 in Übereinstimmung mit dem zweiten Schaltsteuersignal PV einzuschalten und um entweder das dritte Hauptschaltungs-Leistungsschaltelement Q3 oder das sechste Hauptschaltungs-Leistungsschaltelement Q6 in Übereinstimmung mit dem dritten Schaltsteuersignal PW einzuschalten.
[0061] In dem bevorzugten Ausführungsbeispiel wird, wenn das erste Schaltsteuersignal PU zum H-Pegel wird, das erste Hauptschaltungs-Leistungsschaltelement Q1 eingeschaltet. Andererseits wird, wenn das erste Schaltsteuersignal PU zum L-Pegel wird, das vierte Hauptschaltungs-Leistungsschaltelement Q4 eingeschaltet. Wenn das zweite Schaltsteuersignal PV zum H-Pegel wird, wird das zweite Hauptschaltungs-Leistungsschaltelement Q2 eingeschaltet. Andererseits wird, wenn das zweite Schaltsteuersignal PV zum L-Pegel wird, das fünfte Hauptschaltungs-Leistungsschaltelement Q5 eingeschaltet. Wenn das dritte Schaltsteuersignal PW zum H-Pegel wird, wird das dritte Hauptschaltungs-Leistungsschaltelement Q3 eingeschaltet. Andererseits wird, wenn das dritte Schaltsteuersignal PW zum L-Pegel wird, das sechste Hauptschaltungs-Leistungsschaltelement Q6 eingeschaltet.
[0062] Oben wird der Aufbau des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung beschrieben.
[0063] Die Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung, das in **Fig.** 7 gezeigt ist, hat einen Aufbau, wie in **Fig.** 1 gezeigt.
[0064] Bezug nehmend auf **Fig.** 1 empfangen die ersten, zweiten und dritten Vergleicher **17**, **18** und **19** die Steuersignale iTU, iTV und iTW jeweils an ihren jeweiligen invertierten Eingangsanschlüssen und empfangen jeweils die ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW an ihren jeweiligen nicht invertierten Eingangsanschlüssen. Die Vergleicher **17**, **18** und **19** geben dann jeweils die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale oder Vergleichsergebnissignale HU, HV und HW aus.
[0065] Für den Zweck der Einfachheit der folgenden Erläuterung wird in den bevorzugten Ausführungsbeispielen jedes der Vergleichssignale HU, HV und HW zum H-Pegel, wenn der erfasste Leitungsstrom gleich oder größer als der Wert des Leitungsstrom-Steuersignals ist, während jedes der Vergleichssignale HU, HV und HW zum L-Pegel wird, wenn der erfasste Leitungsstrom kleiner als der Wert des Leitungsstrom-Steuersignals ist. Jedoch ist die vorliegende Erfindung nicht derart eingeschränkt. In einer alternativen Ausführung kann jedes der Vergleichssignale HU, HV und HW zum H-Pegel werden, wenn der erfasste Leitungsstrom größer als der Wert des Leitungsstrom-Steuersignals ist, während jedes der Vergleichssignale HU, HV und HW zum L-Pegel wird, wenn der erfasste Leitungsstrom gleich oder kleiner als der Wert des Leitungsstrom-Steuersignals ist.
[0066] Eine logische Schaltung **10** erhält dann die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW sowie ein periodisches Zustandsaktualisierungstakt-Signal CLK10, das periodisch durch einen Zeittakterzeuger **11** erzeugt wird, und gibt dann die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zum Steuern der Einschaltung und Ausschaltung der Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 aus.

[0067] Zuallererst beeinflusst die logische Schaltung **10** die Zustandsänderung aufgrund der Signalpegel der ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW in Übereinstimmung mit dem Zeittakt an der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10, gibt die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW aus und aktualisiert dann die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW aufgrund der Umschaltung der Signalpegel der ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW.

[0068] Die Wahrheitstabelle der logischen Schaltung **10** ist hier in Tabelle 1 dargestellt.

Tabelle 1

Zustand	Rücksetzsignal	Zustandsaktualisierungs-takt-Signal	Leitungsstrom-Vergleichssignal			Schalt-steuersignal		
Nr	RESET	CLK10	HU	HV	HW	PU	PV	PW
A00	L	↑	L	H	H	H	L	L
AX1	L	♦	*	L	H	H	H	L
AX2	L	♦	*	L	L	H	H	H
A00	L	↑	L	H	H	H	L	L
AY1	L	♦	*	H	L	H	L	H
AY2	L	♦	*	L	L	H	H	H
B00	L	↑	H	L	H	L	H	L
BX1	L	♦	L	*	H	H	H	L
BX2	L	♦	L	*	L	H	H	H
B00	L	↑	H	L	H	L	H	L
BY1	L	♦	H	*	L	L	H	H
BY2	L	♦	L	*	L	H	H	H
C00	L	↑	H	H	L	L	L	H
CX1	L	♦	L	H	*	H	L	H
CX2	L	♦	L	L	*	H	H	H
C00	L	↑	H	H	L	L	L	H
CY1	L	♦	H	L	*	L	H	H
CY2	L	♦	L	L	*	H	H	H
D00	L	↑	H	L	L	L	H	H
DX1	L	♦	*	H	L	L	L	H
DX2	L	♦	*	H	H	L	L	L
D00	L	↑	H	L	L	L	H	H
DY1	L	♦	*	L	H	L	H	L
DY2	L	♦	*	H	H	L	L	L
E00	L	↑	L	H	L	H	L	H
EX1	L	♦	H	*	L	L	L	H
EX2	L	♦	H	*	H	L	L	L
E00	L	↑	L	H	L	H	L	H
EY1	L	♦	L	*	H	H	L	L
EY2	L	♦	H	*	H	L	L	L
F00	L	↑	L	L	H	H	H	L
FX1	L	♦	H	L	*	L	H	L
FX2	L	♦	H	H	*	L	L	L
F00	L	↑	L	L	H	H	H	L
FY1	L	♦	L	H	*	H	L	L
FY2	L	♦	H	H	*	L	L	L
G00	L	♦	H	H	H	L	L	L
H00	L	♦	L	L	L	H	H	H
CLR	H	♦	*	*	*	L	L	L

[0069] Die Tabelle 1 ist wie folgt zu lesen.

[0070] In Tabelle 1 stellt die Zustandsnummer (A00, AX1, AX2, A00, AY1, AY2, B00, BX1, usw.) den Eingabe- und Ausgabezustand der logischen Schaltung **10** dar, das Symbol ↑ des Zustandsaktualisierungstakt-Signals stellt die führende Flanke des Zustandsaktualisierungstakt-Signals CLK10 dar, und das Symbol ♦ stellt den dauerhaften Zustand des H-Pegels oder des L-Pegels dar.

[0071] Außerdem stellt das Symbol * des Leitungsstrom-Vergleichssignals "DON'T CARE" dar, d. h. die Tätigkeit hängt nicht davon ab, ob der Zustand auf dem H-Pegel oder dem L-Pegel ist. Die anderen betreffend stellt H den H-Pegel dar und L stellt den L-Pegel dar.

[0072] Ein Rücksetzsignal RESET ist ein Eingabesignal zum Initialisieren der logischen Schaltung **10** und das Rücksetzsignal RESET weist normalerweise L-Pegel auf. Die logische Schaltung **10** wird unverzüglich initialisiert, wenn das Rücksetzsignal den H-Pegel einnimmt.

[0073] Eine Betriebsart der logischen Schaltung **10** wird unten gemäß Tabelle 1 beschrieben. Zuallererst,

wenn das Zustandsaktualisierungstakt-Signal CLK10 ansteigt (wenn seine anführende Flanke eingegeben wird), verschiebt sich der Systemzustand zu einem der acht Zustände Nummer A00, B00, C00, D00, E00, F00, G00 und H00 in Übereinstimmung mit den Pegeln der ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW in dem Zeitpunkt. In diesem Fall, dem ersten Zeichen der Zustandsnummer Aufmerksamkeit schenkend, wird ein Zustand in acht Zustände von A bis H verzweigt. Es wird für den Zweck der Einfachheit der Beschreibung angenommen, dass die dreiziffrigen alphabetischen und numerischen Symbole jeder Zustandsnummer der Reihe nach von deren linksseitigen Endziffer als die erste Ziffer, die zweite Ziffer und die dritte Ziffer bezeichnet werden.

[0074] Zuallererst erfolgt die Beschreibung für einen Fall, in dem der Systemzustand sich zu einer der Zustandsnummern A00, B00, C00, D00, E00 und F00 verschiebt.

[0075] Wenn sich der Systemzustand zu einem dieser Zustände verschiebt, ist die Aufmerksamkeit auf zwei Signale zu richten, die einen identischen Signalpegel unter den ersten, zweiten und dritten Leitungsstrom-Vergleichssignalen HU, HV und HW bei dem Zeittakt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 aufweisen. Abhängig davon, welches der zwei Signale zuerst umschaltet, wird die nachfolgende Tätigkeit unterschiedlich sein. Der zweiten Ziffer von jeder Zustandsnummer Aufmerksamkeit schenkend, wird ein Zustand in zwei von X und Y verzweigt.

[0076] Z.B. verschiebt sich im Falle des Zustands Nr. A00 der Systemzustand zu dem Zustand Nr. AX1, wenn das zweite Leitungsstrom-Vergleichssignal HV sich zuerst ändert, oder zu dem Zustand Nr. AY1, wenn das dritte Leitungsstrom-Vergleichssignal HW sich zuerst ändert.

[0077] Danach verschiebt sich zwischen den zwei Signalen, die einen identischen Signalpegel aus dem ersten, zweiten und dritten Leitungsstrom-Vergleichssignalen HU, HV und HW beim Zeittakt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 aufweisen, wenn das andere Signal als das Signal, das sich geändert hat, zuerst umschaltet, der Zustand so, dass die dritte Ziffer jeder Zustandsnummer, die die gleichen ersten und zweiten Ziffern hat, zwei wird.

[0078] Z. B. verschiebt sich in dem Fall der Nummer AX1 der Zustand von der Nummer AX1 zu der Nummer AX2. In dem Fall der Nummer AY1 verschiebt sich der Zustand von der Nummer AY1 zu der Nummer AY2.

[0079] Dann wird der Zustand bis zu dem Zeittakt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 beibehalten.

[0080] Schließlich erfolgt die Beschreibung für einen Fall, in dem sich der Systemzustand zu dem Zustand Nummer G00 oder H00 zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 verschiebt. In jedem dieser Fälle wird der Zustand beibehalten, bis die nächste anführende Flanke des Zustandsaktualisierungstakt-Signals CLK10 eingegeben wird. Deshalb werden die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW beibehalten, um deren Pegel auszugeben.

[0081] Die obige Erläuterung betrifft die Art des Lesens der Tabelle 1. Die Arbeitsweise der logischen Schaltung **10** wird unten basierend auf der Wahrheitstabelle der Tabelle 1 beschrieben.

[0082] Zuallererst erfolgt die Beschreibung in Bezug auf die Arbeitsweise zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0083] Die logische Schaltung **10** liest die Pegel der ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 und die Signalpegel der Ausgabesignale PU, PV und PW der logischen Schaltung **10** werden bestimmt, so dass die Änderungen in einer Richtung erfolgen, in welcher die ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW in dem Zeitpunkt an die ersten, zweiten und dritten Leitungsstrom-Steuersignale iTU, iTV und iTW angenähert werden, d. h. die erfassten Leitungsströme iFU, iFV und iFW werden in Übereinstimmung mit den jeweiligen Leitungsstrom-Steuersignalen gebracht. Infolgedessen nehmen die Ausgabesignale PU, PV und PW Signalpegel ein, die durch Invertieren jeweils derjenigen der Vergleichssignale HU, HV und HW erhalten werden. Z. B., wenn das Vergleichssignal HU H-Pegel aufweist, wird für das Ausgabesignal PU der L-Pegel bestimmt. Wenn das Vergleichssignal HU L-Pegel aufweist, wird für das Ausgabesignal PU der H-Pegel bestimmt. Die Ausgabesignale PV und PW werden ähnlich zu der oben genannten Weise bestimmt.

[0084] Als nächstes erfolgt die Erläuterung der Arbeitsweise der logischen Schaltung **10** für ein Zeitintervall von dem Zeittakt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 bis zu dem Zeittakt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0085] Die Arbeitsweise für das Zeitintervall hängt von den Pegeln der drei Vergleichssignale HU, HV und HW zum Zeitpunkt jeder führenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 ab.

[0086] Im folgenden Fall erfolgt unter Berücksichtigung der Signalpegel der drei Vergleichssignale HU, HV und HW nachfolgend eine getrennte Bezugnahme auf die Arbeitsweise in einem Fall, in dem ein Signalpegel der drei Signalpegel verschieden ist, d. h. wenn

(HU, HV, HW) = (L, H, H)

oder = (H, L, H)

oder = (H, H, L)
oder = (H, L, L)
oder = (L, H, L)
oder = (L, L, H)
und in einem anderen Fall, in dem alle drei Signalpegel identisch sind, d. h. wenn

(HU, HV, HW) = (H, H, H)

oder = (L, L, L).

[0087] Zuallererst erfolgt die Erläuterung in Bezug auf die Arbeitsweise in dem Fall, in dem ein Signalpegel aus den drei Signalpegeln der Vergleichssignale HU, HV und HW von den anderen verschieden ist zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0088] Im Bezug auf die Leitungsströme des Dreiphasenmotors **1** ist es axiomatisch, dass ein Wert, der durch Invertieren der Polarität der Summe der zwei Leitungsströme von den drei Leitungsströmen erhalten wird, der verbleibende Leitungsstrom ist. Deshalb werden in der logischen Schaltung **10** des ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung, den zwei Signalen, die einen identischen Pegel von den drei Vergleichssignalen HU, HV und HW zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 aufweisen, Beachtung widmend, die Pegel der Schaltsteuersignale PU, PV und PW bestimmt, um das Einschalten und Ausschalten der Hauptschaltungs-Leistungsschaltelemente, welche die relevanten Leitungsströme zu den zwei Signalen zuführen, zu bestimmen.

[0089] D. h., zuallererst wird mit Bezug auf das Einschalten und Ausschalten des Hauptschaltungs-Leistungsschaltelementes, welches den relevanten Leitungsstrom zu dem Signal, dessen Pegel zuallererst aus den zwei Signalen, die den identischen Pegel haben, invertiert wird, zuführt, der Pegel des zugehörigen Schaltsteuersignals in solch einer Weise invertiert, dass es in dem Fall des EIN-Zustandes von dem EIN-Zustand in den AUS-Zustand geschaltet wird, während es in dem Fall des AUS-Zustandes von dem AUS-Zustand in den EIN-Zustand geschaltet wird. Danach, wenn der Pegel des verbleibenden einen Signals aus den zwei Signalen, die den identischen Pegel haben, invertiert wird, wird der Pegel des zugehörigen Schaltsteuersignals invertiert, so dass das Hauptschaltungs-Leistungsschaltelement, welches den für das Signal mit invertiertem Pegel relevanten Leitungsstrom zuführt zwischen dem EIN-Zustand und dem AUS-Zustand in ähnlicher Weise umgeschaltet wird.

[0090] Zu diesem Zeitpunkt weisen die drei Signale der ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW, die von der logischen Schaltung **10** ausgegeben werden, einen identischen Pegel auf, so dass die Signalpegel mit dem Pegel desjenigen Signals übereinstimmen, das den von den anderen der drei Vergleichssignale HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 unterschiedlichen Pegel hat. Bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 werden die Ausgabesignale PU, PV und PW auf ihren jeweiligen Pegeln gehalten. Nach dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 wird jeweils eine ähnliche Betriebstätigkeit ausgeführt werden.

[0091] Als nächstes erfolgt die Beschreibung zu der Arbeitsweise für den Fall, dass alle drei Signale HU, HV und HW einen identischen Pegel zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 aufweisen.

[0092] Wenn alle drei Vergleichssignale HU, HV und HW einen identischen Pegel aufweisen, werden die Signalpegel der Ausgabesignale PU, PV und PW, die zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 bestimmt werden, bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 beibehalten.

[0093] Oben wird die Erläuterung des Aufbaus der Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung beschrieben. Der Aufbau der logischen Schaltung **10** der Stromsteuerung **6** des Umrichters mit pulsweitenmodulierter Stromsteuerung in dem ersten bevorzugten Ausführungsbeispiel gemäß der vorliegenden Erfindung wird unten näher beschrieben.

[0094] Der innere Aufbau der logischen Schaltung **10** wird mit Bezug auf **Fig.** 2 beschrieben.

[0095] Bezug nehmend auf **Fig.** 2 wird zuallererst eine Arbeitsweise ihrer Bestandteile beschrieben.

[0096] Zuallererst arbeitet jeder der ersten, zweiten, dritten, vierten, fünften und sechsten Datenauswähler **36**, **37**, **38**, **39**, **40** und **41**, um den Pegel eines Eingangsanschlusses B an einen Ausgangsanschluss Y auszugeben, wenn ein Eingangsanschluss SEL auf H-Pegel ist, und den Pegel eines Eingangsanschlusses A an den Ausgangsanschluss Y auszugeben, wenn der Eingangsanschluss SEL auf L-Pegel ist.

[0097] Die Bezugsnummern **26**, **27** und **28** kennzeichnen jeweils erste, zweite und dritte RS-Flip-Flops mit Rücksetzbevorzugung, von denen jedes rückgesetzt wird, wenn ein Eingangsanschluss R auf H-Pegel ist und ein Eingangsanschluss S auf L-Pegel ist, so dass der Pegel an einem Ausgangsanschluss Q auf L-Pegel geändert wird, von denen jedes gesetzt wird, wenn der Eingangsanschluss R auf L-Pegel ist und der Eingangs-

anschluss S auf H-Pegel ist, so dass der Pegel an dem Ausgangsanschluss Q auf H-Pegel geändert wird, und von denen jedes rückgesetzt wird, wenn der Eingangsanschluss R auf H-Pegel ist und der Eingangsanschluss S auf H-Pegel ist, wobei die Rücksetzung vorrangig ist, so dass der Pegel an dem Ausgangsanschluss Q auf L-Pegel geschaltet wird.

[0098] Die Bezugsnummern **29**, **30**, **31**, **12**, **13** und **14** kennzeichnen jeweils erste, zweite, dritte, vierte, fünfte und sechste Verzögerungs-Zwischenspeicher (nachfolgend als D-Zwischenspeicher bezeichnet), von denen jeder den Pegel eines Eingangsanschlusses D zu dem Zeittakt der führenden Flanke des zu einem Eingangsanschluss CK eingegebenen Signals zwischenspeichert und dann den gespeicherten Pegel an einen Ausgangsanschluss Q ausgibt. Es ist anzumerken, dass ein Eingangsanschluss PR ein Anschluss zum Empfangen eines Vorbereitungssignals ist und jeder der D-Zwischenspeicher wird mit der höchsten Priorität in den Wartezustand versetzt, wenn der H-Pegel in diesen eingegeben wird, und gibt dann den H-Pegel an dem Ausgangsanschluss Q aus.

[0099] Die Bezugsnummern **23**, **24**, **25**, **127**, **128**, **129**, **130**, **131** und **132** kennzeichnen jeweils die ersten, zweiten, dritten, vierten, fünften, sechsten, siebten, achten und neunten Invertiergatter, von denen jedes arbeitet, um den L-Pegel an seinem Ausgangsanschluss auszugeben, wenn der H-Pegel an seinem Eingangsanschluss eingegeben wird, und arbeitet, um den H-Pegel an seinem Ausgangsanschluss auszugeben, wenn der L-Pegel an dem Eingangsanschluss eingegeben wird.

[0100] Die Bezugsnummer **22** kennzeichnet einen Datendecodierer, der Eingangsanschlüsse A, B und C und einen Ausgangsanschluss Y hat, und seine Wahrheitstabelle ist in Tabelle 2 dargestellt. Es ist anzumerken, dass die Wahrheitstabelle der Tabelle 2 einfach verwirklicht werden kann durch UND-Gatter, ODER-Gatter und Invertiergatter.

Tabelle 2

Eingang			Ausgang
A	B	C	$Y = A \cdot B \cdot C + \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot \overline{C}$
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L
H	L	L	H
H	L	H	L
H	H	L	L
H	H	H	H

[0101] Ein Zeitsignalerzeuger **35** erhält einen periodischen Systemzeittakt CLK1, welcher periodisch in Synchronisation mit dem Systemzeittakt CLK10 mit einer Frequenz, die ein Vielfaches der Frequenz des Zustandsaktualisierungstakt-Signals CLK10 ist, erzeugt wird, und das Zustandsaktualisierungstakt-Signal CLK10 und gibt dann ein Zustandsaktualisierungstakt-Verzögerungssignal CLK11 aus.

[0102] Die Beschreibung der Beziehungen zwischen den Zeittaktsignalen CLK1, CLK10 und CLK11 erfolgt hier mit Bezug auf **Fig.** 4.

[0103] Es wird zuallererst angenommen, dass der Zyklus des Zustandsaktualisierungstakt-Signals CLK10 hinreichend größer ist als der Zyklus des Systemzeittakts CLK1 und sich das Zustandsaktualisierungstakt-Signal CLK10 in Synchronisation mit einer hinteren Flanke des Systemzeittakts CLK1 ändert. Es wird ferner angenommen, dass das Zustandsaktualisierungstakt-Verzögerungssignal CLK11 ein Signal ist, das durch Verzögern des Zustandsaktualisierungstakt-Signals CLK10 um die Hälfte des Zeitintervalls zwischen der anführenden Flanke und der hinteren Flanke des Systemzeittaktes CLK1 erhalten wird.

[0104] Oben wird die Erläuterung der Arbeitsweise der Bestandteile beschrieben. Es folgt dann eine Erläuterung der Arbeitsweise der logischen Schaltung **10** gemäß dem Signalfluss.

[0105] In dem vorliegenden Fall werden zum Zwecke einer einfachen Beschreibung die ersten, zweiten und dritten Datenauswähler **36**, **37** und **38** gemeinsam als eine erste Datenauswählschaltung **20** bezeichnet, während die vierten, fünften und sechsten Datenauswähler **39**, **40** und **41** gemeinsam als ein zweiter Datenauswähler **21** bezeichnet werden. Ferner werden die vierten, fünften und sechsten D-Zwischenspeicher **12**, **13** und **14** gemeinsam als eine erste Datenzwischenspeicherschaltung **34** bezeichnet, während die ersten, zweiten und dritten D-Zwischenspeicher **29**, **30** und **31** gemeinsam als eine zweite Datenzwischenspeicherschaltung **15** bezeichnet werden.

[0106] Der Eingangsanschlüsse A der ersten, zweiten und dritten Datenauswähler **36**, **37** und **38** sind ausgebildet, um jeweils als Eingangsanschlüsse **1A**, **2A** und **3A** der ersten Datenauswählschaltung **20** zu dienen, und deren Eingangsanschlüsse B sind ausgebildet, um jeweils als Eingangsanschlüsse **1B**, **2B** und **3B** der

ersten Datenauswählschaltung **20** zu dienen. Ihre Eingangsanschlüsse SEL sind gemeinsam miteinander verbunden, um als ein Eingangsanschluss SEL der ersten Datenauswahlschaltung **20** zu dienen. Die Eingangsanschlüsse A der vierten, fünften und sechsten Datenauswähler **39**, **40** und **41** sind ausgebildet, um jeweils als Eingangsanschlüsse **1A**, **2A** und **3A** der zweiten Datenauswahlschaltung **21** zu dienen, und ihre Eingangsanschlüsse B sind ausgebildet, um jeweils als Eingangsanschlüsse **1B**, **2B** und **3B** der zweiten Datenauswählschaltung **21** zu dienen. Ihre Eingangsanschlüsse SEL sind gemeinsam miteinander verbunden, um als ein Eingangsanschluss SEL der zweiten Datenauswahlschaltung **21** zu dienen. Die Eingangsanschlüsse D der vierten, fünften und sechsten D-Zwischenspeicher **12**, **13** und **14** sind ausgebildet, um als Eingangsanschlüsse **1D**, **2D** und **3D** der ersten Datenzwischenspeicherschaltung **34** zu dienen, und ihre Eingangsanschlüsse CK sind gemeinsam miteinander verbunden, um als ein Eingangsanschluss CK der ersten Datenzwischenspeicherschaltung **34** zu dienen. Ihre Eingangsanschlüsse PR sind gemeinsam miteinander verbunden, um als ein Eingangsanschluss PR der ersten Datenzwischenspeicherschaltung **34** zu dienen, und ihre Ausgangsanschlüsse Q sind ausgebildet, um jeweils als Ausgangsanschlüsse **1Q**, **2Q** und **3Q** der ersten Datenzwischenspeicherschaltung **34** zu dienen. Die Eingangsanschlüsse D der ersten, zweiten und dritten D-Zwischespeicher **29**, **30** und **31** sind ausgebildet, um als Eingangsanschlüsse **1D**, **2D** und **3D** der zweiten Datenzwischenspeicherschaltung **15** zu dienen, und ihre Eingangsanschlüsse CK sind gemeinsam miteinander verbunden, um als Eingangsanschluss CK der zweiten Datenzwischenspeicherschaltung **15** zu dienen. Ihre Eingangsanschlüsse PR sind gemeinsam miteinander verbunden, um als ein Eingangsanschluss PR der zweiten Datenzwischenspeicherschaltung **15** zu dienen, und ihre Ausgangsanschlüsse Q sind ausgebildet, um jeweils als Ausgangsanschlüsse **1Q**, **2Q** und **3Q** der zweiten Datenzwischenspeicherschaltung **15** zu dienen.

[0107] Ferner wird auf die Ausgangssignale der ersten Datenauswahlschaltung **20** als erste Auswahlausgangssignale Y1U, Y1V und Y1W bezeichnet, während die Ausgangssignale der zweiten Datenauswahlschaltung **21** als zweite Auswahlausgangssignale Y2U, Y2V und Y2W bezeichnet werden.

[0108] Die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW werden zuallererst an den Eingangsanschlüssen **1D**, **2D** und **3D** der ersten Datenzwischenspeicherschaltung **34** eingegeben, werden an den Eingangsanschlüssen **1B**, **2B** und **3B** der ersten Datenauswahlschaltung **20** eingegeben und werden ferner an den Eingangsanschlüssen **1A**, **2A** und **3A** über die ersten, zweiten und dritten Invertiergatter **23**, **24** und **25** eingegeben.

[0109] Bezug genommen wird hier auf einen Zustand, in welchem das Zustandsaktualisierungstakt-Signal CLK10 sich vom L-Pegel auf den H-Pegel ändert, d. h. unmittelbar nachdem seine anführende Flanke eingegeben wird, nämlich zu einem Zeitpunkt T1, der in **Fig.** 4 gezeigt ist. Zuallererst werden die Eingangspegel an den Eingangsanschlüssen **1D**, **2D** und **3D** der ersten Datenzwischenspeicherschaltung **34** zwischengespeichert, um durch die erste Datenzwischenspeicherschaltung **34** beibehalten zu werden, und werden dann zu den Ausgangsanschlüssen **1Q**, **2Q** und **3Q** ausgegeben. Dieser Zustand der ersten Datenzwischenspeicherschaltung **34** ändert sich nicht bis die nächste anführende Flanke des Zustandsaktualisierungstakt-Signals CLK10 eingegeben wird. Dann werden die Ausgangssignale, die von den Ausgangsanschlüssen **1Q**, **2Q** und **3Q** der ersten Datenzwischenspeicherschaltung **34** ausgegeben werden, in den Datendecodierer **32** eingegeben, so dass der Ausgangsanschluss Y veranlasst ist, den H-Pegel oder den L-Pegel gemäß der die in Tabelle 2 gezeigten Wahrheitstabelle einzunehmen. Das Signal, das von dem Ausgabeanschluss Y ausgegeben wird, wird im Folgenden als Betriebsmodussignal YM bezeichnet.

[0110] In dem vorliegenden Fall wird das Betriebsmodussignal YM an den Eingangsanschlüssen SEL der ersten Datenauswahlschaltung **20** eingegeben, und die erste Datenauswahlschaltung **20** gibt die ersten Auswahlausgangssignale Y1U, Y1V und Y1W gemäß dem Betriebsmodussignal YM aus.

[0111] Dann ändert sich das Zustandsaktualisierungstakt-Signal CLK11 von dem L-Pegel auf den H-Pegel, d. h. seine anführende Flanke wird eingegeben. Ein Zustand unmittelbar nach dem oben erwähnten Zeitpunkt, der in **Fig.** 4 gezeigt ist, wird nun beschrieben.

[0112] Zuallererst wird das Zustandsaktualisierungstakt-Signal CLK11 an den Eingangsanschlüssen S der ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** eingegeben, und die Flip-Flops werden gesetzt, wenn das Signal CLK11 auf H-Pegel ist. Jedoch ist, wie im Vorstehenden beschrieben, jeder der ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** ein RS-Flip-Flop mit Rücksetzbevorzugung, und deshalb ist die Rücksetzung vorrangig, wenn der Eingangsanschluss R auf H-Pegel ist. Deshalb wird unter den ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** ein RS-Flip-Flop, das L-Pegel an dem Eingangsanschluss R aufweist, folglich nur gesetzt, wenn das Zustandsaktualisierungstakt-Verzögerungssignal CLK11 auf H-Pegel ist.

[0113] Die Ausgangssignale der ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** werden an den Eingangsanschlüssen **1A**, **2A** und **3A** der zweiten Datenauswahlschaltung **21** eingegeben und werden an deren Eingangsanschlüsse **1B**, **2B** und **3B** über die vierten, fünften und sechsten Invertiergatter **127**, **128** und **129** eingegeben. An dem Eingangsanschluss SEL der zweiten Datenauswahlschaltung **21** wird das Betriebsmodussignal YM eingegeben. Deshalb gibt die zweite Datenauswahlschaltung **21** in Übereinstimmung mit dem Betriebsmodussignal YM die zweiten Auswahlausgabesignale Y2U, Y2V und Y2W aus.

[0114] Dann ändert sich der Systemzeittakt CLK1 von dem L-Pegel auf den H-Pegel, d. h. seine anführende

Flanke wird eingegeben. Ein Zustand unmittelbar nach dem oben beschriebenen Zeitpunkt T3, wie in **Fig.** 4 gezeigt, wird nun beschrieben.

[0115] Wenn die anführende Flanke des Systemzeittaktes CLK1 zu dem Eingangsanschluss CK der zweiten Datenzwischenspeicherschaltung **15** eingegeben wird, empfängt die zweite Datenzwischenspeicherschaltung **15** zuallererst die zweiten Auswahlausgabesignale Y2U, Y2V und Y2W an seinen Eingangsanschlüssen **1D**, **2D** und **3D** und speichert diese. Die zweite Datenzwischenspeicherschaltung **15** gibt an ihren Ausgangsanschlüssen **1Q**, **2Q** und **3Q** die gesperrten Eingangssignale, die von den Eingangsanschlüssen **1D**, **2D** und **3D** empfangen werden, aus. Jedes der Ausgangssignale wird beibehalten bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10. Die Ausgangssignale, die von den Ausgangsanschlüssen **1Q**, **2Q** und **3Q** der zweiten Datenzwischenspeicherschaltung **15** ausgegeben werden, werden erzeugt, um über die siebten, achten und neunten Invertiergatter **130**, **131** und **132** als die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zu dienen.

[0116] Im vorliegenden Fall werden die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW in Übereinstimmung mit dem Zeitpunkt, bei welchem die anführende Flanke des Systemzeittakts CLK1 zu den Eingangsanschlüssen CK der zweiten Datenzwischenspeicherschaltung **15** eingegeben wird, aktualisiert. Deshalb ändern sich die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zu dem Zeitpunkt T1 und dem Zeitpunkt T2 nicht.

[0117] Oben wird die Beschreibung der Betriebsfunktionen (a) zu dem Zeitpunkt T1, in dem das Zustandsaktualisierungstakt-Signal CLK10 sich von dem L-Pegel auf den H-Pegel ändert, (b) zu dem Zeitpunkt T2, in dem sich das Zustandsaktualisierungstakt-Verzögerungssignal CLK11 von dem L-Pegel auf den H-Pegel umschaltet, und (c) zu dem Zeitpunkt T3, in dem sich der Systemzeittakt CLK1 von dem L-Pegel auf den H-Pegel umschaltet, beschrieben.

[0118] Oben wird die Erläuterung der Betriebsfunktionen, bei denen das Zustandsaktualisierungstakt-Signal CLK10 ansteigt (seine anführende Flanke eingegeben wird) beschrieben, wobei die Zustandsverschiebungen zu jeder der acht Zustandsnummern A00, B00, C00, D00, E00, F00, G00 und H00 in Tabelle 1 beschrieben werden.

[0119] Als nächstes folgt die Erläuterung der nachfolgenden Betriebsfunktion, d. h. der Betriebsfunktion für ein Zeitintervall bis zu dem Zeitpunkt, in dem die nächste anführende Flanke des Zustandsaktualisierungstakt-Signals CLK eingegeben wird.

[0120] Hier erfolgt zuallererst die Erläuterung für einen Fall, bei dem sich der Systemzustand zu einem der Zustandsnummern A00, B00, C00, D00, E00 und F00 in Tabelle 1 verschiebt, d. h. dort sind zwei Signale, die einen identischen Signalpegel aufweisen, unter den ersten, zweiten und dritten Leitungsstrom-Vergleichssignalen HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10. Die Erläuterung erfolgt hier unter beispielhafter Verwendung der Zustandsnummer A00 in Tabelle 1.

[0121] In dem Zustand der Zustandsnummer A00 ist das Leitungsstrom-Vergleichssignal HU auf L-Pegel, das Leitungsstromsignal HV ist auf H-Pegel, das Leitungsstromsignal HW ist auf H-Pegel, das Betriebsmodussignal YM ist auf L-Pegel, die Ausgangssignale Y1U, Y1V und Y1W von der ersten Datenauswahlschaltung **20** sind auf H-Pegel, L-Pegel bzw. L-Pegel, das erste RS-Flip-Flop **16** ist im rückgesetzten Zustand, da zweite RS-Flip-Flop **27** ist in gesetztem Zustand, und das dritte RS-Flip-Flop **28** ist im gesetzten Zustand.

[0122] Ferner sind die Ausgangssignal Y2U, Y2V und Y2W von der zweiten Datenauswahlschaltung **21** auf L-Pegel, H-Pegel bzw. H-Pegel.

[0123] Hier betrachten wir zuallererst eine Betriebsfunktion für den Fall, dass das zweite Leitungsstrom-Vergleichssignal HV sich von dem H-Pegel auf den L-Pegel ändert, d. h. eine Betriebsfunktion der Zustandsverschiebung von dem Zustand Nr. A00 in den Zustand Nr. AX1 in Tabelle 1.

[0124] Wenn das zweite Leitungsstrom-Vergleichssignal HV sich vom H-Pegel auf den L-Pegel ändert, ändert sich der Pegel des ersten Auswahlausgangssignals Y1V von dem L-Pegel auf den H-Pegel, wodurch das zweite RS-Flip-Flop **27** zurückgesetzt wird. Deshalb wird das zweite Auswahlausgangssignal Y2V von dem H-Pegel auf den L-Pegel geändert.

[0125] Deshalb werden die Schaltsteuersignale PU, PV und PW (PU, PV, PW) = (H, H, L) zu dem Zeitpunkt der nächsten anführenden Flanke des Systemzeittaktes CLK1. In Übereinstimmung mit den ersten, zweiten und dritten Schaltsteuersignalen PU, PV und PW arbeitet die Hauptschaltungs-Leistungssteuerung **8** der nächsten Stufe.

[0126] Als nächstes betrachten wir eine Betriebsfunktion, bei der sich das dritte Leitungsstrom-Vergleichssignal HW anschließend von dem H-Pegel auf den L-Pegel ändert, d. h. eine Betriebsfunktion der Zustandsverschiebung von dem Zustand Nr. AX1 in den Zustand Nr. AX2 in Tabelle 1.

[0127] Wenn das dritte Leitungsstrom-Vergleichssignal HW sich von dem H-Pegel auf den L-Pegel ändert, ändert sich der Pegel des ersten Auswahlausgangssignals Y1W von dem L-Pegel auf den H-Pegel, wodurch das dritte RS-Flip-Flop **28** rückgesetzt wird. Deshalb wird das zweite Auswahlausgangssignal Y2W von dem H-Pegel auf den L-Pegel geändert.

[0128] Deshalb werden die Schaltsteuersignale PU, PV und PW

(PU, PV, PW) = (H, H, H)

zu dem Zeitpunkt der nächsten anführenden Flanke des Systemzeittaktes CLK1. In Übereinstimmung mit den ersten, zweiten und dritten Schaltsteuersignalen PU, PV und PW arbeitet die Hauptschaltungs-Leistungssteuerung **8** der nächsten Stufe.

[0129] Dieser Zustand, das heisst

(PU, PV, PW) = (H, H, H),

wird beibehalten bis zu dem Zeitpunkt der anführenden Flanke des Systemzeittaktes CLK1, der auf den Zeitpunkt der nächsten führenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 folgt.

[0130] Oben wird die Erläuterung der Betriebsfunktion in dem Fall beschrieben, bei dem sich der Systemzustand zu einem der Zustandsnummern A00, B00, C00, D00, E00 und F00 bei dem Zeittakt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 verschiebt, d. h. es gibt zwei Signale mit identischem Signalpegel unter den ersten, zweiten und dritten Leitungsstrom-Vergleichssignalen HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10. Als nächstes folgt die Erläuterung zu einem Fall bei dem die Systemzustände sich zu irgendeinem der Zustandsnummern G00 und H00 in Tabelle 1 verschieben, d. h. alle der ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW weisen einen identischen Signalpegel auf zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0131] Die Erläuterung erfolgt hier unter beispielhafter Verwendung des Zustands Nr. G00 in Tabelle 1.

[0132] In dem Zustand der Zustandsnummer G00 ist das Leitungsstrom-Vergleichssignal HU auf dem H-Pegel, das Leitungsstrom-Vergleichssignal HV auf H-Pegel, das Leitungsstrom-Vergleichssignal HW auf H-Pegel, das Betriebsmodussignal YL auf H-Pegel, die Ausgabesignale Y1U, Y1V und Y1W von der ersten Datenauswahlschaltung **20** auf H-Pegel, H-Pegel bzw. H-Pegel und alle ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** befinden sich in rückgesetztem Zustand.

[0133] Folglich sind die Ausgangssignale Y2U, Y2V und Y2W der zweiten Datenauswahlschaltung **21** auf H-Pegel, H-Pegel bzw. H-Pegel. Deshalb gehen die Schaltsteuersignale PU, PV und PW auf L-Pegel, L-Pegel bzw. L-Pegel über im Zeitpunkt der nächsten anführenden Flanke des Systemzeittaktes CLK1. In Übereinstimmung mit diesen Schaltsteuersignalen PU, PV und PW arbeitet die Hauptschaltungs-Leistungssteuerung **8** in der nächsten Stufe.

[0134] Dieser Zustand, das heisst

(PU, PV, PW) = (L, L, L),

wird bis zum Zeitpunkt der anführenden Flanke des Systemzeittaktes CLK1 im Anschluss an den Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 beibehalten.

[0135] Oben ist die Erläuterung der Betriebsfunktionen in dem Fall beschrieben worden, in dem sich der Systemzustand von dem Zustand Nr. A00 in den Zustand Nr. AX1 und dann weiter von dem Zustand Nr. AX1 in den Zustand Nr. AX2 in Tabelle 1 verschiebt, und der Betriebsfunktionen in dem Fall, in dem sich der Systemzustand in den Zustand Nr. G00 zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 verschiebt. Ausgehend von der vorstehenden Erläuterung können die anderen Fälle der Zustandsverschiebung in Tabelle 1 auf ähnliche Weise ermittelt werden und deshalb erfolgt dafür keine Erläuterung.

[0136] Oben wird die konkrete Erläuterung der Betriebsfunktion der logischen Schaltung **10** in der Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung beschrieben. Die Beschreibung erfolgt dann zur Leitungsstromsteuerung des Dreiphasenmotors **1** mittels des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des ersten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung mit Bezugnahme auf die **Fig.** 3A bis 3C.

[0137] Bezug nehmend auf die **Fig.** 3A bis 3C, zeigt die **Fig.** 3A ein Zeitdiagramm der ersten, zweiten und dritten Leitungsstrom-Steuersignale iTU, iTV und iTW und der ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW. **Fig.** 3B zeigt ein vergrößertes Zeitdiagramm, das die Betriebsart der logischen Schaltung **10** in dem Bereich zeigt, der durch die gepunktete Linie in **Fig.** 3A eingeschlossen ist. Die **Fig.** 3C zeigt ein Zeitdiagramm, das die EIN-Schalt- und AUS-Schalt-Betriebsfunktionen der ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 zeigt aufgrund der Ausgabepegel der ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW, die von der logischen Schaltung **10** ausgegeben werden.

[0138] Zuallererst erfolgt die Beschreibung zu einem Zeitpunkt gemacht, bei dem ein Zeitpunkt t = t1 beträgt, d. h. dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0139] Zu dem Zeitpunkt t = t1, wenn die Signale iTU, iTV und iTW und iFU, iFV und iFW zu dem Zeitpunkt

der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 die folgenden Größenbeziehungen haben:

ITU > iFU,

iTV < iFV und

iTW < iFW,

nehmen die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW dann die folgenden Zustände ein:

(HU, HV, HW) = (L, H, H).

[0140] Die oben erwähnten Zustände entsprechen der Zustandsnummer A00 in der Wahrheitstabelle von Tabelle 1 und die Schaltsteuersignale PU, PV und PW, die von der logischen Schaltung **10** ausgegeben werden, nehmen die folgenden Zustände ein:

(PU, PV, PW) = (H, L, L)

und dann werden die Schaltsteuersignale PU, PV und PW zu der Hauptschaltungs-Leistungssteuerung **8** übertragen.
[0141] Dann werden die Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 jeweils EIN-, AUS-, AUS-, AUS-, EIN- und EIN-geschaltet, so dass die erfassten Leitungsströme iFU, iFV und iFW sich den Leitungsstrom-Steuersignalen iTU, iTV und iTW gemäß der elektrischen Zeitkonstante des Dreiphasenmotors **1** annähern.
[0142] Oben wird die Erläuterung der Betriebsfunktionen des Umrichters mit pulsweitenmodulierter Stromsteuerung zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 zu dem Zeitpunkt t = t1 beschrieben.
[0143] Als nächstes folgt die Beschreibung der Betriebsfunktion für den Fall, dass iTV > iFV und eine Zustandsverschiebung in dem Zeitpunkt (Zeitpunkt t = t11) von

(HU, HV, HW) = (L, H, H) auf

(HU, HV, HW) = (*, L, H)

stattfindet.
[0144] Da der Pegel des Vergleichssignals HU nicht beachtet wird, wird zur Erleichterung der Beschreibung angenommen, dass das Vergleichssignal HU = * DON'T CARE bedeutet und das Symbol "*" im Folgenden DON'T CARE bedeutet.
[0145] Die logische Schaltung **10** empfängt die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW, schaltet die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW von

(PU, PV, PW) = (H, L, L) auf

(PU, PV, PW) = (H, H, L)

um und schaltet dann die Hauptschaltungs-Leistungsschaltelemente Q2 und Q5 ein bzw. aus. Dann verschiebt sich der Zustand auf den Zustand Nr. AX1.
[0146] Oben wird die Erläuterung der Betriebsfunktion zum Zeitpunkt t = t11 beschrieben.
[0147] Als nächstes erfolgt die Beschreibung einer Betriebsfunktion für den Fall, dass iTW > iFW und eine Zustandsverschiebung von dem Zeitpunkt (Zeitpunkt t = t12) von

(HU, HV, HW) = (*, L, H) auf

(HU, HV, HW) = (*, H, H)

stattfindet.
[0148] Die logische Schaltung **10** erhält die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW, schaltet die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW von

(PU, PV, PW) = (H, H, L) auf

(PU, PV, PW) = (H, H, H)

um und schaltet die Hauptschaltungs-Leistungsschaltelemente Q3 und Q6 ein bzw. aus. Dann verschiebt sich der Zustand in den Zustand Nr. AX2.

[0149] Oben wird die Beschreibung der Betriebsfunktion zum Zeitpunkt t = t12 beschrieben.

[0150] Dann wird der Zustand

(PU, PV, PW) = (H, H, H)

bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 beibehalten.

[0151] Ferner werden durch Ausführen einer ähnlichen Betriebsfunktion nach dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 die Leitungsströme des Dreiphasenmotors **1** so gesteuert, dass dessen Leitungsströme den ersten, zweiten und dritten Leitungsstrom-Steuersignalen iTU, iTV und iTW entsprechen.

[0152] Oben wird die Erläuterung der Leitungsstromsteuerung des Dreiphasenmotors **1** mit dem Umrichtersystem mit pulsweitenmodulierter Stromsteuerung gemäß des ersten bevorzugten Ausführungsbeispiels der vorliegenden Erfindung beschrieben.

[0153] In **Fig.** 1 können die ersten, zweiten und dritten Vergleicher **17**, **18** und **19** ausgebildet sein, um eine Hysterese aufzuweisen, wenn Rauschen, das den ersten, zweiten und dritten Leitungsstrom-Steuersignalen iTU, iTV und iTW sowie den ersten, zweiten und dritten erfassten Leitungsströmen iFU, iFV und iFW überlagert ist, gewiss reduziert werden kann.

[0154] Bezug nehmend auf **Fig.** 7 kann es in der Grundtreiberschaltung **4**, welche die Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 aufgrund der Ausgabepegel der Ausgaben PU, PV und PW der Stromsteuerung **6** steuert, akzeptabel sein, eine Verzögerung für eine vorbestimmte Zeit bereitzustellen, wenn sich jedes der Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 von dem AUS-Zustand in den EIN-Zustand verschiebt, um eine schnelle Verschiebung von dem EIN-Zustand in den AUS-Zustand sicherzustellen. Diese Anordnung bedeutet Folgendes. Z.B., wenn der Zustand, in dem das Leistungselement Q1 in dem EIN-Zustand ist und das Leistungselement Q4 in dem AUS-Zustand ist, in einen Zustand verschoben wird, in dem das Leistungselement Q1 in dem AUS-Zustand ist und das Leistungselement Q4 in dem EIN-Zustand ist, wird zuallererst das Leistungselement Q1 ausgeschaltet und nachdem das Leistungselement Q1 sicher ausgeschaltet ist, wird das Leistungselement Q4 eingeschaltet. Mit dieser Anordnung werden die Leistungselemente Q1 und Q4 gleichzeitig in Übereinstimmung mit dem Zeitpunkt, in dem die Leistungselemente Q1 und Q4 umgeschaltet werden, augenblicklich angeschaltet, so dass das Fließen eines hohen Stromes durch die Hauptschaltungs-Leistungsschaltelemente Q1 bis Q6 verhindert wird.

[0155] Ferner können die Ausgangspegel der Grundtreiber der Grundtreiberschaltung **4** jeweils auf L-Pegel gesetzt werden, so dass alle Leistungselemente ausgeschaltet sind, z.B., wenn erwünscht ist, eine Stromunterbrechung zum Schutz der Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung im Fall einer Überlast, eine Freilauf-Betriebsfunktion des Motors oder dgl. zu erwirken.

[0156] Gemäß dem ersten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung können infolge des Aufbaus ohne Stromfehlerverstärker die Probleme betreffend die Verstärkungssteuerung der Stromfehlerverstärker im Wesentlichen gelöst werden, wodurch das Erfordernis der Verstärkungssteuerung vollständig vermieden wird.

[0157] Des Weiteren, selbst wenn sich die Eigenschaften und Einzelheiten des Dreiphasenmotors **1**, der Motorstrom-Erfassungsschaltung **9**, der Stromsteuerung **6** und der Hauptschaltungs-Leistungssteuerung **8** ändern, arbeitet das Umrichtersystem der vorliegenden bevorzugten Ausführungsbeispiele so, dass jeder Leitungsstromfehler durchweg minimiert wird. Des Weiteren, selbst wenn produktionsabhängige Variationen der Eigenschaften, Temperatureigenschaften und dgl. vorliegen, arbeitet das Umrichtersystem des vorliegenden bevorzugten Ausführungsbeispiels so, dass jeder Leitungsstromfehler durchweg minimiert wird, wodurch ein verbessertes Stromsteuerungsansprechverhalten sichergestellt ist und das mögliche Auftreten eines Schwingungsphänomens verhindert wird.

[0158] Des Weiteren kann die Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung gemäß der vorliegenden Erfindung durch eine einfache digitale Schaltung mit Ausnahme der ersten, zweiten und dritten Vergleicher verwirklicht werden und deshalb erzeugt der Teil, der durch die digitale Schaltung gebildet ist, keinen Offset oder Drift und ist kostengünstiger.

[0159] Deshalb wird die vorliegende Erfindung von der Verstärkungseinstellungsarbeit und der Offseteinstellungsarbeit der Stromfehlerverstärker **120**, **121** und **122** befreit, so dass eine verbesserte Stromsteuerungsverlässlichkeit sichergestellt werden kann, um die Bereitstellung eines kostengünstigen Umrichtersystems mit

pulsweitenmodulierter Stromsteuerung zu ermöglichen.

Zweites bevorzugtes Ausführungsbeispiel

[0160] Ein zweites bevorzugtes Ausführungsbeispiel gemäß der vorliegenden Erfindung wird nachstehend mit Bezug auf die beiliegenden Zeichnungen beschrieben.

[0161] Gemäß dem zweiten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung ist in der Stromsteuerung **6** des Umrichters mit pulsweitenmodulierter Stromsteuerung, der in **Fig.** 7 gezeigt ist, der interne Aufbau der logischen Schaltung **10a**, die für die Stromsteuerung **6**, die den in **Fig.** 1 gezeigten Aufbau hat, bereitgestellt ist, so ausgebildet, dass er von dem des ersten bevorzugten Ausführungsbeispiels, wie es in **Fig.** 5 gezeigt ist, verschieden ist.

[0162] Der Aufbau des anderen Teils mit Ausnahme des internen Aufbaus der logischen Schaltung **10a** entspricht im Wesentlichen dem des ersten bevorzugten Ausführungsbeispiels. Deshalb erfolgt keine ausführliche Beschreibung für den Aufbau der in **Fig.** 1 gezeigten Stromsteuerung, die mit der logischen Schaltung **10a** des zweiten bevorzugten Ausführungsbeispiels versehen ist, und den Aufbau des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung, wie es in **Fig.** 7 gezeigt ist, das mit der Stromsteuerung **6** ausgestattet ist. Der Aufbau und die Betriebsfunktion der logischen Schaltung **10a** werden nachstehend beschrieben.

[0163] Zuallererst wird vor der Beschreibung der logischen Schaltung **10** die Wahrheitstabelle der logischen Schaltung **10** in Tabelle 3 dargestellt.

Tabelle 1

Zustand	Rücksetzsignal	Zustandsaktualisierungs-Takt-Signal	Leitungsstrom Vergleichssignal			Schalt-steuersignal		
Nr	RESET	CLK10	HU	HV	HW	PU	PV	PW
A00	L	↑	L	H	H	H	L	L
AX1	L	◆	*	L	H	H	H	L
AX2	L	◆	*	L	L	L	L	L
A00	L	↑	L	H	H	H	L	L
AY1	L	◆	*	H	L	H	L	H
AY2	L	◆	*	L	L	L	L	L
B00	L	↑	H	L	H	L	H	L
BX1	L	◆	L	*	H	H	H	L
BX2	L	◆	L	*	L	L	L	L
B00	L	↑	H	L	H	L	H	L
BY1	L	◆	H	*	L	L	H	H
BY2	L	◆	L	*	L	L	L	L
C00	L	↑	H	H	L	L	L	H
CX1	L	◆	L	H	*	H	L	H
CX2	L	◆	L	L	*	L	L	L
C00	L	↑	H	H	L	L	L	H
CY1	L	◆	H	L	*	L	H	H
CY2	L	◆	L	L	*	L	L	L
D00	L	↑	H	L	L	L	H	H
DX1	L	◆	*	H	L	L	L	H
DX2	L	◆	*	H	H	H	H	H
D00	L	↑	H	L	L	L	H	H
DY1	L	◆	*	L	H	L	H	L
DY2	L	◆	*	H	H	H	H	H
E00	L	↑	L	H	L	H	L	H
EX1	L	◆	H	*	L	L	L	H
EX2	L	◆	H	*	H	H	H	H
E00	L	↑	L	H	L	H	L	H
EY1	L	◆	L	*	H	H	L	L
EY2	L	◆	H	*	H	H	H	H
F00	L	↑	L	L	H	H	H	L
FX1	L	◆	H	L	*	L	H	L
FX2	L	◆	H	H	*	H	H	H
F00	L	↑	L	L	H	H	H	L
FY1	L	◆	L	H	*	H	L	L
FY2	L	◆	H	H	*	H	H	H
G00	L	◆	H	H	H	L	L	L
H00	L	◆	L	L	L	H	H	H
CLR	H	◆	*	*	*	L	L	L

[0164] Wie die Tabelle 3 zu lesen ist, entspricht im Wesentlichen der Wahrheitstabelle (Tabelle 1) der logi-

schen Schaltung **10a** des ersten bevorzugten Ausführungsbeispiels und deshalb erfolgt keine Beschreibung für das Lesen der Tabelle 3.

[0165] Betreffend die Betriebsfunktion der logischen Schaltung **10a** aufgrund der Wahrheitstabelle der Tabelle 3 erfolgt keine Beschreibung für die mit denen der logischen Schaltung **10** des ersten bevorzugten Ausführungsbeispiels übereinstimmenden Teile der Betriebsfunktion.

[0166] Die logische Schaltung **10a** empfängt die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 und aufgrund dieser Vergleichssignale HU, HV und HW werden die Signalpegel der Schaltsteuersignale PU, PV und PW in ziemlich der gleichen Weise bestimmt, wie in der logischen Schaltung **10a** des ersten bevorzugten Ausführungsbeispiels.

[0167] Als nächstes folgt nachstehend die Beschreibung zu der Betriebsfunktion der logischen Schaltung **10a** bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 einzeln für den Fall, dass sich ein Signalpegel von den anderen der drei Signalpegel unterscheidet, d. h. wenn

(HU, HV, HW) = (L, H, H)

oder = (H, L, H)
oder = (H, H, L)
oder = (H, L, L)
oder = (L, H, L)
oder = (L, L, H)
und für einen anderen Fall, dass die drei Signalpegel alle auf einem identischen Pegel sind, d. h. wenn

(HU, HV, HW) = (H, H, H)

oder = (L, L, L) in ähnlicher Weise wie bei der Beschreibung der Betriebsart der logischen Schaltung **10** des ersten bevorzugten Ausführungsbeispiels.

[0168] Zuallererst erfolgt die Erläuterung für eine Betriebsart in dem Fall, dass ein Signalpegel verschieden ist von den anderen der drei Signalpegel der Vergleichssignale HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0169] Zuallererst wird mit Bezug auf die Betriebsfunktion in dem Fall, dass ein Signalpegel verschieden ist von den anderen der drei Signalpegel der Vergleichssignale HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10, der Pegel des entsprechenden Schaltsteuersignals invertiert, so dass das Hauptschaltungs-Leistungsschaltelement, welches den Leitungsstrom zuführt, der für dasjenige Signal relevant ist, das vorher aus den zwei Signalen mit identischem Pegel invertiert worden ist, gesteuert wird, um eingeschaltet zu werden, wenn das Leistungselement in dem AUS-Zustand ist, und gesteuert wird, um ausgeschaltet zu werden, wenn das Leistungselement in dem EIN-Zustand ist, in ähnlicher Weise wie in der Betriebsfunktion der logischen Schaltung **10** des ersten bevorzugten Ausführungsbeispiels. Jedoch arbeitet die logische Schaltung des vorliegenden bevorzugten Ausführungsbeispiels in einer gegenüber der der logischen Schaltung **10** des ersten bevorzugten Ausführungsbeispiels unterschiedlicher Weise, in dem, wenn der Pegel des anderen der zwei Signale mit identischem Pegel, invertiert wird, der EIN-Zustand oder der AUS-Zustand des Hauptschaltungs-Leistungsschaltelements, welches den Leitungsstrom, der für das Signal wichtig ist, das invertiert worden ist, nachfolgend nicht umgeschaltet wird, und der Pegel von nur einem Signal der zwei Schaltsteuersignale wird erneut invertiert.

[0170] Zu diesem Zeitpunkt weisen die drei Schaltsteuersignale PU, PV und PW, die von der logischen Schaltung **10a** ausgegeben werden, einen identischen Pegel auf. Jedoch erlangen die Pegel der drei Schaltsteuersignale PU, PV und PW solch eine Beziehung, dass ihre Signalpegel gegenüber den Signalpegeln in dem ersten bevorzugten Ausführungsbeispiel jeweils invertiert werden, d. h. die Pegel der drei Schaltsteuersignale PU, PV und PW nehmen die Pegel ein, die durch Invertieren des Pegels des einen Signals, das den gegenüber denen der anderen der drei Vergleichssignale HU, HV und NW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 unterschiedlichen Pegel aufweist, erhalten werden. Die Pegel der Schaltsteuersignale PU, PV und PW werden bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 beibehalten. Dann wird nach dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 die gleiche Betriebsfunktion wiederholt.

[0171] Dann wird die gleiche Betriebsfunktion ausgeführt, wenn alle Pegel der drei Vergleichssignale HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 einen identischen Pegel aufweisen, und deshalb erfolgt dafür keine Erläuterung.

[0172] Oben wird die Erläuterung des Aufbaus der Stromsteuerung **6** in dem Umrichtersystem mit pulsweitenmodulierter Stromsteuerung des zweiten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung beschrieben. Der Aufbau der logischen Schaltung **10a** der Stromsteuerung **6** in dem Umrichtersystem

mit pulsweitenmodulierter Stromsteuerung des zweiten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung wird nachstehend näher beschrieben.

[0173] Der interne Aufbau der logischen Schaltung **10a** wird mit Bezugnahme auf **Fig.** 5 in Bezug auf einen Punkt beschrieben, der sich von dem des ersten bevorzugten Ausführungsbeispiels unterscheidet.

[0174] Bezug nehmend auf **Fig.** 5 erfolgt zuallererst die Beschreibung der Betriebsfunktion der für die logische Schaltung **10** des ersten bevorzugten Ausführungsbeispiels neu bereitgestellten Bestandteile.

[0175] Die Bezugsnummern **135** und **136** kennzeichnen erste und zweite UND-Schaltungen. Wenn der H-Pegel an allen drei Eingangsanschlüssen der ersten UND-Schaltung **135** oder an beiden Eingangsanschlüssen der zweiten UND-Schaltung **136** eingegeben wird, wird ein Signal mit H-Pegel an jedem ihrer Ausgangsanschlüsse ausgegeben. Wenn zumindest einer der Eingangsanschlüsse auf L-Pegel ist, wird ein Signal mit L-Pegel an jedem ihrer Ausgangsanschlüsse ausgegeben.

[0176] Neu vorgesehen sind ein siebter Datenauswähler **42**, ein siebter D-Zwischenspeicher **16** und zehnte und elfte Invertiergatter **133** und **134** als weitere Bestandteile. Die Betriebsfunktionen dieser Bestandteile sind ähnlich denen des ersten bevorzugten Ausführungsbeispiels und deshalb erfolgt dafür keine Beschreibung.

[0177] Mit den oben erwähnten Bestandteilen wird der Ausgangsanschluss Y des Datendecodierers **22** an den Eingangsanschluss A des siebten Datenauswählers **42** über das zehnte Invertiergatter **133** angeschlossen und wird direkt an den Eingangsanschluss B angeschlossen. Der Ausgangsanschluss Y des siebten Datenauswählers **42** ist an den Eingangsanschluss SEL der zweiten Datenauswahlschaltung **41** angeschlossen. Der Eingangsanschluss SEL des siebten Datenauswählers **42** ist an den Ausgangsanschluss Q des siebten D-Zwischenspeichers **16** angeschlossen. Der Eingangsanschluss D des siebten D-Zwischenspeichers **16** ist mit Masse verbunden, um immer den L-Pegel aufzuweisen. Der Eingangsanschluss CK des siebten D-Zwischenspeichers **16** ist an den Ausgangsanschluss der ersten UND-Schaltung **135** angeschlossen, während der Eingangsanschluss PR des siebten D-Zwischenspeichers **16** an den Ausgangsanschluss der zweiten UND-Schaltung **136** angeschlossen ist.

[0178] Die drei Eingangsanschlüsse der ersten UND-Schaltung **135** sind an die Ausgangsanschlüsse Q der ersten, zweiten und dritten Rücksetz-Setz-Multivibratoren RS-Flip-Flops **26**, **27** und **28** jeweils über die vierten, fünften und sechsten Invertiergatter **127**, **128** und **129** angeschlossen. An einem der beiden Eingangsanschlüsse der zweiten UND-Schaltung **136** wird das Zustandsaktualisierungstakt-Verzögerungssignal CLK11 über das elfte Invertiergatter **134** eingegeben, während das Zustandsaktualisierungstakt-Signal CLK10 an dem anderen Eingangsanschluss eingegeben wird.

[0179] Mit der oben erwähnten Anordnung wird in dem siebten Datenauswähler **42** der Pegel, der zu dem Eingangsanschluss B eingegeben wird, zu dem Ausgangsanschluss Y ausgegeben, wenn der siebte D-Zwischenspeicher vorbereitet ist, um den H-Pegel an den Ausgangsanschluss Q abzugeben, und wenn der Eingangsanschluss CK des siebten D-Zwischenspeichers **16** von dem L-Pegel auf den H-Pegel geschaltet wird, wird der Ausgangsanschluss Q zum L-Pegel, so dass der Pegel, der zu dem Eingangsanschluss A eingegeben wird, an dem Ausgangsanschluss Y des siebten Datenauswählers **42** ausgegeben wird:

[0180] Der siebte D-Zwischenspeicher **16** wird vorbereitet, wenn das Zustandsaktualisierungstakt-Signal CLK11 auf L-Pegel ist und das Zustandsaktualisierungstakt-Zeitsignal CLK10 auf H-Pegel ist. Der Eingangsanschluss CK schaltet von dem L-Pegel auf den H-Pegel, wenn alle der ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** rückgesetzt sind.

[0181] Eine Betriebsfunktion der logischen Schaltung **10a**, die den oben erwähnten Aufbau hat, wird nachstehend beschrieben.

[0182] Bezug nehmend auf **Fig.** 4 weist das Zustandsaktualisierungstakt-Signal CLK10 H-Pegel auf und das Zustandsaktualisierungstakt-Verzögerungssignal CLK11 weist L-Pegel auf vor der anführenden Flanke des Zustandsaktualisierungstakt-Verzögerungssignals CLK11, so dass der siebte D-Zwischenspeicher **16** vorbereitet ist. Deshalb wird ein Signal, das einen Pegel identisch zu dem Betriebsmodussignal YM des Datendecodierers **22** hat, an dem Eingangsanschluss SEL der zweiten Datenauswahlschaltung **21** eingegeben.

[0183] Andererseits wird der Eingangsanschluss SEL der zweiten Datenauswahlschaltung **21** nicht invertiert, bis alle ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** rückgesetzt sind. Mit anderen Worten wird, wenn alle ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** rückgesetzt sind, deren Ausgangsanschluss Q auf L-Pegel versetzt, und dann wird der Ausgangspegel des UND-Gatters **135** auf H-Pegel versetzt, der Ausgangsanschluss Q des D-Zwischenspeichers **16** auf L-Pegel versetzt, dann wird der Eingangsanschluss SEL der zweiten Datenauswahlschaltung **21** invertiert.

[0184] Deshalb findet dann, wenn der Systemzustand sich zu einer der Zustandsnummern A00, B00, C00, D00, E00 und F00 in Tabelle 3 verschiebt, d. h. wenn dort zwei Signale sind, die einen gleichen Signalpegel von den ersten, zweiten und dritten Leitungsstrom-Vergleichssignalen HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 aufweisen, eine ähnliche Betriebsfunktion wie die des ersten bevorzugten Ausführungsbeispiels bis zum Auftreten einer solchen Verschiebung, dass der Pegel eines der drei Schaltsteuersignale PU, PV und PW von den Pegeln der Schaltsteuersignale PU, PV und PW, die zum Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 bestimmt

werden, invertiert wird, statt.

[0185] Anschließend werden dann, wenn das eine verbleibende der Vergleichssignale HU, HV und HW invertiert wird, alle der ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** rückgesetzt und der Pegel an dem Eingangsanschluss SEL der zweiten Datenauswahlschaltung **21** wird invertiert, so dass dort ein Schalten der Zustände zu den Pegeln auftritt, wie durch die Zustandsnummern AX2, AY2, BX2 und BY2 in Tabelle 3 angezeigt ist, d. h. zu den Pegeln umgekehrt zu den entsprechenden Zuständen in Fig. Tabelle 1.

[0186] Jeder geschaltete Pegel wird bis zu dem Zeitpunkt der anführenden Flanke des Systemzeittaktes CLK1 nachfolgend zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 in einer Weise beibehalten, die ähnlich zu der des ersten bevorzugten Ausführungsbeispiels ist.

[0187] Als nächstes folgt die Erläuterung für einen Fall, dass sich der Systemzustand entweder zu einer der Zustandsnummern G00 und H00 in Tabelle 1 verschiebt, d. h. wenn alle der ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 einen gleichen Pegel aufweisen.

[0188] Bezug nehmend zu **Fig.** 4 werden alle ersten, zweiten und dritten RS-Flip-Flops **26**, **27** und **28** zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 zurückgesetzt. Jedoch ist der siebte D-Zwischenspeicher in dem vorbereiteten Zustand und der Pegel des Eingangsanschlusses SEL der zweiten Datenauswahlschaltung **21** schaltet sich nicht bis zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Verzögerungssignals CLK11 um. Deshalb ähnelt die Betriebsfunktion in diesem Fall der des ersten bevorzugten Ausführungsbeispiels, wie es in der Wahrheitstabelle von Tabelle 3 gezeigt ist.

[0189] Oben wird eine konkrete Beschreibung der Betriebsfunktion der logischen Schaltung **10a** in der Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des zweiten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung beschrieben. Tabelle 1 des ersten bevorzugten Ausführungsbeispiels mit Tabelle 3 des zweiten bevorzugten Ausführungsbeispiels vergleichend, unterscheidet sich das vorliegende bevorzugte Ausführungsbeispiel nur in dem Punkt, dass die Pegel der Schaltsteuersignale PU, PV und PW auf einem identischen Pegel, der als eine Folge der endgültigen Verschiebung aus dem zweiten bevorzugten Ausführungsbeispiel erhalten wird, nur dann umgekehrt zu den Pegeln der Schaltsteuersignale PU, PV und PW des ersten bevorzugten Ausführungsbeispiels sind, wenn der Pegel eines Signals der drei Vergleichssignale HU, HV und HW unterschiedlich ist von den anderen zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10.

[0190] In Bezug auf die Pegel der Schaltsteuersignale PU, PV und PW wird die Leitungsspannung von jeder Phase des Dreiphasenmotors **1** zu null, wenn die Schaltsteuersignale PU, PV und PW identisch zueinander sind. Deshalb ist, wenn die Schaltsteuersignale PU, PV und PW entweder die Pegel H, H und H oder die Pegel L, L und L aufweisen, dort keine Änderung in der Leitungsspannung jeder Phase bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10. Deshalb kann das zweite bevorzugte Ausführungsbeispiel die Leitungsströme des Dreiphasenmotors **1** entsprechend in einer Weise ähnlich der des ersten bevorzugten Ausführungsbeispiels steuern.

[0191] Es kann auch akzeptabel sein, die Schaltsteuersignale PU, PV und PW so auszubilden, dass diese die Pegel H, H und H in dem Zustand Nr. G00 aufweisen, und die Schaltsteuersignale PU, PV und PW so auszubilden, dass diese die Pegel L, L und L in dem Zustand Nr. H00 in Tabelle 3 aufweisen.

Drittes bevorzugtes Ausführungsbeispiel

[0192] Ein drittes bevorzugtes Ausführungsbeispiel gemäß der vorliegenden Erfindung wird unten mit Bezug auf die beigefügten Zeichnungen beschrieben.

[0193] Gemäß dem dritten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung ist der interne Aufbau der Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung in **Fig.** 7 ausgebildet, um unterschiedlich von dem des ersten bevorzugten Ausführungsbeispiels oder des zweiten bevorzugten Ausführungsbeispiels zu sein. **Fig.** 6 zeigt den inneren Aufbau der Stromsteuerung **6** des dritten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung.

[0194] Das dritte bevorzugte Ausführungsbeispiel gemäß der vorliegenden Erfindung hat einen ähnlichen Aufbau wie der des ersten bevorzugten Ausführungsbeispiels oder des zweiten bevorzugten Ausführungsbeispiels mit Ausnahme der ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50**, die als Bestandteile der in **Fig.** 6 gezeigten Stromsteuerung **6** bereitgestellt sind.

[0195] Da die ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50** einen ähnlichen Aufbau aufweisen, wird der Aufbau der ersten zweifach lesenden logischen Schaltung **48** unten mit Bezug auf **Fig.** 8 beschrieben.

[0196] Bezug nehmend auf **Fig.** 8 zum Zwecke der Beschreibung der Betriebsfunktion eines jeden Bestandteils der ersten zweifach lesenden logischen Schaltung **48** speichern zuallererst achte und neunte D-Zwischenspeicher **51** und **52** die Pegel an ihren Eingangsanschlüssen D zum Zeitpunkt der anführenden Flanke des Signals, das zu ihren Eingangsanschlüssen CK eingegeben wird, und dann geben sie die Pegel an ihren Ein-

gangsanschlüssen D an ihren Ausgangsanschlüssen Q aus. Es ist anzumerken, dass ihre Eingangsanschlüsse PR Anschlüsse zum Empfang des Eingangs eines Vorbereitungssignals sind, und die D-Zwischenspeicher **51** und **52** werden mit erster Priorität vorbereitet, wenn der H-Pegel in diese eingegeben wird, wenn deren Ausgangsanschlüsse Q auf H-Pegel übergehen.

[0197] Ferner werden die Eingangsanschlüsse CK und die Eingangsanschlüsse PR der achten und neunten D-Zwischenspeicher **51** und **52** gemeinsam miteinander verbunden.

[0198] Die Bezugsnummern **137** und **138** kennzeichnen zwölfte und dreizehnte Invertiergatter, von denen jedes den L-Pegel an seinen Ausgangsanschlüssen ausgibt, wenn der H-Pegel an ihren Eingangsanschlüssen eingegeben wird, und jedes den H-Pegel an den Ausgangsanschlüssen ausgibt, wenn der L-Pegel an den Eingangsanschlüssen eingegeben wird.

[0199] Die Bezugsnummer **53** kennzeichnet ein viertes RS-Flip-Flop, welches rückgesetzt wird, wenn sein Eingangsanschluss R auf H-Pegel ist und sein Eingangsanschluss S auf L-Pegel ist, um den Pegel an seinem Ausgangsanschluss Q auf L-Pegel umzuschalten, und gesetzt wird, wenn der Eingangsanschluss R auf L-Pegel ist und der Eingangsanschluss S auf H-Pegel ist, um den Pegel an dem Ausgangsanschluss Q auf H-Pegel umzuschalten.

[0200] Die Bezugsnummern **54** und **55** kennzeichnen dritte und vierte UND-Schaltungen **54** und **55**, von denen jede H-Pegel-Ausgangssignale ausgibt, wenn ein H-Pegel-Signal an allen Eingangsanschlüsse eingegeben wird, und von denen jedes ein L-Pegel-Ausgangssignal in allen anderen Fällen ausgibt.

[0201] Oben wird die Erläuterung der Betriebsfunktion der Bestandteile der ersten zweifach lesenden logischen Schaltung **48** beschrieben. Die Betriebsfunktion der ersten zweifach lesenden logischen Schaltung **48** wird unten mit Bezug auf die Signalflüsse beschrieben.

[0202] Zuallererst wird zu dem Zeitpunkt der anführenden Flanke des Systemzeittaktes CLK2 der Pegel des ersten Leitungsstrom-Vergleichssignals HU, das an einem Eingangsanschluss SI der ersten zweifach lesenden logischen Schaltung **48** eingegeben wird, gespeichert und in dem achten D-Zwischenspeicher **51** beibehalten und an seinem Ausgangsanschluss Q ausgegeben. Es ist anzumerken, dass der Systemzeittakt CLK2 mit dem Systemzeittakt CLK1 synchronisiert ist und eine Frequenz hat, die ein Vielfaches der Frequenz des Systemzeittaktes CLK1 ist.

[0203] Dann wird zu dem Zeitpunkt der nächsten anführenden Flanke des Systemzeittaktes CLK2 der Pegel des Ausgangsanschlusses Q des achten D-Zwischenspeichers **51** gespeichert und in dem neunten D-Zwischenspeicher **52** beibehalten und wird an dessen Ausgangsanschluss Q ausgegeben. Der Pegel des Vergleichssignals HU bei diesem Zeitpunkt wird gespeichert und gehalten in dem achten D-Zwischenspeicher **51** und wird an seinem Ausgangsanschluss Q ausgegeben.

[0204] Ferner werden die Ausgangspegel der Ausgangsanschlüsse Q der achten und neunten D-Zwischenspeicher **51** und **52** werden übertragen zu der vierten UND-Schaltung **55** und werden übertragen zu der dritten UND-Schaltung **54** über die zwölften und dreizehnten Invertiergatter **137** und **138**. Dann wird das Ausgangssignal von der dritten UND-Schaltung **54** zu dem Eingangsanschluss R des vierten RS-Flip-Flops **53** übertragen, während das Ausgangssignal von der vierten UND-Schaltung **55** zu dem Eingangsanschluss S des vierten RS-Flip-Flops **53** übertragen wird. Dann gibt der Ausgangsanschluss Q des vierten RS-Flip-Flops **53** das Signal HU1 als ein Ausgangssignal der ersten zweifach lesenden logischen Schaltung **48** aus.

[0205] Wie vom Obigen ersichtlich ist, ist es zu verstehen, dass die erste zweifach lesende logische Schaltung **48** das Eingangssignal HU zu dem Zeitpunkt jeder anführenden Flanke des Systemzeittaktes CLK2 überprüft oder erfasste, dann arbeitet, um das Ausgangssignal HU1 auf H-Pegel zu schalten, wenn zwei aufeinander folgende L-Pegel erfasst werden.

[0206] Oben wird die Erläuterung der inneren Betriebsfunktion der ersten zweifach lesenden logischen Schaltung **48** beschrieben, und die zweiten und dritten zweifach lesenden logischen Schaltungen **49** und **50** arbeiten in einer Weise ähnlich zu der der ersten zweifach lesenden logischen Schaltung **48**.

[0207] Deshalb können die ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50** die Vergleichssignale HU1, HV1 und HW1 frei von Signalen erzeugen, die sehr kurzzeitigem Rauschen, das in den Vergleichssignalen HU, HV und HW enthalten ist, unterworfen sind, d. h. befreit von der folgenden Signaländerung:

der H-Pegel → der L-Pegel → der H-Pegel oder

der L-Pegel → der H-Pegel → der L-Pegel.

[0208] Es ist anzumerken, dass die Anzahl der Zeitpunkte zum Lesen des Zeitpunkts der anführenden Flanke des Systemzeittakts CLK2 auf gleich oder auf größer als drei gesetzt werden kann durch Bereitstellen von drei oder mehr D-Zwischenspeichern und UND-Verknüpfen der Ausgangspegel der D-Zwischenspeicher.

[0209] Gemäß dem dritten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung können, wie oben beschrieben, durch Bereitstellen der ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50** und Übertragen der Ausgangsvergleichssignale HU, HV und HW der ersten, zweiten und dritten Vergleicher **17**, **18** und **19** der Stromsteuerung **6** zu der logischen Schaltung **10a** über die ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50** die Störungen, die den Ausgangssignalen der ers-

ten, zweiten und dritten Vergleicher **17**, **18** und **19** überlagert sind, entfernt werden. Selbst unter der Bedingung der Störungsneigung können die Leitungsströme des Dreiphasenmotors **1** so gesteuert werden, dass die Leitungsströme davon zutreffend mit den ersten, zweiten und dritten Leitungsstrom-Steuersignalen iTU, iTV und iTW übereinstimmen.

[0210] Die ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50** können in jedes von dem ersten bevorzugten Ausführungsbeispiel und dem zweiten bevorzugten Ausführungsbeispiel aufgenommen werden. Es ist anzumerken, dass die gleichen Wirkungen selbstverständlich erhalten werden können, wenn die ersten, zweiten und dritten zweifach lesenden logischen Schaltungen **48**, **49** und **50** in jedes von dem ersten bevorzugten Ausführungsbeispiel und dem zweiten bevorzugten Ausführungsbeispiel aufgenommen sind.

Viertes bevorzugtes Ausführungsbeispiel

[0211] Ein viertes bevorzugtes Ausführungsbeispiel gemäß der vorliegenden Erfindung wird mit Bezug auf die beiliegenden Zeichnungen beschrieben.

[0212] **Fig.** 9 zeigt den inneren Aufbau der logischen Schaltung **10b** der Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung, das in **Fig.** 7 gezeigt ist, gemäß dem vierten bevorzugten Ausführungsbeispiel der vorliegenden Erfindung.

[0213] Den inneren Aufbau (**Fig.** 9) der logischen Schaltung **10b** des vierten bevorzugten Ausführungsbeispiels mit dem inneren Aufbau (**Fig.** 2) der logischen Schaltung **10** des oben erwähnten ersten bevorzugten Ausführungsbeispiels vergleichend, weist die logische Schaltung **10b** des vorliegenden bevorzugten Ausführungsbeispiels einen ähnlichen Aufbau auf mit der Ausnahme, dass die Ausgangssignale PU1, PV1 und PW1 von den siebten, achten und neunten Invertiergattern **130**, **131** und **132** in die ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** eingegeben werden und die Ausgangssignale von den Verzögerungsschaltungen **56**, **57** und **58** als die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zu der Hauptschaltungs-Leistungssteuerung **8** übertragen werden.

[0214] Die Erläuterung erfolgt hier zu der Betriebsfunktion der ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58**.

[0215] Die ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** empfangen jeweils die Ausgangssignale PU1, PV1 und PW1 der siebten, achten und neunten Invertiergatter **130**, **131** und **132** und übertragen die Signale, die durch Verzögern der Eingangssignale um eine vorbestimmte Zeit gemäß einer vorbestimmten Vorschrift erhalten werden, als die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zu der Hauptschaltungs-Leistungssteuerung 8. D. h., in Tabelle 1 und Tabelle 3 wird die Verzögerungszeit nur dann null, wenn sich der Systemzustand zu einer der Zustandsnummern A00, B00, C00, D00, E00, F00, G00 und H00 verschiebt, nämlich bei der anführenden Flanke des Systemzeittaktes CLK10. Wenn die Systemzustände sich zu einem anderen Zustand verschieben, werden die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW um eine vorbestimmte Zeit, wie einige Mikrosekunden, verzögert ausgegeben.

[0216] Die Steuerung der Leitungsströme des Dreiphasenmotors **1** durch das so aufgebaute Umrichtersystem mit pulsweitenmodulierter Stromsteuerung des vierten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung wird mit Bezug zu den **Fig.** 10A bis 10C und Tabelle 1 beschrieben.

[0217] Bezug nehmend auf **Fig.** 10A bis 10C zeigt **Fig.** 10A ein Zeitdiagramm der ersten, zweiten und dritten Leitungsstrom-Steuersignale iTU, iTV und iTW und der ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW. **Fig.** 10B zeigt ein vergrößertes Zeitdiagramm, das eine Betriebsfunktion der logischen Schaltung **10b** zeigt, die mit den ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** in dem Ausschnitt, der durch gepunktete Linien der **Fig.** 10A eingeschlossen ist, bereitgestellt ist. **Fig.** 10C zeigt ein Zeitdiagramm, das EIN-Schalt- und AUS-Schalt-Betriebsfunktionen der Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 aufgrund der Ausgangspegel der ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zeigt, die von den ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** ausgegeben werden.

[0218] Zuallererst erfolgt die Erläuterung zu einer Betriebsfunktion zu dem Zeitpunkt t = t1, d. h. zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 (in dem Fall des Zeitpunktes T3 in **Fig.** 4).

[0219] Zu dem Zeitpunkt t = t1, wenn die Signale iTU, iTV und iTW und iFU, iFV und iFW zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 die folgenden Größenbeziehungen haben:

ITU > iFU,

iTV < iFV und

iTW < iFW,

nehmen dann die ersten, zweiten und dritten Leitungsstrom-Vergleichssignale HU, HV und HW die folgenden Zustände ein:

(HU, HV, HW) = (L, H, H).

[0220] Die oben beschriebenen Zustände entsprechen dem Zustand Nr. A00 in der Wahrheitstabelle der Tabelle 1 und da

(HU, HV, HW) = (L, H, H),

nehmen die Schaltsteuersignale PU1, PV1 und PW1 die folgenden Zustände ein:

(PU1, PV1, PW1) = (H, L, L).

[0221] In dem vorliegenden Fall geben die ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** die geschalteten Signalpegel der Signale PU1, PV1 und PW1 als PU, PV und PW ohne Pegeländerung aus, und die Signale PU, PV und PW werden zu der Hauptschaltungs-Leistungssteuerung **8** übertragen.
[0222] Dann werden die Hauptschaltungs-Leistungsschaltelemente Q1, Q2, Q3, Q4, Q5 und Q6 EIN-, AUS-, AUS-, AUS-, EIN- bzw. EIN-geschaltet, so dass die ersten, zweiten und dritten erfassten Leitungsströme iFU, iFV und iFW sich gemäß der elektrischen Zeitkonstante des Dreiphasenmotors **1** an die ersten, zweiten und dritten Leitungsstrom-Steuersignale iTU, iTV und iTW annähern.
[0223] Oben wird die Beschreibung der Betriebsfunktion der Zustandsverschiebung in den Zustand Nr. A00 zu dem Zeitpunkt der anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 zu dem Zeitpunkt t = t1 beschrieben.
[0224] Als nächstes folgt die Erläuterung zu der Betriebsfunktion für den Fall , dass iTV > iFV und der Systemzustand sich von

(HU, HV, HW) = (L, H, H) nach

(HU, HV, HW) = (*, L, H)

zu dem Zeitpunkt (Zeitpunkt t = t11) verschiebt.
[0225] Die logische Schaltung **10b** erhält diese Signale und schaltet die Signale PU1, PV1 und PW1 von

(PU1, PV1, PW1) = (H, L, L) nach

(PU1, PV1, PW1) = (H, H, L).

[0226] Die zweite Schaltsteuer-Signalverzögerungsschaltung **57** bewirkt das Schalten des L-Pegel-Signals PV1 auf dem H-Pegel von

(PU, PV, PW) = (H, L, L) nach

(PU, PV, PW) = (H, H, L)

zu dem Zeitpunkt t = t111 nach dem Ablauf der vorbestimmten Verzögerungszeit TD und schaltet die Hauptschaltungs-Leistungsschaltelemente Q2 und Q5 jeweils ein bzw. aus.
[0227] Durch die oben beschriebene Betriebsfunktion wird die Verringerung des zweiten erfassten Leitungsstroms iFV nach dem Ablauf der vorbestimmten Zeit TD von dem Zeitpunkt unterdrückt, wenn der zweite erfasste Leitungsstrom iFV das zweite Leitungsstrom-Steuersignal iTV kreuzt, und dann verschiebt sich der Systemzustand zu dem Zustand Nr. AX1.
[0228] Oben wird die Erläuterung der Betriebsfunktion zu dem Zeitpunkt t = t11 beschrieben.
[0229] Als nächstes folgt die Erläuterung zu der Betriebsfunktion für den Fall, dass iTW > iFW und der Systemzustand sich von

(HU, HV, HW) = (*, L, H) nach

(HU, HV, HW) = (*, L, L)

zu dem Zeitpunkt (Zeitpunkt t = t12) verschiebt.
[0230] Die logische Schaltung **10b** erhält diese Eingangssignale und schaltet die Signale PU1, PV1 und PW1 von

(PU1, PV1, PW1) = (H, H, L) nach

(PU1, PV1, PW1) = (H, H, H).

[0231] Die dritte Schaltsteuerungs-Signalverzögerungsschaltung **58** bewirkt das Schalten des L-Pegel-Signals PW1 auf dem H-Pegel von

(PU, PV, PW) = (H, H, L) nach

(PU, PV, PW) = (H, H, H)

zu dem Zeitpunkt t = t112 nach Ablauf der vorbestimmten Verzögerungszeit TD und schaltet die Hauptschaltungs-Leistungsschaltelemente Q3 und Q6 ein bzw. aus.
[0232] Durch die oben beschriebene Betriebsfunktion wird die Verringerung des dritten erfassten Leitungsstroms iFW nach Ablauf der vorbestimmten Zeit TD von dem Zeitpunkt unterdrückt, in dem der dritte erfasste Leitungsstrom iFW das dritte Leitungsstrom-Steuersignal iTW kreuzt, und dann verschiebt sich der Systemzustand zu dem Zustand Nr. AX2.
[0233] Oben wird die Erläuterung der Betriebsfunktion zu dem Zeitpunkt t = t12 beschrieben.
[0234] Dann wird der Zustand:

(PU, PV, PW) = (H, H, H)

bis zu dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 beibehalten.
[0235] Durch Ausführen einer ähnlichen Betriebsfunktion nach dem Zeitpunkt der nächsten anführenden Flanke des Zustandsaktualisierungstakt-Signals CLK10 werden die Leitungsströme des Dreiphasenmotors **1** so gesteuert, dass deren Leitungsströme den ersten, zweiten und dritten Leitungsstrom-Steuersignalen iTU, iTV und iTW entsprechen.
[0236] Oben wird die Erläuterung der Leitungsstromsteuerung des Dreiphasenmotors **1** mittels des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung des vierten bevorzugten Ausführungsbeispiels gemäß der vorliegenden Erfindung beschrieben.
[0237] Wie oben beschrieben, wird gemäß des vierten bevorzugten Ausführungsbeispiels der vorliegenden Erfindung die logische Schaltung **10b** mit den ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** ausgestattet, und die Ausgangssignale der siebten, achten und neunten Invertiergattern **130**, **131** und **132** werden zu der Hauptschaltungs-Leistungssteuerung **8** über die erste, zweite und dritte Schaltsteuer-Signalverzögerungsschaltung **56**, **57** und **58** übertragen. Mit dieser Anordnung bewirken die erste, zweite und dritte Schaltsteuer-Signalverzögerungsschaltung **56**, **57** und **58** nur dann eine Verzögerungszeit von null, wenn der Systemzustand sich zu einem der Zustandsnummern A00, B00, C00, E00, F00, G00 und H00 in Tabelle 1 und Tabelle 3 verschiebt, nämlich bei der anführenden Flanke des Systemzeittaktes CLK10. Wenn sich der Systemzustand zu einem anderen Zustand verschiebt, werden die ersten, zweiten und dritten Schaltsteuersignale PU, PV und PW zu der Hauptschaltungs-Leistungssteuerung **8** durch die erste, zweite und dritte Schaltsteuer-Signalverzögerungsschaltung **56**, **57** und **58** um die vorbestimmte Zeit verzögert übertragen.
[0238] Mit dieser Anordnung können die Leitungsströme des Dreiphasenmotors **1** in sehr erfolgreicher Weise mit den Leitungsstrom-Steuersignalen in Übereinstimmung gebracht werden.
[0239] Es ist anzumerken, dass das vorliegende bevorzugte Ausführungsbeispiel durch Einschließen der ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** in das erste bevorzugte Ausführungsbeispiel bereitgestellt wird. Die ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** können in das zweite bevorzugte Ausführungsbeispiel aufgenommen werden. Die gleiche Wirkung kann natürlich durch Aufnehmen der ersten, zweiten und dritten Schaltsteuer-Signalverzögerungsschaltungen **56**, **57** und **58** in das zweite bevorzugte Ausführungsbeispiel erreicht werden.
[0240] Das Umrichtersystem mit pulsweitenmodulierter Stromsteuerung gemäß der vorliegenden Erfindung hat einen Aufbau, der keinen Stromfehlerverstärker einschließt, und deshalb können die Probleme der Verstärkungseinstellung des Stromfehlerverstärkers aufgrund des fehlenden Erfordernisses der Verstärkungseinstel-

lung in wesentlichem Umfang gelöst werden.

[0241] Außerdem arbeitet das Umrichtersystem selbst bei sich ändernden Eigenschaften und Einzelheiten des Motors, der Motorstrom-Erfassungsschaltung, der Stromsteuerung **6** und der Hauptschaltungs-Leistungssteuerung **8** so, dass jeder Leitungsstromfehler durchweg minimiert wird. Darüber hinaus arbeitet das Umrichtersystem selbst beim dortigen Auftreten von produktionsabhängigen Variationen der Eigenschaften, Temperatureigenschaften und dgl. so, dass jeder Leitungsstromfehler durchweg minimiert wird, wodurch ein verbessertes Stromsteuerungsansprechverhalten sichergestellt wird und das mögliche Auftreten eines Schwingungsphänomens verhindert wird.

[0242] Darüber hinaus kann die Stromsteuerung **6** des Umrichtersystems mit pulsweitenmodulierter Stromsteuerung gemäß der vorliegenden Erfindung vollständig durch einfache digitale Schaltungen verwirklicht werden mit Ausnahme der ersten, zweiten und dritten Vergleicher **17**, **18** und **19**, so dass dienenigen Komponenten, die durch die digitalen Schaltungen aufgebaut sind, frei von Offset und Drift und preiswert sind.

[0243] Deshalb ist die vorliegende Erfindung befreit von der Verstärkungseinstellungsarbeit und der Offseteinstellungsarbeit des Stromfehlerverstärkers, während ein verbessertes Stromsteuerungsansprechverhalten sichergestellt ist und ein preiswertes Umrichtersystem mit pulsweitenmodulierter Stromsteuerung bereitgestellt werden kann.

[0244] Obwohl die vorliegende Erfindung in Verbindung mit deren bevorzugten Ausführungsbeispielen mit Bezug auf die begleitenden Zeichnungen vollständig beschrieben worden ist, ist zu beachten, dass zahlreiche Änderungen und Modifikationen für den Fachmann naheliegend sind. Solche Änderungen und Modifikationen sind im Rahmen des Ziels der vorliegenden Erfindung, wie sie durch die beigefügten Ansprüche definiert ist, ohne deren Bereich zu verlassen, als mitumfasst zu verstehen.

Patentansprüche

1. Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung umfassend: Motorstromerfassungsmittel (**9**) zum Erfassen von Leitungsströmen, die von entsprechenden Leitungen der Pulsweitenmodulationsumrichtervorrichtung in einen Dreiphasenmotor (**1**) fließen, und zum Ausgeben eines ersten erfassten Leitungsstroms (iFU) eines zweiten erfassten Leitungsstroms (iFV) und eines dritten erfassten Leitungsstroms (iFW);
Strombefehlserzeugungsmittel (**7**) zum Erzeugen und Ausgeben eines ersten Leitungsstromsteuersignals (iTU), eines zweiten Leitungsstromsteuersignals (iTV) und eines dritten Leitungsstromsteuersignals (iTW) zum Steuern der von den jeweiligen Leitungen in den Dreiphasenmotor (**1**) zu leitenden Leitungsströme;
erste Vergleichsmittel (**17**) zum Vergleichen des ersten Leitungsstromsteuersignals (iTU) mit dem ersten erfassten Leitungsstrom (iFU), zum Ausgeben eines ersten Leitungsstromvergleichssignals (HU) mit einem ersten Pegel, wenn der erste erfasste Leitungsstrom (iFU) größer ist als das erste Leitungsstromsteuersignal (iTU), und zum Ausgebend des ersten Leitungsstromvergleichsignals (HU) mit einem zweiten Pegel, wenn der erste erfasste Leitungsstrom (iFU) kleiner ist als das erste Leitungsstromsteuersignal (iTU);
zweite Vergleichsmittel (**18**) zum Vergleichen des zweiten Leistungsstromsteuersignals (iTV) mit dem zweiten erfassten Leitungsstrom (iFV), zum Ausgeben eines zweiten Leitungsstromvergleichssignals (HV) mit einem ersten Pegel, wenn der zweite erfasste Leitungsstrom (iFV) größer ist als das zweite Leitungsstromsteuersignal (iTV), und zum Ausgeben des zweiten Leistungsstromvergleichssignals (HV) mit einem zweiten Pegel, wenn der zweite erfasste Leitungsstrom (iFV) kleiner ist als das zweite Leitungsstromsteuersignal (iTV);
dritte Vergleichsmittel (**19**) zum Vergleichen des dritten Leitungsstromsteuersignals (iTW) mit dem dritten erfassten Leitungsstrom (iFW), zum Ausgeben eines dritten Leitungsstromvergleichssignals (HW) mit einem ersten Pegel, wenn der dritten erfasste Leitungsstrom (iFW) größer ist als das dritte Leitungsstromsteuersignal (iTW), und zum Ausgeben des dritten Leitungsstromvergleichssignals (HW) mit einem zweiten Pegel, wenn der dritte erfasste Leitungsstrom (iFW) kleiner ist als das dritte Leitungsstromsteuersignal (iTW);
wobei entweder
(i) die ersten Vergleichsmittel (**17**) ein erstes Leitungsstromvergleichssignal (HU) mit einem ersten Pegel ausgeben, wenn der erste erfasste Leitungsstrom (iFU) mit dem ersten Leitungsstromsteuersignal (iTU) übereinstimmt;
die zweiten Vergleichsmittel (**18**) ein zweites Leitungsstromvergleichssignal (HV) mit einem ersten Pegel ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) mit dem zweiten Leitungsstromsteuersignal (iTV) übereinstimmt;
die dritten Vergleichsmittel (**19**) ein drittes Leitungsstromvergleichssignal (HW) ausgeben mit einem ersten Pegel, wenn der dritte erfasste Leitungsstrom (iFW) mit dem dritten Leitungsstromsteuersignal (iTW) übereinstimmt, oder
(ii) die ersten Vergleichsmittel (**17**) das erste Leitungsstromvergleichssignal (HU) mit einem zweiten Pegel ausgeben, wenn der erste erfasste Leitungsstrom (iFU) mit dem ersten Leitungsstromsteuersignal (iTU) übereinstimmt,
die zweiten Vergleichsmittel (**18**) das zweite Leitungsstromvergleichssignal (HV) mit einem zweiten Pegel aus-

geben, wenn der zweite erfasste Leitungsstrom (iFV) mit dem zweiten Leitungsstromsteuersignal (iTV) übereinstimmt;
die dritten Vergleichsmittel (**19**) das dritte Leitungsstromvergleichssignal (HW) mit einem zweiten Pegel ausgeben, wenn der dritte erfasste Leitungsstrom (iFW) mit dem dritten Leitungsstromsteuersignal (iTW) übereinstimmt,
eine Hauptschaltungsgleichstromquelle (**3**);
eine Hauptschaltungsversorgungsschaltung (**2**) mit einer Dreiphasen-Brückenschaltung und ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungsleistungsschaltelementen (Q1, Q2, Q3, Q4, Q5, Q6), und sechs Freilaufdioden, die jeweils parallel zu den ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungsleistungsschaltelementen (Q1, Q2, Q3, Q4, Q5, Q6) geschaltet sind; und
eine Logikschaltung (**10**) zum Empfangen des ersten Leitungsstromvergleichsignals (HU), des zweiten Leitungsstromvergleichsignals (HV) und des dritten Leitungsstromvergleichsignals (HW), und zum Erzeugen und Ausgeben von ersten, zweiten, dritten, vierten, fünften und sechsten Schaltsteuersignalen (PU, PV, PW, $\overline{PU}$, $\overline{PV}$, $\overline{PW}$) zum Ein- oder Ausschalten der ersten, zweiten, dritten, vierten, fünften und sechsten Hauptschaltungsleistungsschaltelemente (Q1, Q2, Q3, Q4, Q5, Q6), an die ersten, zweiten, dritten, vierten, fünften bzw. sechsten Hauptschaltungsleistungsschaltelemente (Q1, Q2, Q3, Q4, Q5, Q6),
wobei das erste Hauptschaltungsleistungsschaltelement (Q1) verbunden ist mit einer positiven Elektrode der Hauptschaltungsgleichstromquelle (**3**) und dem Dreiphasenmotor (**1**) einen ersten Leitungsstrom von der Hauptschaltungsgleichstromquelle (**3**) zuführt basierend auf dem ersten Schaltsteuersignal (PU),
wobei das zweite Hauptschaltungsleistungsschaltelement (Q2) verbunden ist mit der positiven Elektrode der Hauptschaltungsgleichstromquelle (**3**) und dem Dreiphasenmotor (**1**) einen zweiten Leitungsstrom aus der Hauptschaltungsgleichstromquelle (**3**) zuführt basierend auf dem zweiten Schaltsteuersignal (PV),
wobei das dritte Hauptschaltungsleistungsschaltelement (Q3) verbunden ist mit der positiven Elektrode der Hauptschaltungsgleichstromquelle (**3**) und dem Dreiphasenmotor (**1**) einen dritten Leitungsstrom aus der Hauptschaltungsgleichstromquelle (**3**) zuführt basierend auf dem dritten Schaltsteuersignal (PW),
wobei das vierte Hauptschaltungsleistungsschaltelement (Q4) verbunden ist mit einer negativen Elektrode der Hauptschaltungsgleichstromquelle (**3**) und dem Dreiphasenmotor (**1**) den ersten Leitungsstrom aus der Hauptschaltungsgleichstromquelle (**3**) zuführt basierend auf dem vierten Schaltsteuersignal ($\overline{PU}$),
wobei das fünfte Hauptschaltungsleistungsschaltelement (Q5) verbunden ist mit der negativen Elektrode der Hauptschaltungsgleichstromquelle (**3**) und dem Dreiphasenmotor (**1**) den zweiten Leitungsstrom aus der Hauptschaltungsgleichstromquell (**3**) zuführt basierend auf dem fünften Schaltsteuersignal ($\overline{PV}$),
wobei das sechste Hauptschaltungsleistungsschaltelement (Q6) verbunden ist mit der negativen Elektrode der Hauptschaltungsgleichstromquelle (**3**) und dem Dreiphasenmotor den dritten Leitungsstrom aus der Hauptschaltungsgleichstromquelle (**3**) zuführt basierend auf dem sechsten Schaltsteuersignal ($\overline{PW}$),
dadurch gekennzeichnet, dass die Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung des weiteren umfasst:
Synchronisiermittel (**11**) zum periodischen Erzeugen eines Zustandsaktualisierungstakts (CLK10) mit einem Zyklus, der ausreichend größer ist als ein Systemtakt (CLK1), zum Betreiben der Logikschaltung (**10**) und zum Zuführen erster periodischer Zustandsaktualisierungszeitpunkte, die der Logikschaltung (**10**) durch den Zustandsaktualisierungstakt (CLK10) angezeigt werden,
wobei die Logikschaltung (**10**) bei jedem der ersten periodischen Zustandsaktualisierungszeitpunkte das erste, zweite, dritte, vierte, fünfte und sechste Schaltsteuersignal (PU, PV, PW, $\overline{PU}$, $\overline{PV}$, $\overline{PW}$) basierend auf den ersten, zweiten und dritten Vergleichssignalen (HU, HV, HW) periodisch erzeugt und ausgibt, so dass
a) das erste Schaltsteuersignal (PU) einen gegenüber dem des ersten Vergleichssignals (HU) entgegengesetzten Pegel aufweist,
b) das zweite Schaltsteuersignal (PV) einen gegenüber dem des zweiten Vergleichssignals (HV) entgegengesetzten Pegel aufweist,
c) das dritte Schaltsteuersignal (PW) einen gegenüber dem des dritten Vergleichssignals (HW) entgegengesetzten Pegel aufweist,
d) das vierte Schaltsteuersignal ($\overline{PU}$) denselben Pegel wie das erste Vergleichssignal (HU) aufweist,
e) das fünfte Schaltsteuersignal ($\overline{PV}$) denselben Pegel wie das zweite Vergleichssignal (HV) aufweist, und
f) das sechste Schaltsteuersignal ($\overline{PW}$) denselben Pegel wie das dritte Vergleichssignal (HW) aufweist,
wobei an zumindest einem zweiten Zeitpunkt, wenn sich eines der beiden Vergleichssignale mit demselben Pegel aus dem ersten, zweiten und dritten Vergleichssignal (HU, HV, HW) ändert nach jedem der ersten periodischen Zustandsaktualisierungszeitpunkte, die Logikschaltung (**10**) erste, zweite, dritte, vierte, fünfte und sechste Schaltsteuersignale (PU, PV, PW, $\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt, so dass die Pegel eines dem geänderten Vergleichssignal entsprechenden Paares von Schaltsteuersignalen geändert werden aus einem Paar von ersten und vierten Schaltsteuersignalen (PU, $\overline{PU}$), einem Paar von zweiten und fünften Schaltsteuersignalen (PV, $\overline{PV}$) und einem Paar von dritten und sechsten Schaltsteuersignalen (PW, $\overline{PW}$), wobei die Logikschaltung (**10**) erste, zweite, dritte, vierte, fünfte und sechste Schaltsteuersignale (PU, PV, PW, $\overline{PU}$, $\overline{PV}$, $\overline{PW}$)

erzeugt und ausgibt, um zu minimieren einen Fehler zwischen dem ersten Leitungsstromsteuersignal (iTU) und dem ersten erfassten Leitungsstrom (iFU), einen Fehler zwischen dem zweiten Leitungsstromsteuersignal (iTV) und dem zweiten erfassten Leitungsstrom (iFV), und einen Fehler zwischen dem dritten Leitungsstromsteuersignal (iTW) und dem dritten erfassten Leitungsstrom (iFW).

2. Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung nach Anspruch 1, wobei dann, wenn das erste Leitungsstromvergleichssignal (HU) den zweiten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den ersten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den ersten Pegele aufweist beim ersten Zustandsaktualisierungszeitpunkt, die Logikschaltung (**10**) das erste, dritte und vierte Schaltsteuersignal (PV, PW, $\overline{PU}$) erzeugt und ausgibt zum jeweiligen Abschalten des zweiten, dritten und vierten Hauptschaltungsleistungsschaltelements (Q2, Q3, Q4), und des weiteren das erste, fünfte und sechste Schaltsteuersignal (PU, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q5, Q6), die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Abschalten des fünften Hauptschaltungsleistungsschaltelements (Q5) und des weiteren erzeugt und ausgibt das zweite Schaltsteuersignal (PV) zum Einschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn sich das dritte Leitungsstromvergleichssignal (HW) ändert von dem ersten Pegel auf den zweiten Pegel, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Ausschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6) und des weiteren das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Einschalten des dritten Hauptschaltungsleistungsschaltelements (Q3),
wobei dann, wenn das erste Leitungsstromvergleichssignal (HU) den ersten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den zweiten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den ersten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, die Logikschaltung (**10**) das erste, dritte und fünfte Schaltsteuersignal (PU, PW, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, dritten und fünften Hauptschaltungsleistungsschaltelements (Q1, Q3, Q5) und des weiteren das zweite, vierte und sechste Schaltsteuersignal (PV, $\overline{PU}$, $\overline{PW}$) erzeugt und ausgibt, zum jeweiligen Einschalten des ersten, vierten und sechsten Hauptschaltungsleistungsschaltelements (Q2, Q4, Q6);
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn sich das erste Leitungsstromvergleichssignal (HU) von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Abschalten des vierten Hauptschaltungsleistungsschaltelements (Q4) und des weiteren das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Einschalten des ersten Hauptschaltungsleistungsschaltelements (Q1), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Abschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6) und des weiteren das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Einschalten des dritten Hauptschaltungsleistungsschaltelements (Q3),
wobei dann, wenn das erste Leitungsstromvergleichssignal (HU) den ersten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den ersten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den zweiten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, die Logikschaltung (**10**) das erste, zweite und sechste Schaltsteuersignal (PU, PV, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q6), und des weiteren das dritte, vierte und fünfte Schaltsteuersignal (PW, $\overline{PU}$, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, vierten und fünften Hauptschaltungsleistungsschaltelements (Q3, Q4, Q5),
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Abschalten des vierten Hauptschaltungsleistungsschaltelements (Q4) und des weiteren das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Einschalten des ersten Hauptschaltungsleistungsschaltelements (Q1), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Abschalten des fünften Hauptschaltungsleistungsschaltelements (Q5) und des weiteren das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Einschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2),
wobei dann, wenn das erste Leitungsstromvergleichssignal (HU) den ersten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den zweiten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den zweiten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, die Logikschaltung (**10**) das

erste, fünfte und sechste Schaltsteuersignal (PU, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q5, Q6), und des weiteren das zweite, dritte und vierte Schaltsteuersignal (PV, PW, $\overline{PU}$) erzeugt und ausgibt zum jeweiligen Einschalten des zweiten, dritten und vierten Hauptschaltungsleistungsschaltelements (Q2, Q3, Q4),
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Abschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2) und des weiteren das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Einschalten des fünften Hauptschaltungsleistungsschaltelements (Q5), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Abschalten des dritten Hauptschaltungsleistungsschaltelements (Q3) und des weiteren das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Einschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6),
wobei die Logikschaltung (**10**) dann, wenn das erste Leitungsstromvergleichssignal (HU) den zweiten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den ersten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den zweiten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, das zweite, vierte und sechste Schaltsteuersignal (PV, $\overline{PU}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des zweiten, vierten und sechsten Hauptschaltungsleistungsschaltelements (Q2, Q4, Q6) und des weiteren das erste, dritte und fünfte Schaltsteuersignal (PU, PW, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, dritten und fünften Hauptschaltungsleistungsschaltelements (Q1, Q3, Q5),
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich ändert von dem zweiten Pegel auf den ersten Pegel, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Abschalten des ersten Hauptschaltungsleistungsschaltelements (Q1) und des weiteren das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Einschalten des vierten Hauptschaltungsleistungsschaltelements (Q4), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich ändert von dem zweiten Pegel auf den ersten Pegel bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Abschalten des dritten Hauptschaltungsleistungsschaltelements (Q3) und des weiteren das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Einschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6),
wobei die Logikschaltung (**10**) dann, wenn das erste Leitungsstromvergleichssignal (HU) den zweiten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den zweiten Pegel und das dritte Leitungsstromvergleichssignal (HW) den ersten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, das dritte, vierte und fünfte Schaltsteuersignal (PW, $\overline{PU}$, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Abschalten des dritten, vierten und fünften Hauptschaltungsleistungsschaltelements (Q3, Q4, Q5) und des weiteren das erste, zweite und sechste Schaltsteuersignal (PU, PV, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q6),
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich ändert von dem zweiten Pegel auf den ersten Pegel, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Abschalten des ersten Hauptschaltungsleistungsschaltelements (Q1) und des weiteren das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Einschalten des vierten Hauptschaltungsleistungsschaltelements (Q4), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich ändert von dem zweiten Pegel auf den ersten Pegel, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Abschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2) und des weiteren das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Einschalten des fünften Hauptschaltungsleistungsschaltelements (Q5).

3. Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung nach Anspruch 1, wobei die Logikschaltung (**10**), dann, wenn das erste Leitungsstromvergleichssignal (HU) den zweiten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den ersten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den ersten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, das zweite, dritte und vierte Schaltsteuersignal (PV, PW, $\overline{PU}$) erzeugt und ausgibt zum jeweiligen Abschalten des zweiten, dritten und vierten Hauptschaltungsleistungsschaltelements (Q2, Q3, Q4), und des weiteren das erste, fünfte und sechste Schaltsteuersignal (PU, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q5, Q6), die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich ändert von dem ersten Pegel auf den zweiten Pegel vor der Änderung des dritten Leitungsstromvergleichssignals (HV) von dem ersten Pegel auf den zweiten Pegel bis zu einem weiteren Zeitpunkt, wenn das dritte Leitungsstrom-

vergleichssignal (HW) sich ändert von dem ersten Pegel auf den zweiten Pegel, das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Abschalten des fünften Hauptschaltungsleistungsschaltelements (Q5) und des weiteren das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Einschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2), und des weiteren die Logikeinheit (**10**) während eines weiteren Zeitintervalls ausgehend von dem weiteren Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zu dem nächsten ersten Zustandsaktualisierungszeitpunkt das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3) und des weiteren das vierte, fünfte und sechste Schaltsteuerelement ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6), und

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem ersten Pegel auf den zweiten Pegel ändert bevor sich das zweite Leitungsstromvergleichssignal (HV) von dem ersten Pegel auf den zweiten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn sich das zweite Leitungsstromvergleichssignal (HV) von dem ersten Pegel auf den zweiten Pegel ändert, das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Abschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6) und des weiteren das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Einschalten des dritten Hauptschaltungsleistungsschaltelements (Q3), und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3) und des weiteren das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6),

wobei die Logikschaltung (**10**) dann, wenn das erste Leitungsstromvergleichssignal (HU) den ersten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den zweiten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den ersten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, das erste, dritte und fünfte Schaltsteuersignal (PU, PW, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, dritten und vierten Hauptschaltungsleistungsschaltelements (Q1, Q3, Q5) und des weiteren das zweite, vierte und sechste Schaltsteuersignal (PV, $\overline{PU}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des zweiten, vierten und sechsten Hauptschaltungsleistungsschaltelements (Q2, Q4, Q6),

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem ersten Pegel auf den zweiten Pegel ändert sich bevor sich das erste Leitungsstromvergleichssignal (HU) von dem ersten Pegel auf den zweiten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn sich das erste Leitungsstromvergleichssignal (HU) ändert von dem ersten Pegel auf den zweiten Pegel, das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Abschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6) und des weiteren das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Einschalten des dritten Hauptschaltungsleistungsschaltelements (Q3), und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich ändert von dem ersten Pegel auf den zweiten Pegel, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3) und des weiteren das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6), und

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem ersten Pegel auf den zweiten Pegel ändert bevor sich das dritte Leitungsstromvergleichssignal (HW) von dem ersten Pegel auf den zweiten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem ersten Pegel auf den zweiten Pegel ändert, das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Abschalten des vierten Hauptschaltungsleistungsschaltelements (Q4) und des weiteren das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Einschalten des ersten Hauptschaltungsleistungsschaltelements (Q1), und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3) und das weiteren das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6), wobei die Logikschaltung (**10**) dann, wenn das erste Leitungsstromvergleichssignal (HU) den ersten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den ersten Pegel aufweist und das dritte Lei-

tungsstromvergleichssignal (HW) den zweiten Pegel aufweist bei dem ersten Zustandsaktualisierungszeitpunkt, das erste, zweite und sechste Schaltsteuersignal (PU, PV, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q6), und des weiteren das dritte, vierte und fünfte Schaltsteuersignal (PW, $\overline{PU}$, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Einschalten des dritten, vierten und fünften Hauptschaltungsleistungsschaltelements (Q3, Q4, Q5),

die Logikschaltung (**10**) während eines ersten Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem ersten Pegel auf den zweiten Pegel ändert bevor sich das zweite Leitungsstromvergleichssignal (HV) von dem ersten Pegel auf den zweiten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn das zweite Leitungsstromvergleichsignal (HV) sich von dem ersten Pegel auf den zweiten Pegel ändert das vierte Schaltsteuersignal (PU) erzeugt und ausgibt, zum Abschalten des vierten Hauptschaltungsleistungsschaltelements (Q4) und des weiteren das erste Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Einschalten des ersten Hauptschaltungsleistungsschaltelements (Q1) und die Logikschaltung (**10**) des weiteren während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3) und des weiteren das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6), und

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem ersten Pegel auf den zweiten Pegel ändert bevor sich das erste Leitungsstromvergleichssignal (HU) von dem ersten Pegel auf den zweiten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem ersten Pegel auf den zweiten Pegel ändert, das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Abschalten des fünften Hauptschaltungsleistungsschaltelements (Q5) und des weiteren das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Einschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2), und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem ersten Pegel auf den zweiten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3) und des weiteren das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6),

wobei die Logikschaltung dann, wenn das erste Leitungsstromvergleichssignal (HU) den ersten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den zweiten Pegel aufweist und das dritte Leitungsstromvergleichssignal den zweiten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, das erste, fünfte und sechste Schaltsteuersignal (PU, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des ersten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q5, Q6), und des weiteren das zweite, dritte und vierte Schaltsteuersignal (PV, PW, $\overline{PU}$) erzeugt und ausgibt zum jeweiligen Einschalten des zweiten, dritten und vierten Hauptschaltungsleistungsschaltelements (Q2, Q3, Q4),

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem zweiten Pegel auf den ersten Pegel ändert bevor sich das dritte Leitungsstromvergleichssignal (HW) von dem zweiten Pegel auf den ersten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn sich das dritte Leitungsstromvergleichssignal (HW) von dem zweiten Pegel auf den ersten Pegel ändert, das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Abschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2) und des weiteren das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Einschalten des fünften Hauptschaltungsleistungsschaltelements (Q5), und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt des weiteren das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6) und des weiteren das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3), und

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem zweiten Pegel auf den ersten Pegel ändert bevor sich das zweite Leitungsstromvergleichssignal (HV) von dem zweiten Pegel auf den ersten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn sich das zweite Leitungsstromvergleichssignal (HV) von dem zweiten Pegel auf den ersten Pegel ändert, das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Abschalten des dritten Hauptschaltungsleistungsschaltelements (Q3) und des weiteren das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt

zum Einschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6) und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6) und des weiteren das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3),

wobei die Logikschaltung (**10**) dann wenn das erste Leitungsstromvergleichssignal (HU) den zweiten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den ersten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den zweiten Pegel aufweist bei dem ersten Zustandsaktualisierungszeitpunkt, das zweite, vierte und sechste Schaltsteuersignal (PV, $\overline{PU}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des zweiten, vierten und sechsten Hauptschaltungsleistungsschaltelements (Q2, Q4, Q6), und des weiteren das erste, dritte und fünfte Schaltsteuersignal (PU, PW, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, dritten und fünften Hauptschaltungsleistungsschaltelements (Q1, Q3, Q5),

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem zweiten Pegel auf den ersten Pegel ändert bevor sich das erste Leitungsstromvergleichssignal (HU) von dem zweiten Pegel auf den ersten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem zweiten Pegel auf den ersten Pegel ändert, das dritte Schaltsteuersignal (PW) erzeugt und ausgibt zum Abschalten des dritten Hauptschaltungsleistungsschaltelements (Q3) und des weiteren das sechste Schaltsteuersignal ($\overline{PW}$) erzeugt und ausgibt zum Einschalten des sechsten Hauptschaltungsleistungsschaltelements (Q6), und des weiteren die Logikschaltung (**10**) während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das erste Leitungsstromvergleichsintervall (HU) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte, fünfte und sechste Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6) und des weiteren das erste, zweite und dritte Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3), und

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem zweiten Pegel auf den ersten Pegel ändert bevor sich das dritte Leitungsstromvergleichssignal (HW) von dem zweiten Pegel auf den ersten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem zweiten Pegel auf den ersten Pegel ändert, das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Abschalten des ersten Hauptschaltungsleistungsschaltelements (Q1) und des weiteren das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Einschalten des vierten Hauptschaltungsleistungsschaltelements (Q4), und die Logikschaltung (**10**) des weiteren während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das dritte Leitungsstromvergleichssignal (HW) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte, fünfte und sechste Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Abschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6) und des weiteren das erste, zweite und dritte Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3), wobei die Logikschaltung (**10**) dann, wenn das erste Leitungsstromvergleichssignal (HU) den zweiten Pegel aufweist, das zweite Leitungsstromvergleichssignal (HV) den zweiten Pegel aufweist und das dritte Leitungsstromvergleichssignal (HW) den ersten Pegel aufweist beim ersten Zustandsaktualisierungszeitpunkt, das dritte, vierte und fünfte Schaltsteuersignal (PW, $\overline{PU}$, $\overline{PV}$) erzeugt und ausgibt zum jeweiligen Abschalten des dritten, vierten und fünften Hauptschaltungsleistungsschaltelements (Q3, Q4, Q5) und des weiteren das erste, zweite und sechste Schaltsteuersignal (PU, PV, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und sechsten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q6),

die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem zweiten Pegel auf den ersten Pegel ändert bevor sich das erste Leitungsstromvergleichssignal (HU) von dem zweiten Pegel auf den ersten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn sich das erste Leitungsstromvergleichssignal (HU) von dem zweiten Pegel auf den ersten Pegel ändert, das zweite Schaltsteuersignal (PV) erzeugt und ausgibt zum Abschalten des zweiten Hauptschaltungsleistungsschaltelements (Q2) und des weiteren das fünfte Schaltsteuersignal ($\overline{PV}$) erzeugt und ausgibt zum Einschalten des fünften Hauptschaltungsleistungsschaltelements (Q5), und des weiteren die Logikschaltung (**10**) während eines Zeitintervalls von dem weiteren Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem zweiten Pegel auf den ersten Pegel ändert, bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5,

Q6) und des weiteren das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3), und
die Logikschaltung (**10**) während eines Zeitintervalls von einem zweiten Zeitpunkt, wenn das erste Leitungsstromvergleichssignal (HU) sich von dem zweiten Pegel auf den ersten Pegel ändert bevor sich das zweite Leitungsstromvergleichssignal (HV) von dem zweiten Pegel auf den ersten Pegel ändert, bis zu einem weiteren Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem zweiten Pegel auf den ersten Pegel ändert, das erste Schaltsteuersignal (PU) erzeugt und ausgibt zum Abschalten des ersten Hauptschaltungsleistungsschaltelements (Q1) und des weiteren das vierte Schaltsteuersignal ($\overline{PU}$) erzeugt und ausgibt zum Einschalten des vierten Hauptschaltungsleistungsschaltelements (Q4) und die Logikschaltung (**10**) des weiteren während eines weiteren Zeitintervalls von dem weiteren Zeitpunkt, wenn das zweite Leitungsstromvergleichssignal (HV) sich von dem zweiten Pegel auf den ersten Pegel ändert bis zum nächsten ersten Zustandsaktualisierungszeitpunkt das vierte, fünfte und sechste Schaltsteuersignal ($\overline{PU}$, $\overline{PV}$, $\overline{PW}$) erzeugt und ausgibt zum jeweiligen Abschalten des vierten, fünften und sechsten Hauptschaltungsleistungsschaltelements (Q4, Q5, Q6) und des weiteren das erste, zweite und dritte Schaltsteuersignal (PU, PV, PW) erzeugt und ausgibt zum jeweiligen Einschalten des ersten, zweiten und dritten Hauptschaltungsleistungsschaltelements (Q1, Q2, Q3).

4. Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung nach Anspruch 2 oder 3,
wobei die ersten Vergleichsmittel (**17**) ein erstes Leitungsstromvergleichssignal (HU) mit einem ersten Pegel ausgeben, wenn der erste erfasste Leitungsstrom (iFU) mit dem ersten Leitungsstromsteuersignal (iTU) übereinstimmt;
die zweiten Vergleichsmittel (**18**) ein zweites Leitungsstromvergleichssignal (HV) mit einem ersten Pegel ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) mit dem zweiten Leitungsstromsteuersignal (iTV) übereinstimmt; und
die dritten Vergleichsmittel (**19**) ein drittes Leitungsstromvergleichssignal (HW) mit einem ersten Pegel ausgeben, wenn der dritte erfasste Leitungsstrom (IFW) mit dem dritten Leitungsstromsteuersignal (iTW) übereinstimmt,
dadurch gekennzeichnet, dass
die ersten Vergleichsmittel das erste Leitungsstromsteuersignal (iTU) periodisch mit dem ersten erfassten Leitungsstrom (iFU) vergleichen, das erste Leitungsstromvergleichssignal (HU1) mit dem ersten Pegel erzeugen und ausgeben, wenn der erste erfasste Leitungsstrom (iFU) übereinstimmt mit oder größer ist als das erste Leitungsstromsteuersignal (iTU) zumindest während zwei aufeinanderfolgenden Zeitpunkten, und das erste Leitungsstromvergleichssignal (HU1) mit dem zweiten Pegel erzeugen und ausgeben, wenn der erste erfasste Leitungsstrom (iTU) kleiner ist als das erste Leitungsstromsteuersignal (iFU) an zumindest zwei aufeinanderfolgenden Zeitpunkten,
wobei die zweiten Vergleichsmittel das zweite Leitungsstromvergleichssignal (iTV) periodisch mit dem zweiten erfassten Leitungsstrom (iFV) vergleichen, das zweite Leitungsstromvergleichssignal (HV1) mit dem ersten Pegel erzeugen und ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) übereinstimmt mit oder größer ist als das zweite Leitungsstromsteuersignal (iTV) an zumindest zwei aufeinanderfolgenden Zeitpunkten, und das zweite Leitungsstromvergleichssignal (HV1) mit dem zweiten Pegel erzeugen und ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) kleiner ist als das zweite Leitungsstromsteuersignal (iTV) an zumindest zwei aufeinanderfolgenden Zeitpunkten;
wobei die dritten Vergleichsmittel das dritte Leitungsstromsteuersignal (iTW) periodisch mit dem dritten erfassten Leitungsstrom (iFW) vergleichen, das dritte Leitungsstromvergleichssignal (HW 1) mit dem ersten Pegel erzeugen und ausgeben, wenn der dritte erfasste Leitungsstrom (iFW) übereinstimmt mit oder größer ist als das dritte Leitungsstromsteuersignal (iTW) an zumindest zwei aufeinanderfolgenden Zeitpunkten, und das dritte Leitungsstromvergleichssignal (HW1) mit dem zweiten Pegel erzeugen und ausgeben, wenn der dritte erfasste Leitungsstrom (iFW) kleiner ist als das dritte Leistungsstromsteuersignal (iTW) an zumindest zwei aufeinanderfolgenden Zeitpunkte.

5. Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung nach Anspruch 2 oder 3,
wobei die ersten Vergleichsmittel (**17**) das erste Leitungsstromvergleichssignal (HU) mit einem zweiten Pegel ausgeben, wenn der erste erfasste Leitungsstrom (iFU) übereinstimmt mit dem ersten Leitungsstromsteuersignal (iTU);
die zweiten Vergleichsmittel (**18**) das zweite Leitungsstromvergleichssignal (HV) mit einem zweiten Pegel ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) übereinstimmt mit dem zweiten Leitungsstromsteuersignal (iTV);
die dritten Vergleichsmittel (**19**) das dritte Leitungsstromvergleichssignal (HW) mit einem zweiten Pegel ausgeben, wenn der dritte erfasste Leitungsstrom (iFW) übereinstimmt mit dem dritten Leitungsstromsteuersignal

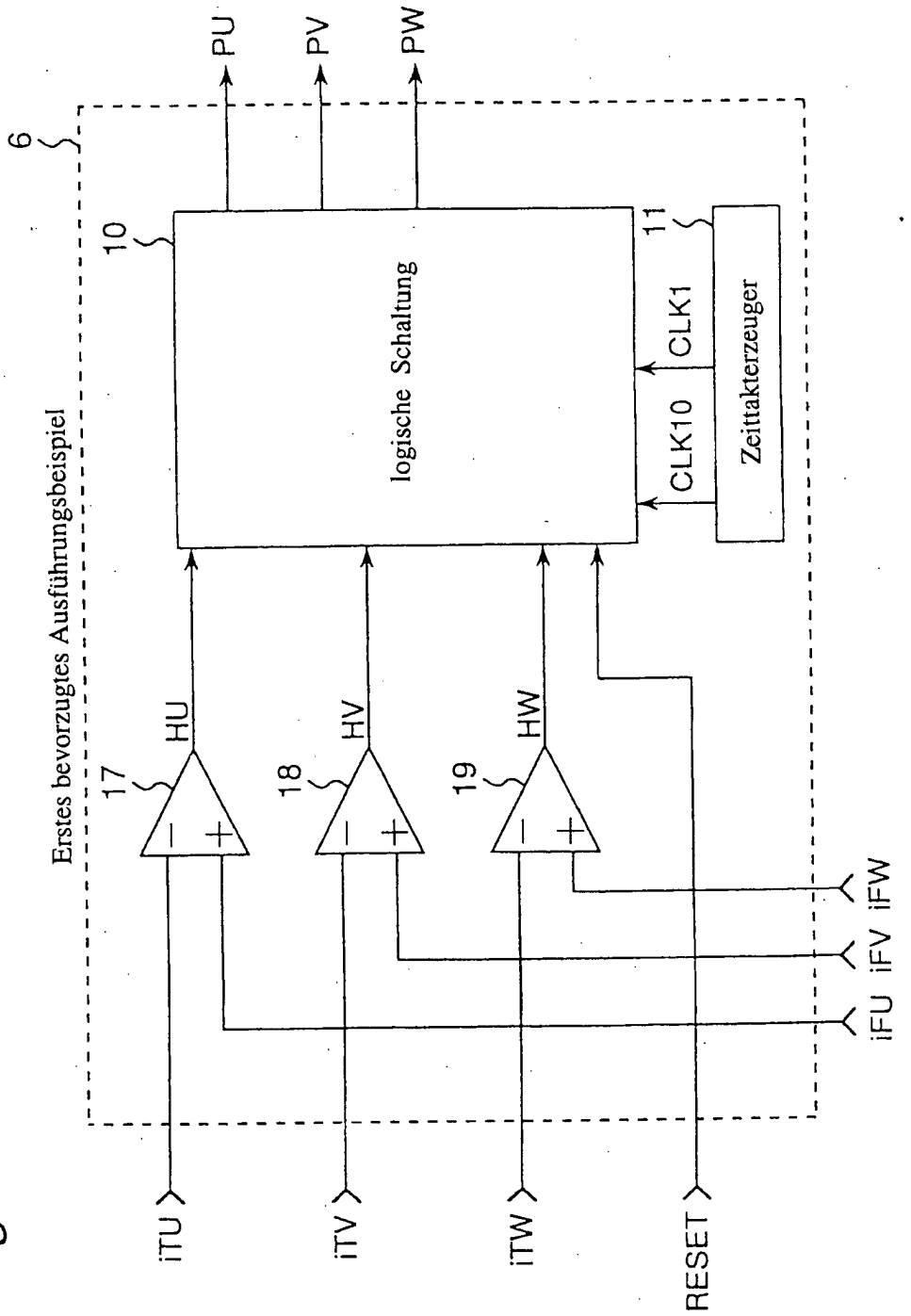
(iTW), dadurch gekennzeichnet, dass
die ersten Vergleichsmittel das erste Leitungsstromsteuersignal (iTU) periodisch mit dem ersten erfassten Leitungsstrom (iFU) vergleichen, das erste Leitungsstromvergleichssignal (HU1) mit dem ersten Pegel erzeugen und ausgeben, wenn der erste erfasste Leitungsstrom (iFU) größer ist als das erste Leitungsstromsteuersignal (iTU) an zumindest zwei aufeinanderfolgenden Zeitpunkten, und das erste Leitungsstromvergleichssignal (HU1) mit dem zweiten Pegel erzeugen und ausgeben, wenn der erste erfasste Leitungsstrom (iFU) übereinstimmt mit oder kleiner ist als das erste Leitungsstromsteuersignal (iTU) an zumindest zwei aufeinanderfolgenden Zeitpunkten, wobei die zweiten Vergleichsmittel das zweite Leitungsstromsteuersignal (iTV) periodisch mit dem zweiten erfassten Leitungsstrom (iFV) vergleichen, das zweite Leitungsstromvergleichssignal (HV1) mit dem ersten Pegel erzeugen und ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) größer ist als das zweite Leitungsstromsteuersignal (iTV) an zumindest zwei aufeinanderfolgenden Zeitpunkten, und das zweite Leitungsstromvergleichssignal (HV1) mit dem zweiten Pegel erzeugen und ausgeben, wenn der zweite erfasste Leitungsstrom (iFV) übereinstimmt mit oder kleiner ist als das zweite Leitungsstromsteuersignal (iTV) an zumindest zwei aufeinanderfolgenden Zeitpunkten,
wobei die dritten Vergleichsmittel das dritte Leitungsstromsteuersignal (iTW) periodisch mit dem dritten erfassten Leitungsstrom (iFW) vergleichen, das dritte Leitungsstromvergleichssignal (HW1) mit dem ersten Pegel erzeugen und ausgeben, wenn der dritte erfasste Leitungsstrom (iFW) größer ist als das dritte Leitungsstromsteuersignal (iTW) an zumindest zwei aufeinanderfolgenden Zeitpunkten und das dritte Leitungsstromvergleichssignal (HW1) mit dem zweiten Pegel erzeugen und ausgeben, wenn der dritte erfasste Leitungsstrom (iFW) übereinstimmt mit oder kleiner ist als das dritte Leitungsstromsteuersignal (iTW) an zumindest zwei aufeinanderfolgenden Zeitpunkten.

6. Umrichtervorrichtung mit pulsweitenmodulierter Stromsteuerung nach Anspruch 2, 3, 4 oder 5, des weiteren umfassend:
Verzögerungsmittel zum jeweiligen Verzögern des von der Logikschaltung (**10**) ausgegebenen ersten, zweiten, dritten, vierten, fünften und sechsten Schaltsteuersignals (PU, PV, PW, $\overline{PU}$, $\overline{PV}$, $\overline{PW}$) um eine vorbestimmte Verzögerungszeit zu einem Zeitpunkt, wenn sich eines der ersten, zweiten und dritten Leitungsstromvergleichssignale (HU, HV, HW) ändert, und zum Ausgeben eines verzögerten ersten, zweiten, dritten, vierten, fünften und sechsten Schaltsteuersignals (PU, PV, PW, $\overline{PU}$, $\overline{PV}$, $\overline{PW}$) an das erste, zweite, dritte, vierte, fünfte und sechste Hauptschaltungsleistungsschaltelement.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

Fig.1



Erstes bevorzugtes Ausführungsbeispiel

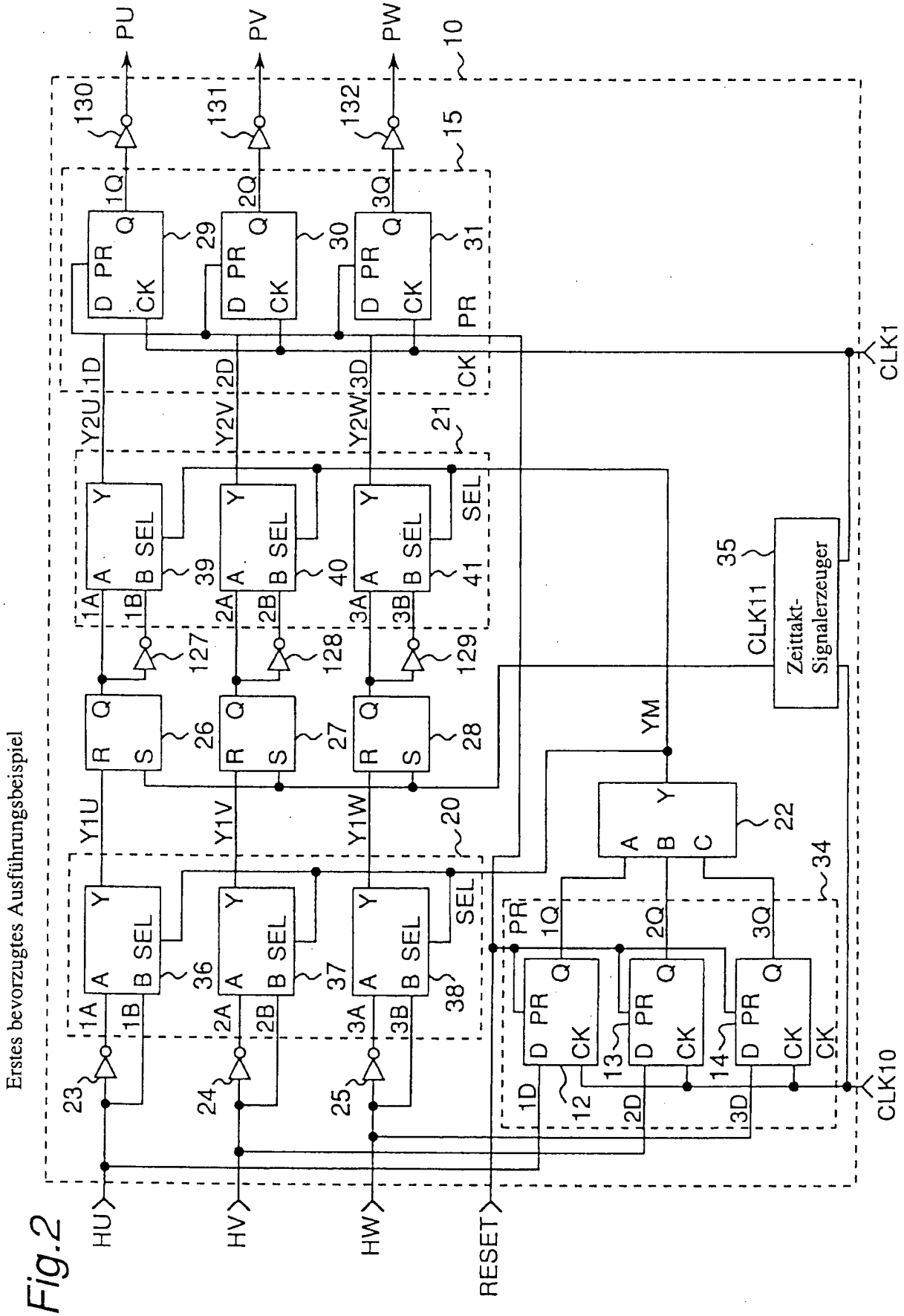


Fig.2

Fig.3A

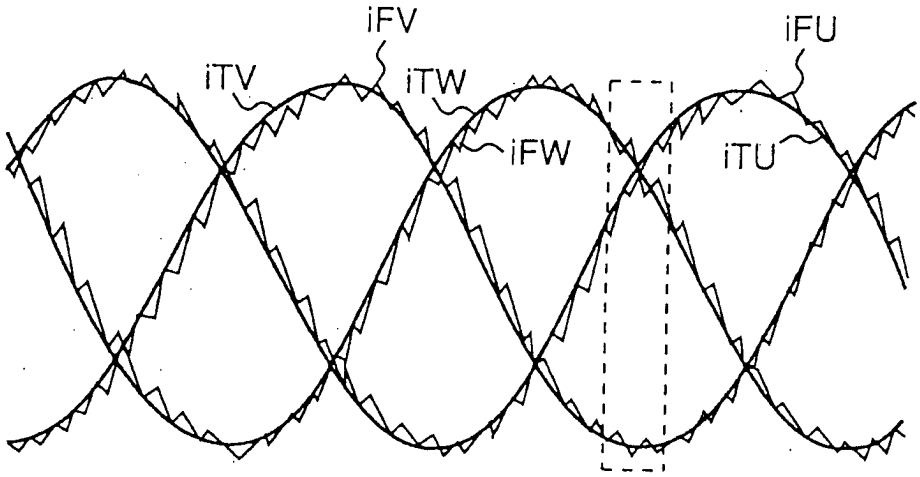


Fig.3B

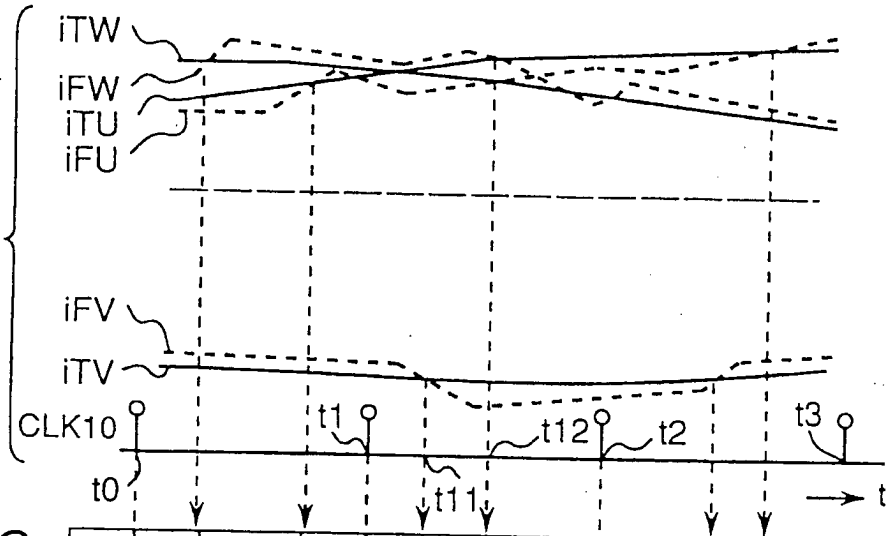


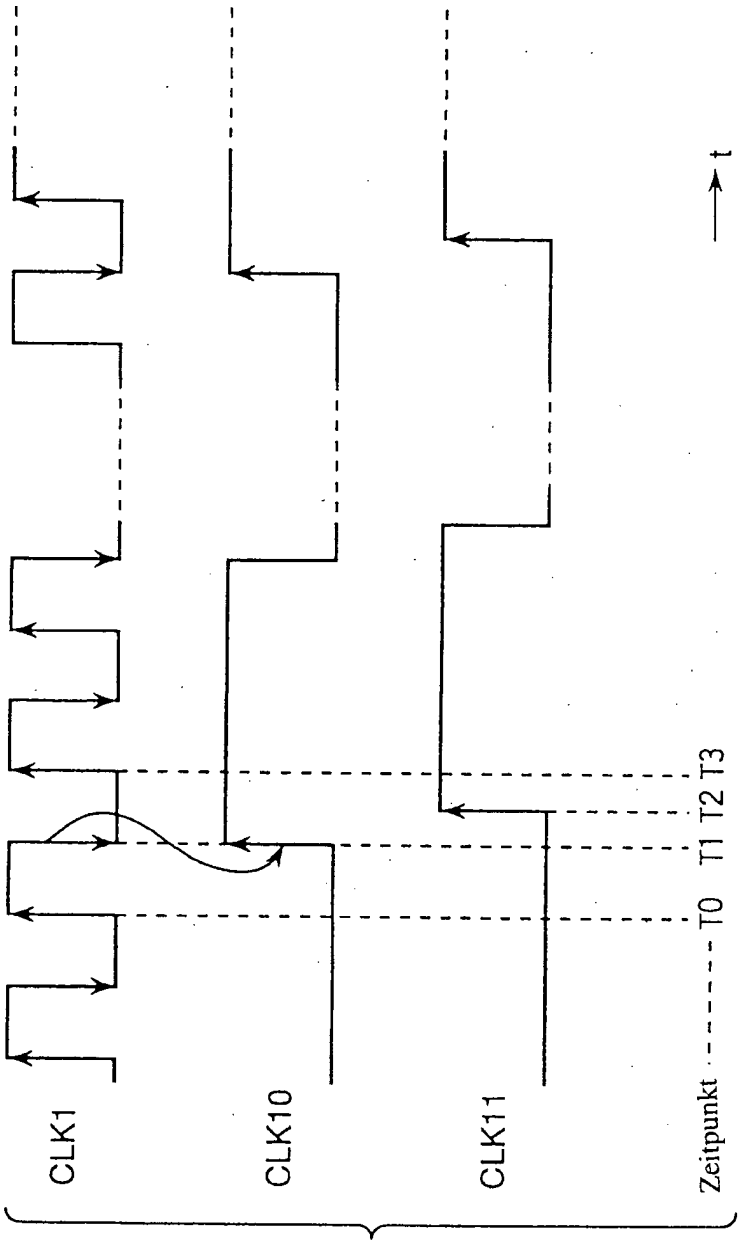
Fig.3C

NO.	E00	EY1	EY2	A00	AX1	AX2	F00	FY1	FY2
HU	L	L	H	L	*	*	L	L	H
HV	H	*	*	H	L	L	L	H	H
HW	L	H	H	H	H	L	H	*	*
PU	H	H	L	H	H	H	H	H	L
PV	L	L	L	L	H	H	H	L	L
PW	H	L	L	L	L	H	L	L	L
Q1	○	○	×	○	○	○	○	○	×
Q2	×	×	×	×	○	○	○	×	×
Q3	○	×	×	×	×	○	×	×	×
Q4	×	×	○	×	×	×	×	×	○
Q5	○	○	○	○	×	×	×	○	○
Q6	×	○	○	○	○	×	○	○	○

Anmerkungen. ○ : AN × : AUS

Zeitpunkt der führenden Flanke wird durch ein Pulsformsignal angezeigt.

Fig.4



Zweites bevorzugtes Ausführungsbeispiel

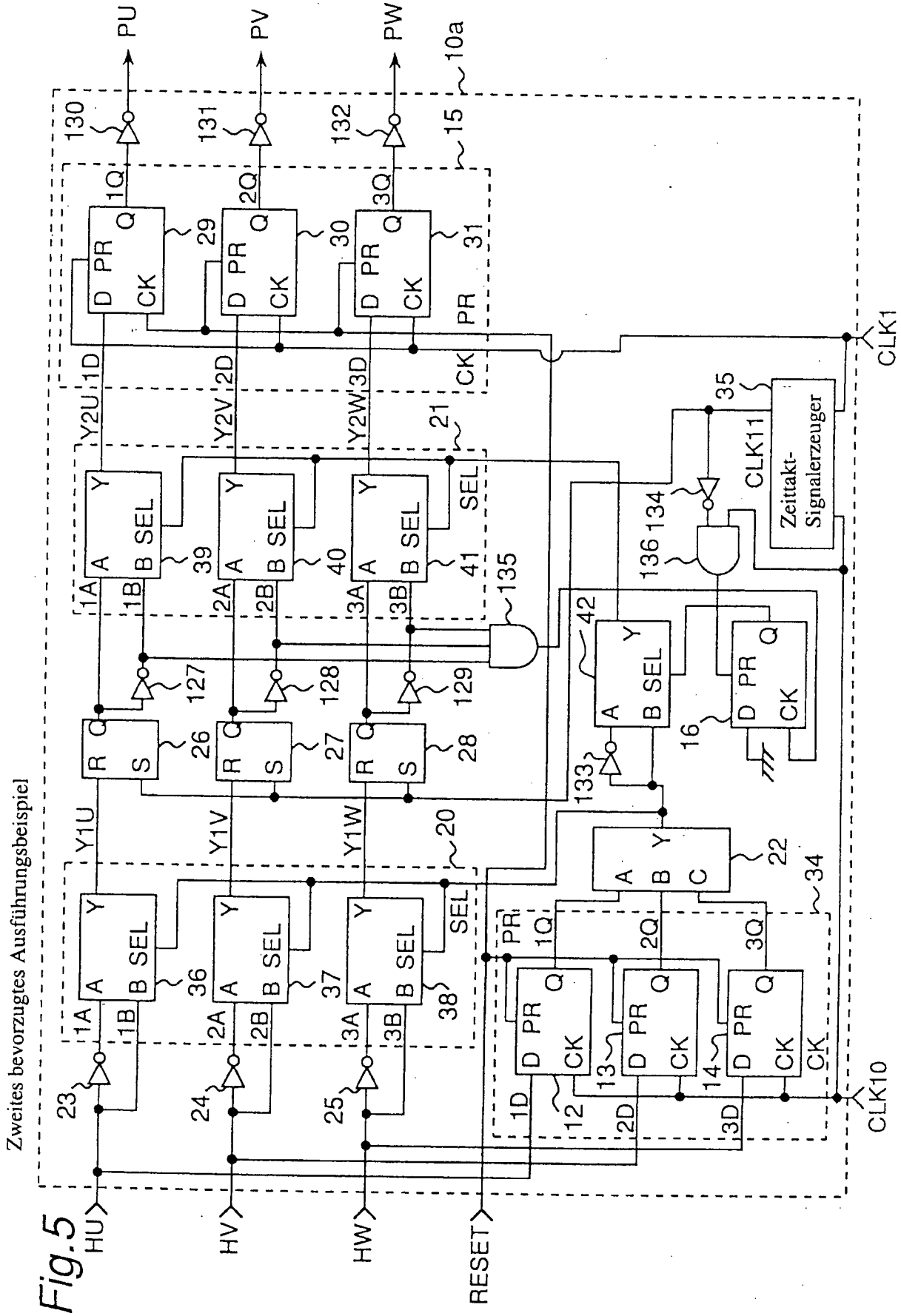
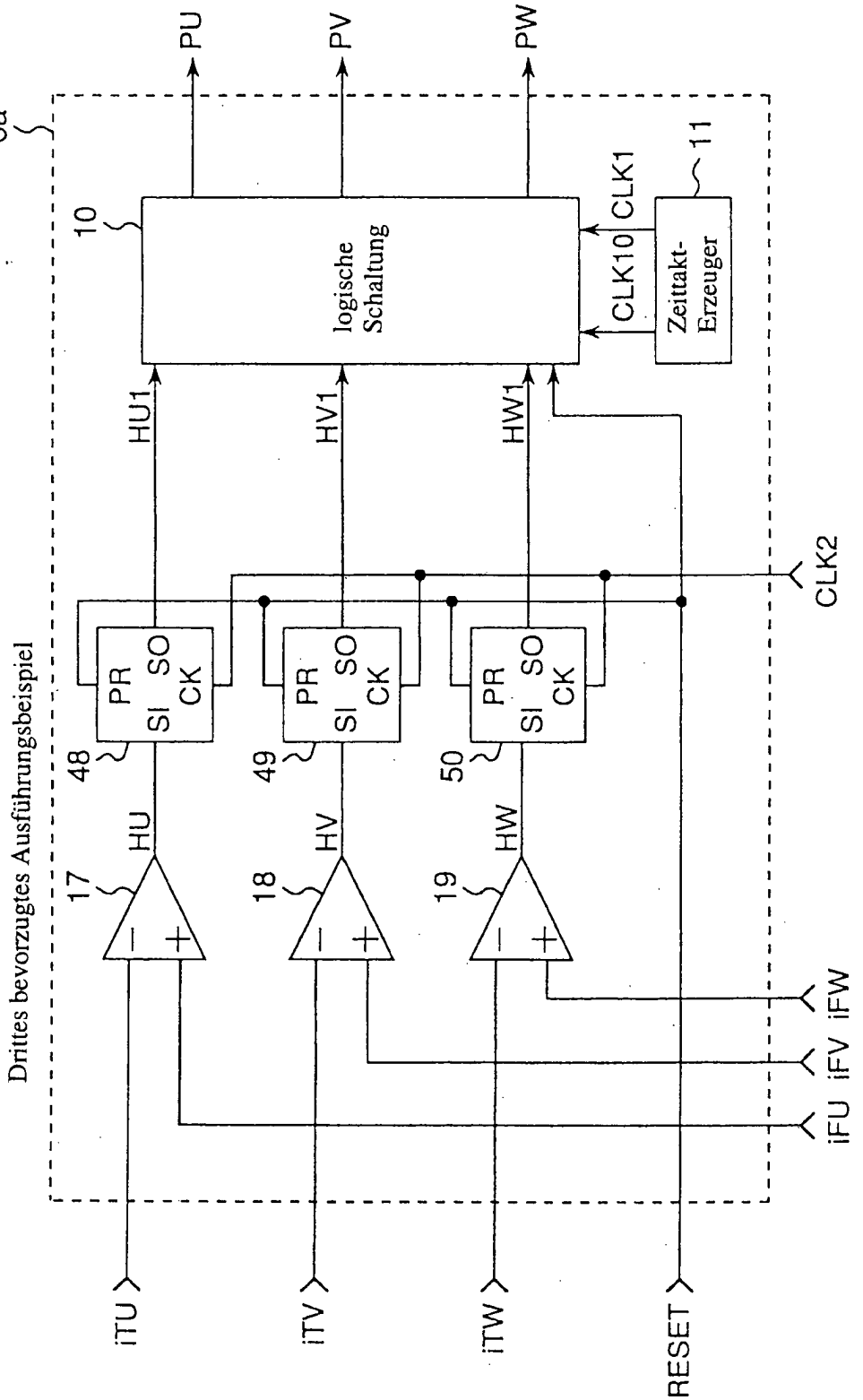


Fig.5

Fig.6


Drittes bevorzugtes Ausführungsbeispiel
6a
PU
PV
PW
10
logische Schaltung
CLK1
CLK10
11
Zeittakt-Erzeuger
HU1
HV1
HW1
CLK2
PR
SI
SO
CK
48
49
50
HU
HV
HW
17
18
19
iFU
iFV
iFW
iTU
iTV
iTW
RESET

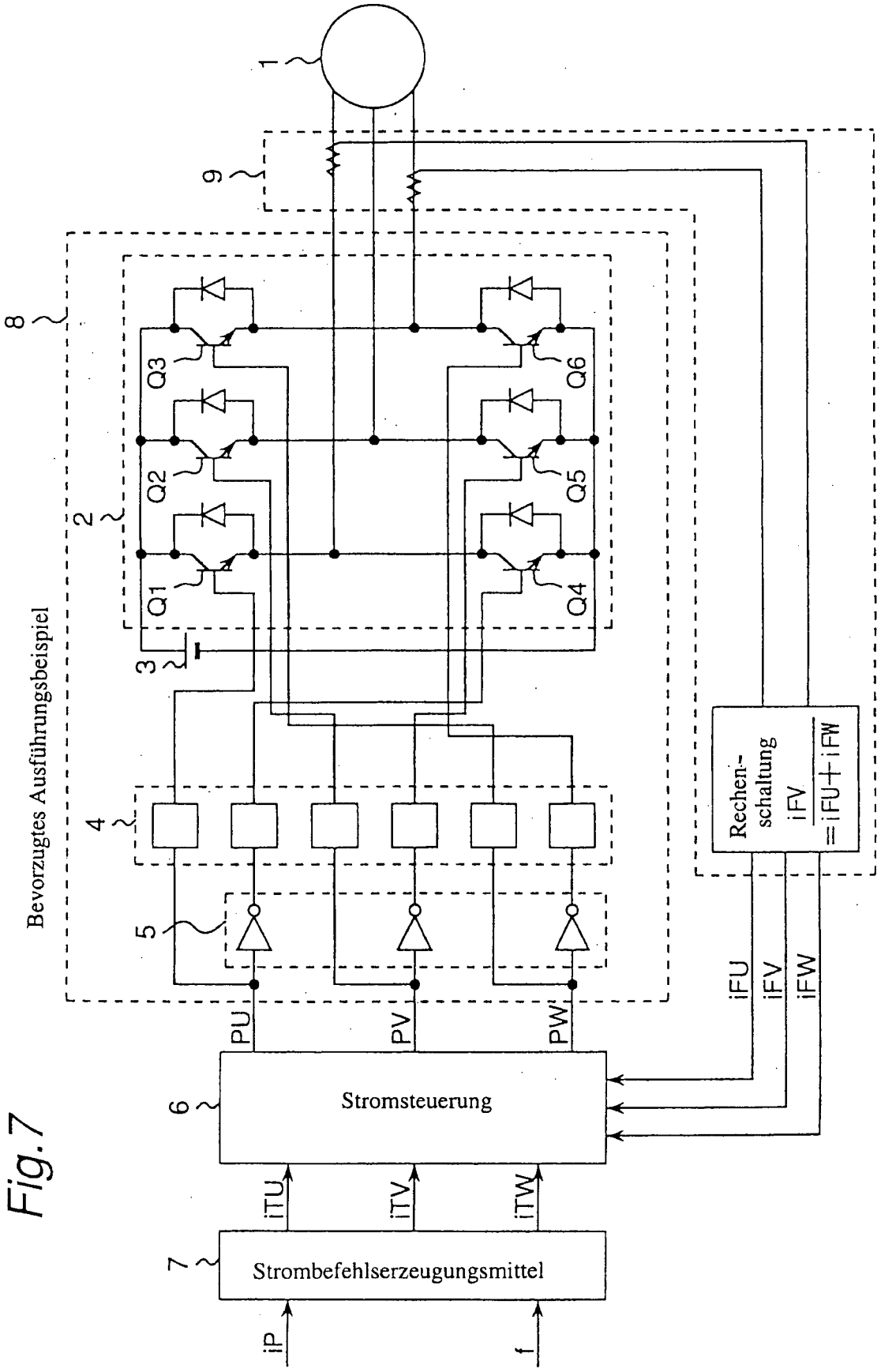

Bevorzugtes Ausführungsbeispiel
1
2
3
4
5
6
7
8
9
Q1
Q2
Q3
Q4
Q5
Q6
PU
PV
PW
iFU
iFV
iFW
iTU
iTV
iTW
iP
f
Stromsteuerung
Strombefehlserzeugungsmittel
Rechen-schaltung
iFV = iFU + iFW

Fig.7

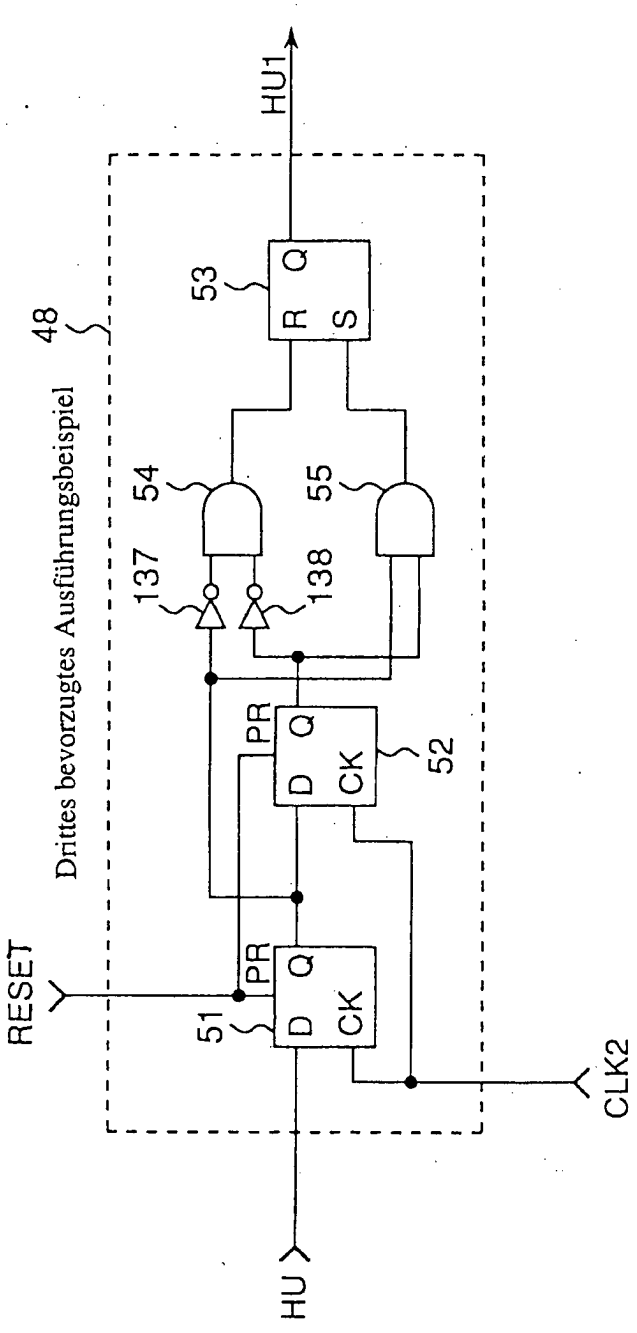
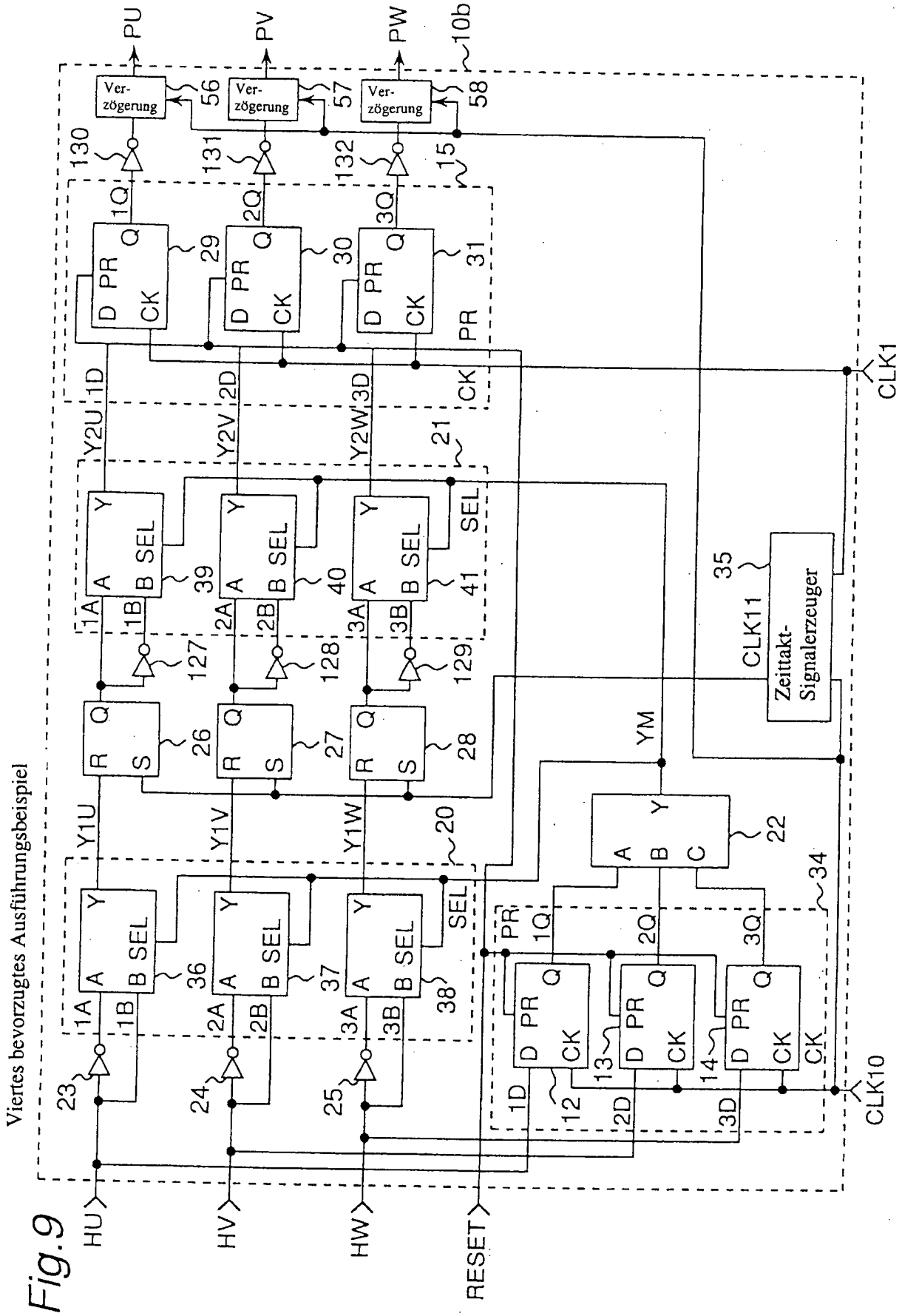

HU1
48
Drittes bevorzugtes Ausführungsbeispiel
53
R Q
S
54
55
137
138
PR
D Q
CK
52
RESET
PR
D Q
CK
51
CLK2
HU

Fig.8



Viertes bevorzugtes Ausführungsbeispiel

Fig.9

Fig.10A

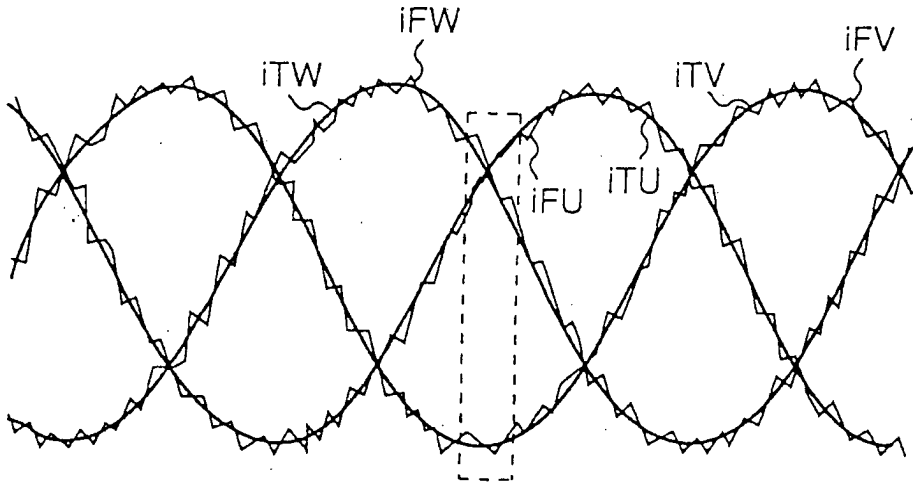


Fig.10B

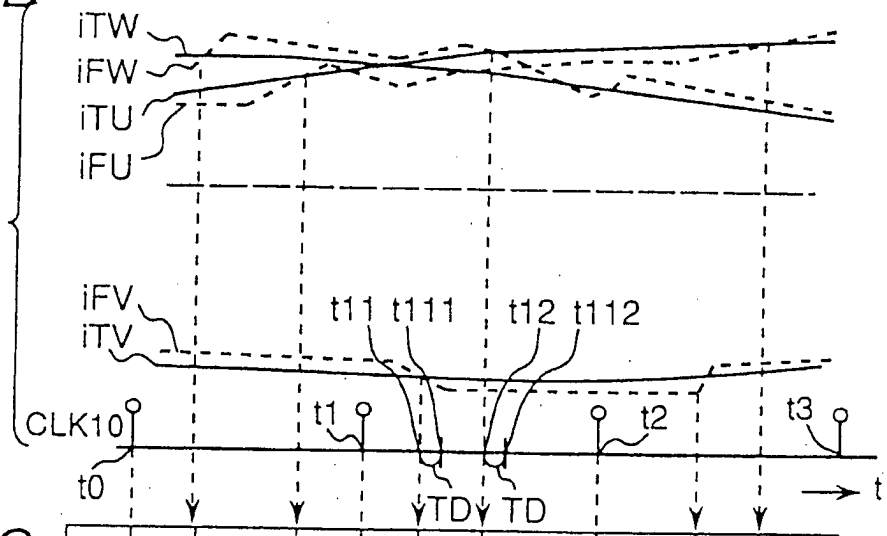


Fig.10C

NO.	E00	EY1	EY2	A00	AX1	AX2	F00	FY1	FY2
HU	L	L	H	L	*	*	L	L	H
HV	H	*	*	H	L	L	L	H	H
HW	L	H	H	H	H	L	H	*	*
PU	H	H	L	H	H	H	H	H	L
PV	L	L	L	L	H	H	H	L	L
PW	H	L	L	L	L	H	L	L	L
PU1	H	H	L	H	H	H	H	H	L
PV1	L	L	L	L	H	H	H	L	L
PW1	H	L	L	L	L	H	L	L	L
Q1	○	○	×	○	○	○	○	○	×
Q2	×	×	×	×	○	○	○	×	×
Q3	○	×	×	×	×	○	×	×	×
Q4	×	×	○	×	×	×	×	×	○
Q5	○	○	○	○	×	×	×	○	○
Q6	×	○	○	○	○	×	○	○	○

Anmerkungen. ○ : AN × : AUS

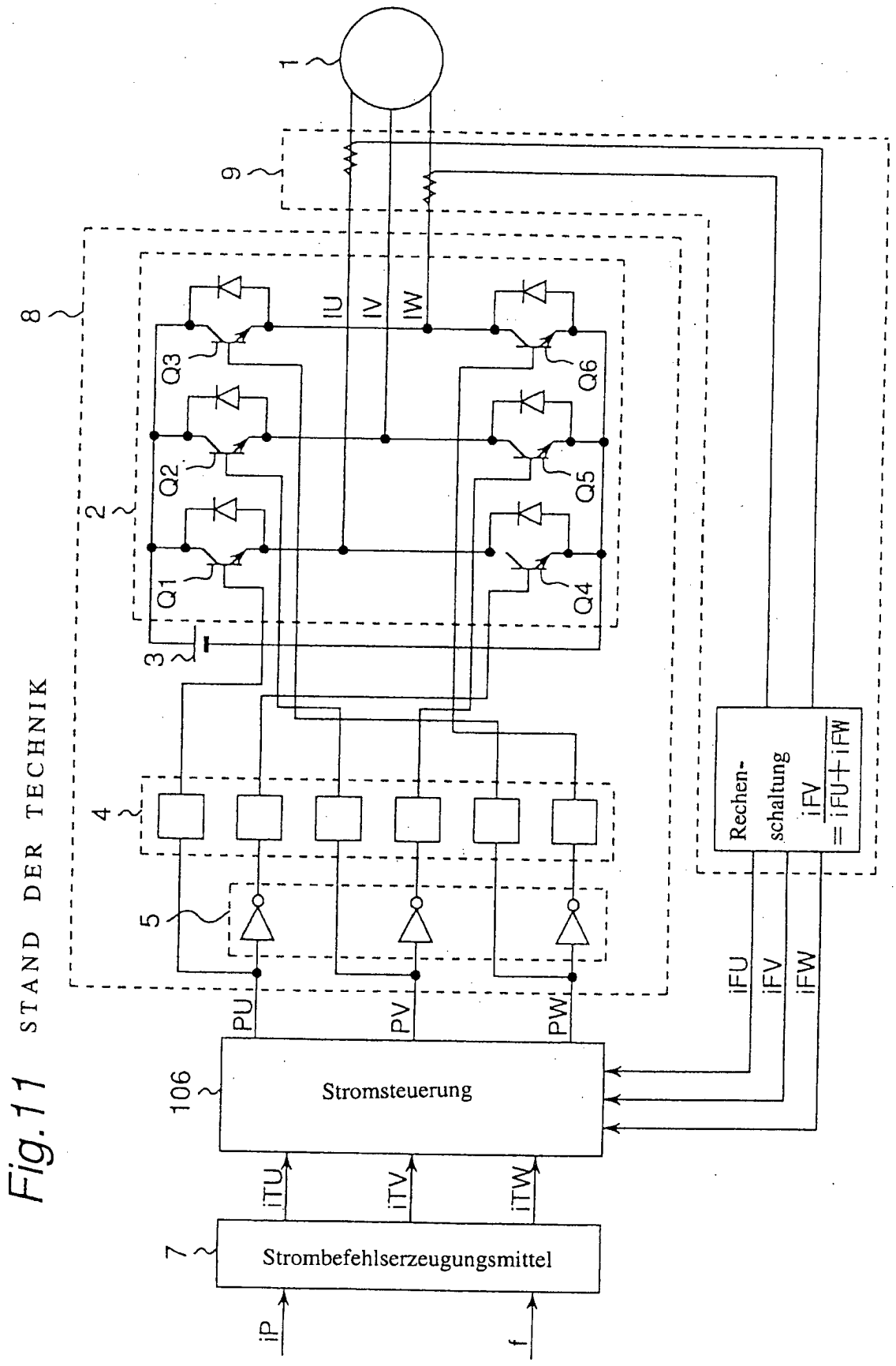

STAND DER TECHNIK
1
2
3
4
5
7
8
9
106
Q1
Q2
Q3
Q4
Q5
Q6
IU
IV
IW
PU
PV
PW
iTU
iTV
iTW
iP
f
iFU
iFV
iFW
Stromsteuerung
Strombefehlserzeugungsmittel
Rechen-
schaltung
iFV
= iFU+iFW

Fig. 11

Fig. 12 STAND DER TECHNIK

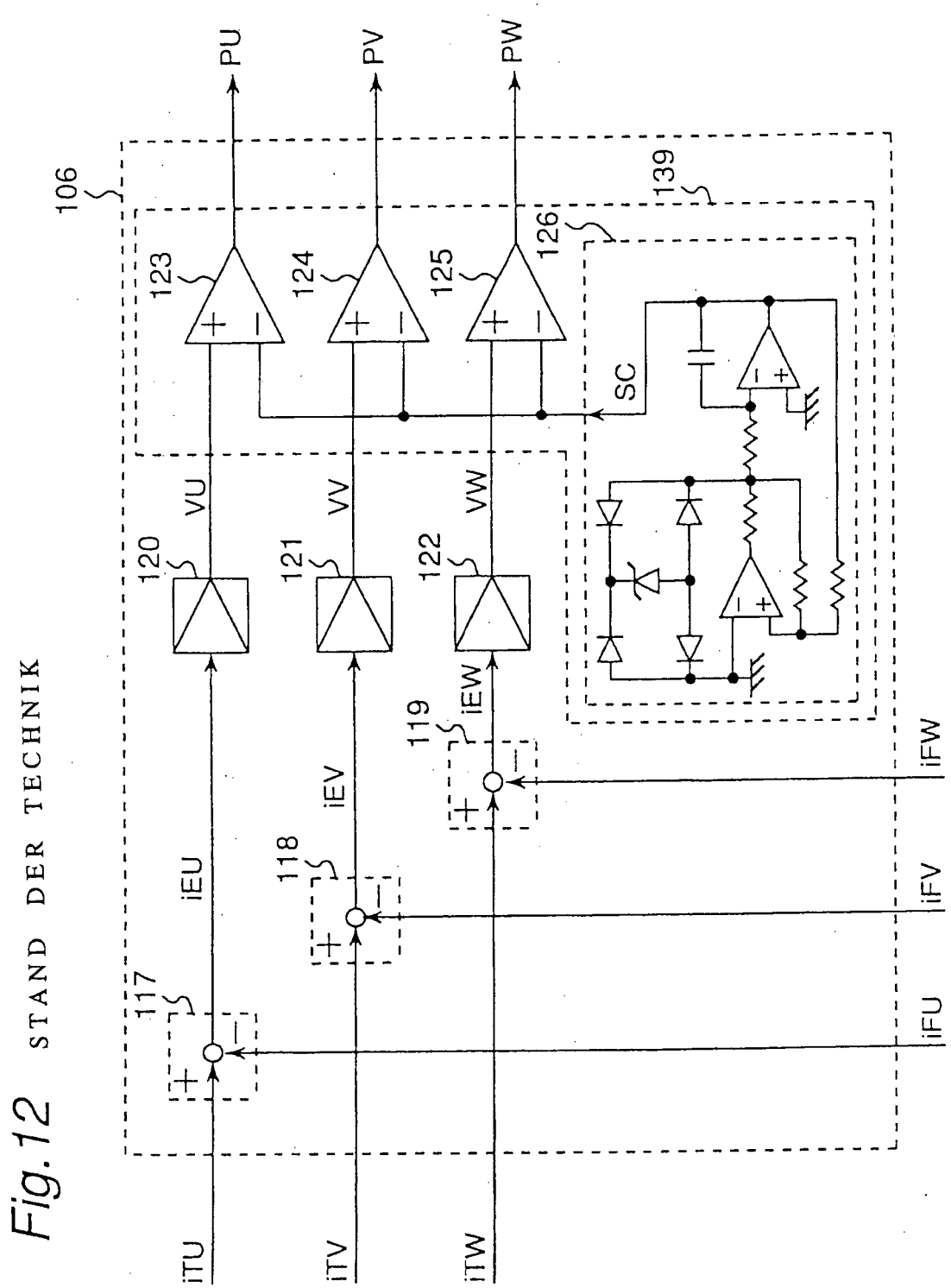


Fig.13A STAND DER TECHNIK

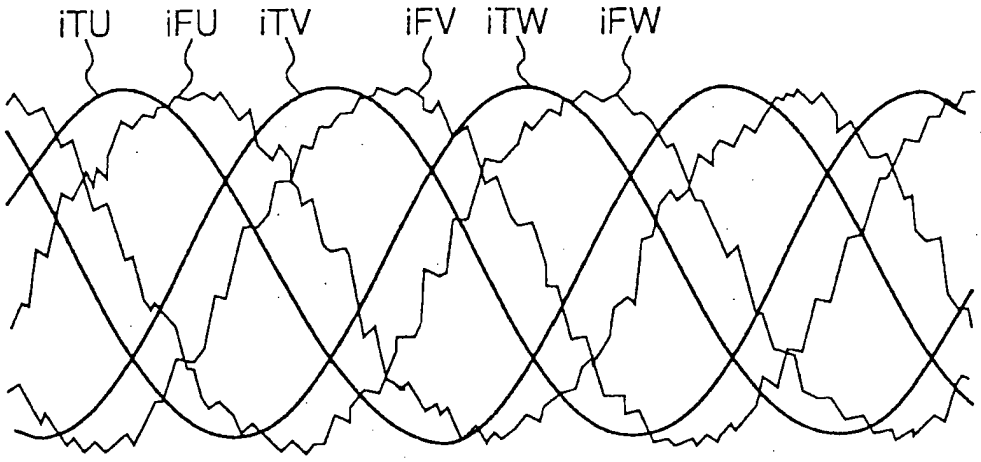


Fig.13B STAND DER TECHNIK

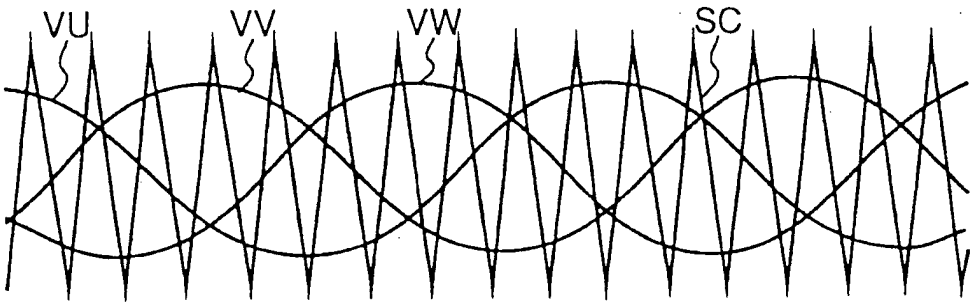


Fig.13C STAND DER TECHNIK



Fig.13D STAND DER TECHNIK



Fig.13E STAND DER TECHNIK

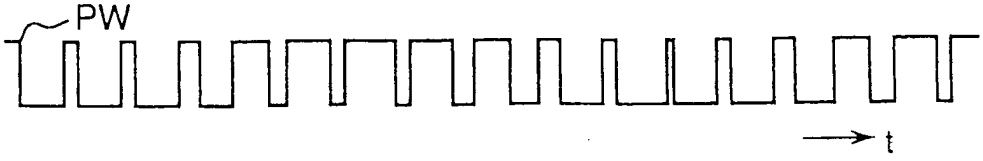


Fig. 14 STAND DER TECHNIK

