



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0037470
(43) 공개일자 2011년04월13일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2009-0094928

(22) 출원일자 2009년10월07일

심사청구일자 2009년10월07일

(71) 출원인

서울대학교산학협력단

서울 관악구 신림동 산 56-1

(72) 발명자

박병국

서울특별시 서초구 방배동 1015 임광아파트
7-1004

심원보

서울특별시 성동구 응봉동 리버그린동아아파트
303동 2201호

(74) 대리인

권오준

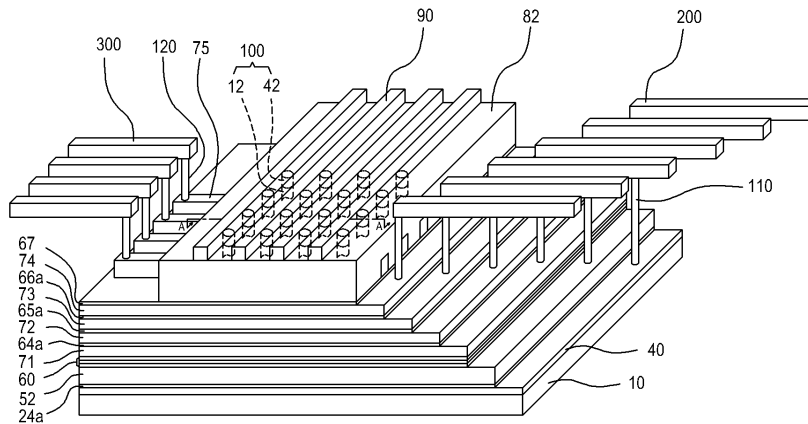
전체 청구항 수 : 총 8 항

(54) 기동형 단결정 채널 및 가상 소스/드레인을 갖는 낸드 플래시 메모리 어레이 및 그 제조방법

(57) 요약

본 발명은 기동형상의 단결정 채널 및 프린징 필드(fringing field)에 의한 가상 소스/드레인을 갖는 낸드 플래시 메모리 어레이 및 그 제조방법에 관한 것으로, 기판을 식각하여 만든 $k \times n$ 개의 단결정 실리콘 기동들로 액티브 영역을 형성하고, 수직으로 m 개의 워드라인들 및 제어 수단(공통소스영역, 하부 선택 게이트, 및 상부 선택 게이트들)을 형성함으로써, 간단한 공정에 의하여 3차원적으로 집적도를 얼마든지 늘릴 수 있고, 각 셀의 바디가 기판과 연결되어 통상의 지우기 동작이 가능하며, 단결정 채널에 의한 전하 캐리어 이동도(mobility)를 높일 수 있는 효과가 있다.

대표도 - 도1



특허청구의 범위

청구항 1

단결정 실리콘 기판과;

상기 기판 상에 상기 기판과 동일한 물질로 일정거리 이격되며 $k \times n$ 개 형성된 기둥들과;

상기 기둥들 사이의 상기 기판 상측에 제 1 불순물 도핑층으로 형성된 공통소스영역과;

상기 공통소스영역 및 상기 각 기둥 상에 제 1 절연막을 사이에 두고 형성된 하부 선택 게이트와;

상기 하부 선택 게이트 및 상기 각 기둥 상에 제 2 절연막과 도전층이 m 번 반복 적층하여 형성된 m 개의 워드라인들과;

상기 m 개의 워드라인들 중 최상위 워드라인을 이루는 상기 도전층 및 상기 각 기둥 상에 제 3 절연막을 사이에 두고 상기 기둥들의 k 개 행(row)에 맞추어 형성된 k 개의 상부 선택 게이트들과;

상기 각 상부 선택 게이트에 노출된 상기 각 기둥에 제 2 불순물 도핑층이 형성되고, 상기 각 상부 선택 게이트 및 상기 제 2 불순물 도핑층이 형성된 상기 각 기둥 상에 제 4 절연막을 사이에 두고 상기 기둥들의 n 개 열(column)에 맞추어 상기 제 2 불순물 도핑층이 형성된 상기 각 기둥의 상단과 전기적으로 접속되도록 형성된 n 개의 비트라인들을 포함하여 구성된 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 2

제 1 항에 있어서,

상기 제 2 절연막은,

상기 하부 선택 게이트 및 상기 각 기둥 상에는 터널링산화막/질화막/블로킹산화막 순으로 형성되고,

상기 도전층 사이에는 상기 블로킹산화막과 동일한 물질의 산화막이 형성된 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 3

제 2 항에 있어서,

상기 제 1 절연막은 실리콘 산화막이고,

상기 제 3 절연막은 상기 각 기둥 상에는 터널링산화막/질화막/블로킹산화막 순으로 형성되고, 상기 도전층 상에는 상기 블로킹산화막과 동일한 물질의 산화막이 형성되고,

상기 제 4 절연막은 상기 각 기둥 상에는 터널링산화막/질화막/블로킹산화막 순으로 형성되고, 상기 상부 선택 게이트 상에는 산화막으로 채워진 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 기판 및 상기 기둥들은 p 형 단결정 실리콘이고,

상기 제 1 불순물 도핑층 및 상기 제 2 불순물 도핑층은 n 형 불순물 도핑층이고,

상기 도전층 사이의 제 2 절연막 두께는 2~50 nm인 것을 특징으로 하는 낸드 플래시 메모리 어레이.

청구항 5

제 4 항에 의한 낸드 플래시 메모리 어레이를 제조하는 방법에 있어서,

p형 단결정 실리콘 기판 상에 산화막 및 질화막을 순차 적층하고, 상기 기판을 식각하여 $k \times n$ 개의 단결정 실리콘 기둥들을 형성하는 제 1 단계와;

상기 기판과 수직하게 이온주입하여 상기 기둥들 사이로 드러난 식각된 상기 기판 상층에 n형 불순물 도핑층으로 공통소스영역을 형성하는 제 2 단계와;

상기 공통소스영역 및 상기 각 기둥 상에 산화막을 형성하여 하부 선택 게이트의 절연막을 형성하는 제 3 단계와;

상기 기판 전면에서 게이트 물질을 증착하고 식각하여 하부 선택 게이트를 형성하는 제 4 단계와;

상기 하부 선택 게이트 상으로 노출된 상기 하부 선택 게이트의 절연막을 제거하고, 상기 하부 선택 게이트 및 상기 각 기둥 상에 터널링산화막/질화막/블로킹산화막을 형성하는 제 5 단계와;

상기 기판 전면에서 도전층 및 산화막을 m번 반복 적층 형성하며 m개의 워드라인들을 형성하는 제 6 단계와;

상기 기판 전면에서 다시 게이트 물질을 증착하고 식각하여, 상기 기둥들의 k개 행(row)에 맞추어 동일한 행으로 배열된 기둥들은 하나의 게이트로 감싸며 형성되도록 k개의 상부 선택 게이트들을 형성하는 제 7 단계와;

상기 기판 전면에서 산화막을 채우고 CMP 공정으로 평탄화시킨 다음, 상기 각 기둥의 상부가 드러나도록 상기 산화막 및 상기 질화막을 식각하는 제 8 단계와;

상기 기판에 이온주입하여 상기 드러난 실리콘 기둥의 상부에 n형 불순물 도핑층을 형성하는 제 9 단계와;

상기 기판 전면에서 도전층을 형성하고 식각하여 상기 기둥들의 n개 열(column)에 맞추어 동일한 열로 배열된 기둥들의 상단은 하나의 비트라인이 전기적으로 접속되도록 n개의 비트라인들을 형성하는 제 10 단계를 포함하여 구성된 것을 특징으로 하는 낸드 플래시 메모리 어레이의 제조방법.

청구항 6

제 5 항에 있어서,

상기 제 6 단계의 상기 m개의 워드라인들 형성은,

도전성 물질을 기판 전면에서 증착하고 CMP 공정으로 평탄화시키는 제 6-1 단계와;

상기 도전성 물질을 건식 식각으로 리세스(recess) 방식으로 식각하여 도전층을 형성하는 제 6-2 단계와;

상기 도전층 상으로 노출된 상기 각 기둥의 블로킹산화막을 제거하는 제 6-3 단계와;

상기 도전층 및 각 기둥 상에 다시 블로킹산화막을 형성하는 제 6-4 단계와;

상기 제 6-1 단계 내지 상기 제 6-4 단계를 m-1번 반복하는 제 6-5 단계를 포함하여 구성된 것을 특징으로 하는 낸드 플래시 메모리 어레이의 제조방법.

청구항 7

제 6 항에 있어서,

상기 제 5 단계의 상기 하부 선택 게이트의 절연막의 제거 및 상기 제 6-3 단계의 블로킹산화막의 제거는 습식 식각에 의하는 것을 특징으로 하는 낸드 플래시 메모리 어레이의 제조방법.

청구항 8

제 6 항에 있어서,

상기 게이트 물질 및 상기 도전성 물질은 불순물이 도핑된 실리콘계 물질 또는 금속이고,

상기 n개의 비트라인들을 형성하는 도전층은 금속인 것을 특징으로 하는 낸드 플래시 메모리 어레이의 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 낸드 플래시 메모리 어레이 및 그 제조방법에 관한 것으로, 보다 상세하게는 기둥형상의 단결정 채널 및 프린징 필드(fringing field)에 의한 가상 소스/드레인을 갖는 낸드 플래시 메모리 어레이 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 들어 대용량 메모리 등 여러 방면의 수요 증가로 인해 메모리의 집적도를 높일 수 있는 여러 가지 방법들이 연구되고 있다.

[0003] 그 중에 3차원 구조의 플래시 메모리가 많이 제안되고 있는데, 일본 도시바(Toshiba)사는 최근 수직 방향으로 워드 라인을 쌓는 식의 메모리 어레이를 제안하였다(국제공개번호 WO 2008/096802).

[0004] 상기 선행기술에 의한 구조는 워드 라인의 층의 개수가 늘어날수록 유효 셀사이즈(effective cell size)를 그에 비례하여 줄일 수 있다는 장점이 있다($6F^2/n$, n =number of layer).

[0005] 그러나, 상기 선행기술에 의하면, 워드 라인을 형성하기 위해 비정질 실리콘(amorphous silicon)과 실리콘 산화막(silicon dioxide)을 차례로 증착한 이후 채널(channel)이 될 부분을 '관통(punch)' 방식으로 뚫은 다음 그 자리에 다결정 실리콘(poly silicon)으로 채워 채널로 사용하기 때문에, 채널의 전하 캐리어의 이동도(mobility)가 매우 떨어진다는 문제점이 있다.

[0006] 또한, 상기 선행기술은 플로팅 바디(floating body) 구조이기 때문에, GIDL을 통해 hole을 발생시켜 body potential을 증가시켜 지우기(erase)하는 방식을 사용할 수밖에 없고(즉, conventional erase가 불가능 함), 지우기 속도(erase time)도 길어진다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 상기와 같은 선행기술의 문제점을 해결하고자, 실리콘 기판을 식각하여 단결정 실리콘 기둥을 복수개 형성하고 여기에 절연막과 도전성 물질을 반복 적층하며 상, 하 선택 게이트 라인은 물론, 복수개의 워드 라인을 형성함으로써, 단결정 실리콘 채널 및 프린징 필드(fringing field)에 의한 가상 소스/드레인을 갖는 낸드 플래시 메모리 어레이 및 그 제조방법을 제공하는 것을 그 목적으로 한다.

과제 해결수단

[0008] 상기 목적을 달성하기 위하여, 본 발명에 의한 낸드 플래시 메모리 어레이는 단결정 실리콘 기판과; 상기 기판 상에 상기 기판과 동일한 물질로 일정거리 이격되며 $k \times n$ 개 형성된 기둥들과; 상기 기둥들 사이의 상기 기판 상측에 제 1 불순물 도핑층으로 형성된 공통소스영역과; 상기 공통소스영역 및 상기 각 기둥 상에 제 1 절연막을 사이에 두고 형성된 하부 선택 게이트와; 상기 하부 선택 게이트 및 상기 각 기둥 상에 제 2 절연막과 도전층이 m번 반복 적층하여 형성된 m개의 워드라인들과; 상기 m개의 워드라인들 중 최상위 워드라인을 이루는 상기 도전층 및 상기 각 기둥 상에 제 3 절연막을 사이에 두고 상기 기둥들의 k개 행(row)에 맞추어 형성된 k개의 상부 선택 게이트들과; 상기 각 상부 선택 게이트에 노출된 상기 각 기둥에 제 2 불순물 도핑층이 형성되고, 상기 각 상부 선택 게이트 및 상기 제 2 불순물 도핑층이 형성된 상기 각 기둥 상에 제 4 절연막을 사이에 두고 상기 기둥들의 n개 열(column)에 맞추어 상기 제 2 불순물 도핑층이 형성된 상기 각 기둥의 상단과 전기적으로 접속

되도록 형성된 n개의 비트라인들을 포함하여 구성된 것을 특징으로 한다.

[0009] 그리고, 본 발명에 의한 낸드 플래시 메모리 어레이의 제조방법은 p형 단결정 실리콘 기판 상에 산화막 및 질화막을 순차 적층하고, 상기 기판을 식각하여 $k \times n$ 개의 단결정 실리콘 기둥들을 형성하는 제 1 단계와; 상기 기판과 수직하게 이온주입하여 상기 기둥들 사이로 드러난 식각된 상기 기판 상층에 n형 불순물 도핑층으로 공통소스영역을 형성하는 제 2 단계와; 상기 공통소스영역 및 상기 각 기둥 상에 산화막을 형성하여 하부 선택 게이트의 절연막을 형성하는 제 3 단계와; 상기 기판 전면에 게이트 물질을 증착하고 식각하여 하부 선택 게이트를 형성하는 제 4 단계와; 상기 하부 선택 게이트 상으로 노출된 상기 하부 선택 게이트의 절연막을 제거하고, 상기 하부 선택 게이트 및 상기 각 기둥 상에 터널링산화막/질화막/블로킹산화막을 형성하는 제 5 단계와; 상기 기판 전면에 도전층 및 산화막을 m번 반복 적층 형성하며 m개의 워드라인들을 형성하는 제 6 단계와; 상기 기판 전면에 다시 게이트 물질을 증착하고 식각하여, 상기 기둥들의 k개 행(row)에 맞추어 동일한 행으로 배열된 기둥들은 하나의 게이트로 감싸며 형성되도록 k개의 상부 선택 게이트들을 형성하는 제 7 단계와; 상기 기판 전면 에 산화막을 채우고 CMP 공정으로 평탄화시킨 다음, 상기 각 기둥의 상부가 드러나도록 상기 산화막 및 상기 질화막을 식각하는 제 8 단계와; 상기 기판에 이온주입하여 상기 드러난 실리콘 기둥의 상부에 n형 불순물 도핑층을 형성하는 제 9 단계와; 상기 기판 전면에 도전층을 형성하고 식각하여 상기 기둥들의 n개 열(column)에 맞추어 동일한 열로 배열된 기둥들의 상단은 하나의 비트라인이 전기적으로 접속되도록 n개의 비트라인들을 형성하는 제 10 단계를 포함하여 구성된 것을 특징으로 한다.

효 과

[0010] 본 발명에 의한 낸드 플래시 메모리 어레이는 기판을 식각하여 만든 $k \times n$ 개의 단결정 실리콘 기둥들로 액티브영역을 형성하고, 수직으로 m개의 워드라인들 및 제어 수단(공통소스영역, 하부 선택 게이트, 및 상부 선택 게이트들)을 형성함으로써, 3차원적으로 집적도를 얼마든지 늘릴 수 있음은 물론, 각 셀의 바디가 기판과 연결되어 통상의 지우기 동작이 가능하고, 단결정 채널에 의한 전하 캐리어 이동도(mobility)를 높일 수 있게 된 효과가 있다.

[0011] 또한, 본 발명에 의한 낸드 플래시 메모리 어레이의 제조방법은 기판을 식각하여 복수개의 단결정 실리콘 기둥들을 형성한 다음, 절연막과 도전성 물질의 증착과 식각을 반복함으로써, 간단하게 수직으로 적층된 복수개의 게이트들(워드라인들)을 구현할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다.

[0013] 도 1은 본 발명에 의한 낸드 플래시 메모리 어레이의 일 실시예 구성을 보여주는 사시도이고, 도 2는 도 1의 위에서 바라본 평면도로 레이아웃이고, 도 3 내지 도 18은 도 1의 AA선을 따라 절단한 단면 형상이 만들어지는 과정을 보여주는 공정단면도이다. 도 2에서 도면부호 1은 메모리 영역을 나타내고, 100은 단결정 실리콘 기둥을 나타낸다.

[0014] 먼저, 본 발명에 의한 낸드 플래시 메모리 어레이는, 도 1 및 도 18과 같이, 단결정 실리콘 기판(10)과; 상기 기판 상에 상기 기판과 동일한 물질로 일정거리 이격되며 $k \times n$ 개 형성된 기둥들(12; 100)과; 상기 기둥들 사이의 상기 기판 상층에 제 1 불순물 도핑층으로 형성된 공통소스영역(40)과; 상기 공통소스영역 및 상기 각 기둥(12) 상에 제 1 절연막(24a)을 사이에 두고 형성된 하부 선택 게이트(52)와; 상기 하부 선택 게이트 및 상기 각 기둥 상에 제 2 절연막(60, 64a, 65a, 66a)과 도전층(71, 72, 73, 74)이 m번 반복 적층하여 형성된 m개의 워드라인들과; 상기 m개의 워드라인들 중 최상위 워드라인을 이루는 상기 도전층(74) 및 상기 각 기둥(12) 상에 제 3 절연막(67)을 사이에 두고 상기 기둥들(100)의 k개 행(row)에 맞추어 형성된 k개의 상부 선택 게이트들(75)와; 상기 각 상부 선택 게이트에 노출된 상기 각 기둥에 제 2 불순물 도핑층(42)이 형성되고, 상기 각 상부 선택 게이트(75) 및 상기 제 2 불순물 도핑층(42)이 형성된 상기 각 기둥 상에 제 4 절연막(82)을 사이에 두고 상기 기둥들(100)의 n개 열(column)에 맞추어 상기 제 2 불순물 도핑층(42)이 형성된 상기 각 기둥(12)의 상단과 전기적으로 접속되도록 형성된 n개의 비트라인들(90)을 포함하여 구성된 것을 특징으로 한다.

- [0015] 상기와 같이, 상기 기판(10)과 동일한 단결정 실리콘으로 $k \times n$ 개 기둥들(100)로 액티브 영역을 형성하고, 수직으로 m 개의 워드라인들 및 제어 수단(공통소스영역, 하부 선택 게이트, 및 상부 선택 게이트들)을 형성함으로써, 3차원적으로 집적도를 늘릴 수 있음은 물론, 각 셀의 바디(12)가 기판(10)과 연결되어 통상의 지우기 동작이 가능하고, 기둥형 단결정 채널에 의하여 채널의 전하 캐리어 이동도(mobility)를 높일 수 있는 장점이 있다.
- [0016] 상기 실시예에서 상기 단결정 실리콘 기둥들(12; 100)은 원형 기둥으로 p형 단결정 실리콘 기판을 식각하여 형성함이 바람직하고(이에 관해서는 제조방법에 관한 실시예에서 상술함), 상기 제 1 불순물 도핑층(40) 및 상기 제 2 불순물 도핑층(42)은 n형 불순물 도핑층으로 형성함이 바람직하다.
- [0017] 또한, m 개의 워드라인들을 형성하기 위한 상기 도전층(71, 72, 73, 74)을 수직으로 적층함에 있어, 상하 도전층 간에는 일정 거리 이내로 이격되도록 상기 도전층 사이의 제 2 절연막(64a, 65a, 66a) 두께를 2~50 nm로 하는 것이 바람직하다. 이는 각 단결정 실리콘 기둥에 불순물 도핑층으로 소스/드레인을 형성하는 것 대신 상하로 이웃한 도전층에 의하여 전기적으로, 즉 상하 도전층의 프링징 필드(fringing field)로, 소스/드레인을 형성하기 위함이다.
- [0018] 그러나, 상기 도전층 사이의 제 2 절연막(64a, 65a, 66a) 두께는 제 2 절연막의 유전율과 워드라인에 인가될 V_{pass} 전압에 따라 달라질 수 있으므로, 상기 범위에 반드시 제한되지는 아니한다.
- [0019] 그리고, 상기 제 1 절연막(24a)은 통상의 실리콘 산화막으로, 상기 제 2 절연막 중 상기 하부 선택 게이트(52) 및 상기 각 기둥(12) 상에 형성된 제 2 절연막은 터널링산화막(61)/절화막(62)/블로킹산화막(63)(60) 순으로 형성되고, 상기 제 3 절연막 중 상기 각 기둥(12) 상에 형성된 제 3 절연막은 터널링산화막(61)/절화막(62)/블로킹산화막(63)(60) 순으로 형성되고, 상기 도전층 상의 제 3 절연막(67)은 상기 블로킹산화막(63)과 동일한 물질의 산화막이 형성되고, 상기 제 4 절연막 중 상기 각 기둥(12) 상에 형성된 제 4 절연막은 터널링산화막(61)/절화막(62)/블로킹산화막(63)(60) 순으로 형성되고, 상기 상부 선택 게이트(75) 상의 제 4 절연막(82)은 산화막으로 채워진 것이 바람직하다.
- [0020] 상기와 같은 구성을 함으로써, 도 18과 같이, 상기 각 단결정 실리콘 기둥(12)을 감싸며 터널링산화막(61)/절화막(62)/블로킹산화막(63)의 ONO층(60)이 형성되고, 상기 ONO층(60)을 감싸며 상하로 산화막을 사이에 두고 게이트 물질 또는 도전 물질층이 적층되어, 절화막(62)을 전하저장층으로 하는 GAA(Gate-All-Around) 구조를 갖는 메모리 셀이 각 기둥(12, 100)을 따라 다수개 형성하게 된다.
- [0021] 한편, 상기 실시예에 의한 낸드 플래시 메모리 어레이에 있어 단결정 실리콘 기둥(100)으로 구성된 메모리 영역(1)의 외부 연결은, 도 1 또는 도 2와 같이, 이루어 질 수 있다.
- [0022] 즉, 상기 공통소스영역(40)은 공통소스라인(CSL)으로, 상기 하부 선택 게이트(52)은 하부 선택 게이트 라인(LSGL)으로, 상기 m 개의 도전층들(71, 72, 73, 74)은 각각 워드라인(WL1, WL2, ..., WL m)으로 각각 소정의 컨택(110)에 의하여 연결되고, 상기 k 개의 상부 선택 게이트들(75)은 각각 상부 선택 게이트 라인(USGL1, USGL2, ..., USGL k)으로 소정의 컨택(120)에 의하여 연결되고, 상기 단결정 실리콘 기둥들(100)의 상단은 같은 열에 위치한 것은 동일한 비트라인에 연결되도록 상기 각 상부 선택 게이트 라인과 수직하게 형성된 n 개의 비트라인들(BL1, BL2, ..., BL n)에 각각 연결하게 된다.
- [0023] 다음, 도 3 내지 도 18을 참조하며, 상기 실시예에 의한 낸드 플래시 메모리 어레이의 제조방법에 대하여 설명한다.
- [0024] 우선, 도 3과 같이, p형 단결정 실리콘 기판(10) 상에 통상의 열산화 공정 및 CVD 공정을 통하여 각각 산화막(20) 및 절화막(30)을 순차 적층하고, 도 4와 같이, 상기 기판(10)을 식각하여 소정의 높이를 갖는 $k \times n$ 개의 단결정 실리콘 기둥들(12; 100)을 형성한다(제 1 단계).
- [0025] 이어, 도 4와 같이, 상기 기판(10)과 수직하게 이온주입하여 상기 기둥들(12) 사이로 드러난 식각된 상기 기판 상층에 n형 불순물 도핑층(40)으로 공통소스영역을 형성한다(제 2 단계).
- [0026] 이후, 도 5와 같이, 상기 공통소스영역(40) 및 상기 각 기둥(12) 상에 산화막(24)을 형성하여 하부 선택 게이트의 절연막을 형성한다(제 3 단계).
- [0027] 이어, 도 6과 같이, 상기 기판 전면에 게이트 물질(50)을 증착하고, CMP(Chemical Mechanical Polishing) 공정

을 통하여 평탄화시킨 다음, 상기 게이트 물질(50)을 건식의 리세스(recess) 방식으로 식각하여 하부 선택 게이트(52)를 형성한다(제 4 단계).

- [0028] 여기서, 상기 게이트 물질(50)은 불순물로 도핑된 실리콘계 물질(예컨대, 다결정실리콘, 비정질실리콘 등)이나 금속일 수 있다.
- [0029] 다음, 도 7과 같이, 상기 하부 선택 게이트(52) 상으로 노출된 상기 하부 선택 게이트의 절연막(24)을 습식식각 등으로 제거하고, 도 8과 같이, 상기 하부 선택 게이트(52) 및 상기 각 기둥(12) 상에 터널링산화막(61)/질화막(62)/블로킹산화막(63)(60)을 CVD 공정 등을 통하여 순차 형성한다(제 5 단계).
- [0030] 이어, 도 9 내지 도 15와 같이, 상기 기판 전면에 도전층(71, 72, 73, 74) 및 산화막(64a, 65a, 66a, 67)을 m 번 반복 적층 형성하며 m개의 워드라인들을 형성한다(제 6 단계).
- [0031] 여기서, 상기 제 6 단계를 좀 더 상세히 설명하면 다음과 같다.
- [0032] 먼저, 도 9와 같이, 도전성 물질(70)을 기판 전면에 증착하고 CMP 공정으로 평탄화시킨다(제 6-1 단계). 이때, 상기 질화막(32)이 식각 스톱퍼(stopper) 역할을 하게 된다. 또한, 상기 도전성 물질(70)은, 상기 게이트 물질(50)과 같이, 불순물로 도핑된 실리콘계 물질(예컨대, 다결정실리콘, 비정질실리콘 등)이나 금속일 수 있다.
- [0033] 이어, 도 10과 같이, 상기 도전성 물질(70)을 건식 식각으로 리세스(recess) 방식으로 식각하여 도전층(71)을 형성한다(제 6-2 단계).
- [0034] 이후, 도 11과 같이, 상기 도전층(71) 상으로 노출된 상기 각 기둥(12)의 블로킹산화막(63)을 습식식각을 통하여 제거한다(제 6-3 단계).
- [0035] 다음, 도 12와 같이, 상기 도전층(71) 및 각 기둥(12) 상에 다시 블로킹산화막을 형성한다(제 6-4 단계).
- [0036] 이어, 도 13 내지 도 15와 같이, 상기 제 6-1 단계 내지 상기 제 6-4 단계를 따라 상기 도전성 물질(70)의 증착과 식각 및 블로킹산화막(63)의 식각 및 증착을 m-1번 반복하며 m개의 워드라인들을 형성한다(제 6-5 단계).
- [0037] 이후, 도 15와 같이, 상기 블로킹산화막(63)이 최상의 도전층(74) 및 각 기둥(12) 상에 형성되어 있는 상태에서, 상기 기판 전면에 다시 게이트 물질을 증착하고 식각하여, 상기 기둥들의 k개 행(row)에 맞추어 동일한 행으로 배열된 기둥들은 하나의 게이트로 감싸며 형성되도록 k개의 상부 선택 게이트들(75)을 형성한다(제 7 단계).
- [0038] 이어, 도 16과 같이, 상기 기판 전면에 산화막(80)을 채우고 질화막(32)가 드러나도록 CMP 공정으로 평탄화시킨 다음, 도 17과 같이, 상기 각 기둥(12)의 상부가 드러나도록 상기 산화막(80) 및 상기 질화막(32)을 식각한다(제 8 단계).
- [0039] 이후, 도 17과 같이, 상기 기판에 이온주입하여 상기 드러난 실리콘 기둥(12)의 상부에 n형 불순물 도핑층(42)을 형성한다(제 9 단계).
- [0040] 다음, 상기 기판 전면에 금속 등으로 도전층을 형성하고 식각하여, 도 18과 같이, 상기 기둥들의 n개 열(column)에 맞추어 동일한 열로 배열된 기둥들의 상단은 하나의 비트라인이 전기적으로 접속되도록 n개의 비트라인들(90)을 형성한다(제 10 단계).
- [0041] 이후에는, 도 1 및 도 2와 같이, 메모리 영역(1)을 연결하기 위한 콘택 및 배선 공정을 진행한다.
- [0042] 이상과 같이, 상기 실시예에 의한 낸드 플래시 메모리 어레이 제조방법은 기판을 식각하여 복수개의 단결정 실리콘 기둥들을 형성한 다음, 절연막과 도전성 물질의 증착과 식각을 반복함으로써, 간단하게 수직으로 적층된 복수개의 제어게이트들(워드라인들)을 구현할 수 있는 장점이 있다.

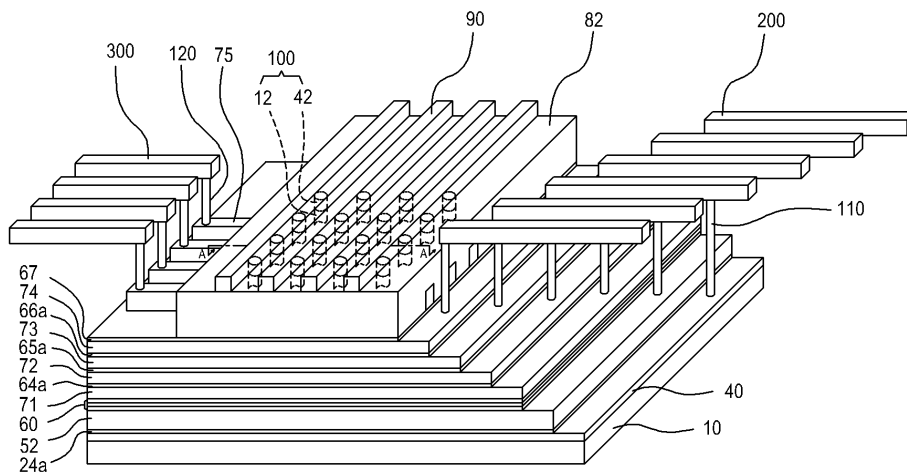
도면의 간단한 설명

- [0043] 도 1은 본 발명에 의한 낸드 플래시 메모리 어레이의 일 실시예 구성을 보여주는 사시도이다.
- [0044] 도 2는 도 1의 위에서 바라본 평면도로 레이아웃이다.
- [0045] 도 3 내지 도 18은 도 1의 AA선을 따라 절단한 단면 형상이 만들어지는 과정을 보여주는 공정단면도이다.

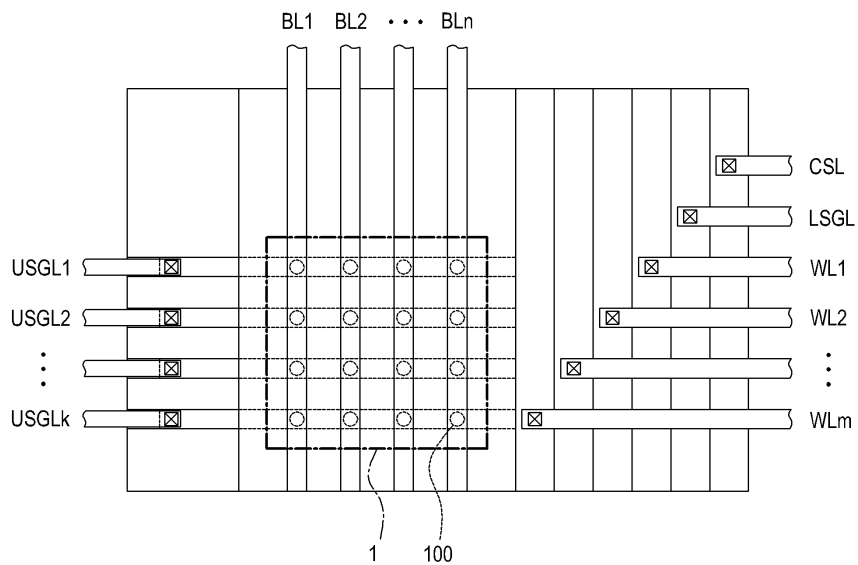
- [0046] <도면의 주요부분에 대한 부호의 설명>
- [0047] 10: 단결정 실리콘 기판 12: 단결정 실리콘 기둥
- [0048] 20, 24a, 64a, 65a, 66a, 67, 80, 82: 절연막(산화막)
- [0049] 30, 32: 질화막 40, 42: n형 불순물 도핑층
- [0050] 52: 하부 선택 게이트 60: ONO층
- [0051] 71, 72, 73, 74: 도전층(워드라인)
- [0052] 75: 상부 선택 게이트 90: 비트라인

도면

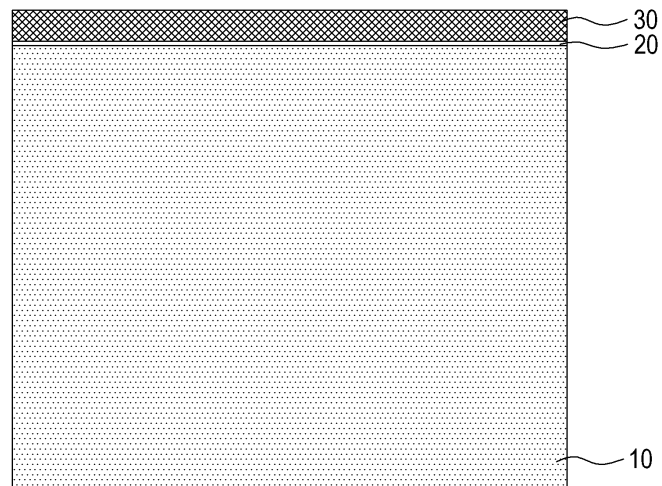
도면1



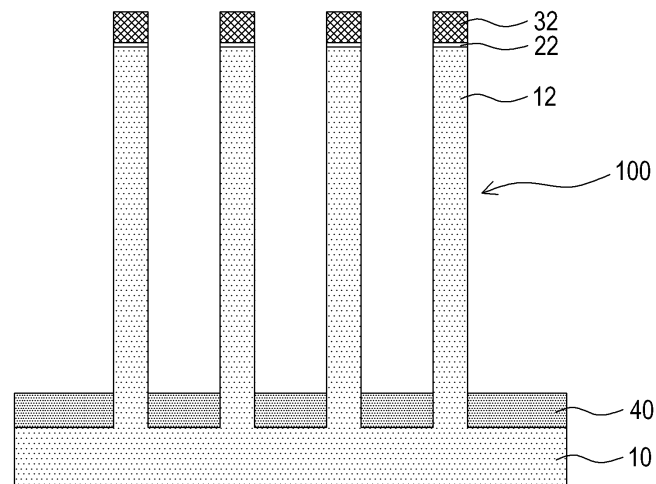
도면2



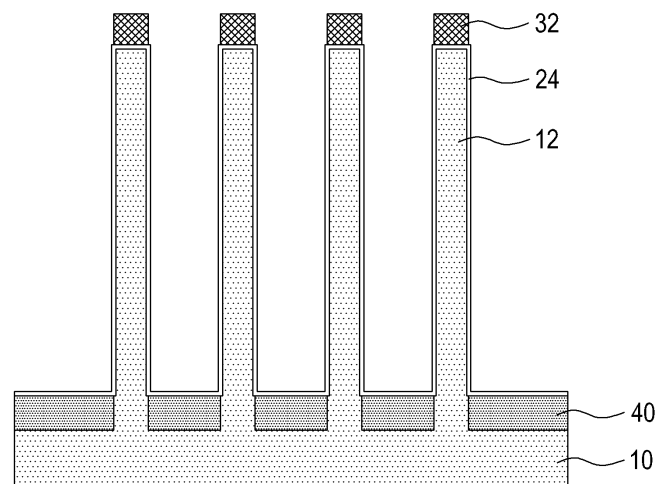
도면3



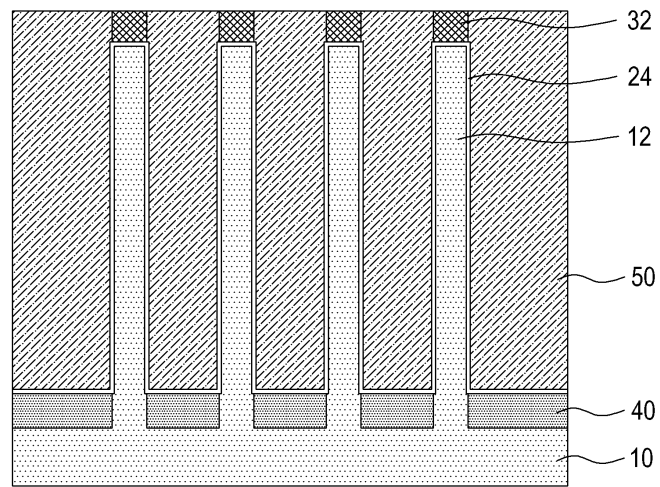
도면4



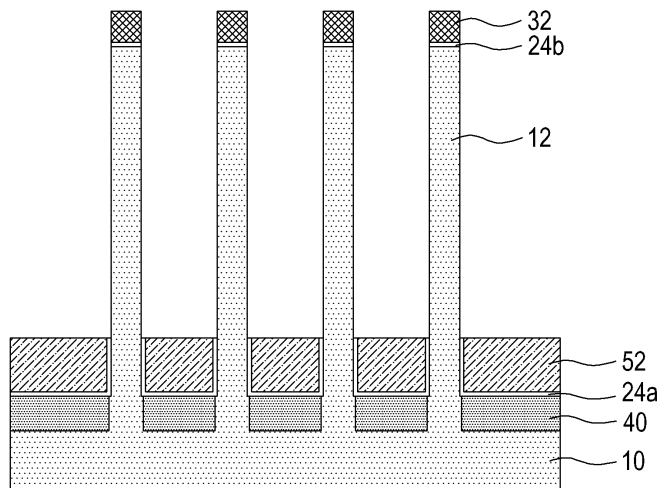
도면5



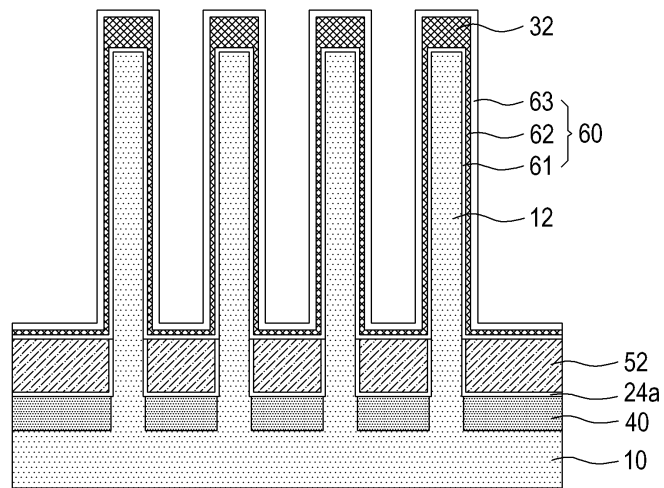
도면6



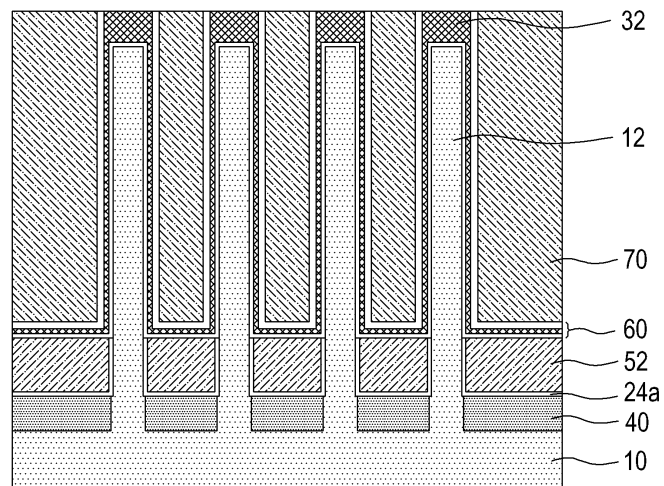
도면7



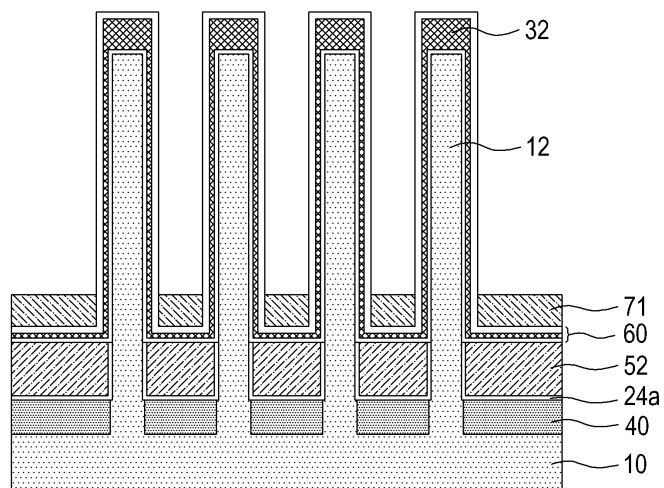
도면8



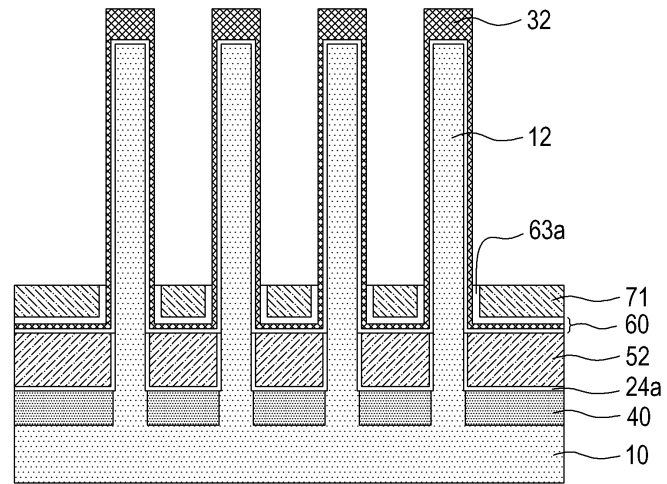
도면9



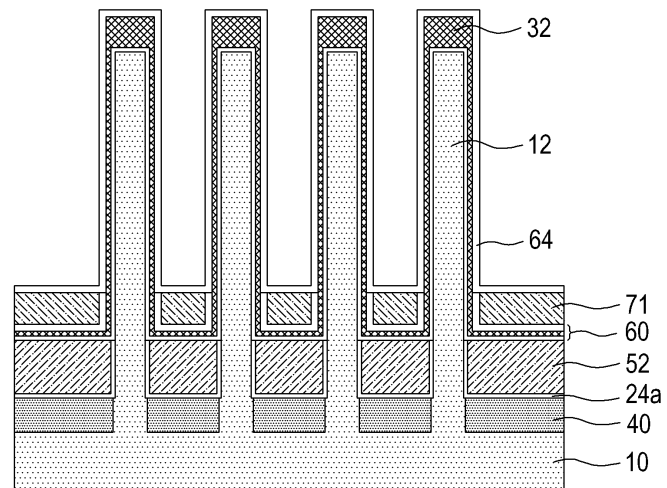
도면10



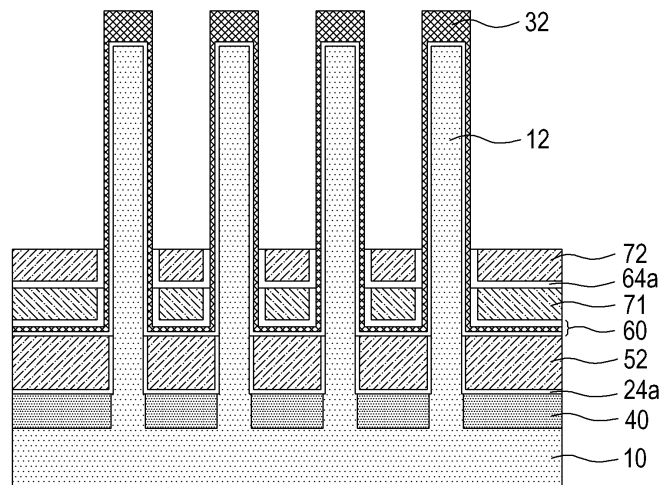
도면11



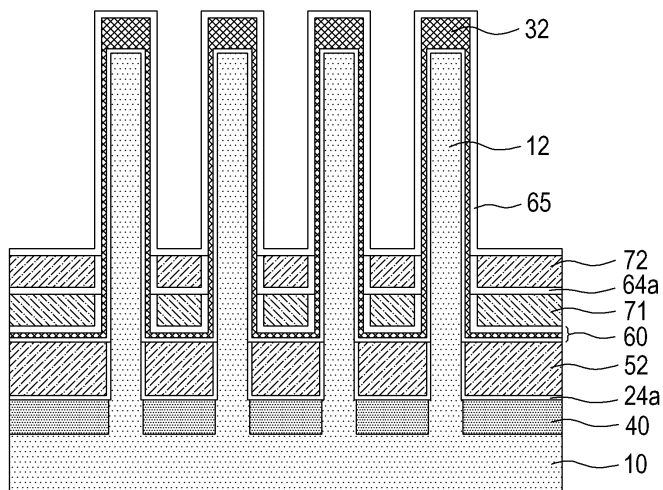
도면12



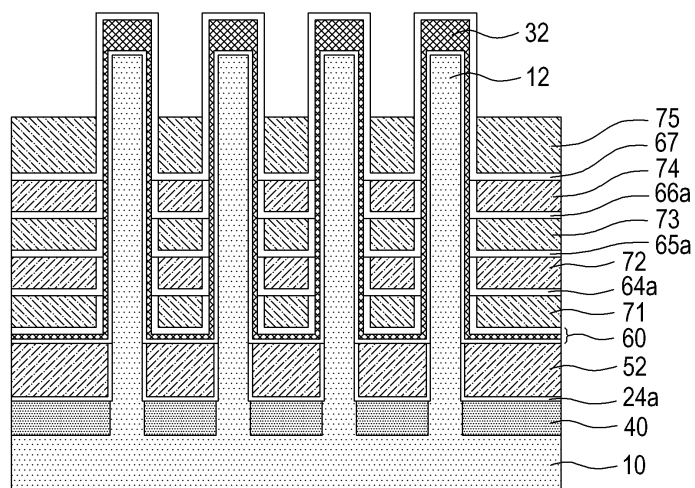
도면13



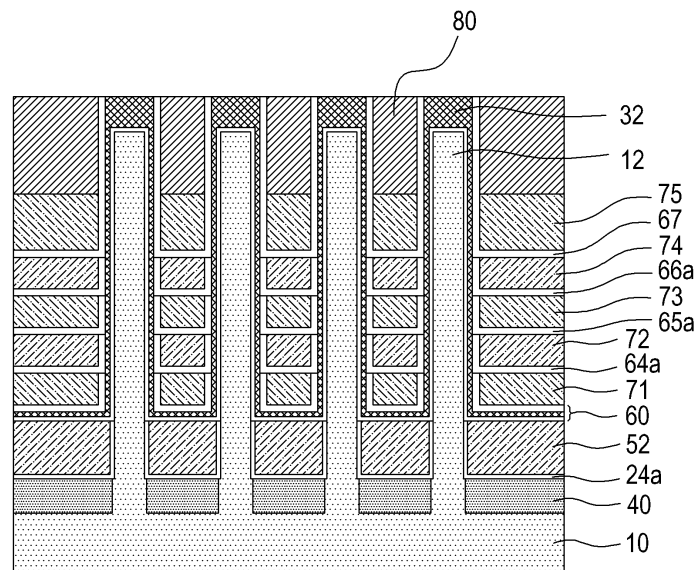
도면14



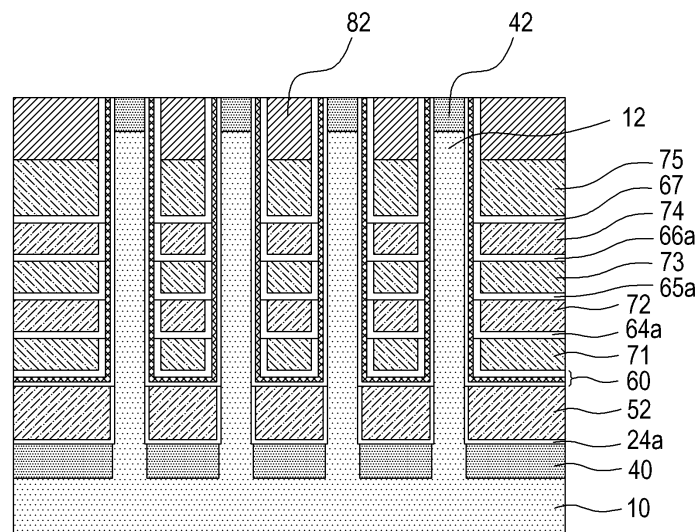
도면15



도면16



도면17



도면18

