

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月26日(26.04.2018)



(10) 国際公開番号

WO 2018/074093 A1

(51) 国際特許分類:
H01L 27/11587 (2017.01) H01L 27/10 (2006.01)
G11C 11/22 (2006.01) H01L 27/1159 (2017.01)

(21) 国際出願番号: PCT/JP2017/032317

(22) 国際出願日: 2017年9月7日(07.09.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-206246 2016年10月20日(20.10.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 塚本 雅則(TSUKAMOTO, Masanori); 〒2430014 神奈川県厚木市旭町四丁目1番4号

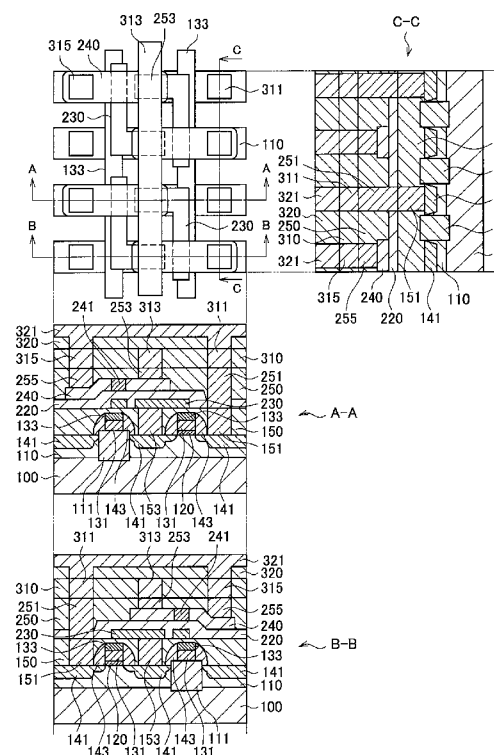
番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 亀谷 美明, 外(KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR STORAGE ELEMENT, SEMICONDUCTOR STORAGE DEVICE, AND SEMICONDUCTOR SYSTEM

(54) 発明の名称: 半導体記憶素子、半導体記憶装置、および半導体システム



(57) Abstract: [Problem] To provide a semiconductor storage element with a reduced planar area. [Solution] A semiconductor storage element comprising: a memory cell transistor, at least part of which includes a gate insulating film formed from a ferroelectric material; and a selection transistor in which one of a source and a drain is connected to a gate electrode of the memory cell transistor via a connection layer, and in which a gate insulating film is opposed to the gate insulating film of the memory cell transistor across the connection layer in the lamination direction.

(57) 要約: 【課題】平面面積がより縮小された半導体記憶素子を提供する。【解決手段】少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、を備える、半導体記憶素子。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

半導体記憶素子、半導体記憶装置、および半導体システム

技術分野

[0001] 本開示は、半導体記憶素子、半導体記憶装置、および半導体システムに関する。

背景技術

[0002] 近年、SoC (System on a Chip) として、アナログ回路、メモリ、および論理回路などを1チップに混載したLSI (Large Scale Integration) が製品化されている。

[0003] LSIに搭載されるメモリには、例えば、Static RAM (Random Access Memory) 等が用いられる。一方で、近年、コストおよび消費電力をより低減するために、Dynamic RAM (DRAM)、Magnetic RAM (MRAM)、またはFerroelectric RAM (FeRAM) 等の半導体記憶素子を用いることが検討されている。

[0004] ここで、FeRAMとは、強誘電体の残留分極の方向を用いて情報を記憶する半導体記憶素子である。FeRAMの構造としては、例えば、強誘電体材料を含むキャパシタをメモリセルとして用いる1Transistor-1Capacitor (1T1C) 型構造、および強誘電体材料をゲート絶縁膜に用いた電界効果トランジスタをメモリセルとして用いる1Transistor (1T) 型構造などが提案されている。

[0005] ただし、1T型構造のFeRAMでは、複数のメモリセルでワード線およびビット線を共有している。そのため、情報を書き込む際にメモリセルに電圧を印加した場合、選択されたメモリセルだけでなく、ワード線およびビット線を共有する非選択のメモリセルにも電圧が印加されてしまう。したがって、1T型構造のFeRAMでは、メモリセルに情報を書き込む際に、非選

択のメモリセルに記憶された情報が書き換わってしまう可能性があった。

[0006] 例えば、下記の特許文献1には、メモリセルである強誘電体トランジスタのゲートに選択トランジスタを接続することで、情報が書き込まれるメモリセル以外の非選択のメモリセルには、電圧が印加されないようにした強誘電体メモリが開示されている。このような強誘電体メモリでは、メモリセルに情報を書き込む際に、非選択のメモリセルに記憶された情報が書き換わることを防止することができる。

先行技術文献

特許文献

[0007] 特許文献1：特開2009-230834号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、特許文献1に開示された強誘電体メモリでは、選択トランジスタ、および該選択トランジスタとメモリセルとを接続する配線をメモリセルごとに設けることになるため、各メモリセルの平面面積が大きくなってしまう。したがって、特許文献1に開示された強誘電体メモリでは、各メモリセルの平面面積の縮小が困難であるため、メモリセルのさらなる高集積化が困難であった。

[0009] そこで、本開示では、平面面積をさらに縮小することが可能な、新規かつ改良された半導体記憶素子、半導体記憶装置、および半導体システムを提案する。

課題を解決するための手段

[0010] 本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、を備える、半導体記憶

素子が提供される。

[0011] また、本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、を備える半導体記憶素子をマトリクス状に複数配置した、半導体記憶装置が提供される。

[0012] さらに、本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、を備える半導体記憶素子をマトリクス状に複数配置した記憶装置と、前記記憶装置と接続された演算装置と、を1つの半導体チップ上に搭載した、半導体システムが提供される。

[0013] 本開示によれば、メモリセルトランジスタと、選択トランジスタとを膜厚方向に互いに対向するように、積層して設けることが可能であるため、平面面積をより縮小することができる。

発明の効果

[0014] 以上説明したように本開示によれば、平面面積がより縮小された半導体記憶素子、半導体記憶装置、および半導体システムを提供することが可能である。

[0015] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0016] [図1]本開示の一実施形態に係る半導体記憶素子の等価回路を示した回路図である。

[図2]同実施形態に係る半導体記憶素子の平面構造、および断面構造を示す説明図である。

[図3]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図4]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図5]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図6]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図7]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図8]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図9]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

[図10]同実施形態に係る半導体記憶素子の製造の各工程を説明する平面図、および断面図である。

発明を実施するための形態

[0017] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0018] なお、説明は以下の順序で行うものとする。

1. 半導体記憶素子の概要
2. 半導体記憶素子の構造
3. 半導体記憶素子の動作
4. 半導体記憶素子の製造方法

5. まとめ

[0019] <1. 半導体記憶素子の概要>

まず、図1を参照して、本開示の一実施形態に係る半導体記憶素子の概要について説明する。図1は、本開示の一実施形態に係る半導体記憶素子1の等価回路を示した回路図である。

[0020] 本明細書において、「ゲート」とは、電界効果トランジスタのゲート電極を表し、「ドレイン」とは、電界効果トランジスタのドレイン電極またはドレイン領域を表し、「ソース」とは、電界効果トランジスタのソース電極またはソース領域を表すこととする。

[0021] 図1に示すように、半導体記憶素子1は、メモリセルトランジスタ T_m と、メモリセルトランジスタ T_m のゲートと接続する選択トランジスタ T_s とを備える。

[0022] メモリセルトランジスタ T_m は、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有する電界効果トランジスタであり、ゲート絶縁膜の残留分極の向きにて情報を記憶する。また、メモリセルトランジスタ T_m は、ソースまたはドレインの一方で第2ビット線 BL_2 と接続し、ソースまたはドレインの他方で、トランジスタ V_L を介して半導体記憶素子1の外部に設けられた電源 V_s と接続している。なお、電源 V_s は、グランド(GND)であってもよい。

[0023] 選択トランジスタ T_s は、スイッチング素子として機能する電界効果トランジスタであり、ソースまたはドレインの一方でメモリセルトランジスタ T_m のゲートと接続し、ソースまたはドレインの他方で第1ビット線 BL_1 と接続する。また、選択トランジスタ T_s のゲートは、ワード線 WL と接続しており、選択トランジスタ T_s のチャネルは、ワード線 WL からの印加電圧によって制御される。

[0024] したがって、メモリセルトランジスタ T_m に情報を書き込む場合、半導体記憶素子1では、まず、ワード線 WL に電圧を印加して、選択トランジスタ T_s のチャネルをオンにする。次に、第1ビット線 BL_1 、および第2ビッ

ト線BL2に所定の電位差を印加することで、メモリセルトランジスタT_mのゲート絶縁膜に電界を印加する。これにより、半導体記憶素子1では、メモリセルトランジスタT_mのゲート絶縁膜の残留分極の向きを外部電界によって制御し、メモリセルトランジスタT_mに情報を書き込むことができる。

[0025] 一方、メモリセルトランジスタT_mから情報を読み出す場合、半導体記憶素子1では、まず、ワード線WLに電圧を印加して、選択トランジスタT_sのチャネルをオンにした後、第1ビット線BL1に電圧を印加することで、メモリセルトランジスタT_mのチャネルをオンにする。その後、トランジスタV_Lのチャネルをオンにした上で、第2ビット線BL2に電圧を印加することで、メモリセルトランジスタT_mのドレインからソースに電流を流す。メモリセルトランジスタT_mでは、ゲート絶縁膜の残留分極の向きによって、しきい値電圧V_tが変化するため、ドレインからソースに流れる電流の大きさを計測することで、メモリセルトランジスタT_mに記憶された情報を読み出すことができる。

[0026] すなわち、本実施形態に係る半導体記憶素子1は、メモリセルトランジスタT_mに情報を記憶するFeRAM (Ferroelectric Random Access Memory) として動作することができる。

[0027] 半導体記憶素子1では、メモリセルトランジスタT_mのゲートに選択トランジスタT_sが接続されているため、選択トランジスタT_sのオンオフによって、メモリセルトランジスタT_mのゲート絶縁膜に電界を印加するか否かを制御することができる。したがって、半導体記憶素子1では、選択したメモリセルトランジスタT_mへの情報の書き込み、および読み出しのいずれの場合でも、非選択のメモリセルトランジスタT_mのゲート絶縁膜への外部電界の印加を防止することができる。

[0028] これにより、半導体記憶素子1は、情報の書き込み、および読み出しによって、非選択のメモリセルトランジスタT_mに記憶された情報が書き換わることを防止することができる。また、半導体記憶素子1では、情報の書き込み、および読み出し時に、選択したメモリセルトランジスタT_mのゲート絶

縁膜にのみ電界を印加することができるため、ゲート絶縁膜を構成する強誘電体材料の劣化を抑制することができる。

[0029] さらに、本実施形態に係る半導体記憶素子 1 は、上述したメモリセルトランジスタ T_m と、選択トランジスタ T_s とを互いに積層方向に対向するように設けることで、半導体記憶素子 1 が占有する平面面積を縮小することができる。以下では、かかる半導体記憶素子 1 の具体的な構造について説明する。

[0030] <2. 半導体記憶素子の構造>

続いて、図 2 を参照して、本実施形態に係る半導体記憶素子 1 の具体的な構造について説明する。図 2 は、本実施形態に係る半導体記憶素子 1 の平面構造、および断面構造を示す説明図である。

[0031] なお、図 2 の断面図の各々は、平面図を A A 線、B B 線、または C C 線でそれぞれ切断した断面を示す。ただし、図 2 の平面図では、各構成の配置を明確にするために、半導体基板 100 の全面に亘って形成された層の記載は省略し、かつ第 3 層間絶縁膜 320、および第 2 配線層 321 の記載は省略している。

[0032] 以下では、「第 1 導電型」とは、「p 型」または「n 型」の一方を表し、「第 2 導電型」とは、「第 1 導電型」と異なる「p 型」または「n 型」の他方を表すこととする。

[0033] 図 2 で示すように、半導体記憶素子 1 は、半導体基板 100 の上に設けられる。具体的には、半導体基板 100 の一部領域に設けられた活性化領域 110 の上にゲート絶縁膜 120、およびゲート電極 131 が設けられることで選択トランジスタ T_s が形成される。また、選択トランジスタ T_s のソース／ドレイン領域 141 と接続し、メモリセルトランジスタ T_m のゲート電極として機能する接続層 230 の一端の上に強誘電体材料を含むゲート絶縁膜 220 が設けられ、ゲート絶縁膜 220 の上に半導体層 240 が設けられることで、メモリセルトランジスタ T_m が形成される。

[0034] このような選択トランジスタ T_s 、およびメモリセルトランジスタ T_m に

より、図1で示した等価回路を有する半導体記憶素子1が構成される。また、半導体記憶素子1は、半導体基板100上にマトリクス状に多数配置されることで、高集積化された大容量の半導体記憶装置を構成することができる。

[0035] 以下では、図2の平面図、A-A断面図、およびC-C断面図を中心に説明を行う。なお、B-B断面図は、A-A断面図を左右反転した図と実質的に同じである。

[0036] 半導体基板100は、選択トランジスタTsが形成される基板である。半導体基板100は、各種半導体からなる基板を用いてもよく、例えば、多結晶、単結晶またはアモルファスのシリコン(Si)からなる基板を用いてもよい。また、半導体基板100は、シリコン基板の中にSiO₂などの絶縁膜を挟み込んだSOI(Silicon On Insulator)基板を用いてもよい。

[0037] 活性化領域110は、半導体基板100に形成された第1導電型の領域であり、素子分離領域111によって互いに離隔された平行な帯状領域として設けられる。また、活性化領域110の帯状領域は、素子分離領域111によって互いに離隔されることで、隣接する選択トランジスタTsの各々が互いに導通することを防止する。例えば、活性化領域110は、半導体基板100に第1導電型の不純物(例えば、ホウ素(B)などのp型不純物)を導入することで形成されてもよい。

[0038] 素子分離領域111は、半導体基板100に形成された絶縁性の領域であり、活性化領域110を互いに電氣的に離隔することで、活性化領域110の上に設けられた選択トランジスタTsの各々を電氣的に離隔する。例えば、素子分離領域111は、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、または酸窒化シリコン(SiON)などの絶縁性の酸窒化物で形成されてもよい。

[0039] 具体的には、素子分離領域111は、STI(Shallow Trench Isolation)法を用いて、所望の領域の半導体基板100の

一部をエッチング等で除去した後、エッチングによる開口を酸化シリコン（ SiO_x ）で埋め込むことで形成されてもよい。また、素子分離領域 111 は、LOCOS（Local Oxidation of Silicon）法を用いて、所定の領域の半導体基板 100 を熱酸化し、酸化物に変換することで形成されてもよい。

[0040] ゲート絶縁膜 120 は、選択トランジスタ T_s のゲート絶縁膜である。したがって、ゲート絶縁膜 120 は、活性化領域 110 の上にのみ設けられ、素子分離領域 111 の上には設けられない。これにより、半導体記憶素子 1 では、意図しない領域がトランジスタとして機能することが防止される。

[0041] また、選択トランジスタ T_s は、メモリセルトランジスタ T_m への電圧印加を制御するスイッチング素子として機能する。そのため、ゲート絶縁膜 120 は、電界効果トランジスタのゲート絶縁膜として公知の一般的な絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜 120 は、酸化シリコン（ SiO_x ）、窒化シリコン（ SiN_x ）、または酸窒化シリコン（ SiON ）などの絶縁性の酸窒化物で形成されてもよい。ただし、選択トランジスタ T_s がスイッチング素子として機能するのであれば、ゲート絶縁膜 120 は、酸化ハフニウム等の誘電体材料、または強誘電体材料によって形成されてもよいことは言うまでもない。

[0042] ゲート電極 131 は、選択トランジスタ T_s のゲート電極であり、ゲート絶縁膜 120 の上に設けられる。また、ゲート電極 131 は、活性化領域 110 の延伸方向と直交する方向に延伸されて、素子分離領域 111 を越えて複数の活性化領域 110 に亘って設けられる。ゲート電極 131 は、半導体記憶素子 1 の各々の選択トランジスタ T_s のゲート電極を電氣的に接続するワード線 WL として機能する。このとき、ゲート電極 131 は、素子分離領域 111 の上にも設けられることになるが、素子分離領域 111 の上にはゲート絶縁膜 120 が設けられていないため、素子分離領域 111 の上ではワード線 WL の配線としての機能を実現する。

[0043] 例えば、ゲート電極 131 は、ポリシリコン等にて形成されてもよく、金

属、合金、または金属化合物にて形成されてもよい。また、ゲート電極 131 は、金属層と、ポリシリコンからなる層との複数層の積層構造にて形成されてもよい。例えば、ゲート電極 131 は、ゲート絶縁膜 120 の上に設けられた TiN または TaN からなる金属層と、ポリシリコンからなる層との積層構造にて形成されてもよい。このような積層構造によれば、ゲート電極 131 は、ポリシリコン単層で形成される場合と比較して配線抵抗を低下させることが可能である。

[0044] ソース／ドレイン領域 141 は、半導体基板 100 に形成された第 2 導電型の領域であり、選択トランジスタ Ts のソース領域またはドレイン領域として機能する。具体的には、ソース／ドレイン領域 141 は、ゲート電極 131 を挟んで両側の活性化領域 110 に設けられる。ソース／ドレイン領域 141 の一方は、第 1 コンタクトプラグ 151、および第 2 コンタクトプラグ 251 を介して、第 1 ビット線 BL1、および第 2 ビット線 BL2 として機能する第 2 配線層 321 と接続する。また、ソース／ドレイン領域 141 の他方は、第 1 コンタクトプラグ 153 を介して、メモリセルトランジスタ Tm のゲート電極として機能する接続層 230 と接続する。

[0045] 例えば、ソース／ドレイン領域 141 は、活性化領域 110 の所定の領域に第 2 導電型の不純物（例えば、リン（P）、ヒ素（As）などの n 型不純物）を導入することで形成されてもよい。また、ソース／ドレイン領域 141 には、ゲート電極との間に、ソース／ドレイン領域 141 と同じ導電型であり、かつソース／ドレイン領域 141 よりも低濃度の LDD（Lightly-Doped Drain）領域が形成されていてもよい。

[0046] なお、ゲート電極 131 を挟んで形成されたソース／ドレイン領域 141 は、いずれがソース領域として機能してもよく、いずれがドレイン領域として機能してもよい。これらは、選択トランジスタ Tr に流れる電流の方向によって任意に変更され得る。

[0047] サイドウォール絶縁膜 143 は、ゲート電極 131 の側面に設けられる絶縁膜の側壁である。具体的には、サイドウォール絶縁膜 143 は、ゲート電

極 1 3 1 を含む領域に絶縁膜を成膜した後、該絶縁膜を垂直異方性エッチングすることで形成することができる。例えば、サイドウォール絶縁膜 1 4 3 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x)、または酸窒化シリコン (SiON) などの絶縁性の酸窒化物で、単層または複数層にて形成されてもよい。

[0048] サイドウォール絶縁膜 1 4 3 は、活性化領域 1 1 0 に導入される不純物を遮蔽することで、ゲート電極 1 3 1 と、不純物が導入されるソース／ドレイン領域 1 4 1 との位置関係を自己整合的に制御する。また、サイドウォール絶縁膜 1 4 3 を複数層で形成した場合、活性化領域 1 1 0 への不純物の導入を段階的に行うことができるため、ソース／ドレイン領域 1 4 1 と、ゲート電極 1 3 1 との間に自己整合的に L D D 領域を形成することが可能である。

[0049] コンタクト層 1 3 3 は、ゲート電極 1 3 1 の上面に設けられ、ゲート電極 1 3 1 の導通性を向上させる。具体的には、コンタクト層 1 3 3 は、低抵抗の金属、金属化合物、または N i などの高融点金属とゲート電極 1 3 1 を構成する半導体との合金（いわゆるシリサイド）にて形成されてもよい。例えば、コンタクト層 1 3 3 は、N i S i などの高融点金属シリサイドにて形成されてもよい。

[0050] 平坦化膜 1 5 0 は、選択トランジスタ T s を埋め込み、半導体基板 1 0 0 の全面に亘って設けられる絶縁膜である。また、平坦化膜 1 5 0 の上にメモリセルトランジスタ T m が積層される。例えば、平坦化膜 1 5 0 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x)、または酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。

[0051] なお、図 2 では図示しないが、ゲート電極 1 3 1 と、平坦化膜 1 5 0 との間には、半導体基板 1 0 0 の全面に亘って、無機絶縁材料を含むライナー層が設けられていてもよい。ライナー層は、第 1 コンタクトプラグ 1 5 1、1 5 3 を形成する際に、平坦化膜 1 5 0 との間で高いエッチング選択比を提供することで、半導体基板 1 0 0 にエッチングが過剰に進行することを防止することができる。例えば、ライナー層は、酸化シリコン (SiO_x)、窒化シ

リコン (SiN_x)、または窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。具体的には、平坦化膜 150 が酸化シリコン (SiO_x) である場合、ライナー層は、窒化シリコン (SiN_x) で形成されてもよい。

[0052] また、ライナー層は、ゲート絶縁膜 120 に対して圧縮応力または引張応力を付与する層として形成されてもよい。このような場合、ライナー層は、応力効果によって、ゲート絶縁膜 120 のキャリア移動度を向上させることができる。

[0053] 第 1 コンタクトプラグ 151、153 は、平坦化膜 150 を貫通して設けられる。具体的には、第 1 コンタクトプラグ 151 は、第 1 コンタクトプラグ 151 の上に設けられた第 2 コンタクトプラグ 251、および第 1 配線層 311 を介して、ソース／ドレイン領域 141 の一方と、第 2 配線層 321 とを電氣的に接続する。また、第 1 コンタクトプラグ 153 は、ソース／ドレイン領域 141 の他方と、接続層 230 とを電氣的に接続する。

[0054] 例えば、第 1 コンタクトプラグ 151、153 は、チタン (Ti) もしくはタングステン (W) などの低抵抗の金属、または窒化チタン (TiN) などの金属化合物で形成されてもよい。また、第 1 コンタクトプラグ 151、153 は、単層で形成されてもよく、複数層の積層体で形成されてもよい。例えば、第 1 コンタクトプラグ 151、153 は、Ti または TiN と、W との積層体にて形成されてもよい。

[0055] ここで、後述するように、選択トランジスタ T_s と、メモリセルトランジスタ T_m とは、積層方向から平面視して異なる平面領域に形成される。これにより、第 1 コンタクトプラグ 151 は、ソース／ドレイン領域 141 の上に垂直に設けられた場合でも、メモリセルトランジスタ T_m の各構成と干渉することなく、第 2 コンタクトプラグ 251、および第 1 配線層 311 を介して、第 2 配線層 321 と接続することができる。

[0056] 接続層 230 は、第 1 コンタクトプラグ 153 を介して、選択トランジスタ T_s のソース／ドレイン領域 141 の一方と接続し、メモリセルトランジ

スタ T m のゲート電極として機能する。具体的には、接続層 230 は、少なくとも 1 つ以上の折曲点で直線が折れ曲がった鉤状形状で平坦化膜 150 の上に設けられ、鉤状形状の一端で第 1 コンタクトプラグ 153 と接続する。例えば、接続層 230 は、直線を直角に折り曲げた「L」形状にて平坦化膜 150 の上に設けられてもよい。

[0057] 接続層 230 が上記の平面形状で設けられることにより、選択トランジスタ T s と、メモリセルトランジスタ T m とは、積層方向から平面視して異なる平面領域に形成されることになる。これによれば、半導体記憶素子 1 では、選択トランジスタ T s のソース／ドレイン領域の他方と接続する第 2 コンタクトプラグ 255 と、メモリセルトランジスタ T m のソース／ドレイン領域の他方と接続する第 2 コンタクトプラグ 253 と、メモリセルトランジスタ T m のソース／ドレイン領域の一方と接続する第 2 コンタクトプラグ 251 とを互いに干渉しないようにマトリクス状に配置することができる。また、これによれば、第 1 コンタクトプラグ 151 の上には、メモリセルトランジスタ T m の各構成が設けられないため、選択トランジスタ T s のソース／ドレイン領域の他方と、第 2 配線層 321 とを配線等で引き回すことなく、直線的に接続することができる。

[0058] したがって、接続層 230 が上記の平面形状で形成されることにより、半導体記憶素子 1 は、選択トランジスタ T s と、メモリセルトランジスタ T m とを効率的に積層することが可能である。

[0059] 接続層 230 は、ポリシリコン等にて形成されてもよく、金属、合金、または金属化合物にて形成されてもよい。例えば、接続層 230 は、TiN、または TaN などの金属化合物で形成されてもよい。ただし、接続層 230 が金属、合金、または金属化合物で形成される場合、接続層 230 は、表面に酸化膜が形成されにくいため、ゲート絶縁膜 220 を構成する強誘電体材料の結晶性、および配向性を接続層 230 の材料で制御することが可能になる。また、強誘電体材料からなる単層膜にてゲート絶縁膜 220 を構成することができるため、ゲート絶縁膜 220 の分極特性を向上させることで、メ

メモリセルトランジスタ T_m のメモリ特性を向上させることができる。

[0060] ゲート絶縁膜 220 は、メモリセルトランジスタ T_m のゲート絶縁膜であり、接続層 230 の上に設けられる。ゲート絶縁膜 220 の少なくとも一部は、自発的に分極し、分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。例えば、ゲート絶縁膜 220 は、チタン酸ジルコン酸鉛 ($Pb(Zr, Ti)O_3 : PZT$)、またはタンタル酸ビスマス酸ストロンチウム ($SrBi_2Ta_2O_9 : SBT$) などのペレブスカイト構造の強誘電体材料にて形成されてもよい。また、ゲート絶縁膜 220 は、 HfO_x 、 ZrO_x または $HfZrO_x$ などの高誘電体材料で形成された膜を熱処理等によって変質させた強誘電体膜で構成されてもよく、上記の高誘電体材料で形成された膜にランタン (La)、シリコン (Si)、またはガドリニウム (Gd) などの原子をドーピングすることで形成された強誘電体膜で構成されてもよい。また、ゲート絶縁膜 220 は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、ゲート絶縁膜 220 は、 HfO_x などの強誘電体材料からなる単層膜で構成されてもよい。

[0061] 半導体層 240 は、メモリセルトランジスタ T_m のチャネル領域 241、およびソース／ドレイン領域が形成される層であり、半導体性材料でゲート絶縁膜 220 の上に設けられる。具体的には、半導体層 240 は、積層方向で平面視した際に、一部が接続層 230 と重なる平面配置でゲート絶縁膜 220 の上に設けられる。

[0062] 例えば、半導体層 240 は、多結晶、単結晶またはアモルファスのシリコン (Si) で形成されてもよく、ゲルマニウム (Ge)、ヒ化ガリウム ($GaAs$) またはヒ化ガリウムインジウム ($InGaAs$) などの化合物半導体で形成されてもよく、酸化亜鉛 (ZnO) または酸化ガリウムインジウムスズ ($InGaZnO$) などの酸化物半導体で形成されてもよく、硫化モリブデン (MoS_2) などの二次元半導体で形成されてもよい。

[0063] 積層方向で平面視した際に、第 1 コンタクトプラグ 153 と接続していない接続層 230 の一端と重なる半導体層 240 の領域（すなわち、チャネル

が形成される領域) には、接続層 230 に電圧が印加された場合、キャリア蓄積層が形成されることでチャネルが形成される。一方、半導体層 240 のうち、チャネルが形成される領域の両側の領域には、第 2 導電型の不純物 (例えば、リン (P)、ヒ素 (As) などの n 型不純物) を導入することで、ソース／ドレイン領域が形成される。

[0064] したがって、上記の接続層 230、ゲート絶縁膜 220、および半導体層 240 によって、メモリセルトランジスタ T_m が形成される。すなわち、メモリセルトランジスタ T_m は、半導体層 240 に形成されたソース／ドレインと、ゲート電極である接続層 230 とがゲート絶縁膜 220 を挟んで反対側に設けられる薄膜トランジスタ (Thin Film Transistor: TFT) として形成される。また、メモリセルトランジスタ T_m は、ゲート電極である接続層 230 がゲート絶縁膜 220 の下側に設けられるボトムゲート型トランジスタとして形成される。これにより、半導体記憶素子 1 は、占有する平面面積を縮小することができる。

[0065] 第 1 層間絶縁膜 250 は、メモリセルトランジスタ T_m を埋め込み、半導体基板 100 の全面に亘って設けられる。第 1 層間絶縁膜 250 は、例えば、酸化シリコン (SiO_x)、窒化シリコン (SiN_x)、または酸窒化シリコン ($SiON$) などの絶縁性の酸窒化物で形成されてもよい。

[0066] 第 2 コンタクトプラグ 251、253、255 は、第 1 層間絶縁膜 250 を貫通して設けられる。具体的には、第 2 コンタクトプラグ 251 は、第 1 コンタクトプラグ 151 の上に設けられ、第 1 配線層 311 を介して、選択トランジスタ T_s のソース／ドレイン領域 141 の一方と、第 2 配線層 321 とを電氣的に接続する。また、第 2 コンタクトプラグ 253 は、メモリセルトランジスタ T_m のソース／ドレイン領域の一方と、第 1 配線層 313 とを電氣的に接続する。さらに、また、第 2 コンタクトプラグ 255 は、第 1 配線層 315 を介して、メモリセルトランジスタ T_m のソース／ドレイン領域の他方と、第 2 配線層 321 とを電氣的に接続する。

[0067] 例えば、第 2 コンタクトプラグ 251、253、255 は、チタン (Ti

）もしくはタングステン（W）などの低抵抗の金属、または窒化チタン（TiN）などの金属化合物で形成されてもよい。また、第2コンタクトプラグ251、253、255は、単層で形成されてもよく、複数層の積層体で形成されてもよく、例えば、TiまたはTiNと、Wとの積層体にて形成されてもよい。

[0068] 第1配線層311、313、315は、第2コンタクトプラグ251、253、255の上にそれぞれ設けられる。具体的には、第1配線層311、315は、それぞれ第2コンタクトプラグ251、255の上にのみ設けられる。また、第1配線層313は、第2コンタクトプラグ253の上に、活性化領域110が延伸する方向と直交する方向に延伸して設けられる。これにより、第1配線層313は、第2コンタクトプラグ253（すなわち、半導体記憶素子1の各々のメモリセルトランジスタTmのソースまたはドレインの他方）と、トランジスタVL（図示せず）および電源Vs（図示せず）とを電氣的に接続する。第1配線層311、313、315は、例えば、銅（Cu）、アルミニウム（Al）等の金属材料で形成されてもよく、Cuのダマシン構造、またはデュアルダマシン構造にて形成されてもよい。

[0069] 第2層間絶縁膜310は、第1配線層311、313、315を埋め込み、第1層間絶縁膜250の上に半導体基板100の全面に亘って設けられる。第2層間絶縁膜310は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、または酸窒化シリコン（SiON）などの絶縁性の酸窒化物で形成されてもよい。

[0070] 第3層間絶縁膜320は、第2層間絶縁膜310の上に半導体基板100の全面に亘って設けられる。第3層間絶縁膜320は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、または酸窒化シリコン（SiON）などの絶縁性の酸窒化物で形成されてもよい。

[0071] 第2配線層321は、活性化領域110が延伸する方向と平行な方向に延伸して、第3層間絶縁膜320の上に設けられる。また、第2配線層321は、第3層間絶縁膜320を貫通するコンタクトを有し、第1配線層311

、 3 1 5 と電氣的に接続している。

[0072] 具体的には、第2配線層321は、半導体記憶素子1の各々のメモリセルトランジスタ T_m のソースまたはドレインの他方、および選択トランジスタ T_s のソース／ドレイン領域141の他方と電氣的に接続し、第1ビット線 BL_1 、および第2ビット線 BL_2 として機能する。第2配線層321は、例えば、銅(Cu)、アルミニウム(Al)等の金属材料で形成されてもよく、Cuのダマシン構造、またはデュアルダマシン構造にて形成されてもよい。

[0073] 上記の構造によれば、半導体記憶素子1では、接続層230を挟んで、選択トランジスタ T_s のゲート絶縁膜120と、メモリセルトランジスタ T_m のゲート絶縁膜220とが積層方向に対向して設けられることで、選択トランジスタ T_s と、メモリセルトランジスタ T_m とが積層される。これによれば、半導体記憶素子1は、占有する平面面積をより縮小することができる。

[0074] したがって、本実施形態に係る半導体記憶素子1では、非選択の記憶素子への電圧の印加を防止し、選択された記憶素子にのみ電圧を印加することが可能な半導体記憶素子1をより縮小された平面面積にて構成することができる。これによれば、半導体記憶素子1の集積度を向上させることができるため、半導体記憶素子1を集積した半導体記憶装置の記憶密度を向上させることが可能である。

[0075] <3. 半導体記憶素子の動作>

続いて、図1および図2を参照して、説明した半導体記憶素子1の書き込み動作、および読み出し動作について説明する。以下の表1は、半導体記憶素子1の書き込み動作、および読み出し動作において、それぞれの配線に印加される電圧の一例を示した表である。

[0076]

[表1]

(表 1)

	ワード線 WL	第1ビット線 BL1	第2ビット線 BL2	トランジスタVLの ゲート
「1」書き込み	3.5V	3.0V	0V	0V
「0」書き込み	3.5V	0V	3.0V	0V
読み出し	1.5V	1.0V	1.0V	1.0V

[0077] 表1に示すように、例えば、半導体記憶素子1に「1」の情報を書き込む場合、選択した半導体記憶素子1に接続するワード線WLに3.5Vを印加し、第1ビット線BL1に3.0V、第2ビット線BL2に0Vを印加する。また、電源Vsとの接続を制御するトランジスタVLのゲートに0Vを印加することで、トランジスタVLのチャネルをオフとする。

[0078] このとき、第1ビット線BL1の電位は、チャネルがオンになった選択トランジスタTsを介して、メモリセルトランジスタTmのゲートに伝達される。また、第2ビット線BL2の電位は、メモリセルトランジスタTmのソース／ドレインに伝達される。これにより、メモリセルトランジスタTmのゲート絶縁膜220には、ゲート側が高電位な外部電界が印加されるため、ゲート絶縁膜220の分極状態が制御され、半導体記憶素子1に、例えば「1」の情報が書き込まれる。

[0079] 一方、例えば、半導体記憶素子1に「0」の情報を書き込む場合、選択した半導体記憶素子1に接続するワード線WLに3.5Vを印加し、第1ビット線BL1に0V、第2ビット線BL2に3.0Vを印加する。また、電源Vsとの接続を制御するトランジスタVLのゲートに0Vを印加することで、トランジスタVLのチャネルをオフとする。

[0080] このとき、メモリセルトランジスタTmのゲートには、選択トランジスタTsを介して、第1ビット線BL1の電位が伝達され、メモリセルトランジスタTmのソース／ドレインには、第2ビット線BL2の電位が伝達される。これにより、メモリセルトランジスタTmのゲート絶縁膜220には、ソース／ドレイン側が高電位な外部電界が印加されるため、ゲート絶縁膜220の分極状態が制御され、半導体記憶素子1に、例えば「0」の情報が書き

込まれる。

[0081] なお、ワード線WLに接続する非選択の半導体記憶素子1では、第1ビット線BL1、および第2ビット線BL2に電圧が印加されないため、メモリセルトランジスタTmのゲート絶縁膜220に電界が印加されない。また、第1ビット線BL1、および第2ビット線BL2に接続する非選択の半導体記憶素子1では、第1ビット線BL1、および第2ビット線BL2に電圧が印加されるものの、選択トランジスタTsのチャネルがオフであるため、メモリセルトランジスタTmのゲート絶縁膜220に電界が印加されない。

[0082] また、半導体記憶素子1から情報を読み出す場合、選択した半導体記憶素子1に接続するワード線WLに1.5Vを印加し、第1ビット線BL1に1.0V、第2ビット線BL2に1.0Vを印加する。また、電源Vsとの接続を制御するトランジスタVLのゲートに1.0Vを印加することで、トランジスタVLのチャネルをオンとする。

[0083] このとき、メモリセルトランジスタTmでは、選択トランジスタTsを介して第1ビット線BL1の電位がゲートに伝達されるため、メモリセルトランジスタTmのチャネルはオンになる。また、メモリセルトランジスタTmでは、ゲート絶縁膜220の残留分極の向きによってしきい値電圧Vtが変化し、例えば、上記で「1」の情報が記憶されている場合、Vtは低くなり、上記で「0」の情報が記憶されている場合、Vtは高くなる。これによれば、メモリセルトランジスタTmのゲート絶縁膜220の残留分極の向きによって、第2ビット線BL2から電源Vs（または、グランド）に流れる電流量が変化するため、これによってメモリセルトランジスタTmに記憶された情報が「1」または「0」のいずれであるかを判定することができる。

[0084] なお、ワード線WLに接続する非選択の半導体記憶素子1では、第1ビット線BL1、および第2ビット線BL2に電圧が印加されないため、メモリセルトランジスタTmに電界が印加されない。また、第1ビット線BL1、および第2ビット線BL2に接続する非選択の半導体記憶素子1では、第1ビット線BL1、および第2ビット線BL2に電圧が印加されるものの、選

択トランジスタ T_s のチャネルがオフであるため、メモリセルトランジスタ T_m には、電界が印加されない。

[0085] したがって、半導体記憶素子1では、情報を記憶するメモリセルトランジスタ T_m のゲートに、スイッチング素子として機能する選択トランジスタ T_s が接続されているため、ゲート絶縁膜に選択的に外部電界を印加することができる。これにより、半導体記憶素子1では、選択した半導体記憶素子1への情報の書き込み、および読み出しの際に、非選択の半導体記憶素子に記憶された情報がかく乱されること（*d i s t u r b*ともいう）を防止することができる。

[0086] また、例えば、情報の読み出しの際に、第2ビット線 B_L2 に沿って生じるメモリセルトランジスタ T_m のリーク電流が、第2ビット線 B_L2 から電源 V_s に流れる電流よりも大きい場合、記憶された情報の判定が困難になることがあった。半導体記憶素子1では、第2ビット線 B_L2 に沿って設けられた非選択のメモリセルトランジスタ T_m に接続するトランジスタ V_L のゲートを0Vにすることで、非選択のメモリセルトランジスタ T_m と電源 V_s との接続を遮断することができる。これにより、半導体記憶素子1では、第2ビット線 B_L2 に沿って生じる非選択のメモリセルトランジスタ T_m を介したリーク電流を遮断することができる。これによれば、半導体記憶素子1は、記憶された情報の判定をより確実に行うことができる。

[0087] <4. 半導体記憶素子の製造方法>

続いて、図3～図10を参照して、本実施形態に係る半導体記憶素子1の製造方法について説明する。図3～図10は、本実施形態に係る半導体記憶素子1の製造の各工程を説明する平面図、および断面図である。

[0088] なお、図3～図10においても、図2と同様に各構成の配置を明確にするために、半導体基板100の全面に亘って形成された層の記載は省略している。また、断面図の各々は、平面図をAA線、BB線、またはCC線でそれぞれ切断した断面を示す。

[0089] まず、図3に示すように、半導体基板100に活性化領域110と、素子

分離領域 111 とを形成する。

[0090] 具体的には、Si からなる半導体基板 100 上に、ドライ酸化等によって SiO₂ 膜を形成し、さらに減圧 CVD (Chemical Vapor Deposition) 法等によって Si₃N₄ 膜を形成する。続いて、Si₃N₄ 膜の上に、後段で活性化領域 110 となる領域を保護するパターンニングを施したレジスト層を形成し、SiO₂ 膜、Si₃N₄ 膜、および半導体基板 100 を 350 nm ~ 400 nm の深さでエッチングする。

[0091] 次に、エッチングによって形成された開口を埋め込むために、膜厚 650 nm ~ 700 nm にて SiO₂ を成膜し、素子分離領域 111 を形成する。SiO₂ の成膜には、例えば、高密度プラズマ CVD 法を用いることができる。この方法によれば、段差被覆性が良好であり、かつ緻密な SiO₂ 膜を形成することができる。

[0092] 続いて、CMP (Chemical Mechanical Polish) 法等を用いて、過剰に成膜された SiO₂ 膜を除去することで、半導体基板 100 の表面を平坦化する。CMP による SiO₂ 膜の除去は、例えば、Si₃N₄ 膜が露出するまで行われてもよい。

[0093] さらに、熱リン酸等を用いて Si₃N₄ 膜を除去する。なお、素子分離領域 111 の SiO₂ 膜をより緻密な膜とするため、または活性化領域 110 の角を丸めるためには、Si₃N₄ 膜の除去の前に、半導体基板 100 を N₂、O₂、または H₂/O₂ 環境下でアニーリングしてもよい。

[0094] 次に、半導体基板 100 の活性化領域 110 に相当する領域を 10 nm 程度酸化した後、第 1 導電型の不純物（例えば、ホウ素など）をイオン注入することで、第 1 導電型の活性化領域 110 を形成する。

[0095] 次に、図 4 に示すように、ゲート絶縁膜 120 を成膜した後、ゲート絶縁膜 120 の上に、ゲート電極 131、およびコンタクト層 133 を形成する。

[0096] 具体的には、まず、半導体基板 100 の表面を覆う SiO₂ 膜をフッ化水素酸溶液等で剥離する。その後、700℃の乾燥酸素を用いたドライ酸化、ま

たはRTA (Rapid Thermal Anneal) 処理などを用いて、半導体基板100の上にゲート絶縁膜120となるSiO₂膜を膜厚0.5nm~2.0nmにて形成する。なお、ドライ酸化に用いるガスとしては、乾燥酸素の他に、H₂/O₂、N₂O、またはNOの混合ガスを用いることも可能である。

[0097] また、ゲート絶縁膜120を形成する際に、プラズマ窒化を用いることで、SiO₂膜中に窒素ドーピングを行うことも可能である。さらに、一部に膜厚3nm~5nmのゲート絶縁膜120を形成することで、印加電圧、またはしきい値電圧が異なる電界効果トランジスタを半導体基板100の面内に作り分けることも可能である。

[0098] 次に、SiH₄ガスを原料ガスとし、成膜温度を580℃~620℃とする減圧CVD法を用いて、ポリシリコンを膜厚50nm~150nmにて成膜する。続いて、PVD (Physical Vapor Deposition) 法、またはCVD法を用いて、TiNを膜厚50nm~100nmにて成膜する。さらに、パターニングされたレジストをマスクとして、ポリシリコンおよびTiNに対して、HBrガスまたはCl系ガスを用いた異方性エッチングを行うことにより、ゲート電極131、およびコンタクト層133を形成する。

[0099] なお、ゲート絶縁膜120は、上述した絶縁性の酸化膜ではなく、HfO₂などの高誘電体膜で形成することも可能である。また、コンタクト層133は、他の低抵抗金属、金属化合物、またはシリサイドで形成されてもよく、W、またはWSi_xなどで形成されてもよい。

[0100] また、レジストをパターニングした後に、O₂プラズマにてレジストのトリミング処理を行うことで、異方性エッチング後に形成されるゲート電極131、およびコンタクト層133の幅をより細くすることも可能である。例えば、32nmプロセスノードでは、ゲート電極の幅（ゲート長）を20nm~30nmとしてもよい。

[0101] 次に、図5に示すように、ゲート電極131、およびコンタクト層133

の両側面にサイドウォール絶縁膜 143 を形成した後、ソース／ドレイン領域 141 を形成する。

[0102] 具体的には、まず、ゲート電極 131 の両側に、第 2 導電型の不純物であるヒ素 (As) を $5\text{ keV} \sim 10\text{ keV}$ にて、 $5 \sim 20 \times 10^{14}$ 個/ cm^2 の濃度でイオン注入することで、LDD 領域を形成する。LDD 領域を形成することで、短チャネル効果を抑制することができるため、選択トランジスタ Ts の特性ばらつきを抑制することが可能である。

[0103] 次に、プラズマ CVD 法によって SiO_2 を膜厚 $10\text{ nm} \sim 30\text{ nm}$ で成膜した後、プラズマ CVD 法によって Si_3N_4 を膜厚 $30\text{ nm} \sim 50\text{ nm}$ で成膜し、サイドウォール用の絶縁膜を形成する。その後、サイドウォール用の絶縁膜に対して、異方性エッチングを行うことで、ゲート電極 131 の両側面にサイドウォール絶縁膜 143 を形成する。

[0104] その後、第 2 導電型の不純物であるヒ素 (As) を $40\text{ keV} \sim 50\text{ keV}$ にて、 $1 \sim 2 \times 10^{15}$ 個/ cm^2 の濃度でイオン注入することで、ゲート電極 131 の両側の活性化領域 110 に不純物を導入する。さらに、 1000°C にて 5 秒間の RTA (Rapid Thermal Annealing) を行うことにより、イオン注入した不純物を活性化させる。これにより、選択トランジスタ Ts のソース／ドレイン領域 141 が形成される。なお、不純物の意図しない領域への拡散を抑制するために、スパイク RTA にて不純物の活性化を行うことも可能である。

[0105] なお、上記工程によって、半導体記憶素子 1 が形成される領域とは別の領域に、CMOS (Complementary Metal-Oxide-Semiconductor) 等の論理回路を構成する電界効果トランジスタを形成することも可能である。これによれば、半導体記憶素子 1 をマトリクス状に配列した半導体記憶装置と、CMOS 等を含む演算装置とが混載された LSI (いわゆる、SoC) をより少ない工程数で製造することができる。

[0106] 次に、図 6 に示すように、半導体基板 100 の全面に亘って平坦化膜 15

Oを形成した後、第1コンタクトプラグ151、153を形成する。

[0107] 具体的には、CVD法等を用いて、 SiO_2 を膜厚100nm～500nmにて成膜した後、CMP法によって平坦化を行うことで、平坦化膜150を形成する。次に、平坦化膜150をエッチングすることで開口を形成する。続いて、形成した開口に対して、CVD法等にて、TiおよびTiNを成膜し、さらにWを成膜した後、CMP法にて平坦化することで、第1コンタクトプラグ151、153を形成する。なお、TiおよびTiNは、IMP (Ion Metal Plasma) を用いたスパッタ法等で成膜してもよい。また、CMP法の代わりに全面エッチバックを用いて平坦化を行ってもよい。

[0108] ここで、平坦化膜150を形成する前に、SiNからなるライナー層を形成してもよい。具体的には、プラズマCVD法を用いて、SiNを膜厚10nm～50nmにて成膜することで、ライナー層を形成してもよい。なお、ライナー層は、減圧CVD法またはALD法によっても形成することが可能である。ライナー層が設けられている場合、ライナー層と、平坦化膜150との選択比が高くなる条件でエッチングを行うことによって、平坦化膜150を制御性良くエッチングすることができる。さらに、ライナー層は、圧縮応力または引張応力を付与する層として形成することも可能である。

[0109] 続いて、図7に示すように、平坦化膜150の上に接続層230、およびゲート絶縁膜220を形成する。

[0110] 具体的には、PVD法、CVD法、またはALD法等を用いて、平坦化膜150の上にTiNを膜厚20nm～100nmの膜厚で成膜した後、リソグラフィによってパターニングされたレジストをマスクとして異方性エッチングを行うことで、接続層230を形成する。次に、CVD法、またはALD法等を用いて高誘電体である酸化ハフニウム (HfO_x) を膜厚3nm～10nmで成膜することで、ゲート絶縁膜220を形成する。

[0111] 続いて、400℃～1000℃の温度でアニーリングを行うことで、ゲート絶縁膜220を結晶化し、強誘電体として形成する。アニーリングの時間

は、ゲート絶縁膜 220、および接続層 230 の材料によって、1 秒以下から 1 時間以上まで適切な時間を選択することが可能である。また、ゲート絶縁膜 220 の結晶化、および配向を促進するために、接続層 230 に下地となる膜を設けてもよい。これによれば、接続層 230 の結晶性を用いて、ゲート絶縁膜 220 の結晶性、および配向性を向上させることができる。

[0112] なお、ゲート絶縁膜 220 として、酸化ハフニウムに替えて、チタン酸ジルコン酸鉛 (PZT)、またはタンタル酸ビスマス酸ストロンチウム (SBT) などのペレブスカイト系の強誘電体材料を用いることも可能であり、酸化ジルコニウム (ZrO_x)、酸化ハフニウムジルコニウム ($HfZrO_x$) などを用いることも可能である。また、ゲート絶縁膜 220 として、高誘電体材料にランタン (La)、シリコン (Si)、またはガドリニウム (Gd) 等をドーピングすることで強誘電体膜に変換した膜を用いてもよい。

[0113] 次に、図 8 に示すように、ゲート絶縁膜 220 の上に半導体層 240 を形成し、半導体層 240 にチャネル領域 241 と、ソース／ドレイン領域とを形成する。

[0114] 具体的には、まず、減圧 CVD 法を用いて、ポリシリコンを膜厚 10 nm ~ 20 nm にて成膜し、リソグラフィによってパターニングされたレジストをマスクとして、異方性エッチングを行うことで、半導体層 240 を形成する。次に、所定の領域の半導体層 240 に対して、第 2 導電型の不純物であるヒ素 (As) を 10 keV ~ 20 keV にて、 $0.5 \sim 2 \times 10^{15}$ 個/cm² の濃度でイオン注入し、例えば、900°C ~ 1000°C で、1 秒 ~ 10 秒の活性化アニールを行うことで、チャネル領域 241 の両側にソース／ドレイン領域を形成する。

[0115] なお、半導体層 240 には、ポリシリコン以外の半導体を用いてもよく、例えば、Ge、GaAs または InGaAs などの化合物半導体、ZnO または InGaZnO などの酸化物半導体、MoS₂ などの二次元半導体を用いることも可能である。

[0116] 続いて、図 9 に示すように、半導体基板 100 の全面に亘って第 1 層間絶

縁膜250を形成した後、第2コンタクトプラグ251、253、255を形成する。さらに、半導体基板100の全面に亘って第2層間絶縁膜310を形成した後、第1配線層311、313、315を形成する。

[0117] 具体的には、半導体層240を埋め込むように、CVD法等を用いて、 SiO_2 を膜厚50nm～200nmにて成膜した後、CMP法によって平坦化を行うことで、第1層間絶縁膜250を形成する。続いて、第1層間絶縁膜250をエッチングすることで開口を形成する。次に、形成した開口に対して、CVD法等にて、TiおよびTiNを成膜し、さらにWを成膜した後、CMP法にて平坦化することで、第2コンタクトプラグ251、253、255を形成する。なお、TiおよびTiNは、IMPを用いたスパッタ法等で成膜してもよい。また、CMP法の代わりに全面エッチバックを用いて平坦化を行ってもよい。

[0118] 次に、第1層間絶縁膜250の上に、CVD法等を用いて、 SiO_2 を膜厚50nm～200nmにて成膜した後、CMP法によって平坦化を行うことで、第2層間絶縁膜310を形成する。次に、第2コンタクトプラグ251、253、255とのコンタクトのための開口を形成した後、ダマシン構造、またデュアルダマシン構造を用いることで、Cu等の配線材料にて第1配線層311、313、315を形成する。なお、第1配線層311、313、315は、Al等にて形成されてもよい。

[0119] 第1配線層313は、半導体記憶素子1の各々の第2コンタクトプラグ253の上に、活性化領域110が延伸する方向と垂直な方向に延伸されることで、メモリセルトランジスタ T_m のソース／ドレインと、電源 V_s とを接続する配線として機能する。また、第2コンタクトプラグ251、255の上に形成される第1配線層311、315は、後段で形成される第2配線層321の下地として機能する。

[0120] 次に、図10に示すように、半導体基板100の全面に亘って第3層間絶縁膜320を形成した後、第2配線層321を形成する。

[0121] 具体的には、第2層間絶縁膜310の上に、CVD法等を用いて、 SiO_2

を膜厚50nm～200nmにて成膜した後、CMP法によって平坦化を行うことで、第3層間絶縁膜320を形成する。次に、第1配線層311、313、315とのコンタクトのための開口を形成した後、ダマシン構造、またデュアルダマシン構造を用いることで、Cu等の配線材料にて第2配線層321を形成する。第2配線層321は、アルミニウム（Al）等にて形成されてもよい。

[0122] 第2配線層321は、半導体記憶素子1の各々の第2コンタクトプラグ251の上に、活性化領域110が延伸する方向と平行な方向に延伸されることで、選択トランジスタTsのソース／ドレインの各々を接続する第1ビット線BL1として機能する。また、第2配線層321は、半導体記憶素子1の各々の第2コンタクトプラグ255の上に、活性化領域110が延伸する方向と平行な方向に延伸されることで、メモリセルトランジスタTmのソース／ドレインの各々を接続する第2ビット線BL2として機能する。

[0123] なお、上述した第1層間絶縁膜250、第2層間絶縁膜310、および第3層間絶縁膜320は、それぞれ低誘電率材料で形成されてもよい。

[0124] 以上の工程によれば、本実施形態に係る半導体記憶素子1を形成することができる。

[0125] <5. まとめ>

以上にて説明したように、本開示の一実施形態に係る半導体記憶素子1は、情報を記憶するメモリセルトランジスタTmと、スイッチング素子として機能する選択トランジスタTsとを膜厚方向に積層して設けることで、平面面積をより縮小することが可能である。また、本実施形態に係る半導体記憶素子1は、メモリセルトランジスタTmを薄膜トランジスタとして形成することで、平面面積をより縮小することが可能である。これによれば、本実施形態に係る半導体記憶素子1は、製造コストを低下させつつ、集積度を向上させることが可能である。

[0126] また、本開示によれば、半導体記憶素子1をマトリクス状に複数配置した半導体記憶装置を提供することも可能である。このような半導体記憶装置は

、記憶密度をより向上させることができるため、さらなる大容量化が可能である。

[0127] また、本開示によれば、半導体記憶素子 1 または半導体記憶装置と、演算装置とを 1 つの半導体チップ上に搭載した半導体システムを提供することも可能である。このような半導体システムでは、メモリ容量が増大するため、より高速での動作が可能となる。

[0128] さらに、本開示の一実施形態に係る半導体記憶素子 1、半導体記憶装置、または半導体システムは、例えば、パーソナルコンピュータ、液晶表示装置および有機エレクトロルミネッセンス表示装置などの各種表示装置、携帯電話、スマートフォン、ゲーム機器、ならびに IoT (Internet of Things) 機器などの電子機器に搭載され得る。これらの電子機器についても、本開示の技術的範囲に含まれることは言うまでもない。

[0129] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0130] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0131] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、

ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタの

ゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、

を備える、半導体記憶素子。

(2)

前記メモリセルトランジスタは、ゲート電極と、ソースおよびドレインとがゲート絶縁膜を挟んで反対側に設けられる薄膜トランジスタである、前記

(1)に記載の半導体記憶素子。

(3)

前記メモリセルトランジスタは、ゲート絶縁膜の下にゲート電極が設けられるボトムゲート型トランジスタである、前記(2)に記載の半導体記憶素子。

(4)

前記選択トランジスタは、半導体基板の上にゲート絶縁膜が設けられ、前記ゲート絶縁膜の上にゲート電極が設けられる電界効果トランジスタである、前記(1)～(3)のいずれか一項に記載の半導体記憶素子。

(5)

前記接続層の平面形状は、少なくとも1つ以上の折曲点で直線が折れ曲がった鉤状形状である、前記(1)～(4)のいずれか一項に記載の半導体記憶素子。

(6)

前記メモリセルトランジスタと、前記選択トランジスタとは、積層方向から平面視して異なる平面領域に設けられる、前記(1)～(5)のいずれか一項に記載の半導体記憶素子。

(7)

前記接続層は、前記メモリセルトランジスタのゲート電極と一体化して設けられる、前記(1)～(6)のいずれか一項に記載の半導体記憶素子。

(8)

前記接続層は、金属、合金、または金属化合物で構成され、

前記メモリセルトランジスタのゲート絶縁膜は、前記接続層の上に設けられる、前記（７）に記載の半導体記憶素子。

（９）

前記選択トランジスタは、ゲートでワード線と接続し、ソースまたはドレインの他方で第１ビット線と接続し、

前記メモリセルトランジスタは、ソースまたはドレインの一方で第２ビット線と接続し、ソースまたはドレインの他方で電源またはグランドと接続する、前記（１）～（８）のいずれか一項に記載の半導体記憶素子。

（１０）

前記選択トランジスタのソースまたはドレインの他方と、前記第１ビット線とは、前記ドレインの上に積層方向に貫通して設けられたコンタクトプラグにて接続される、請求項９に記載の半導体記憶素子。

（１１）

前記第１ビット線、および前記第２ビット線の延伸方向は、互いに平行であり、

前記ワード線の延伸方向と、前記第１ビット線および前記第２ビット線の延伸方向は、互いに直交する、前記（９）または（１０）に記載の半導体記憶素子。

（１２）

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、

ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、

を備える半導体記憶素子をマトリクス状に複数配置した、半導体記憶装置。

（１３）

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセル

トランジスタと、ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、を備える半導体記憶素子をマトリクス状に複数配置した記憶装置と、

前記記憶装置と接続された演算装置と、
を1つの半導体チップ上に搭載した、半導体システム。

符号の説明

[0132]	1	半導体記憶素子
	1 0 0	半導体基板
	1 1 0	活性化領域
	1 1 1	素子分離領域
	1 2 0	ゲート絶縁膜
	1 3 1	ゲート電極
	1 4 1	ソース／ドレイン領域
	1 5 0	平坦化膜
	1 5 1、1 5 3	第1コンタクトプラグ
	2 2 0	ゲート絶縁膜
	2 3 0	接続層
	2 4 0	半導体層
	2 5 0	第1層間絶縁膜
	2 5 1、2 5 3、2 5 5	第2コンタクトプラグ
	3 1 0	第2層間絶縁膜
	3 1 1、3 1 3、3 1 5	第1配線層
	3 2 0	第3層間絶縁膜
	3 2 1	第2配線層
	T m	メモリセルトランジスタ
	T s	選択トランジスタ

請求の範囲

- [請求項1] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、
- ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、
- を備える、半導体記憶素子。
- [請求項2] 前記メモリセルトランジスタは、ゲート電極と、ソースおよびドレインとがゲート絶縁膜を挟んで反対側に設けられる薄膜トランジスタである、請求項1に記載の半導体記憶素子。
- [請求項3] 前記メモリセルトランジスタは、ゲート絶縁膜の下にゲート電極が設けられるボトムゲート型トランジスタである、請求項2に記載の半導体記憶素子。
- [請求項4] 前記選択トランジスタは、半導体基板の上にゲート絶縁膜が設けられ、前記ゲート絶縁膜の上にゲート電極が設けられる電界効果トランジスタである、請求項1に記載の半導体記憶素子。
- [請求項5] 前記接続層の平面形状は、少なくとも1つ以上の折曲点で直線が折れ曲がった鉤状形状である、請求項1に記載の半導体記憶素子。
- [請求項6] 前記メモリセルトランジスタと、前記選択トランジスタとは、積層方向から平面視して異なる平面領域に設けられる、請求項1に記載の半導体記憶素子。
- [請求項7] 前記接続層は、前記メモリセルトランジスタのゲート電極と一体化して設けられる、請求項1に記載の半導体記憶素子。
- [請求項8] 前記接続層は、金属、合金、または金属化合物で構成され、
- 前記メモリセルトランジスタのゲート絶縁膜は、前記接続層の上に設けられる、請求項7に記載の半導体記憶素子。
- [請求項9] 前記選択トランジスタは、ゲートでワード線と接続し、ソースまた

はドレインの他方で第1ビット線と接続し、

前記メモリセルトランジスタは、ソースまたはドレインの一方で第2ビット線と接続し、ソースまたはドレインの他方で電源またはグラウンドと接続する、請求項1に記載の半導体記憶素子。

[請求項10] 前記選択トランジスタのソースまたはドレインの他方と、前記第1ビット線とは、前記ドレインの上に積層方向に貫通して設けられたコンタクトプラグにて接続される、請求項9に記載の半導体記憶素子。

[請求項11] 前記第1ビット線、および前記第2ビット線の延伸方向は、互いに平行であり、

前記ワード線の延伸方向と、前記第1ビット線および前記第2ビット線の延伸方向は、互いに直交する、請求項9に記載の半導体記憶素子。

[請求項12] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、

ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、

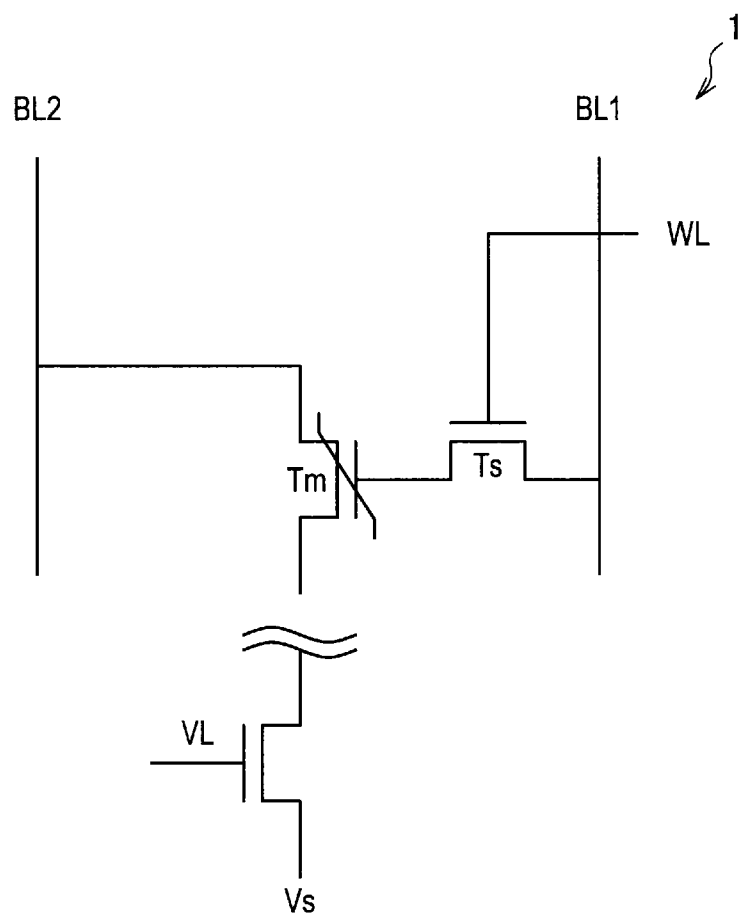
を備える半導体記憶素子をマトリクス状に複数配置した、半導体記憶装置。

[請求項13] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有するメモリセルトランジスタと、ソースまたはドレインの一方が前記メモリセルトランジスタのゲート電極と接続層を介して接続され、ゲート絶縁膜が前記メモリセルトランジスタのゲート絶縁膜と前記接続層を挟んで積層方向に対向するように設けられる選択トランジスタと、を備える半導体記憶素子をマトリクス状に複数配置した記憶装置と、

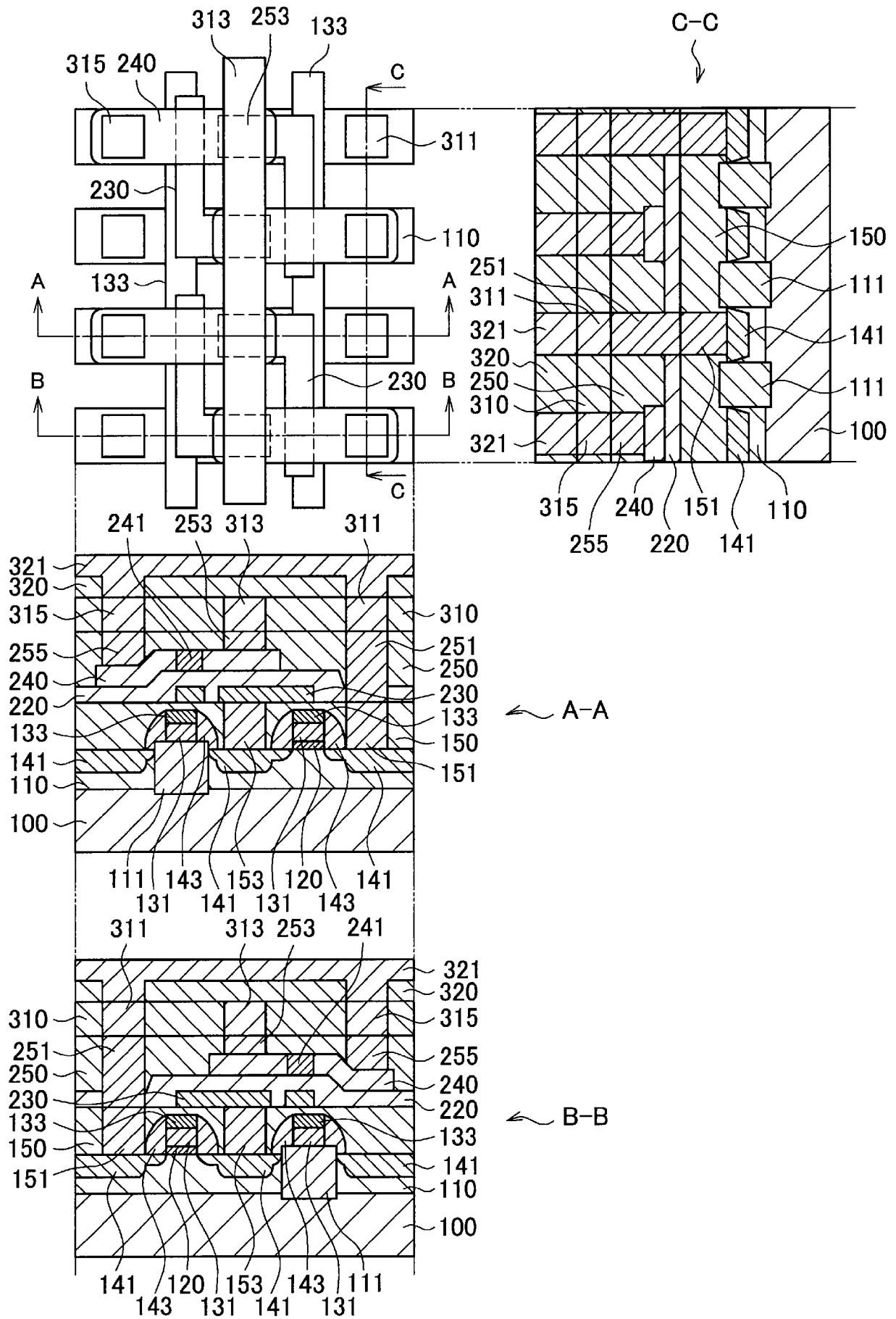
前記記憶装置と接続された演算装置と、

を1つの半導体チップ上に搭載した、半導体システム。

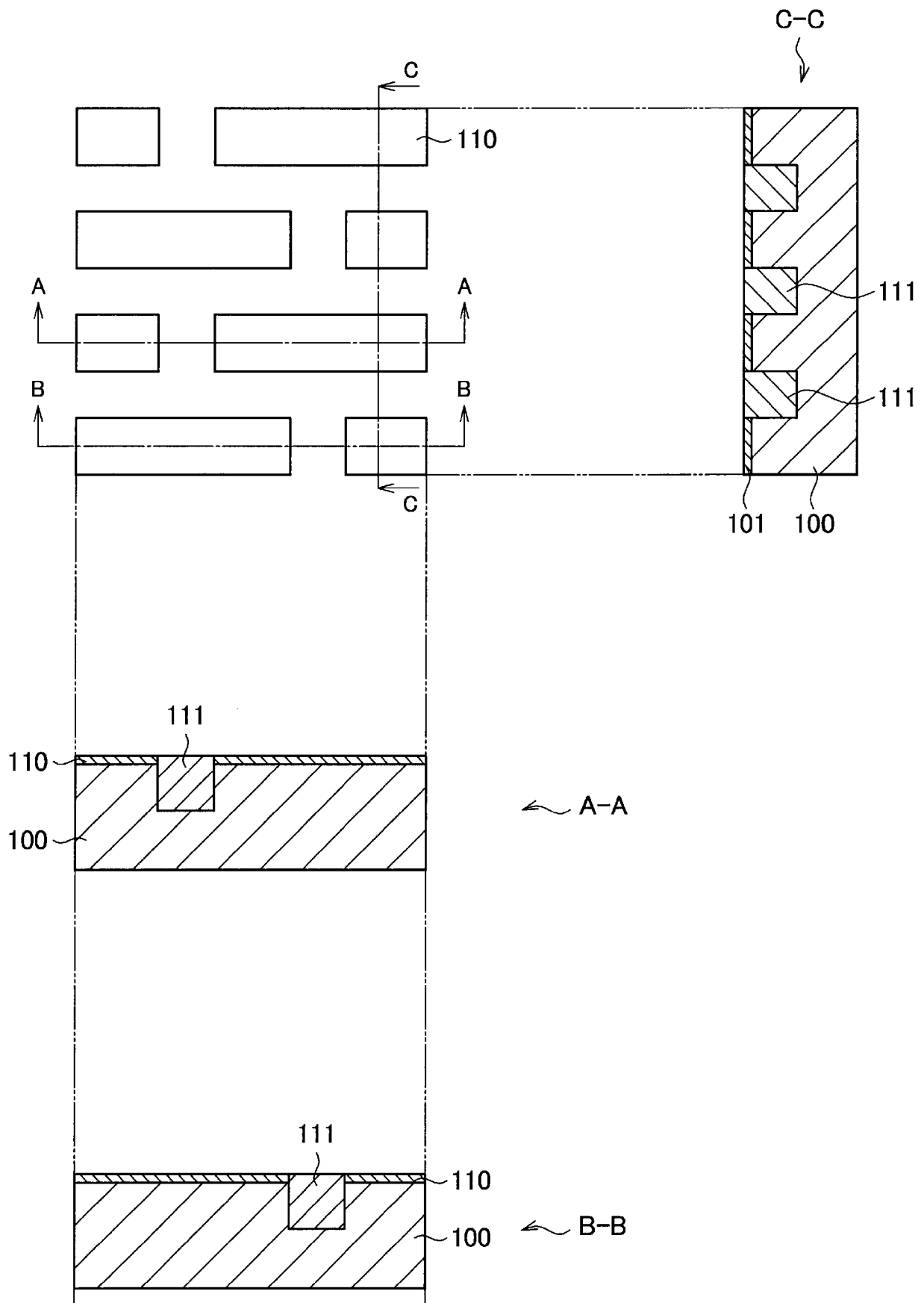
[図1]



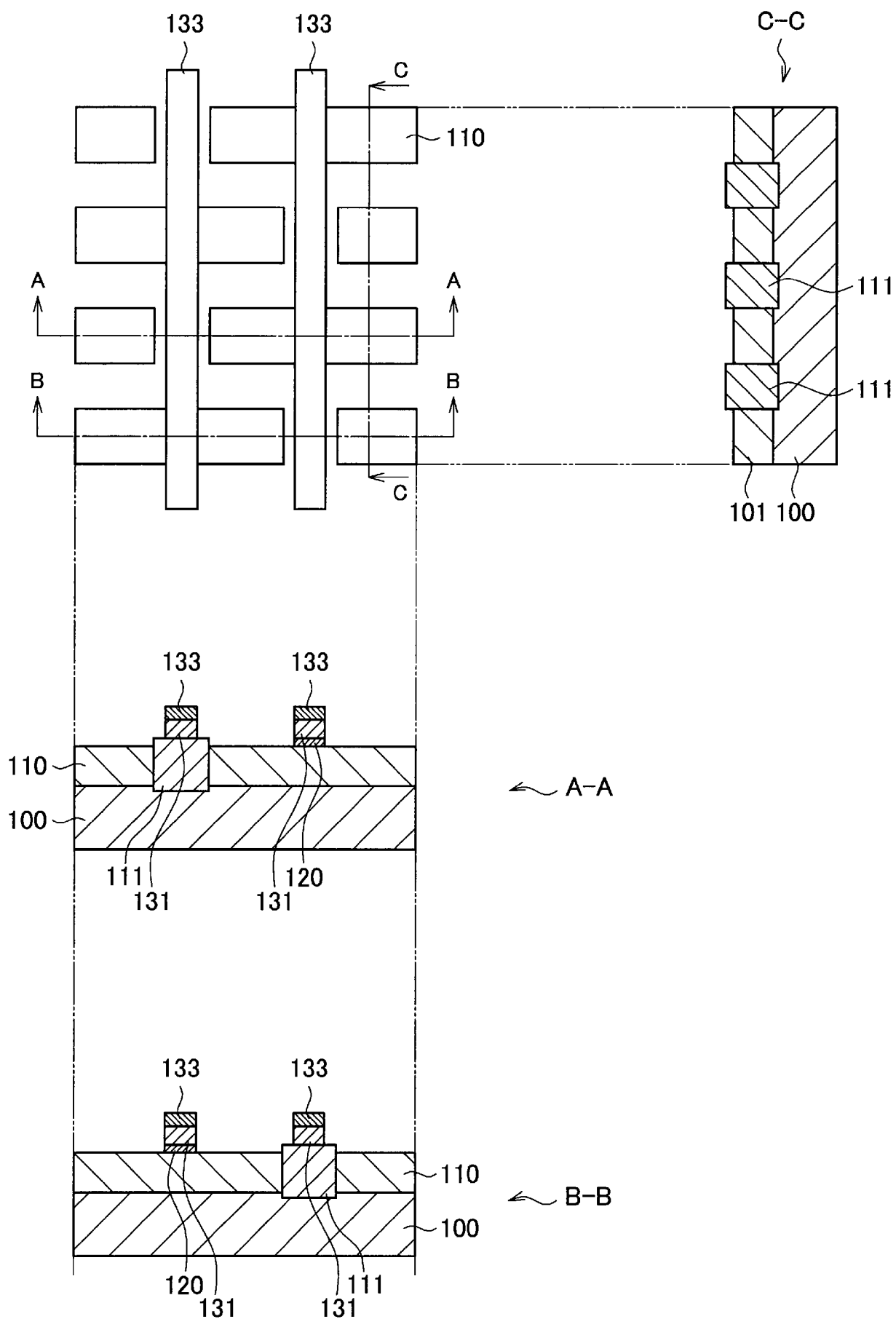
[図2]



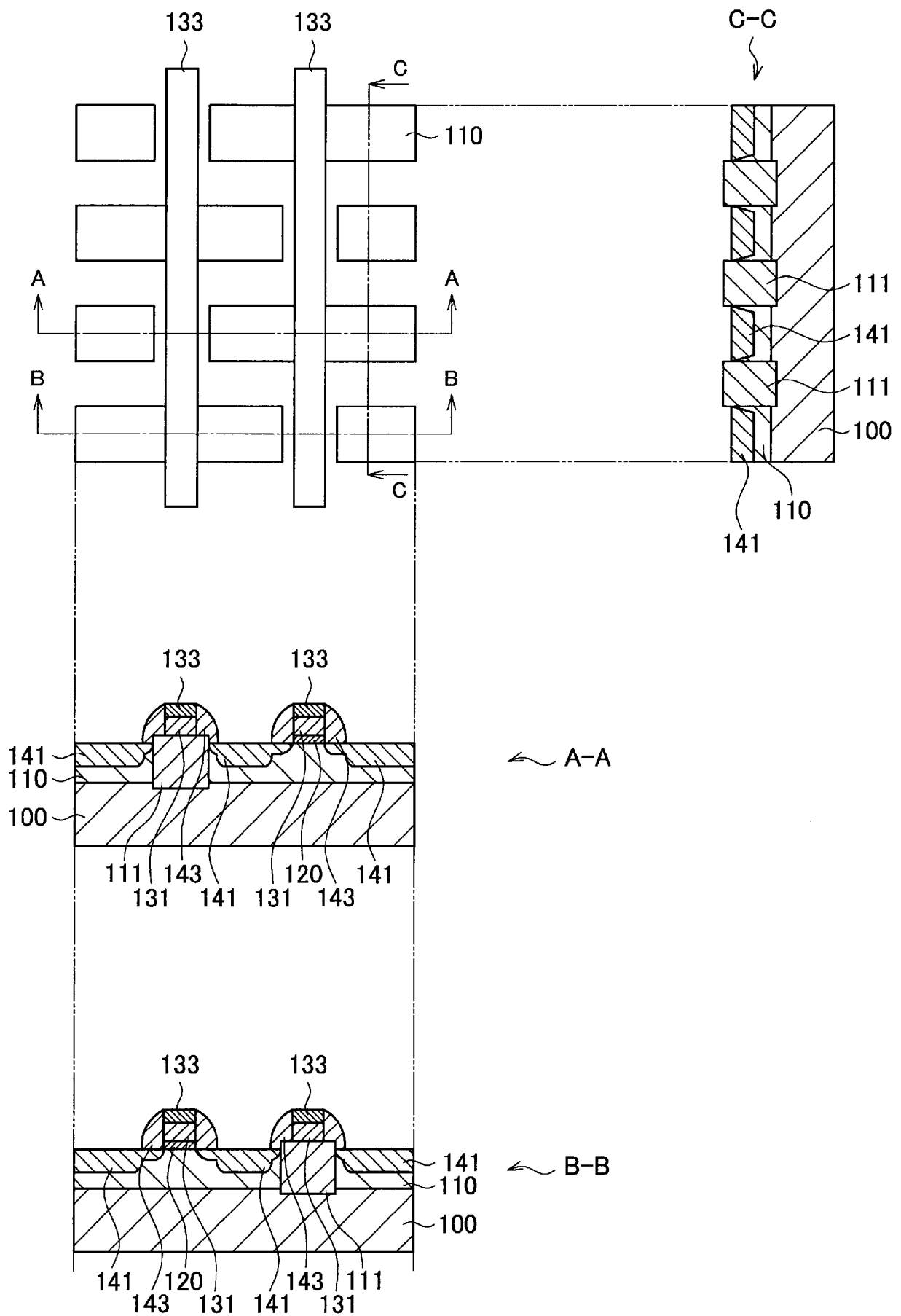
[図3]



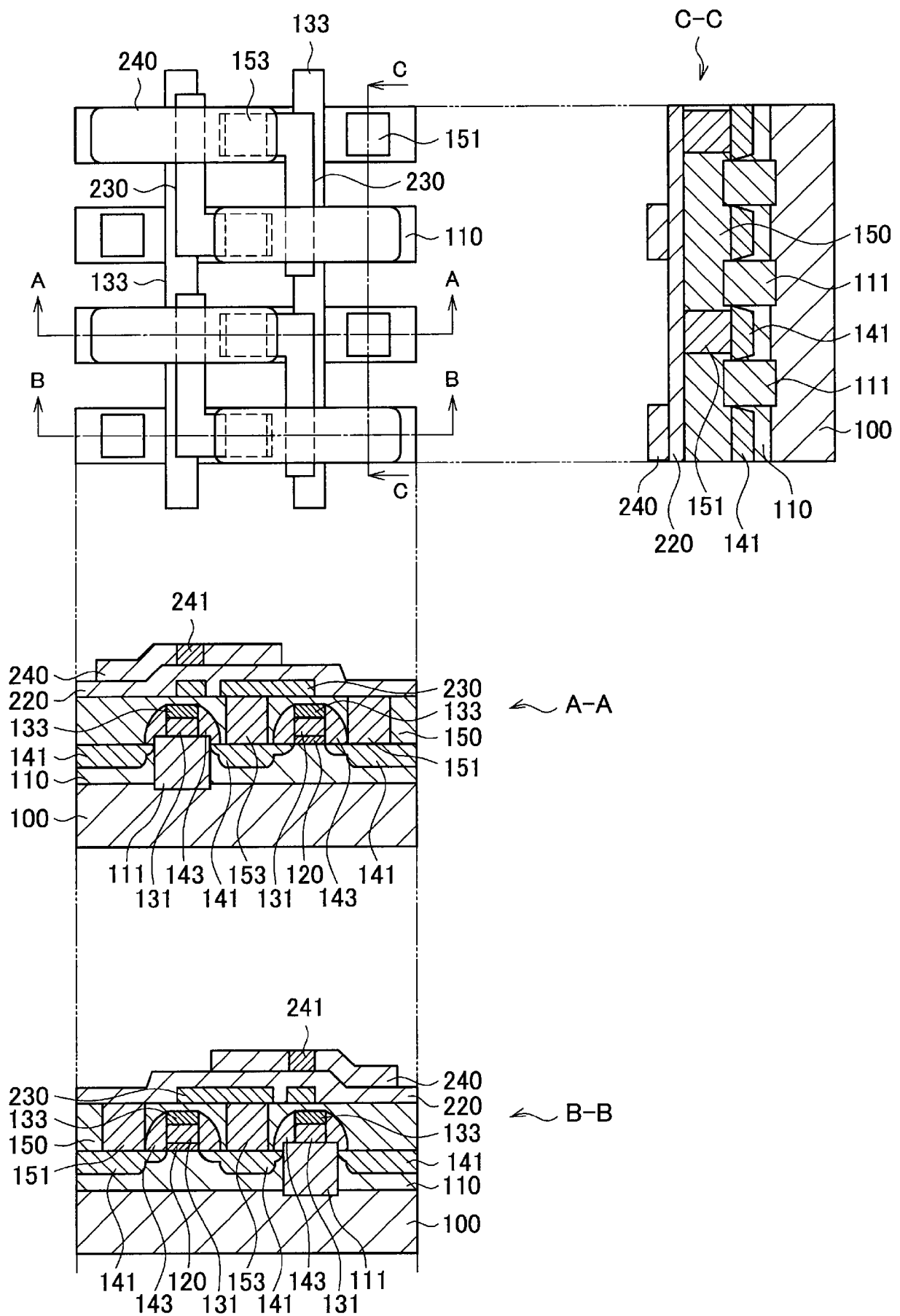
[図4]



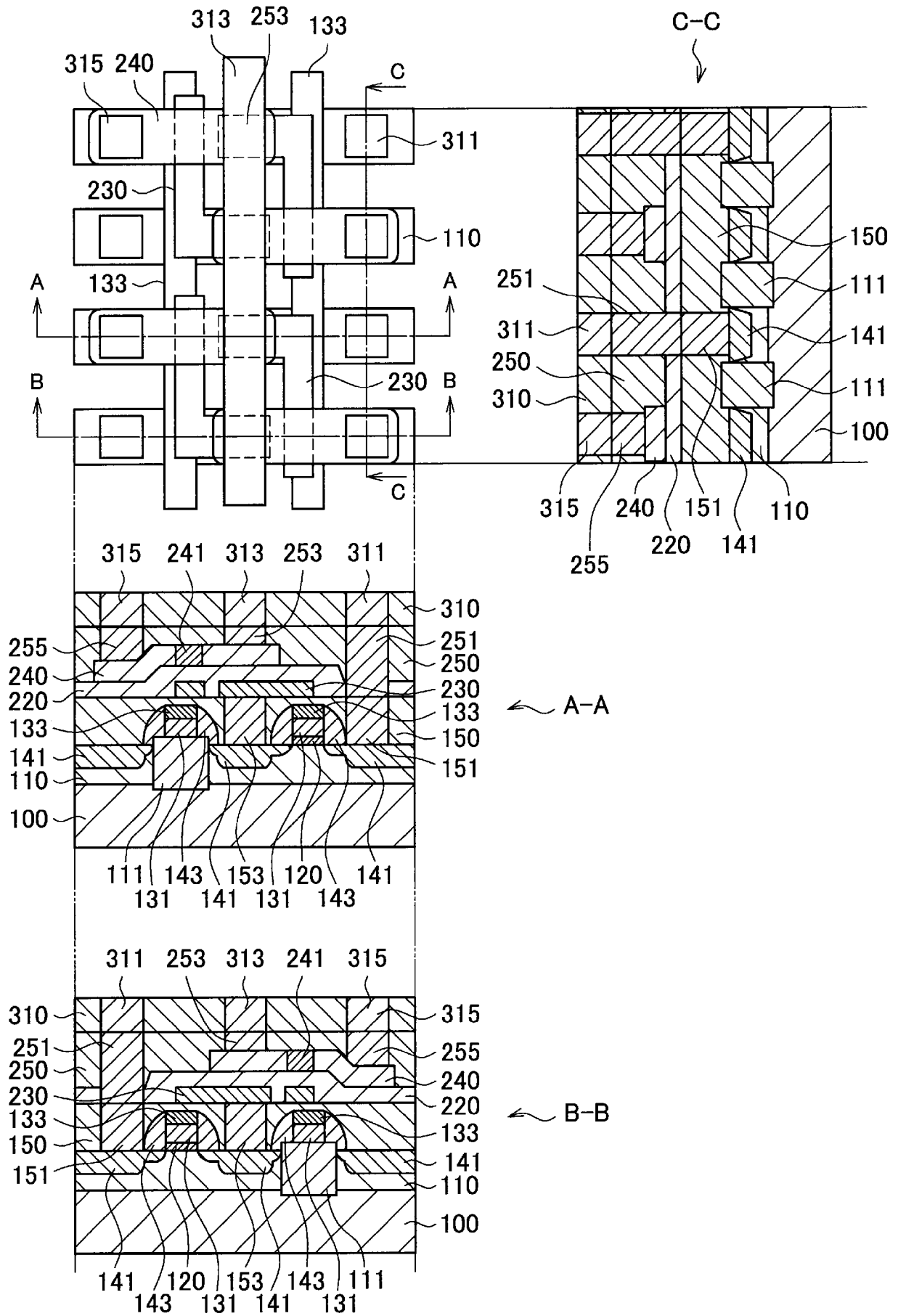
[図5]



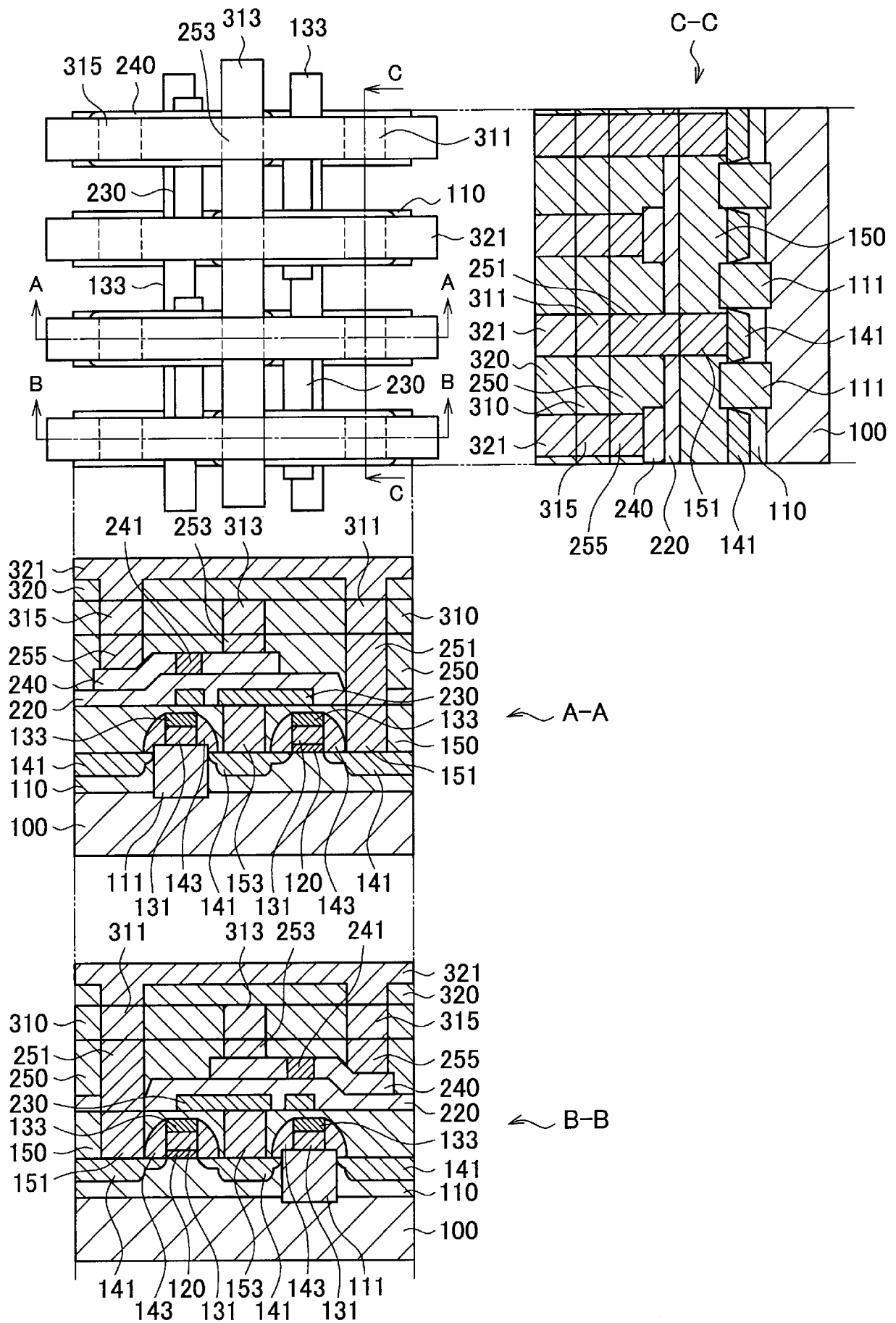
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/032317

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/11587(2017.01)i, G11C11/22(2006.01)i, H01L27/10(2006.01)i,
H01L27/1159(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/11587, G11C11/22, H01L27/10, H01L27/1159

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-253381 A (Seiko Epson Corp.), 21 September 2006 (21.09.2006), paragraphs [0061] to [0063]; fig. 14 (Family: none)	1-4, 6, 12 5, 7-11, 13
Y A	JP 2009-230834 A (Fujitsu Ltd., Tokyo Institute of Technology), 08 October 2009 (08.10.2009), paragraphs [0001], [0010] to [0014], [0031], [0047]; fig. 1, 7, 9 (Family: none)	1-6, 9-13 7, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 October 2017 (05.10.17)

Date of mailing of the international search report
17 October 2017 (17.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/032317

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-79965 A (Semiconductor Energy Laboratory Co., Ltd.), 23 April 2015 (23.04.2015), paragraphs [0021], [0022], [0028], [0040] to [0049]; fig. 1, 2(A), 3 & JP 2012-3832 A & JP 2016-181701 A & US 2011/0286290 A1 paragraphs [0034], [0035], [0042], [0054] to [0063]; fig. 1, 2(A), 3	1-6, 9-13
A	JP 10-209389 A (Samsung Electronics Co., Ltd.), 07 August 1998 (07.08.1998), entire text; all drawings & US 5940705 A entire text; all drawings & KR 10-0219519 B1	1-13
A	JP 2002-524880 A (Infineon Technologies AG), 06 August 2002 (06.08.2002), entire text; all drawings & US 2001/0038117 A1 entire text; all drawings & WO 2000/014808 A1 & DE 19840824 C1 & CN 1325549 A	1-13
A	JP 2001-229685 A (Matsushita Electric Industrial Co., Ltd.), 24 August 2001 (24.08.2001), entire text; all drawings (Family: none)	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/11587(2017.01)i, G11C11/22(2006.01)i, H01L27/10(2006.01)i, H01L27/1159(2017.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/11587, G11C11/22, H01L27/10, H01L27/1159

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-253381 A（セイコーエプソン株式会社）2006.09.21, 段落 [0061] - [0063], 図14（ファミリーなし）	1-4, 6, 12
A		5, 7-11, 13
Y	JP 2009-230834 A（富士通株式会社、国立大学法人東京工業大学） 2009.10.08, 段落[0001], [0010] - [0014], [0031], [0047], 図1, 7, 9（ファミリーなし）	1-6, 9-13
A		7, 8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.10.2017

国際調査報告の発送日

17.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 博司

5 F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-79965 A (株式会社半導体エネルギー研究所) 2015. 04. 23, 段落[0021], [0022], [0028], [0040] - [0049], 図 1, 2(A), 3 & JP 2012-3832 A & JP 2016-181701 A & US 2011/0286290 A1, 段落[0034], [0035], [0042], [0054] - [0063], 図 1, 2(A), 3	1-6, 9-13
A	JP 10-209389 A (三星電子株式会社) 1998. 08. 07, 全文, 全図 & US 5940705 A, 全文, 全図 & KR 10-0219519 B1	1-13
A	JP 2002-524880 A (インフィネオン テクノロジース アクチエン ゲゼルシャフト) 2002. 08. 06, 全文, 全図 & US 2001/0038117 A1, 全文, 全図 & WO 2000/014808 A1 & DE 19840824 C1 & CN 1325549 A	1-13
A	JP 2001-229685 A (松下電器産業株式会社) 2001. 08. 24, 全文, 全図 (ファミリーなし)	1-13