

公告本

申請日期	90.10.29
案 號	90126724
類 別	H01L 27/105

A4
C4

508806

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體記憶體裝置
	英 文	半導體メモリ裝置
二、發明人 創作	姓 名	大澤 隆
	國 籍	日本
	住、居所	日本國神奈川縣橫濱市青葉區奈良町1670-126
三、申請人	姓 名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國 籍	日本
	住、居所 (事務所)	日本國東京都港區芝浦1丁目1番1號
	代 表 人 姓 名	岡村 正 TADASHI OKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2001年02月15日 特願2001-039122 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

發明之背景發明之領域

本發明係關於一種使用電晶體的通道體作為記憶節點，動態進行資料記憶的半導體記憶體裝置。

相關技藝之說明

習知 DRAM 係由 MOS 電晶體和電容器構成記憶胞。DRAM 的細微化因採用溝渠電容器構造成疊層電容器構造而大幅進展。現在，單位記憶胞大小(胞尺寸)以最小加工尺寸為 F ，已縮小到 $2F \times 4F = 8F^2$ 的面積。即，最小加工尺寸 F 隨著世代變小，以胞尺寸一般為 αF^2 時，係數 α 也隨著世代變小， $F = 0.18 \mu m$ 的現在，實現 $\alpha = 8$ 。

今後為了確保和以往一樣的胞尺寸或晶片尺寸的趨勢，要求若是 $F < 0.18 \mu m$ ，則滿足 $\alpha < 8$ ，甚至若是 $F < 0.13 \mu m$ ，則滿足 $\alpha < 6$ ，和細微加工共同如何將胞尺寸形成小的面積是大的課題。因此，也作了各種使一電晶體/一電容器的記憶胞成為 $6F^2$ 或 $4F^2$ 的大小的提案。然而，有必須使電晶體成為縱型這種技術性的困難或鄰接記憶胞間的電氣干擾變大這種問題，甚至加工或膜生長等製造技術上的困難，實用化不容易。

對此，不用電容器而如以下所舉，也作了幾個以一電晶體為記憶胞的 DRAM 的提案。

(1) JOHN E. LEISS et al, "dRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-29, NO. 4, APRIL 1982, pp707-714)

(2) 特開平 3-171768 號公報

五、發明說明 (2)

(3) Marnix R. Tack et al. "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp1373-1382)

(4) Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM 93, pp635-638)

(1)的記憶胞使用埋置通道構造的MOS電晶體構成。利用形成於元件分離絕緣膜的錐形部的寄生電晶體進行表面反轉層的充放電，進行二值記憶。

(2)的記憶胞使用各個井分離的MOS電晶體，以取決於MOS電晶體的井電位的臨界值為二值資料。

(3)的記憶胞由SOI基板上的MOS電晶體所構成。利用從SOI基板側施加大的負電壓而在矽層氧化膜和界面部的電洞儲存，藉由此電洞的放出、注入進行二值記憶。

(4)的記憶胞由SOI基板上的MOS電晶體所構成。MOS電晶體構造上是一個，但在汲極擴散層表面重複形成反導電型層，構成實質上將寫入用PMOS電晶體和讀出用NMOS電晶體一體組合的構造。以NMOS電晶體的基板區域為浮動節點，根據其電位記憶二值資料。

然而，(1)構造複雜，因利用寄生電晶體而在特性的控制性也有困難之點。(2)構造單純，但需要電晶體的汲極、源極都連接於信號線而控制電位。此外，因井分離而胞尺寸大且不能每位元重寫。(3)需要從SOI基板側的電位控制，因此不能每位元重寫，在控制性有困難之點。(4)需要特殊電晶體構造，並且關於記憶胞，因需要字元線、寫入位元

五、發明說明 (3)

線、讀出位元線、消除線而信號線數變多。

發明之概述

一種半導體記憶體裝置，其特徵在於：係包含構成記憶胞的MIS電晶體的半導體記憶體裝置，前述MIS電晶體具備半導體層；

源極區域：形成於前述半導體層；

汲極區域：係離開前述源極區域而形成於前述半導體層的汲極區域，以前述源極和前述汲極間的前述半導體層為浮動狀態的體區；

第一閘極：為了在前述體區形成通道；及，

第二閘極：係和前述第一閘極另外形成的第二閘極，為了利用電容耦合控制前述體區電位，電位固定，同時前述MIS電晶體具有第一資料狀態：在汲極接合附近起碰撞電離而將前述體區設定在第一電位；及，第二資料狀態：使順向偏壓電流流到汲極接合而將前述體區設定在第二電位者。

圖式之簡單說明

圖1為顯示記憶胞基本概念的DRAM胞基本構造的截面圖。

圖2為同DRAM胞的等效電路。

圖3為同DRAM的記憶胞陣列的佈設。

圖4A為圖3的A-A'截面圖。

圖4B為圖3的B-B'截面圖。

圖5為顯示同DRAM胞的字元線電位和體電位關係之圖。

圖6為說明同DRAM胞的讀出方式之圖。

圖7為說明同DRAM胞的其他讀出方式之圖。

圖8為顯示同DRAM的"1"資料讀出/再新的動作波形之圖。

五、發明說明 (4)

圖 9 為顯示同 DRAM 的 "0" 資料讀出 / 再新的動作波形之圖。

圖 10 為顯示同 DRAM 的 "1" 資料讀出 / "0" 資料寫入的動作波形之圖。

圖 11 為顯示同 DRAM 的 "0" 資料讀出 / "1" 資料寫入的動作波形之圖。

圖 12 為顯示同 DRAM 的其他讀出方式的 "1" 資料讀出 / 再新的動作波形之圖。

圖 13 為顯示同 DRAM 的其他讀出方式的 "0" 資料讀出 / 再新的動作波形之圖。

圖 14 為顯示同 DRAM 的其他讀出方式的 "1" 資料讀出 / "0" 資料寫入的動作波形之圖。

圖 15 為顯示同 DRAM 的其他讀出方式的 "0" 資料讀出 / "1" 資料寫入的動作波形之圖。

圖 16 為顯示同 DRAM 胞的 "0" 寫入 / 讀出的模擬體電位變化之圖。

圖 17 為顯示同 DRAM 胞的 "1" 寫入 / 讀出的模擬體電位變化之圖。

圖 18 為顯示同模擬的 "0"、"1" 資料讀出時的汲極電流－閘極電壓特性之圖。

圖 19 為顯示關於第一實施形態的 DRAM 胞構造的截面圖。

圖 20 為顯示關於第二實施形態的 DRAM 胞構造的截面圖。

圖 21 為顯示同 DRAM 胞的 "0" 寫入 / 讀出的模擬體電位變化之圖。

圖 22 為顯示同 DRAM 胞的 "1" 寫入 / 讀出的模擬體電位變化之圖。

五、發明說明 (5)

圖 23 為顯示同模擬的 "0"、"1" 資料讀出時的汲極電流－開極電壓特性之圖。

圖 24 為使用圖 19 的 DRAM 胞的胞陣列的佈設。

圖 25A 為圖 24 的 A-A' 截面圖。

圖 25B 為圖 24 的 B-B' 截面圖。

圖 26A 為和第一實施形態對應顯示關於第三實施形態的 DRAM 胞構造的截面圖。

圖 26B 為和第二實施形態對應顯示關於第三實施形態的 DRAM 胞構造的截面圖。

圖 27 為顯示同 DRAM 胞的 "0" 寫入／讀出的模擬體電位變化之圖。

圖 28 為顯示同 DRAM 胞的 "1" 寫入／讀出的模擬體電位變化之圖。

圖 29 為顯示同模擬的 "0"、"1" 資料讀出時的汲極電流－開極電壓特性之圖。

圖 30 為使用關於第四實施形態的 DRAM 胞的胞陣列的佈設。

圖 31 為圖 30 的 A-A' 截面圖。

圖 32A 為和第一實施形態對應顯示關於第五實施形態的 DRAM 胞構造的截面圖。

圖 32B 為和第二實施形態對應顯示關於第五實施形態的 DRAM 胞構造的截面圖。

發明之詳細說明

以下，參照圖面說明本發明之實施形態。

[記憶胞之基本概念]

五、發明說明(6)

圖1顯示關於關聯記憶胞的DRAM的單位記憶胞基本截面構造，圖2顯示其等效電路。記憶胞MC係由SOI構造的N通道MIS電晶體所構成。即，使用SOI基板：在矽基板10上形成氧化矽膜11作為絕緣膜，在此氧化矽膜11上形成p型矽層12。在此基板的矽層12上透過閘極氧化膜16形成閘極13，自行對準於閘極13而形成n型源極、汲極擴散層14、15。

源極、汲極14、15形成於達到底部氧化矽膜11的深度。因此，由p型矽層12構成的體區若以氧化膜進行通道寬度方向(與圖的紙面正交的方向)的分離，則從其他絕緣分離底面及通道寬度方向的側面，通道長度方向成為pn接合分離的浮動狀態。

矩陣排列此記憶胞MC時，閘極13連接於字元線WL，源極15連接於固定電位線(接地電位線)SL，汲極14連接於位元線BL。

圖3顯示記憶胞陣列的佈設，圖4A、圖4B分別顯示圖3的A-A'、B-B'截面。p型矽層12藉由氧化矽膜21的埋置，圖案形成格子狀。即共有汲極的兩個電晶體區域在字元線WL方向為氧化矽膜21所元件分離而排列。或者取代氧化矽膜21的埋置，也可以藉由蝕刻矽層12，進行橫方向的元件分離。閘極13在一方向連續形成，此成為字元線WL。源極15在字元線WL方向連續形成，此成為固定電位線(共用源極線)SL。電晶體上以層間絕緣膜23覆蓋，在其上形成位元線BL。位元線BL配設成接觸於兩個電晶體共有的汲極14，和字元線WL交叉。

藉此，為各電晶體的體區的矽層12利用氧化膜互相分離

五、發明說明 (7)

底面及通道寬度方向的側面，在通道長度方向利用pn接合互相分離而保持在浮動狀態。

而且，關於此記憶胞陣列結構，係以最小加工尺寸F的間距形成字元線WL及位元線BL，單位胞面積如圖3以虛線所示，成為 $2F \times 2F = 4F^2$ 。

由此n通道型MIS電晶體構成的DRAM胞的動作原理，係利用MIS電晶體的體區(由其他所絕緣分離的p型矽層12)的為多數載子的電洞的儲存。即，藉由使電晶體在五極管區域動作，從汲極14使大的電流流動，在汲極14附近起碰撞電離(impact ionization)。使用此碰撞電離所產生的為多數載子的電洞保持於p型矽層12，以其電洞儲存狀態例如為資料"1"。將汲極14和p型矽層12間的pn接合加順向偏壓，以將p型矽層12的過剩電洞放出到汲極側的狀態的資料"0"。

資料"0"、"1"作為通道體的電位差，因此被記憶作為電晶體的臨界電壓差。即，因電洞儲存而體電位高的資料"1"狀態的臨界電壓 V_{th1} 比資料"0"狀態的臨界電壓 V_{th0} 低。為了保持將為多數載子的電洞儲存於體的"1"資料狀態，需要施加負偏壓給字元線。此資料保持狀態只要在線性區域進行讀出動作且只要不進行相反資料的寫入動作(擦除)，即使進行讀出動作也不變。即，和利用電容器儲存電荷的一電晶體/一電晶體的DRAM不同，可非破壞性讀出。

關於資料讀出方式，可思考幾個。字元線電位 V_{w1} 和體電位 V_B 的關係與資料"0"、"1"關係，如圖5。因此，資料讀出的第一方法利用將資料"0"、"1"的臨界電壓 V_{th0} 、 V_{th1} 中間的讀出電位給與字元線WL，在"0"資料的記憶胞

五、發明說明 (8)

電流不流動，在"1"資料的記憶胞電流流動。具體而言，例如將位元線BL預先充電到預定電位VBL，其後驅動字元線WL。藉此，如圖6所示，"0"資料時，沒有位元線預先充電電位VBL的變化，"1"資料時，預先充電電位VBL降低。

第二讀出方式利用提高字元線WL之後，供應電流給位元線BL，按照"0"、"1"的導通度，位元線電位的上升速度不同。簡單地說，將位元線BL預先充電到0V，如圖7所示，提高字元線WL，供應位元線電流。此時，藉由利用虛設胞(dummy cell)檢出位元線的電位上升差，可辨別資料。

第三讀出方式係讀出將位元線BL固定於預定電位時的在"0"、"1"不同的位元線電流差的方式。讀出電流差需要電流-電壓變換電路，但最後差動放大電位差，送出感測輸出。

在本實施形態，要選擇地寫入"0"資料，即要只從根據在記憶胞陣列中所選擇的字元線WL和位元線BL的電位所選擇的記憶胞體使電洞放出，字元線WL和體間的電容耦合是根本。在資料"1"電洞儲存於體的狀態需要將字元線充分在負方向加偏壓，記憶胞的閘極、基板間電容以成為閘極氧化膜電容的狀態(即在表面未形成空乏層的狀態)保持。

此外，寫入動作最好"0"、"1"都作為脈衝寫入，減少消耗電力。"0"寫入時，電洞電流從選擇電晶體的體流到汲極，電子電流從汲極流到體，但不會將電洞注入體中。

茲說明更具體的動作波形。圖8~圖11為使用根據選擇胞的位元線放電有無進行資料辨別的第一讀出方式時的讀出/再新及讀出/寫入的動作波形。

圖8及圖9分別為"1"資料及"0"資料的讀出/再新動作。

五、發明說明(9)

到時刻 t_1 為資料保持狀態(非選擇狀態)，將負電位給與字元線 WL。在時刻 t_1 將字元線 WL 提高到正的預定電位。此時，字元線電位設定在 "0"、"1" 資料的臨界值 V_{th0} 、 V_{th1} 間。藉此，"1" 資料時，預先被預先充電的位元線 VBL 因放電而變成低電位。"0" 資料時，位元線電位 VBL 被保持。藉此，辨別 "1"、"0" 資料。

然後，在時刻 t_2 再提高字元線 WL 的電位，同時讀出資料為 "1" 時，將正電位給與位元線 BL(圖 8)，讀出資料為 "0" 時，將負電位給與位元線 BL(圖 9)。藉此，選擇記憶胞為 "1" 資料時，藉由五極管動作，大的通道電流流動而起碰撞電離，注入保持過剩電洞而再度寫入 "1" 資料到體中。"0" 資料時，汲極接合變成順向偏壓，再度寫入未保持過剩電洞的 "0" 資料到體中。

然後，在時刻 t_3 將字元線 WL 在負方向加偏壓，結束讀出/再新動作。關於連接於和進行 "1" 資料讀出的記憶胞相同位元線 BL 的其他非選擇記憶胞，字元線 WL 為負電位，因此將體保持在負電位，不起碰撞電離。關於連接於和進行 "0" 資料讀出的記憶胞相同位元線 BL 的其他非選擇記憶胞，仍然將字元線 WL 保持在負電位，不起電洞放出。

圖 10 及圖 11 為相同讀出方式的各個 "1" 資料及 "0" 資料的讀出/寫入動作。在圖 10 及圖 11 的時刻 t_1 的讀出動作分別和圖 8 及圖 9 同樣。讀出後，在時刻 t_2 以字元線 WL 為更高電位，寫入 "0" 資料到相同選擇胞時，同時將負電位給與位元線 BL(圖 10)，寫入 "1" 資料時，將正電位給與位元線 BL(圖 11)。藉此，在給與 "0" 資料的胞，汲極接合變成順向偏壓

五、發明說明 (10)

，放出體的電洞。在給與"1"資料的胞，在汲極附近起碰撞電離，將過剩電洞注入保持於體中。

圖12~圖15為使用將位元線BL預先充電到0V，選擇字元線後供應電流給位元線BL，根據位元線BL的電位上升速度進行資料辨別的第二讀出方式時的讀出/再新及讀出/寫入的動作波形。

圖12及圖13分別為"1"資料及"0"資料的讀出/再新動作。將保持在負電位的字元線WL在時刻t1提高到正電位。此時，字元線電位如圖7所示，設定在比"0"、"1"資料的臨界值Vth0、Vth1的任一值高的值。或者也可以將字元線電位和第一讀出方式同樣，設定在"0"、"1"資料的臨界值Vth0、Vth1間。然後，在時刻t2供應電流給位元線。藉此，"1"資料時，記憶胞深深地接通而位元線BL的電位上升小(圖12)，"0"資料時，記憶胞的電流小(或者電流不流動)，位元線電位急速上升。藉此，辨別"1"、"0"資料。

然後，在時刻t3讀出資料為"1"時，將正電位給與位元線BL(圖12)，讀出資料為"0"時，將負電位給與位元線BL(圖13)。藉此，選擇記憶胞為"1"資料時，汲極電流流動而起碰撞電離，注入保持過剩電洞而再度寫入"1"資料到體中。"0"資料時，汲極接合變成順向偏壓，再度寫入無過剩電洞的"0"資料到體中。

在時刻t4將字元線WL在負方向加偏壓，結束讀出/再新動作。

圖14及圖15為相同讀出方式的各個"1"資料及"0"資料的讀出/寫入動作。在圖14及圖15的時刻t1及t2的讀出動作分

五、發明說明 (11)

別和圖12及圖13同樣。讀出後，寫入"0"資料到相同選擇胞時，將負電位給與位元線BL(圖14)，寫入"1"資料時，將正電位給與位元線BL(圖15)。藉此，在給與"0"資料的胞，汲極接合變成順向偏壓，放出體的過剩電洞。在給與"1"資料的胞，大的汲極電流流動而在汲極附近起碰撞電離，將過剩電洞注入保持於體中。

如以上，根據本實施形態的DRAM胞係由具有從其他電氣分離的浮動通道體的單純MIS電晶體所構成，可實現 $4F^2$ 的胞尺寸。此外，浮動體的電位控制利用來自閘極的電容耦合，源極也是固定電位。即，讀出/寫入的控制以字元線WL和位元線BL進行，簡單。再者，記憶胞基本上是非破壞性讀出，所以無需各位元線設置感測放大器，感測放大器的佈設容易。再者，由於是電流讀出方式，所以也耐雜訊，例如即使是開位線(open bit line)方式，亦可讀出。此外，記憶胞的製程也簡單。

此外，SOI構造在思考今後邏輯LSI性能提高時成為重要的技術。根據本實施形態的DRAM在進行和這種SOI構造的邏輯LSI的混裝的情況也非常有希望。因為和使用電容器的習知DRAM不同，不需要和邏輯LSI製程不同的製程，製程簡單。

再者，根據本實施形態的SOI構造的DRAM比以習知一電晶體/一電容器型的DRAM為SOI構造的情況，有可得到良好記憶保持特性的優點。即若以習知一電晶體/一電容器型的DRAM為SOI構造，則在浮動體儲存電洞而電晶體的臨界值下降，電晶體的亞閾(subthreshold)電流增加。這會使記憶保

五、發明說明 (12)

持特性惡化。對此，在根據本實施形態的只是一電晶體的記憶胞方面，使記憶電荷減少的電晶體通路不存在，資料保持特性純粹只以pn接合的洩漏(leak)決定，沒有亞閾洩漏(subthreshold leak)的問題。

在到此所說明的基本DRAM胞，作為通道體的電位差可去掉多大所記憶的資料"0"、"1"的臨界電壓差，對於記憶體特性很重要。關於此點，根據進行模擬的結果，顯然當伴隨來自閘極的電容耦合的通道體電位控制的資料寫入之際，比剛寫入後的"0"、"1"資料的體電位差，其後在資料保持狀態的"0"、"1"資料的體電位差變小。茲說明其模擬結果於下。

裝置條件係閘極長度 $L_g = 0.35 \mu m$ ，p型矽層12厚度 $t_{Si} = 100 \text{ nm}$ ，受體(acceptor)濃度 $N_A = 5 \times 10^{17}/\text{cm}^3$ ，源極14及汲極15的施體(donor)濃度 $N_D = 5 \times 10^{20}/\text{cm}^3$ ，閘極氧化膜厚 $t_{ox} = 10 \text{ nm}$ 。

圖16顯示"0"資料寫入和其後的資料保持及資料讀出(分別以瞬間顯示)的閘極電位 V_g 、汲極電位 V_d 及通道體的電位 V_B 。圖17顯示同"1"資料寫入和其後的資料保持及資料讀出(分別以瞬間顯示)的閘極電壓 V_g 、汲極電壓 V_d 及通道體電壓 V_B 。

此外，為觀察時刻 t_6 - t_7 的資料讀出動作的"0"資料的臨界電壓 V_{th0} 和"1"資料的臨界電壓 V_{th1} 而描繪其時間的汲極電流 I_{ds} 和閘極、源極間電壓 V_{gs} ，則如圖18。但是，以通道寬度 W 和通道長度 L 為 $W/L = 0.175 \mu m / 0.35 \mu m$ ，以汲極、源極間電壓為 $V_{ds} = 0.2 \text{ V}$ 。

五、發明說明 (13)

由圖 18，"0"寫入胞的臨界電壓 V_{th0} 和 "1"寫入胞的臨界電壓 V_{th1} 之差 ΔV_{th} 成為 $\Delta V_{th}=0.32\text{ V}$ 。從以上的解析結果，成為問題的是，在圖 16 及圖 17，剛寫入 "0" 後 (時刻 t_3) 的體電位 $V_B=-0.77\text{V}$ ，剛寫入 "1" 後的體電位 $V_B=0.85\text{V}$ ，其差為 1.62V ，對此在資料保持狀態 (時刻 t_6)，"0"寫入胞的體電位 $V_B=-2.04\text{V}$ ，"1"寫入胞的體電位 $V_B=-1.6\text{V}$ ，其差為 0.44V ，比剛寫入後小。

如此，比剛寫入後，其後在資料保持狀態的體電位的資料差變小的主要原因可考慮兩個。

其一是從閘極到體的電容耦合因資料而不同。在剛寫入 "0" 後 (t_3-t_4)，汲極為 -1.5V ，但在剛寫入 "1" 後，汲極為 2V 。因此，其後降低閘極電位 V_g 時，在 "1" 寫入胞，通道容易消失，閘極、體間的電容表面化，逐漸在體儲存電洞而電容變大。另一方面，在 "0" 寫入胞，通道不容易消失，閘極、體間電容不表面化。

若比開始降低閘極電位先將汲極電位重設於 200mV ，則似乎上述不平衡被解除。然而，這種情況，在進行 "0" 寫入的胞，在形成通道的狀態汲極電位上升而三極管動作的電流流動。而且，因寫入 "0" 而特別降低的體電位因 n 型汲極及通道反轉層和 p 型體間的電容耦合而上升，不好。

另一是在寫入後的時刻 t_4-t_5 之間，因源極或汲極和體間的 pn 接合的電容而影響體電位，此在減少 "0"、"1" 資料的信號量的方向起作用。

於是，在以下的實施形態，對於上述基本 DRAM 胞，除了為了進行形成通道的控制的閘極 (第一閘極) 之外，還附

五、發明說明 (14)

加為了利用電容耦合電位控制通道體的閘極(第二閘極)，為了確保第二閘極和通道體間的電容，如體區的第二閘極側的表面變成儲存狀態(包含平帶(flat band)狀態)般地固定第二閘極的電位即可。例如將第二閘極的電位固定於比給與源極的基準電位低的電位(若是n通道的情況則為負電位)即可。或者也可以將體區的第二閘極側表面在不形成反轉層的範圍成為空泛狀態之類的固定電位給與第二閘極。藉此，和實質上增大第二閘極側的閘極絕緣膜厚等效。

以下，說明具體的實施形態。

[第一及第二實施形態]

圖19係使關於第一實施形態的DRAM胞構造與圖1對應而顯示。基本構造和圖1同樣，和圖1不同之點係下述之點：除了進行通道控制的第一閘極13之外，還有與矽層12透過閘極絕緣膜19對向而電容耦合的第二閘極20埋入氧化膜11中。具體而言，閘極絕緣膜19和第一閘極13側的閘極絕緣膜16相同膜厚。

關於實際的胞陣列結構，如後面說明，第一閘極13連續形成作為字元線，第二閘極20配設作為和其並行的配線。例如負的固定電位給與第二閘極20。

圖20為關於第二實施形態的DRAM胞構造。和圖19的實施形態不同，在本實施形態，第二閘極20不形成圖案作為配線，而如覆蓋多數記憶胞般地配設作為共用的閘極(背面電極)。特別是在本實施形態，第二閘極20覆蓋胞陣列區域全體。若形成這種構造，則不需要第二閘極20和第一閘極13的對準，製程簡單。

五、發明說明 (15)

其次，就上述實施形態2、3的DRAM胞說明進行和就實施形態1的DRAM胞進行同樣的模擬的結果。裝置條件係第二閘極20為 p^+ 型多晶矽，電位固定於-2V。閘極絕緣膜19和第一閘極13側的閘極絕緣膜16相同的10nm厚，其他條件也和先前實施形態1的DRAM胞的情況相同。

圖21顯示"0"資料寫入和其後的資料保持及資料讀出(分別以瞬間顯示)的閘極電位 V_g 、汲極電位 V_d 及通道體的電位 V_B 。圖22顯示同"1"資料寫入和其後的資料保持及資料讀出(分別以瞬間顯示)的閘極電壓 V_g 、極極電壓 V_d 及通道體電壓 V_B 。

在圖21及圖22，剛寫入"0"後(時刻 t_3)的體電位 $V_B = -0.82V$ ，剛寫入"1"後的體電位 $V_B = 0.84V$ ，其差為1.66V。對此，在資料保持狀態(時刻 t_6)，"0"寫入胞的體電位 $V_B = -1.98V$ ，"1"寫入胞的體電位 $V_B = -0.86V$ ，其差成為1.12V。此和實施形態1的DRAM胞構造的情況比較，在剛寫入後和其後的資料保持時之間，體電位差的變化變小。

圖23係使其與圖18對應，為觀察時刻 t_6 - t_7 的資料讀出動作的"0"資料的臨界電壓 V_{th0} 和"1"資料的臨界電壓 V_{th1} 而顯示其時間的汲極電流 I_{ds} 和閘極、源極間電壓 V_{gs} 。由此，"0"資料的臨界電壓 V_{th0} 和"1"資料的臨界電壓 V_{th1} 之差 ΔV_{th} 為 $\Delta V_{th} = 0.88V$ 。因此，比實施形態1的基本胞構造的情況，在"0"、"1"資料之間可得到大的信號差。

圖24顯示使用圖19的DRAM胞構造時的記憶胞陣列的佈設。圖25A為圖24的A-A'截面圖，圖25B為圖24的B-B'截面圖。第一閘極13在一方向連續形成作為字元線WL1，與此對

五、發明說明 (16)

應，第二閘極20也配設作為和字元線WL1並行的字元線WL2。但是，字元線WL2如前述，被電位固定。其他結構和圖3及圖4所示的基本DRAM胞的情況同樣，可實現 $4F^2$ 的胞面積。

如上述，顯然藉由對於DRAM胞體設置背面閘極或背面電極而固定其電位，在"0"、"1"資料之間可得到大的臨界電壓差。然而，這種情況有字元線振幅變大之虞。這是因為要在胞陣列中實現選擇性的"0"資料寫入，必須以"1"資料寫入胞在資料保持狀態的體電位為剛寫入"0"資料後的體電位位準以下。

即，共同連接於位元線的DRAM胞中，在提高選擇字元線而由此所選擇的胞寫入"0"資料時，為了在寫入"1"資料的非選擇胞保持資料，需要充分降低非選擇字元線的電位。此外，以背面閘極或背面電極使體電容耦合會相對地縮小從前面閘極(第一閘極)對於體的電容耦合，所以這種情況需要增大字元線振幅。

由以上，需要將第一閘極和第二閘極對於通道體的電容耦合大小設定在最佳狀態。因此，使第二閘極20和矽層12間的第二閘極絕緣膜19膜厚按照第一閘極13和矽層12間的第一閘極絕緣膜16膜厚的關係最佳化即可。茲將考慮此點的實施形態說明於下。

[第三實施形態]

圖26A及圖26B顯示這種實施形態4的DRAM胞構造，圖26A與實施形態2的圖19對應，圖26B與實施形態3的圖20對應。在上述實施形態2、3，以第一閘極13側的閘極絕緣膜16和第二閘極20側的閘極絕緣膜19為相同膜厚，對此在本

五、發明說明 (17)

實施形態，對於第一閘極13側的閘極絕緣膜16的膜厚為12.5nm，增厚第二閘極20側的閘極絕緣膜19為37.5nm。

以其他的裝置條件為和先前實施形態的情況相同，將其模擬結果顯示於圖27及圖28。但是，字元線振幅(Vg)和先前實施形態的情況不同，以寫入時的H位準為3V，以資料保持時的L位準為-0.5V。在圖27只顯示從剛寫入後的電位變化。此外，圖29顯示資料保持狀態到資料讀出間的胞的汲極電流Ids和閘極電壓Vgs的關係。

由圖29的結果，"0"資料和"1"資料的臨界電壓差為 $\Delta V_{th}=0.62V$ 。比先前實施形態的情況，臨界電壓差變小，但第一閘極側的電容相對地比第二閘極側的電容變大，所以縮小字元線振幅，同樣的動作可能。此外，藉由縮小字元線振幅，在電晶體耐壓限制內的動作容易。

[第四實施形態]

圖30顯示根據第四實施形態的DRAM胞陣列的佈設，圖31顯示其A-A'截面。在到此的實施形態，為製作具有浮動通道體的電晶體而使用SOI基板，對此在本實施形態，利用所謂的SGT(外層閘極電晶體)構造，藉由具有浮動通道體的縱型MIS電晶體構成DRAM胞。

在矽基板10藉由RIE加工縱橫延伸的溝而排列形成p型柱狀矽30。如與這些各柱狀矽30兩側面對向般地形成第一閘極13和第二閘極20。第一閘極13和第二閘極20在圖31的截面，交替埋入柱狀矽30之間。第一閘極13藉由側壁留下的技術，在鄰接柱狀矽30之間對於鄰接柱狀矽30分離形成作為獨立的閘極。另一方面，第二閘極20如鄰接柱狀矽30共

五、發明說明 (18)

有般地埋入鄰接柱狀矽30之間。第一、第二閘極13、20分別連續形成圖案作為第一、第二字元線WL1、WL2。

在柱狀矽30上面形成n型汲極擴散層14，在下部形成全部胞共有的n型源極擴散層15。藉此構成記憶胞MC：由各通道體為浮動的縱型電晶體構成。在埋入閘極13、20的基板形成層間絕緣膜17，在其上配設位元線18。

本實施形態的情況也是將固定電位給與第二閘極20，和先前各實施形態同樣的動作可能。

[第五實施形態]

圖32A係使關於第五實施形態的DRAM胞構造與第一實施形態的圖19對應而顯示。圖32B係使關於第五實施形態的DRAM胞構造與第二實施形態的圖20對應而顯示。本實施形態的情況，使分離用的氧化矽膜11變薄，將其照樣用作閘極絕緣膜。而且，在矽基板10的氧化膜11側的表面部形成高濃度的 p^+ 型擴散層而以其為第二閘極20。

在圖32A的DRAM胞構造，使氧化矽膜11厚度和閘極絕緣膜16厚度實質上相等。在圖32B的DRAM胞構造，使氧化矽膜11厚度比閘極氧化膜16厚度厚。

根據本實施形態也是和先前各實施形態同樣的動作可能。

在到此的實施形態，第一閘極和第二閘極配置成隔著半導體層對向。即，在圖19、圖20、圖32的實施形態，在矽層12上下配置第一及第二閘極13、20，在圖30、圖31的實施形態，在柱狀矽30兩側面配置第一及第二閘極13、20。然而，第一、第二閘極的配置不限於這些實施形態。例如雖然圖未示，但也可以如使第二閘極與和半導體層的第一閘極對向的

五、發明說明 (19)

面正交的面對向般地在橫方向分離記憶胞的元件分離區域配置第二閘極。

如以上所述，根據本實施形態，一個記憶胞由具有浮動半導體層的單純一個電晶體所形成，可縮小胞尺寸為 $4F^2$ 。電晶體的源極連接於固定電位，藉由只是連接於汲極的位元線和連接於閘極的字元線控制，進出讀出、重寫及再新的控制。藉由使與電晶體的體對向的第二閘極和體電容耦合，使第一閘極對於體的電容耦合比最佳化，可增大"0"、"1"資料的臨界電壓差。

裝

訂

線

四、中文發明摘要(發明之名稱：半導體記憶體裝置)

半導體記憶體裝置具備構成記憶胞陣列的MIS電晶體。MIS電晶體具有浮動狀態的矽層。而且，除了配置於MIS電晶體的源極區域和汲極區域間的為了形成通道的第一閘極13之外，還具備了利用電容耦合控制矽層12電位的電位固定的第二閘極20。MIS電晶體動態記憶第一資料狀態：在汲極接合附近起碰撞電離而將矽層12設定在第一電位；及，第二資料狀態：使正向電流流到汲極接合而將矽層12設定在第二電位。

英文發明摘要(發明之名稱： 半導體メモリ装置)

半導體メモリ装置は、メモリセルアレイを構成するMISトランジスタを備えている。MISトランジスタは、フローティング状態のシリコン層を有している。そして、MISトランジスタのソース領域とドレイン領域との間に配置されたチャネル形成のための第1のゲート13とは別に、シリコン層12の電位を容量結合により制御するための電位固定された第2のゲート20を備えている。MISトランジスタは、ドレイン接合近傍でインパクトイオン化を起こしてシリコン層12を第1の電位に設定した第1データ状態と、ドレイン接合に順方向電流を流してシリコン層12を第2の電位に設定した第2データ状態とをダイナミックに記憶する。

六、申請專利範圍

1. 一種半導體記憶體裝置，其特徵在於：包含構成記憶胞的MIS電晶體，前述MIS電晶體具備

半導體層；

源極區域：形成於前述半導體層；

汲極區域：係離開前述源極區域而形成於前述半導體層的汲極區域，以前述源極和前述汲極間的前述半導體層為浮動狀態的體區；

第一閘極：為了在前述體區形成通道；及，

第二閘極：係和前述第一閘極另外形成的第二閘極，為了利用電容耦合控制前述體區電位，電位固定，同時

前述MIS電晶體具有第一資料狀態：在汲極接合附近起碰撞電離而將前述體區設定在第一電位；及，第二資料狀態：使順向偏壓電流流到汲極接合而將前述體區設定在第二電位者。

2. 如申請專利範圍第1項之半導體記憶體裝置，其中前述

第一資料狀態係由下述所設定：藉由使前述MIS電晶體五極管動作，在汲極接合附近起碰撞電離，

前述第二資料狀態係由下述所設定：將順向偏壓給與利用從前述第一閘極的電容耦合給與預定電位的前述體區和前述汲極區域之間。

3. 如申請專利範圍第1項之半導體記憶體裝置，其中矩陣排列多數個前述MIS電晶體，排在第一方向的MIS電晶體的汲極區域連接於位元線，排在第二方向的MIS電晶體的第一閘極連接於字元線，前述MIS電晶體的源極區域

六、申請專利範圍

連接於第一固定電位，前述MIS電晶體的第二閘極連接於第二固定電位而構成記憶胞陣列，

寫入資料時，以前述第一固定電位為基準電位，將比前述基準電位高的第一控制電位給與選擇字元線，將比前述基準電位低的第二控制電位給與非選擇字元線，按照第一及第二資料狀態分別將比前述基準電位高的第三控制電位及比前述基準電位低的第四控制電位給與位元線。

4. 如申請專利範圍第3項之半導體記憶體裝置，其中如前述體區的前述第二閘極側表面變成儲存狀態般地設定給與前述第二閘極的第二固定電位。
5. 如申請專利範圍第3項之半導體記憶體裝置，其中如前述體區的前述第二閘極側表面變成空乏狀態般地設定給與前述第二閘極的第二固定電位。
6. 如申請專利範圍第3項之半導體記憶體裝置，其中將給與前述第二閘極的第二固定電位設定在比前述基準電位低的電位。
7. 如申請專利範圍第1項之半導體記憶體裝置，其中前述半導體層為絕緣膜所分離而形成於半導體基板上，
前述第一閘極作為字元線連續配設於前述半導體層上部，
前述第二閘極作為和前述字元線並行的配線形成於前述半導體層下部。
8. 如申請專利範圍第7項之半導體記憶體裝置，其中前述

六、申請專利範圍

第二閘極係埋設於前述絕緣膜中而透過閘極絕緣膜與前述半導體層對向的多晶矽膜。

9. 如申請專利範圍第7項之半導體記憶體裝置，其中前述第一閘極和前述半導體層間的第一閘極絕緣膜厚度與前述第二閘極和前述半導體層間的第二閘極絕緣膜厚度實質上相等。

10. 如申請專利範圍第7項之半導體記憶體裝置，其中比前述第一閘極和前述半導體層間的第一閘極絕緣膜厚地設定前述第二閘極和前述半導體層間的第二閘極絕緣膜。

11. 如申請專利範圍第1項之半導體記憶體裝置，其中前述半導體層為絕緣膜所分離而形成於半導體基板上，

前述第一閘極作為字元線連續配設於前述半導體層上部，前述第二閘極作為覆蓋全部記憶胞的共同閘極形成於前述半導體層下部。

12. 如申請專利範圍第11項之半導體記憶體裝置，其中前述第二閘極係埋設於前述絕緣膜中而透過閘極絕緣膜與前述半導體層對向的多晶矽膜。

13. 如申請專利範圍第11項之半導體記憶體裝置，其中前述第一閘極和前述半導體層間的第一閘極絕緣膜厚度與前述第二閘極和前述半導體層間的第二閘極絕緣膜厚度實質上相等。

14. 如申請專利範圍第11項之半導體記憶體裝置，其中比前述第一閘極和前述半導體層間的第一閘極絕緣膜厚地設定前述第二閘極和前述半導體層間的第二閘極絕緣膜。

六、申請專利範圍

- 15.如申請專利範圍第11項之半導體記憶體裝置，其中前述第二閘極係如透過前述絕緣膜與前述半導體層對向般地形成於前述半導體基板上的高濃度雜質擴散層。
- 16.如申請專利範圍第15項之半導體記憶體裝置，其中前述第一閘極和前述半導體層間的第一閘極絕緣膜厚度與前述第二閘極和前述半導體層間的前述絕緣膜厚度實質上相等。
- 17.如申請專利範圍第15項之半導體記憶體裝置，其中比前述第一閘極和前述半導體層間的第一閘極絕緣膜厚地設定前述第二閘極和前述半導體層間的前述絕緣膜。
- 18.如申請專利範圍第1項之半導體記憶體裝置，其中
 前述半導體層係形成於半導體基板上的柱狀半導體，
 前述第一閘極及第二閘極如與前述柱狀半導體層兩側面對向般地所形成，
 前述汲極區域形成於前述柱狀半導體上面，前述源極區域形成於前述柱狀半導體下部。
- 19.如申請專利範圍第1項之半導體記憶體裝置，其中前述半導體層為絕緣膜所分離而形成於半導體基板上，
 前述第一閘極作為字元線連續配設於前述半導體層上部，前述第二閘極作為覆蓋多數記憶胞的共用閘極形成於前述半導體層下部。

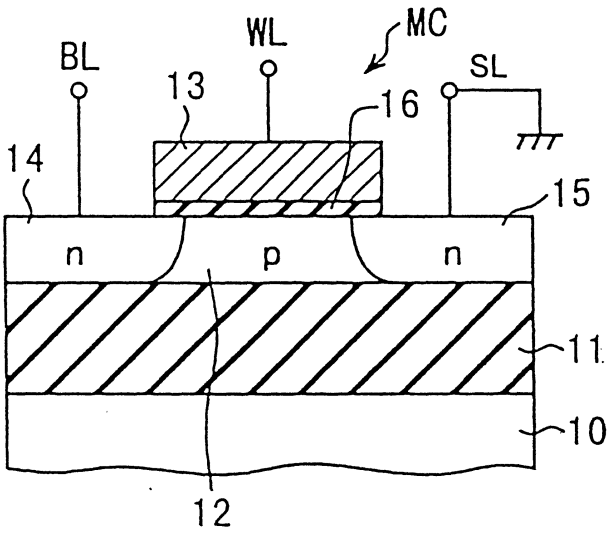


圖 1

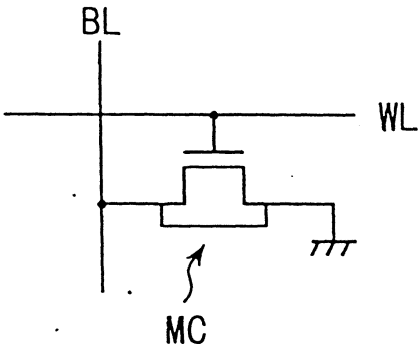


圖 2

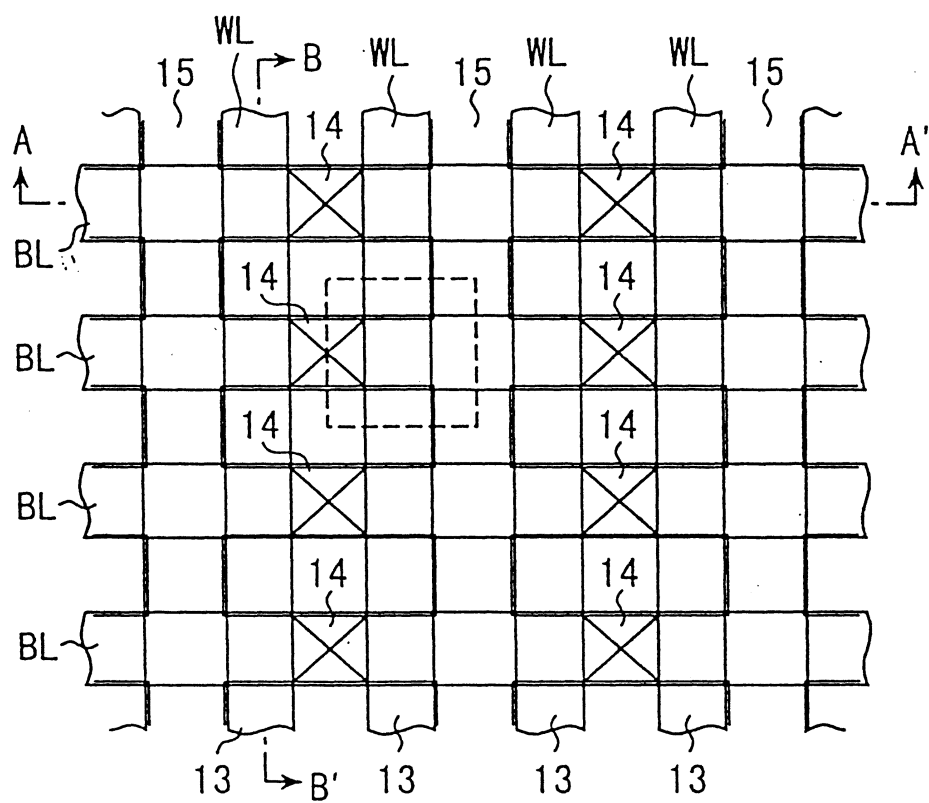


圖 3

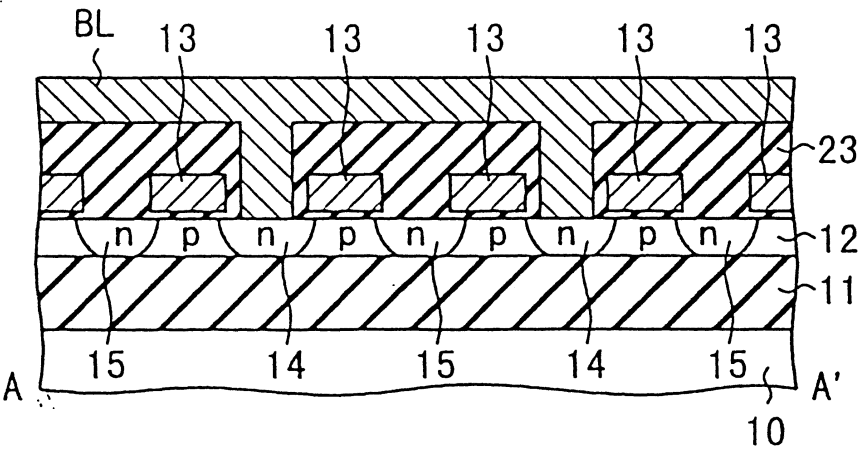


圖 4A

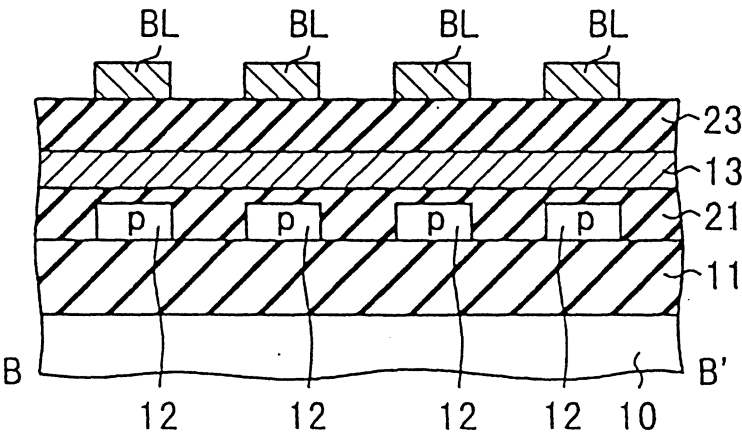


圖 4B

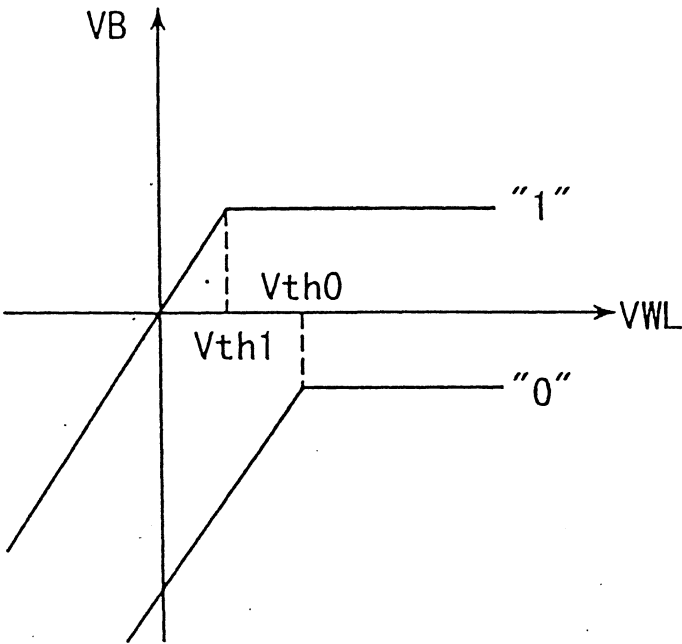


圖 5

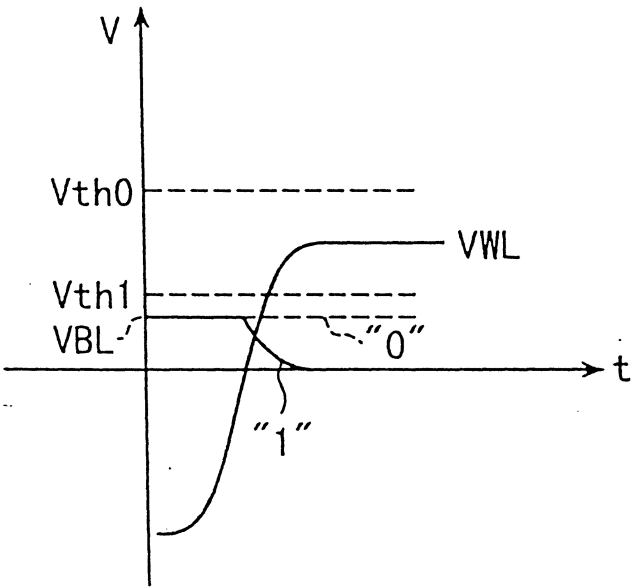


圖 6

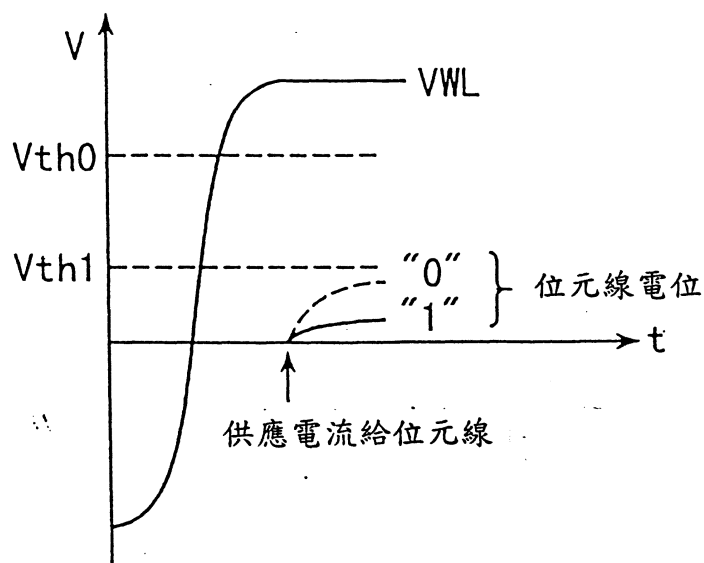


圖 7

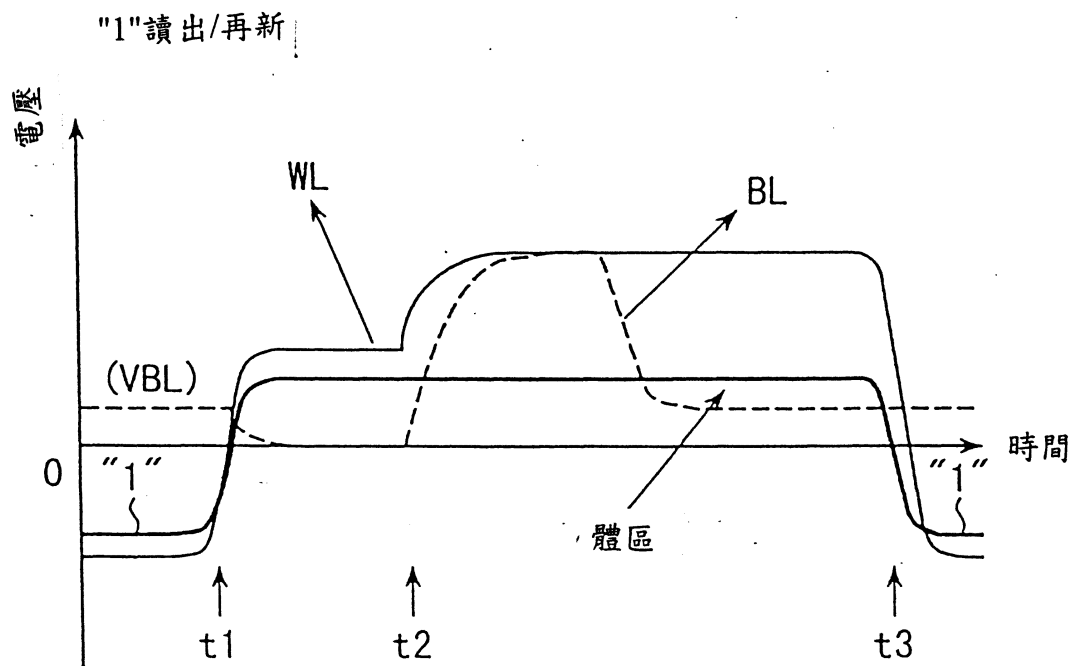


圖 8

"0" "0"讀出/再新

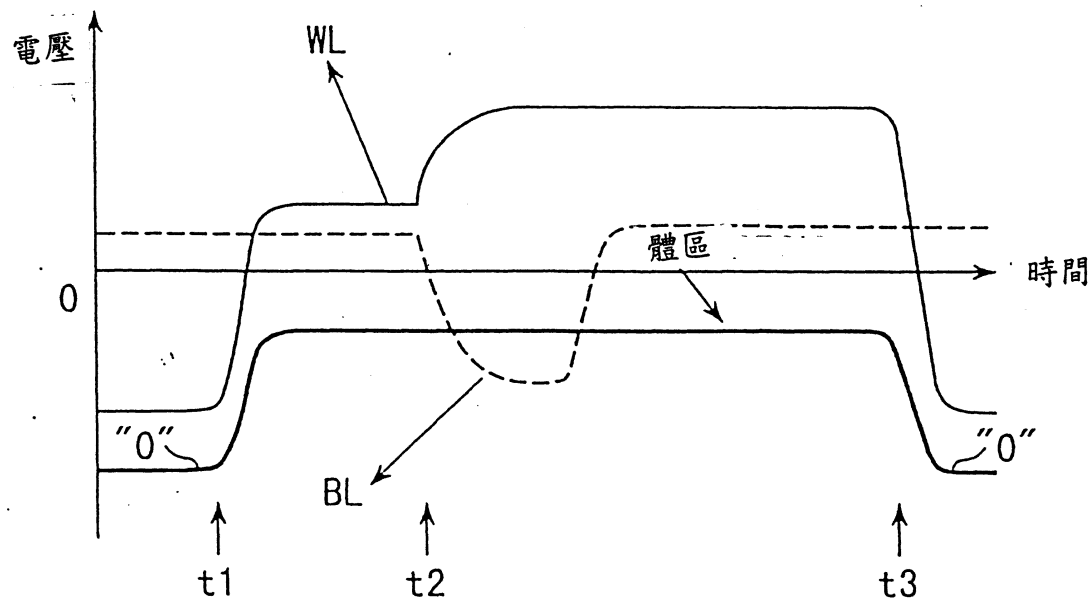


圖 9

"1"讀出/"0"寫入

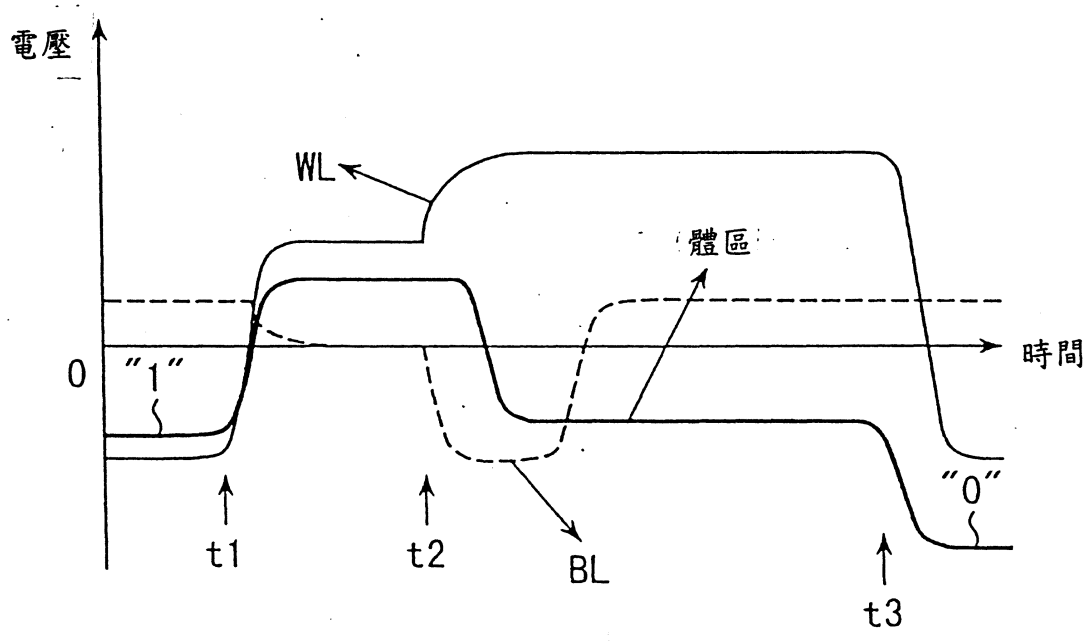


圖 10

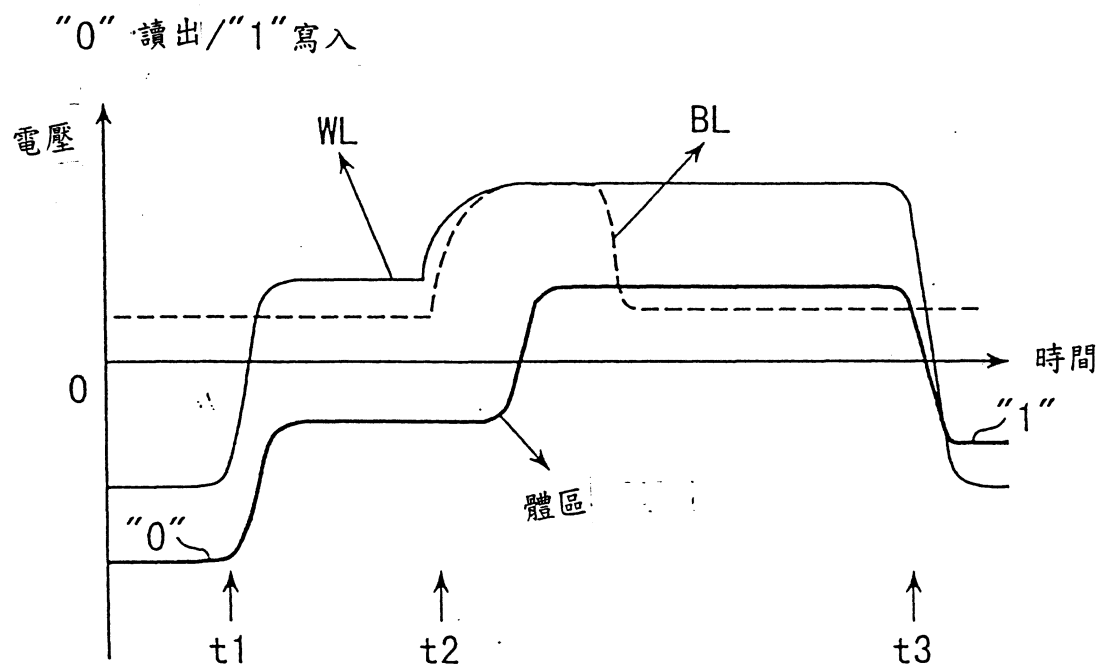


圖 11

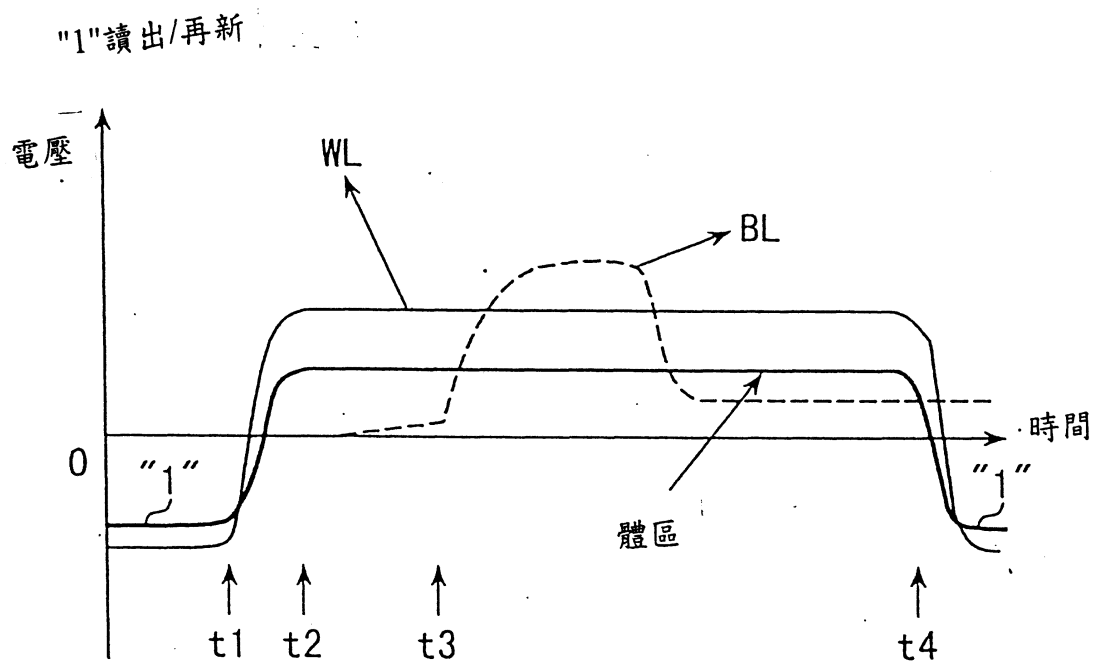


圖 12

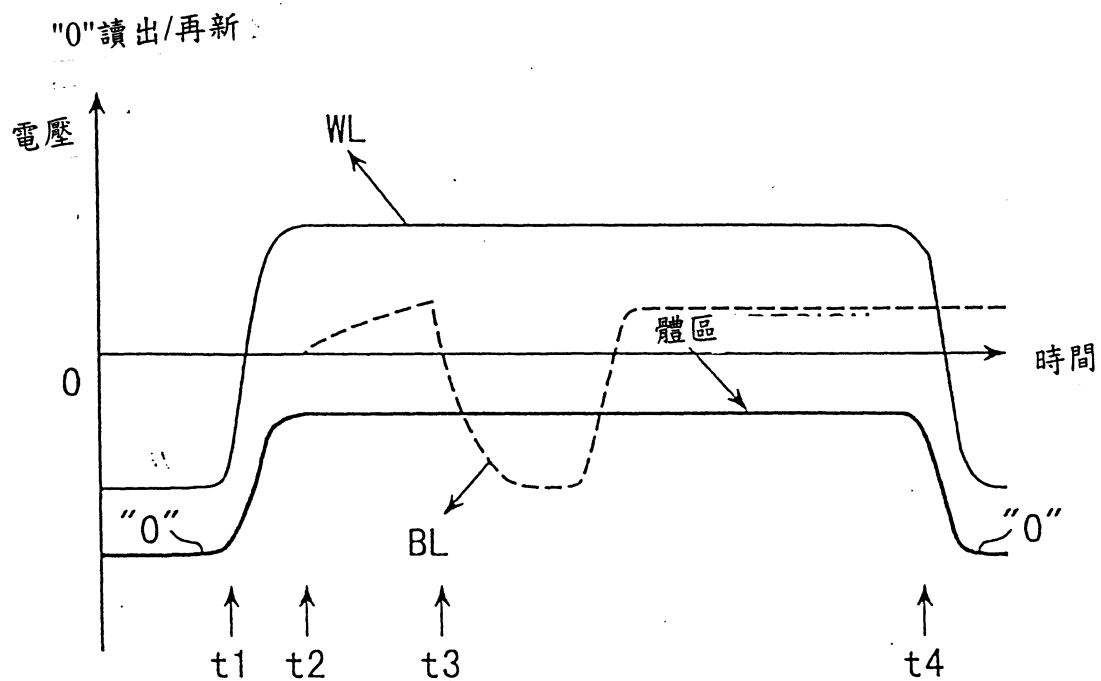


圖 13

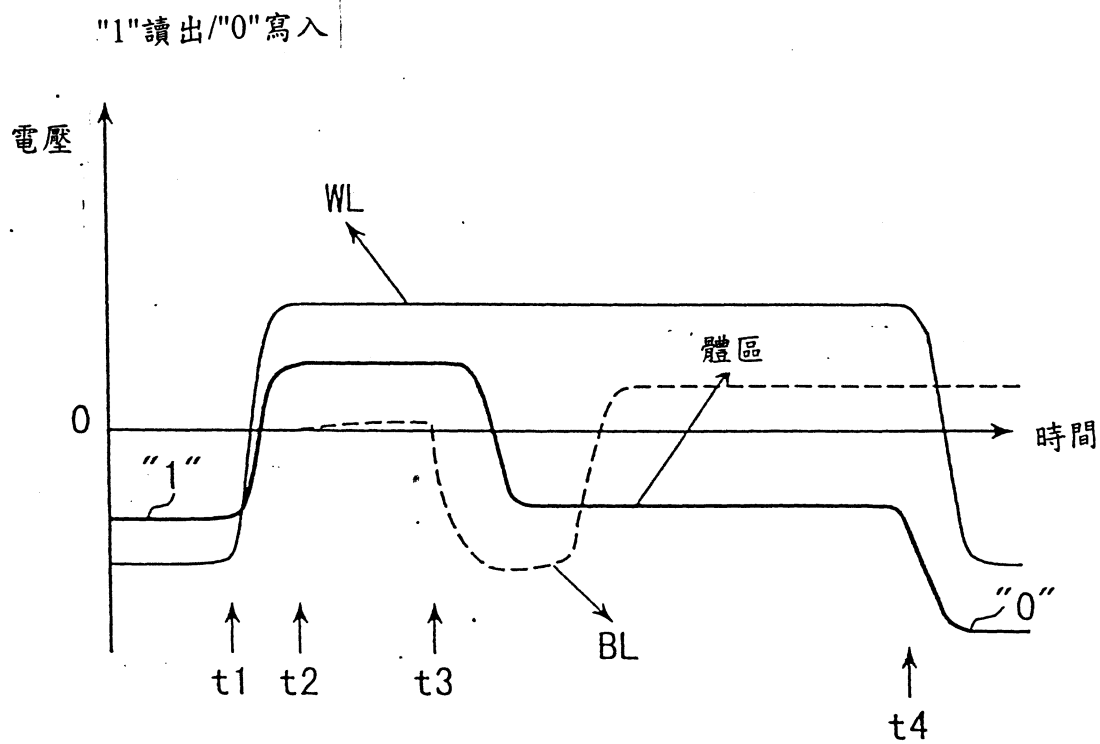


圖 14

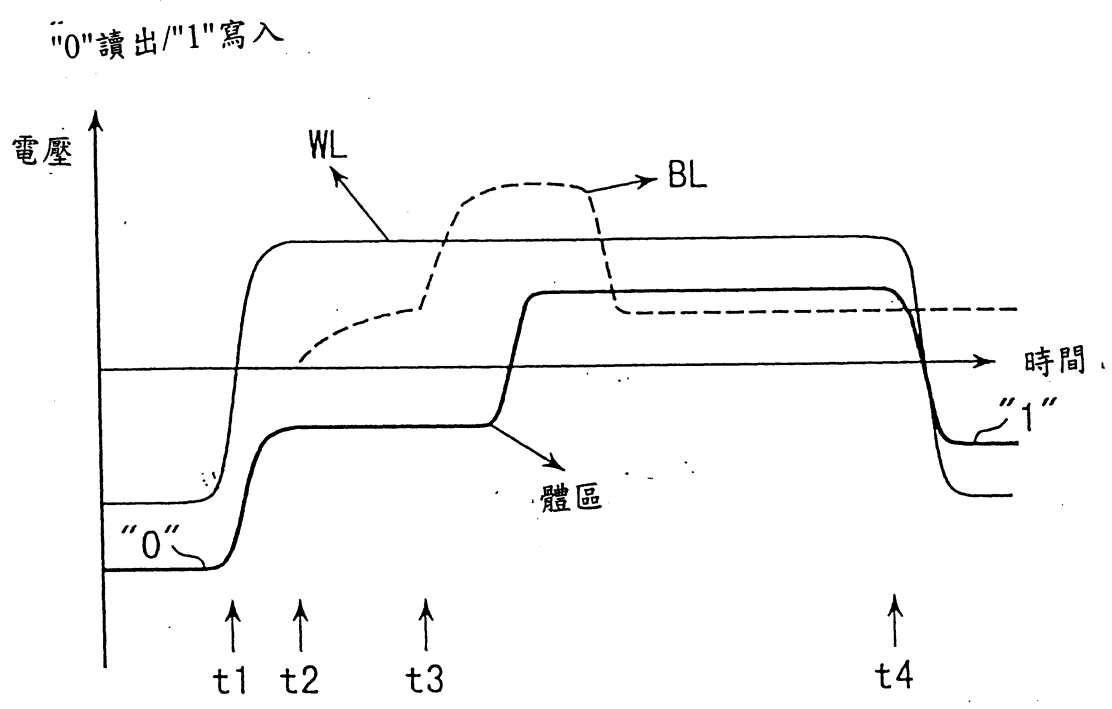


圖 15

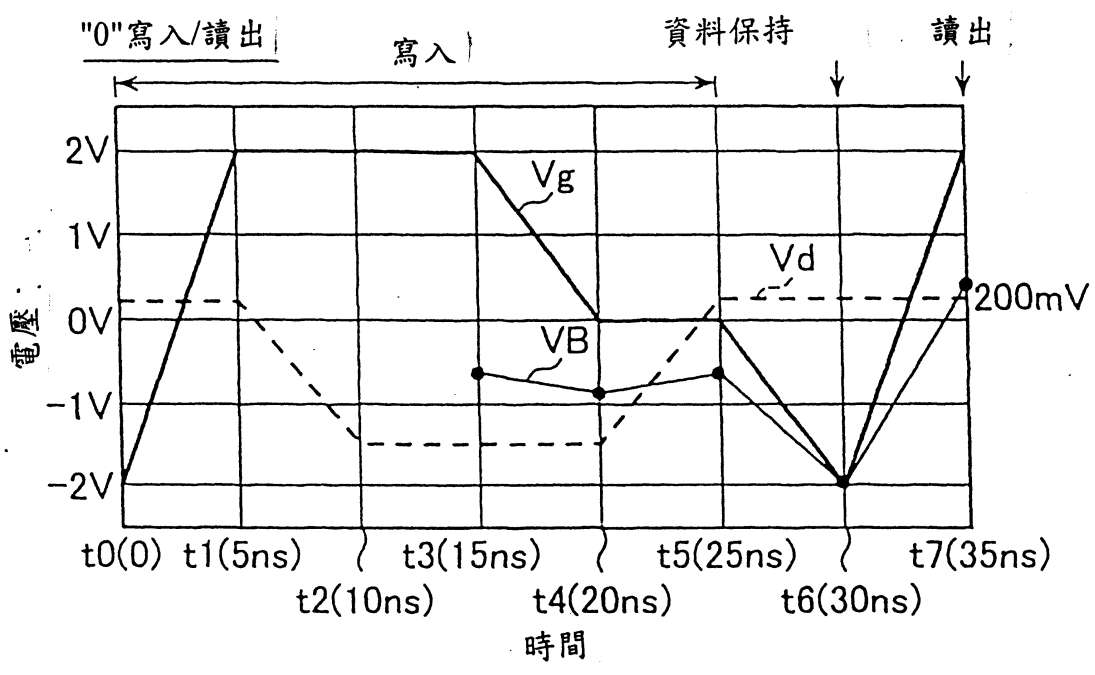


圖 16

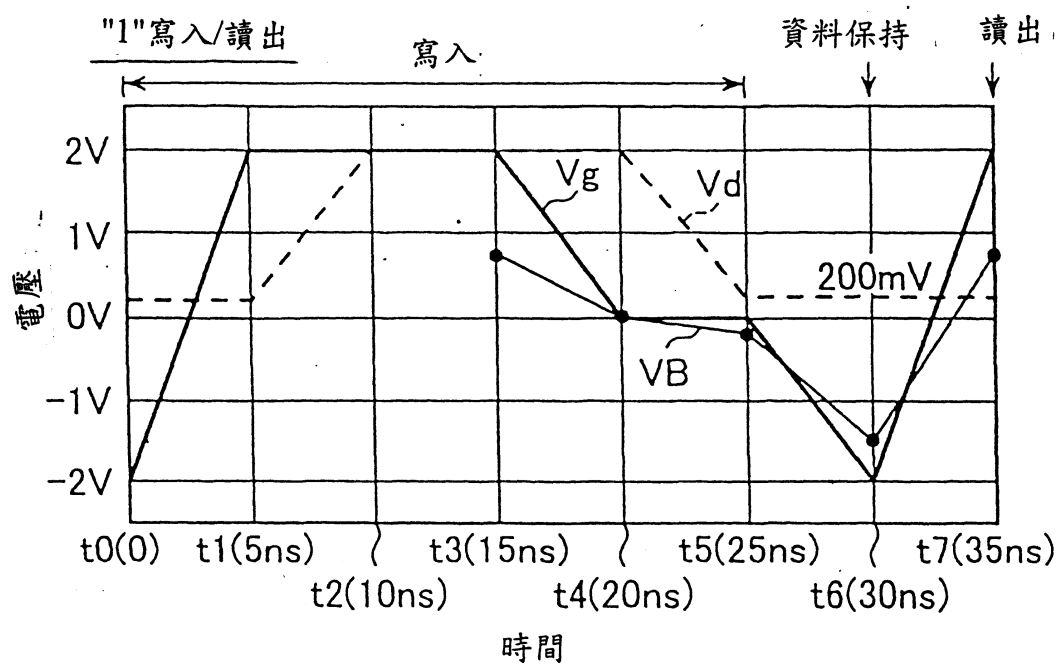


圖 17

汲極電流 $(W/L=0.175\mu m/0.35\mu m)@V_{ds}=0.2V$

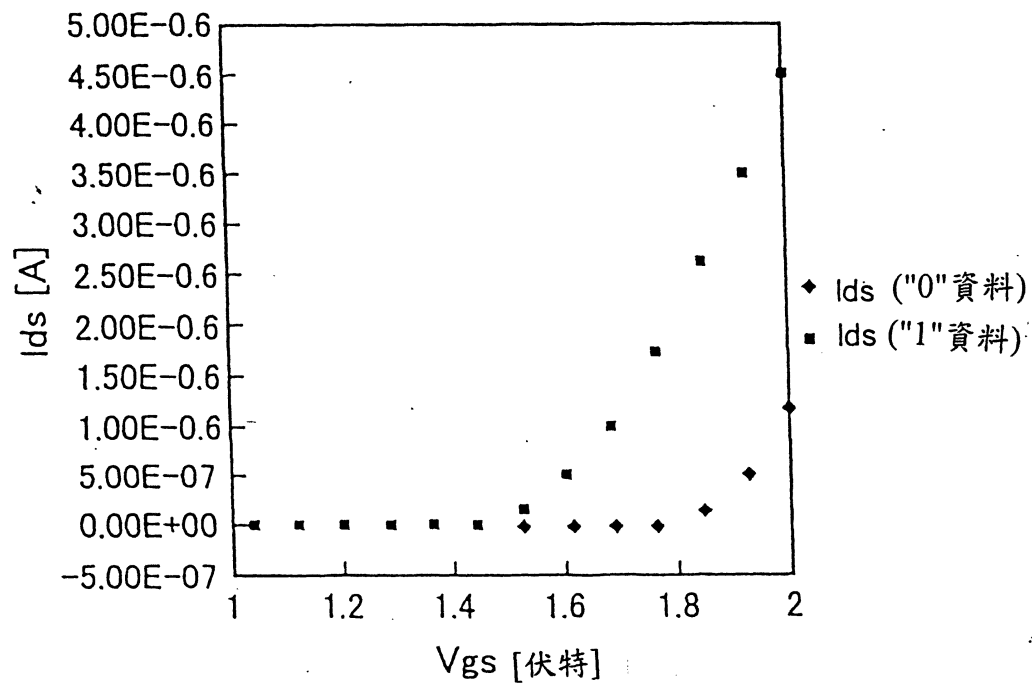


圖 18

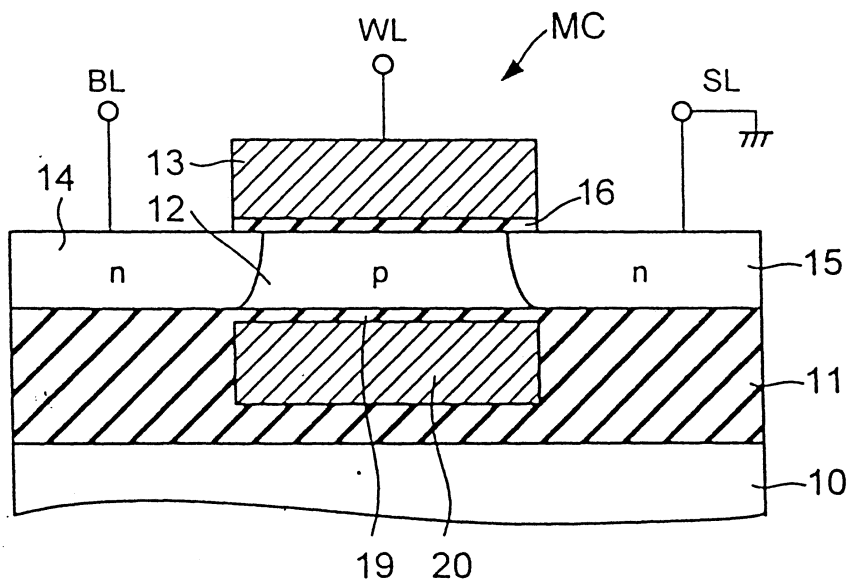


圖 19

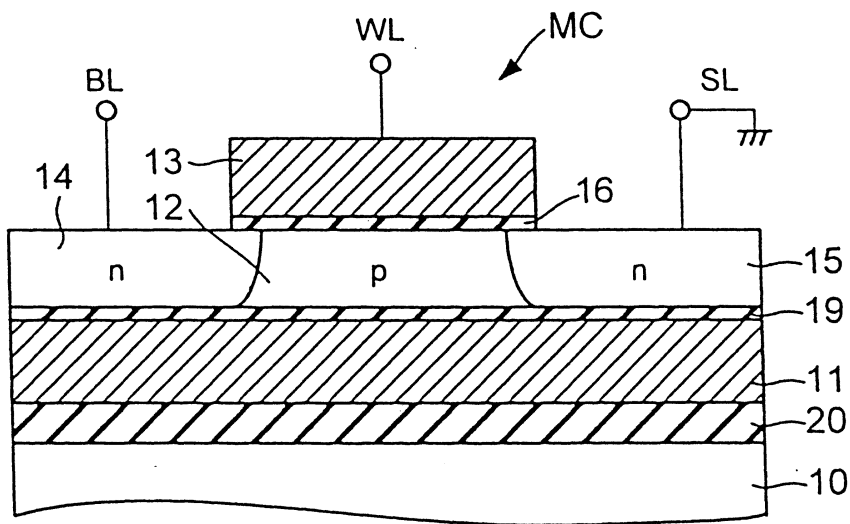


圖 20

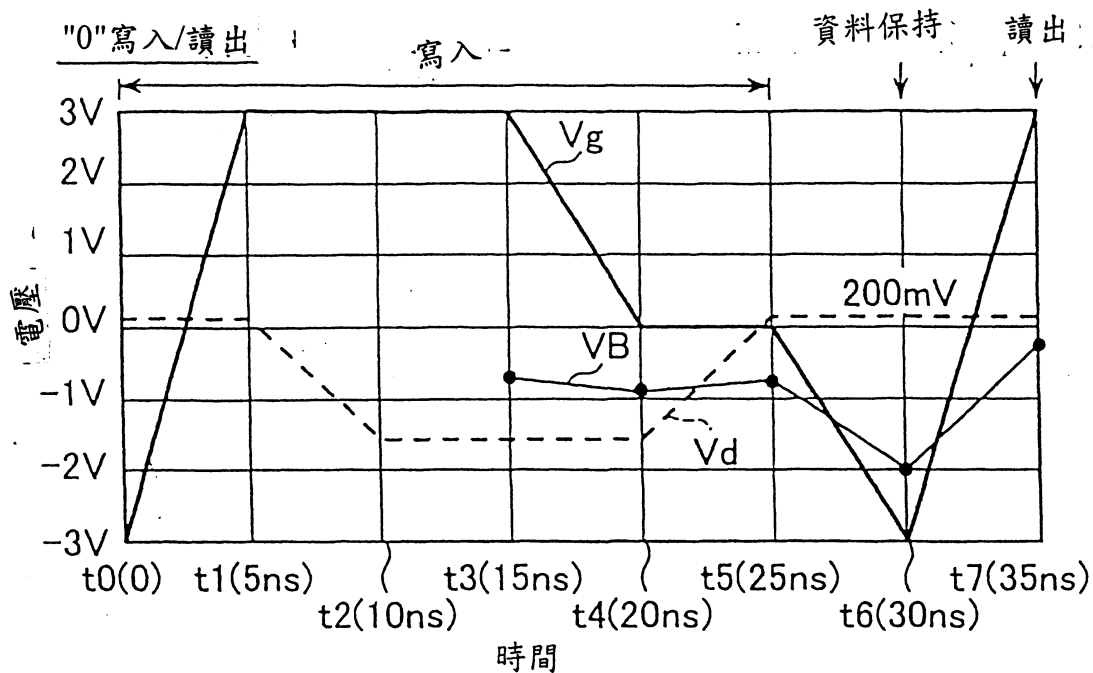


圖 21

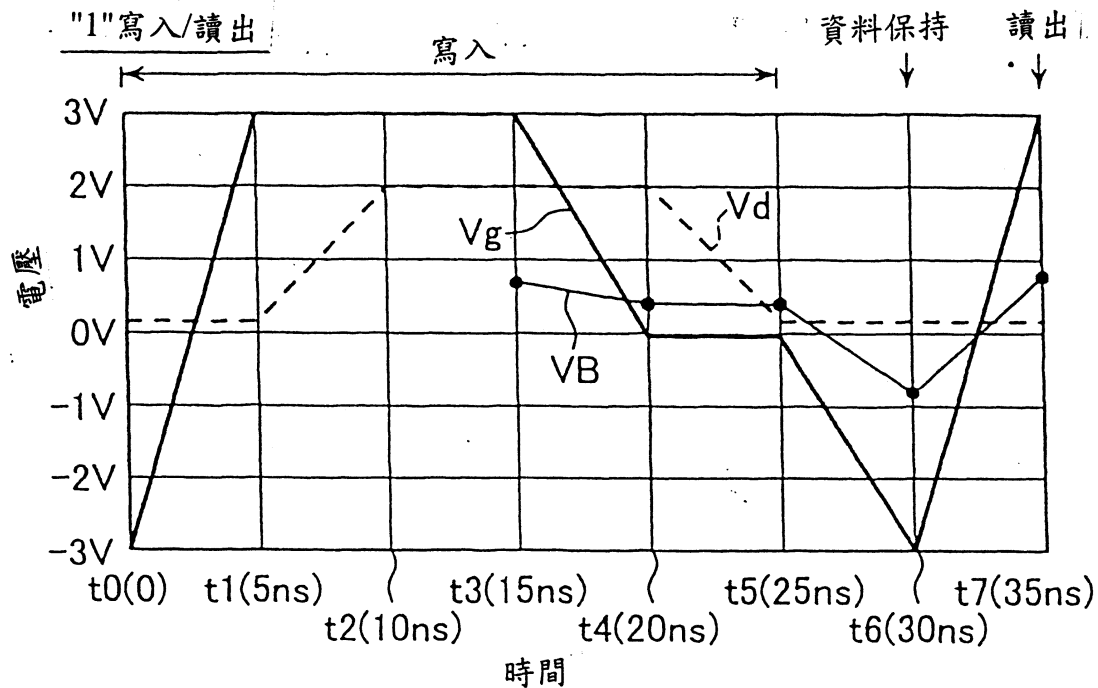


圖 22

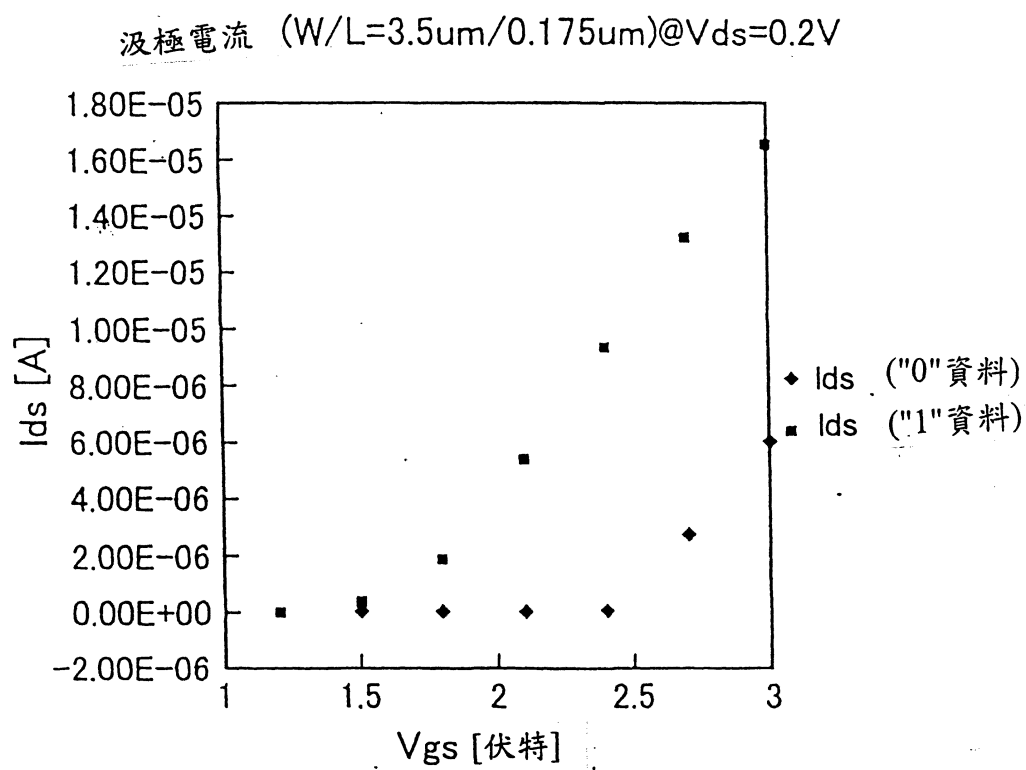


圖 23

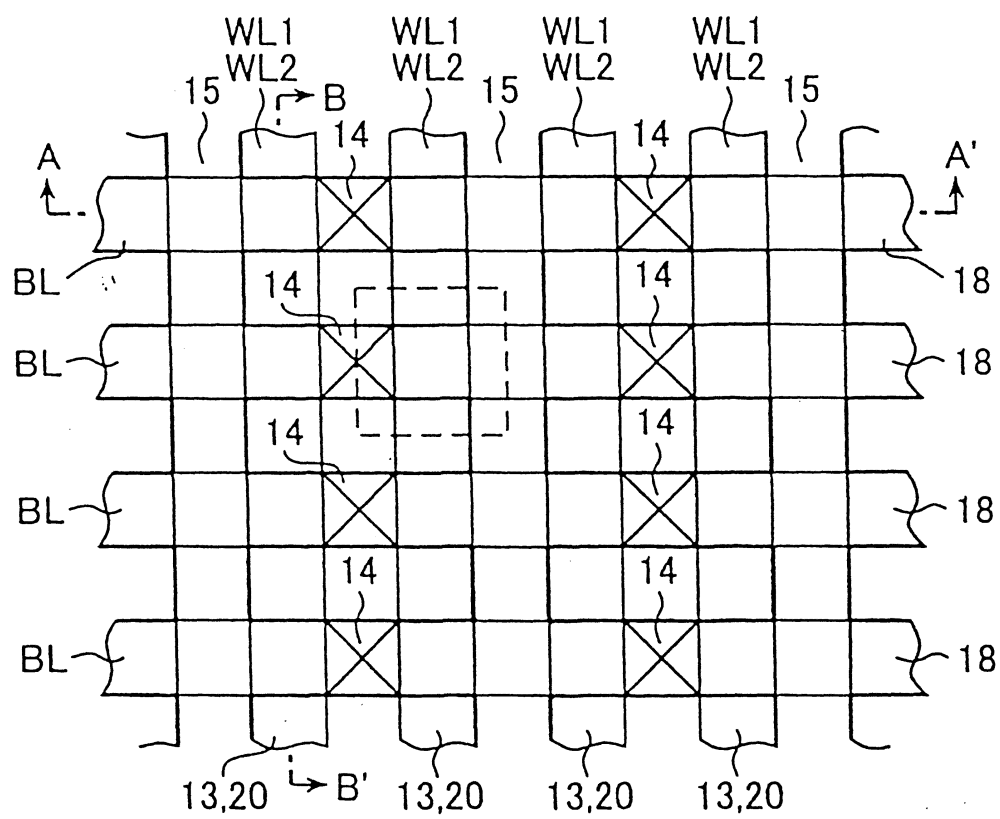


圖 24

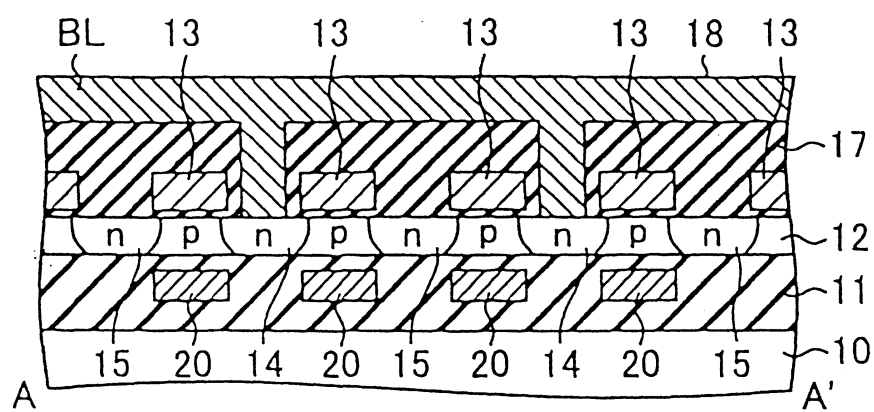


圖 25A

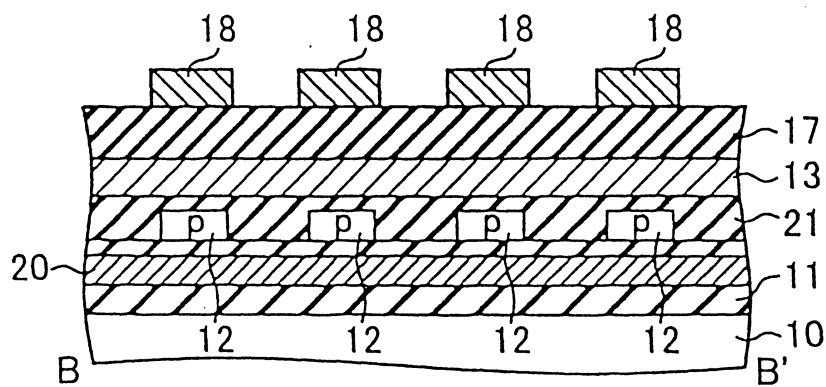


圖 25B

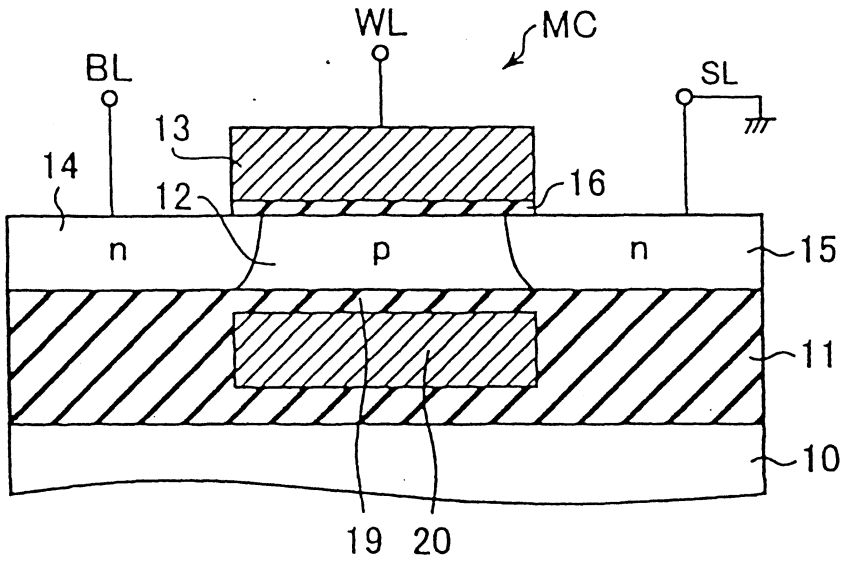


圖 26A

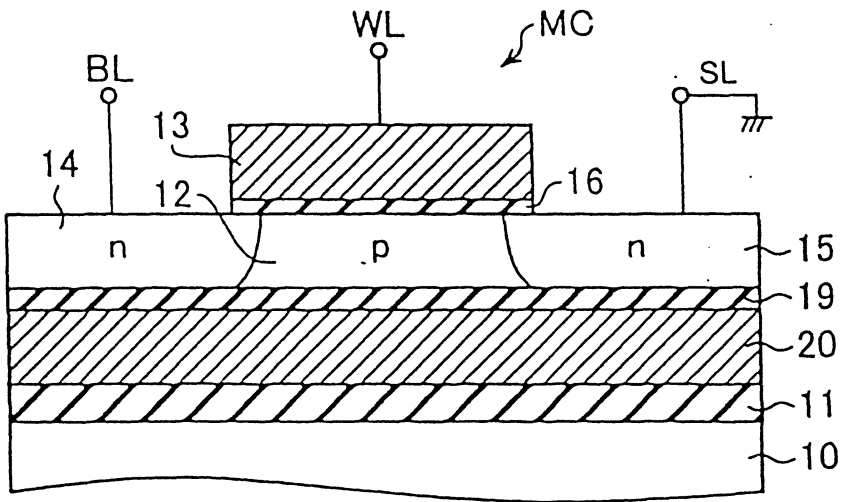


圖 26B

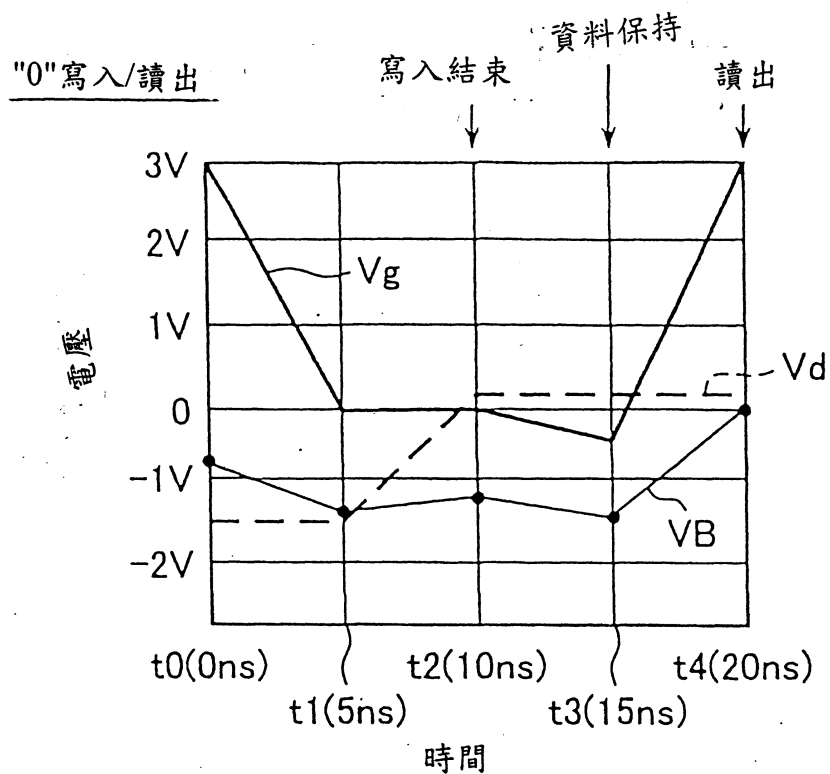


圖 27

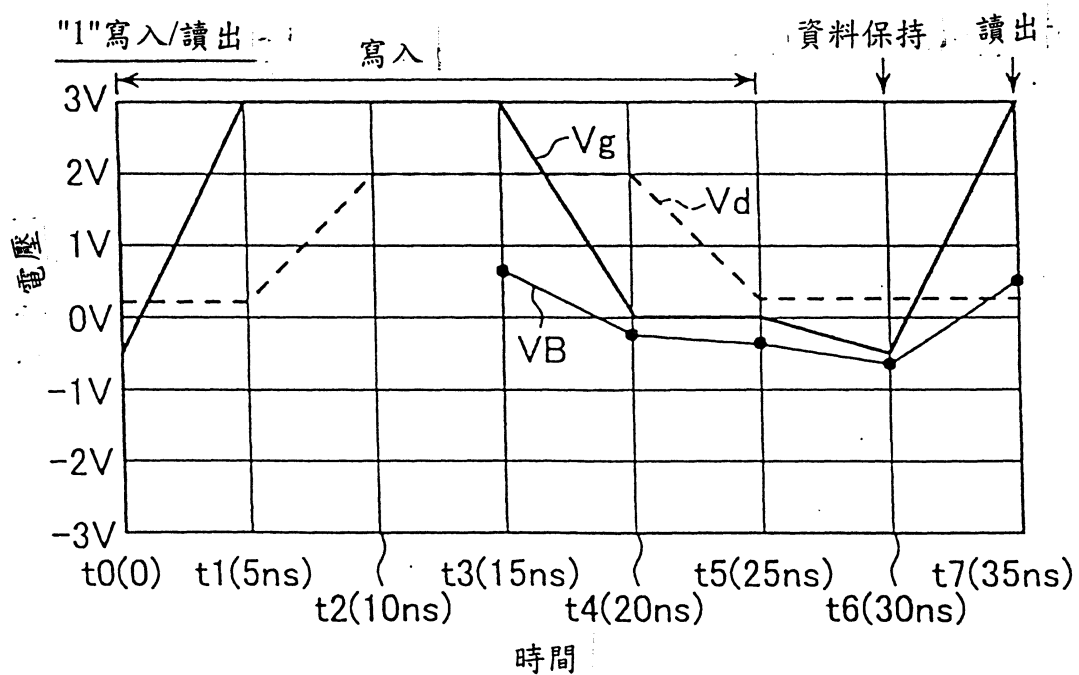


圖 28

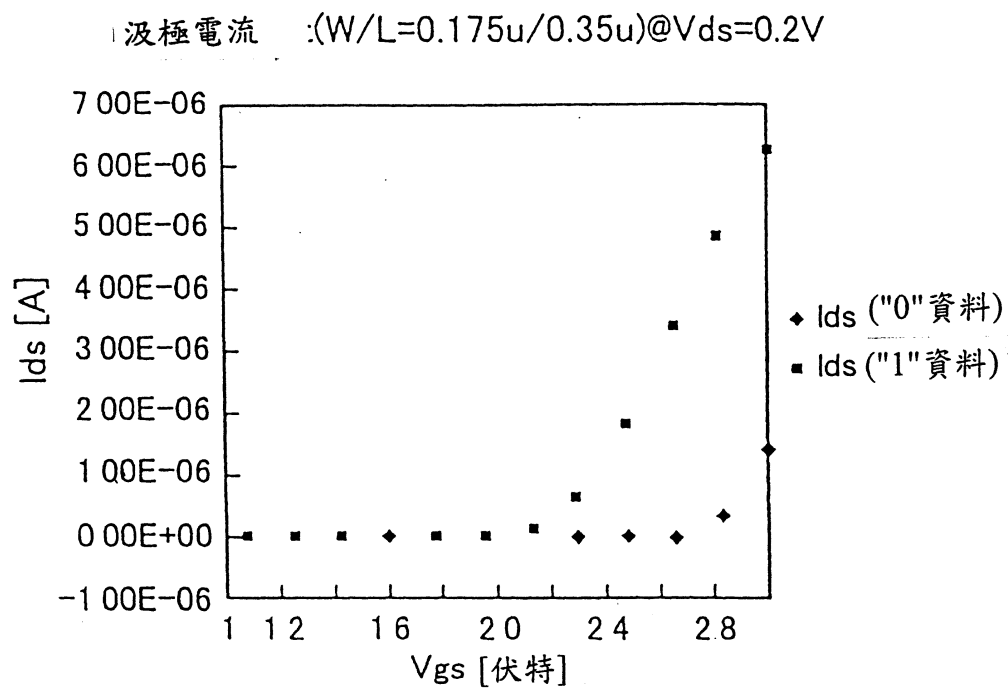


圖 29

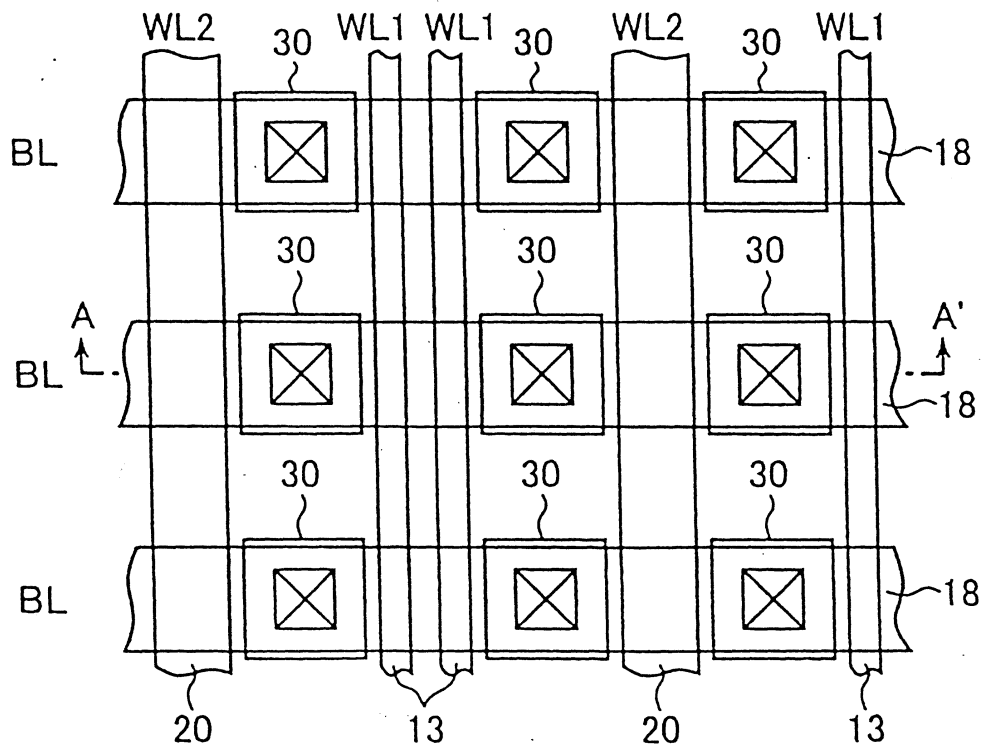


圖 30

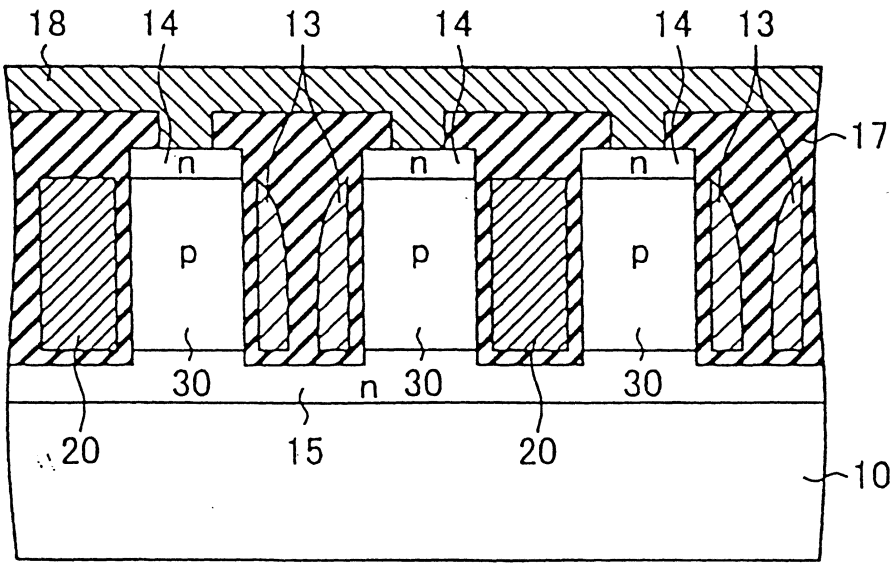


圖 31

圖 32A

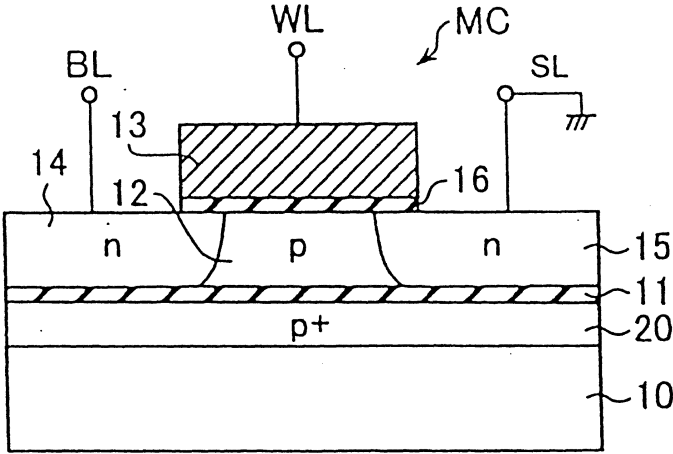


圖 32B

