

(21)申請案號：100140425

(22)申請日：中華民國 100 (2011) 年 11 月 04 日

(51)Int. Cl.：

G11C11/412 (2006.01)

H01L21/8244(2006.01)

H01L27/11 (2006.01)

(71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：金聖克 JUNG, SEONG-OOK (KR)；康明谷 KANG, MINGU (KR)；朴修庫 PARK, HYUNKOOK (KR)；宋森秋 SONG, SEUNG-CHUL (KR)；阿布 瑞哈瑪 莫哈邁德 ABU-RAHAMA, MOHAMED (EG)；韓秉莫 HAN, BEOM-MO (KR)；傑 里 辛 GE, LIXIN (SG)；王中之 WANG, ZHONGZE (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：32 項 圖式數：12 共 42 頁

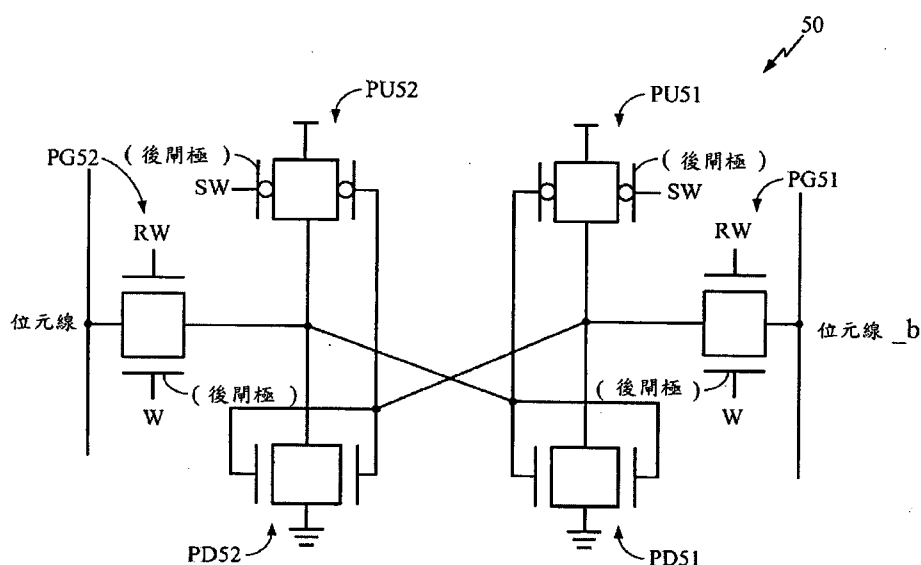
(54)名稱

使用獨立閘極鰭式場效電晶體之穩定靜態隨機存取記憶體位元格設計

STABLE SRAM BITCELL DESIGN UTILIZING INDEPENDENT GATE FINFET

(57)摘要

使用獨立閘極鰭式場效電晶體(FinFET)架構之穩定靜態隨機存取記憶體(SRAM)格在諸如讀取靜態雜訊容限(RSNM)及寫入雜訊容限(WNM)之裝置參數方面提供優於習知 SRAM 格之改良。例示性 SRAM 格包含一對儲存節點、一對位元線、一對上拉裝置、一對下拉裝置及一對通過閘裝置。一第一控制信號及一第二控制信號經組態以調整該等通過閘裝置之驅動強度，且一第三控制信號經組態以調整該等上拉裝置之驅動強度，其中該第一控制信號係以與一位元線方向正交之方式投送，且該第二控制信號及該第三控制信號係在與該位元線方向相同之一方向上投送。藉由在讀取及寫入操作期間調整該等上拉裝置及該等通過閘裝置之驅動強度來改良 RSNM 及 WNM。



50：靜態隨機存取記憶體(SRAM)格

PG51：通過閘(PG)裝置

PG52：通過閘(PG)裝置

PU51：上拉(PU)裝置

PU52：上拉(PU)裝置

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100140425

※申請日： 100.11.4

※IPC 分類： G11C 11/412 (2006.01)

H01L 21/8244 (2006.01)

H01L 27/11 (2006.01)

一、發明名稱：(中文/英文)

使用獨立閘極鰭式場效電晶體之穩定靜態隨機存取記憶體位元格設計

STABLE SRAM BITCELL DESIGN UTILIZING INDEPENDENT GATE FINFET

二、中文發明摘要：

使用獨立閘極鰭式場效電晶體(FinFET)架構之穩定靜態隨機存取記憶體(SRAM)格在諸如讀取靜態雜訊容限(RSNM)及寫入雜訊容限(WNM)之裝置參數方面提供優於習知SRAM格之改良。例示性SRAM格包含一對儲存節點、一對位元線、一對上拉裝置、一對下拉裝置及一對通過閘裝置。一第一控制信號及一第二控制信號經組態以調整該等通過閘裝置之驅動強度，且一第三控制信號經組態以調整該等上拉裝置之驅動強度，其中該第一控制信號係以與一位元線方向正交之方式投送，且該第二控制信號及該第三控制信號係在與該位元線方向相同之一方向上投送。藉由在讀取及寫入操作期間調整該等上拉裝置及該等通過閘裝置之驅動強度來改良RSNM及WNM。

三、英文發明摘要：

Stable SRAM cells utilizing Independent Gate FinFET architectures provide improvements over conventional SRAM cells in device parameters such as Read Static Noise Margin (RSNM) and Write Noise Margin (WNM). Exemplary SRAM cells comprise a pair of storage nodes, a pair of bit lines, a pair of pull-up devices, a pair of pull-down devices and a pair of pass-gate devices. A first control signal and a second control signal are configured to adjust drive strengths of the pass-gate devices, and a third control signal is configured to adjust drive strengths of the pull-up devices, wherein the first control signal is routed orthogonal to a bit line direction, and the second and third control signals are routed in a direction same as the bit line direction. RSNM and WNM are improved by adjusting drive strengths of the pull-up and pass-gate devices during read and write operations.

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

50	靜態隨機存取記憶體(SRAM)格
PG51	通過閘(PG)裝置
PG52	通過閘(PG)裝置
PU51	上拉(PU)裝置
PU52	上拉(PU)裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

所揭示實施例係有關靜態隨機存取記憶體(SRAM)位元格。更明確而言，例示性實施例係有關使用獨立閘極鰭式場效電晶體(FinFET)(IG-FinFET)架構之高度穩定SRAM格。

【先前技術】

SRAM通常用於速度及低功率為考慮因素之應用中。SRAM格快速且不需要動態更新，如在動態隨機存取記憶體(DRAM)格之狀況下。習知SRAM格之結構包含通常由四個互補金屬氧化物半導體場效電晶體(互補MOSFET或CMOS電晶體)形成的兩個交叉耦合之反相器。交叉耦合之反相器形成基本儲存元件，其具有表示互補二進位值「0」及「1」之兩個穩定狀態。兩個額外電晶體(稱為「存取電晶體」)用以在讀取及寫入操作期間控制對儲存元件之存取。因此，習知SRAM格架構涉及六個電晶體，且通常被稱作6T SRAM格。

圖1說明一習知6T SRAM格100。儲存元件包含電晶體M1至M4。節點Q及QC保持互補二進位值。藉由將字線WL驅動至正電源供應電壓VDD而起始格100上之寫入操作。存取電晶體M5及M6將互補位元線BL及BLC上之值傳送至儲存元件內。在讀取操作中，BL與BLC兩者經預先充電至預定義之值或處於浮動。一旦啟動了字線，儲存於儲存元件中之互補值使用以使位元線中之一者放電。感測放大器

(未圖示)將放電之位元線上之值快速驅動至負電源供應電壓VSS且相應地將互補位元線快速驅動至VDD。

在使裝置大小縮小之情況下，在習知SRAM架構中使用之MOSFET遭受短通道效應，諸如增加之亞臨限值漏電流。另外，當降低供應電壓及臨限電壓以將功率消耗保持為低時，儲存於SRAM格中的資料之穩定性受到影響。為了抵抗習知MOSFET結構之缺點，過去已探討了多閘極場效電晶體(MuGFET)。MuGFET在單一裝置中併有一個以上閘極，使得多個閘極可由單一閘電極來控制。此多閘極裝置中之通道由若干個閘極環繞，從而導致漏電流之抑制及功率消耗之對應減少。雖然習知MOSFET平坦，但多閘極裝置為非平坦結構。

FinFET為多閘極裝置，其中通道纏繞薄矽「鰭」，鰭形成裝置之主體(而非平坦Si表面)。鰭之尺寸確定裝置之有效通道長度。藉由使鰭非常窄而抑制短通道效應。獨立閘極(IG)FinFET類似共用一共同主體的並聯連接之兩個單一閘極MOSFET。

若干參數與研究SRAM格之穩定性有關。雖然最初關於圖1之習知SRAM格解釋此等參數，但其可容易地擴展至IG-FinFET SRAM結構。電晶體M2及M4包含一上拉(PU)邏輯，其使儲存節點Q及QC能夠被上拉至正供應電壓VDD。類似地，電晶體M1及M3包含下拉(PD)邏輯以將節點Q及QC連接至負電源供應電壓VSS(VSS可連接至接地電壓)。存取電晶體M5及M6亦被稱作通過閘(PG)電晶體。SRAM

格之PU、PD及PG組件之相對強度確定諸如格之可寫入性及資料穩定性的因子。大體而言，電晶體之強度指代流經裝置的電流之量值，且與電晶體大小及電晶體之閘極電壓成比例。

漏電流、電壓擾動、相鄰格上之切換活動及此其他系統雜訊具有對SRAM格中的資料之穩定性的影響。有時雜訊可能足夠高以致儲存於格中之資料「翻轉」至錯誤狀態，即使該特定格未經選擇用於讀取或寫入操作亦如此。用以翻倒或翻轉格之狀態所需的最小DC電壓擾動被稱為靜態雜訊容限(SNM)。保持靜態雜訊容限(HSNM)指代在保持或待用模式下的格之SNM。參看圖1，增加VDD格電壓大體上具有增加HSNM之效應。

參數「 α 」指示PG與PU之強度的比率(表示為「PG/PU」)。可見，減小PU強度及增加PG強度允許容易地將BL及BLC上之值寫入至儲存節點內。寫入靜態雜訊容限(WNM)指代在寫入模式下的格之SNM。因此，SRAM電路之WNM隨 α 成比例變化。如藉由 $\alpha(=PG/PU)$ 指示，可藉由增加PG及/或減小PU來改良WNM。

參數「 β 」指示PD與PG之強度的比率(表示為「PD/PG」)。可見，減小PG強度及增加PD強度允許容易地將Q及QC上之值讀取至位元線內。讀取靜態雜訊容限(RSNM)指代在讀取模式下的格之SNM。SRAM電路之RSNM隨 β 成比例變化。如藉由 $\beta(=PD/PG)$ 指示，可藉由增加PD及/或減小PG來改良RSNM。

自前述論述，應理解，使PU、PD及PG組件之強度變化涉及在格之HSNM、RSNM與WNM之間的複雜取捨。圖2A說明一習知繫結閘極SRAM(TG-SRAM)格。TG-SRAM格具有雙閘極SRAM(DG-SRAM)格之基本結構。TG-SRAM中的每一電晶體之雙閘極中之兩個閘極係繫結在一起，且因此TG-SRAM格之操作類似於圖1中之習知6T SRAM之操作。

用以藉由至PG裝置之後閘極的回饋機制增加格穩定性之技術提議於Guo等人之「FinFET-Based SRAM Design」(*Symp. ISLPED*, 2005, 第2頁至第7頁)(下文中為「Guo」)中，該文件以引用的方式併入本文中。Guo使用基於FinFET之SRAM格以便獲得對閘極之較好控制及較低亞臨限值漏電流(如上所註)。Guo試圖藉由控制PG裝置之後閘極來改良格 β 比率。藉由將儲存節點連接至後閘極(如圖2B中所說明)來控制PG裝置之後閘極，以便改良RSNM。然而，將儲存節點連接至後閘極由於減小了格 α 比率而使得WNM劣化。為了改良WNM，Guo提議降低電壓VDD格。

圖3說明根據Guo之由格形成之SRAM陣列的示意圖。位元線BL及BLB在圖3中展示為安置於垂直方向上，而字線WL安置於水平方向上。在寫入操作期間，降低連接至「選定」BL及BLB之格的VDD格，藉此減小PU驅動強度。因此，選定格之 α 比率(PG/PU)得以改良。

然而，圖3中的半選定格②(水平選定且垂直未選定)之VDD格亦減小，其具有降低用於半選定格②之HSNM之效應。因此，雖然Guo試圖改良SRAM格之RSNM，但HSNM

劣化。因此，在Guo之設計中存在兩個缺點。首先，控制VDD格非常難，且經受SRAM陣列中之大量變化。其次，降低VDD格具有降低HSNM之效應(如上所註)。

圖7說明用於習知TG-SRAM格及Guo之SRAM格的RSNM值之蝶形轉移曲線(BTC)。BTC為在「0」及「1」之寫入操作期間的儲存節點電壓之曲線。SNM係藉由配合於BTC內部之最大正方形來量測。如由圖7指示，與習知TG-SRAM電路相比，Guo之電路提供85.4 mv的RSNM之改良。圖8類似地說明用於習知TG-SRAM電路及Guo之電路的WNM之BTC。可觀測到，歸因於VDD格電壓之降低，WNM改良達34.1 mv。圖9說明用於習知TG-SRAM及用於Guo之電路的HSNM值之BTC。觀測到，Guo之半選定格之HSNM比習知TG-SRAM格之HSNM低41.4 mv。

已在Liu等人之「An Independent-Gate FinFET SRAM Cell for High Data Stability and Enhanced Integration Density」(*IEEE SOC Conference*, 2007, 第68頁至第69頁)(下文中為「Liu」)中提議用以解決習知TG-SRAM及Guo之問題的一替代方案，該文件以引用的方式併入本文中。Liu之SRAM格說明於圖4中。Liu使用一基於FinFET之結構，其中PU、PD及PG組件中之每一者使用具有可獨立控制之閘極之兩個電晶體。此情形提供對其各別強度之改良控制。

Liu使用控制信號「RW」及「W」(如圖4中所示)而非習知字線控制信號(例如，圖1中之WL)來控制讀取及寫入操

作。在讀取操作與寫入操作兩者期間將信號RW保持為高，而信號W僅在寫入操作期間高。因此，在讀取期間，RW高且W低。因此，在讀取期間，PG1及PG2傳導，但藉由每一對中的兩個電晶體中之僅一者(前電晶體)之強度，使得PG能夠維持處於低值。將PD及PU(亦即，PD1、PD2、PU1及PU2)維持處於恆定值，且因此使 $\beta(=PD/PG)$ 增加，且該格之RSNM對應地高。

在Liu中，在寫入操作期間，RW與W兩者高，從而使每一對PG1及PG2中之兩個電晶體傳導。將可見，在此模式下，該格之PU、PD及PG組件之相對強度類似於習知SRAM之相對強度，此係由於Liu中之每一組件基本上由一對電晶體替換(與習知SRAM中之單一電晶體相比)。因此，比率 $\alpha(=PG/PU)$ 與習知TG-SRAM之 α 相當，且對應地，在Liu之WNM中不存在改良。在待用模式下，RW信號與W信號兩者保持為低，且藉此Liu之HSNM與習知TG-SRAM之HSNM相同。

雖然該等技術提供此等參數中之一或兩者之改良，但其代價為剩餘參數之劣化及/或缺乏改良。因此，在此項技術中存在對於用以改良在讀取、寫入操作模式下的SRAM電路之SNM而不使在待用操作模式下之穩定性降級的技術的需要。

【發明內容】

例示性實施例係有關用於使用獨立閘極FinFET(IG-FinFET)架構之高度穩定SRAM格之系統及方法。該等

SRAM格之例示性實施例提供優於習知SRAM格的改良之穩定性(如藉由諸如RSNM及WNM之參數證實)而不使HSNM降級。

舉例而言，一例示性實施係有關一種SRAM格，該SRAM格包含：一對儲存節點，其經組態以儲存互補二進位值；一對位元線，其經組態以將該等互補二進位值傳輸至該等儲存節點/自該等儲存節點傳輸該等互補二進位值；一對上拉裝置，其經組態以將該等儲存節點耦接至正電源供應電壓；一對下拉裝置，其經組態以將該等儲存節點耦接至負電源供應電壓；一對通過閘裝置，其經組態以將該等儲存節點耦接至該等位元線；一第一控制信號及一第二控制信號，其經組態以調整該等通過閘裝置之驅動強度，其中該第一控制信號係在與一位元線方向正交之一方向上投送，且該第二控制信號係在與該位元線方向相同之一方向上投送；及一第三控制信號，其用以調整該等上拉裝置之驅動強度，其中該第三控制信號係在與該位元線方向相同之一方向上投送。

另一例示性實施例係有關一種形成一SRAM格之方法，其包含：組態一對儲存節點以儲存互補二進位值；將一對位元線耦接至該等儲存節點以將該等互補二進位值傳輸至該等儲存節點/自該等儲存節點傳輸該等互補二進位值；將一對上拉裝置耦接至該等儲存節點以便將該等儲存節點連接至正電源供應電壓；將一對下拉裝置耦接至該等儲存節點以便將該等儲存節點連接至負電源供應電壓；將一對

通過閘裝置耦接至該等儲存節點以便將該等儲存節點連接至該等位元線；將一第一控制信號及一第二控制信號耦接至該等通過閘裝置以便調整該等通過閘裝置之驅動強度，其中該第一控制信號係在與一位元線方向正交之一方向上投送，且該第二控制信號係在與該位元線方向相同之一方向上投送；及將一第三控制信號耦接至該等上拉裝置以便調整該等上拉裝置之驅動強度，其中該第三控制信號係在與該位元線方向相同之一方向上投送。

又一例示性實施例係有關一種SRAM格，其包含：儲存構件，其用於儲存互補二進位值；位元線存取構件，其用於將該等互補二進位值傳輸至該儲存構件/自該儲存構件傳輸該等互補二進位值；上拉構件，其用於將該儲存構件耦接至正電源供應電壓；下拉構件，其用於將該儲存構件耦接至負電源供應電壓；通過閘構件，其用於將該儲存構件耦接至該位元線存取構件；一第一控制構件及一第二控制構件，其用於調整該通過閘構件之驅動強度，其中該第一控制構件係在與一位元線方向正交之一方向上投送，且該第二控制構件係在與該位元線方向相同之一方向上投送；及一第三控制構件，其用於調整該上拉構件之驅動強度，其中該第三控制構件係在與該位元線方向相同之一方向上投送。

另一例示性實施例係有關一種形成一SRAM格之方法，其包含：用於組態一對儲存節點以儲存互補二進位值之步驟；用於將一對位元線耦接至該等儲存節點以將該等互補

二進位值傳輸至該等儲存節點/自該等儲存節點傳輸該等互補二進位值之步驟；用於將一對上拉裝置耦接至該等儲存節點以便將該等儲存節點連接至正電源供應電壓之步驟；用於將一對下拉裝置耦接至該等儲存節點以便將該等儲存節點連接至負電源供應電壓之步驟；用於將一對通過閘裝置耦接至該等儲存節點以便將該等儲存節點連接至該等位元線之步驟；用於將一第一控制信號及一第二控制信號耦接至該等通過閘裝置以便調整該等通過閘裝置之驅動強度的步驟，其中該第一控制信號係在與一位元線方向正交之一方向上投送，且該第二控制信號係在與該位元線方向相同之一方向上投送；及用於將一第三控制信號耦接至該等上拉裝置以便調整該等上拉裝置之驅動強度的步驟，其中該第三控制信號係在與該位元線方向相同之一方向上投送。

【實施方式】

呈現隨附圖式以輔助描述實施例，且提供隨附圖式僅用於說明該等實施例且並非限制該等實施例。

在針對特定實施例之以下描述及有關圖式中揭示本發明之態樣。可在不脫離本發明之範疇的情況下設計替代實施例。另外，將不詳細描述各種實施例之熟知元件，或將省略該等熟知元件，以免混淆各種實施例之相關細節。

詞「例示性」在本文中用以意謂「充當實例、例子或說明」。本文中描述為「例示性」之任一實施例未必被解釋為較其他實施例較佳或有利。同樣，術語「實施例」並不

要求所有實施例包括所論述之特徵、優點或操作模式。

本文中使用的術語僅用於達成描述特定實施例之目的，且並不意欲限制實施例。如本文中所使用，除非上下文另外清楚地指示，否則單數形式「一」及「該」意欲亦包括複數形式。應進一步理解，當術語「包含」及/或「包括」在本文中使用時，其指定所陳述之特徵、整體、步驟、操作、元件及/或組件之存在，但並不排除一或多個其他特徵、整體、步驟、操作、元件、組件及/或其群組之存在或添加。

另外，許多實施例係依據待由(例如)計算裝置之元件執行之動作序列來描述。將認識到，可藉由特定電路(例如，特殊應用積體電路(ASIC))、藉由正由一或多個處理器執行之程式指令或藉由兩者之組合來執行本文描述之各種動作。另外，可考慮本文中描述之此等動作序列完全體現於任何形式之電腦可讀儲存媒體內，該電腦可讀儲存媒體具有儲存於其中之一對應電腦指令集合，該等指令在被執行後將使相關聯之處理器執行本文中描述之功能性。因此，各種實施例之各種態樣可以許多不同形式來體現，已預期所有該等形式皆在所主張標的物之範疇內。此外，對於本文中描述之實施例中之每一者而言，任何此等實施例之對應形式可在本文中被描述為(例如)「經組態以執行所描述之動作的邏輯」。

如先前所描述，諸如 Guo 之先前技術設法藉由控制 SRAM 格中的 PG 電路之後閘極來改良 RSNM，但其代價為

減小 HSNM(歸因於用以使 WNM 免於劣化的降低之 VDD 格電壓)。另一方面，Liu 改良讀取操作期間之 RSNM，但未改良 WNM。因此，例示性實施例係有關改良之 RSNM 及 WNM，同時實質上保護 HSNM 使其免於降級。

圖 5 說明一例示性實施例。如圖 5 中所示，SRAM 格 50 包含可獨立控制 PU、PD 及 PG 電路。此等電路中之每一者包含由具有可獨立控制之閘極之 IG-FinFET 形成的一電晶體對。控制信號「SW」控制 PU 裝置 PU51 及 PU52 中的 IG-FinFET 之後閘極電位。信號 SW 在待用及寫入操作模式期間高。

控制信號「RW」控制 PG 裝置 PG51 及 PG52 中的 IG-FinFET 之前閘極電位。控制信號「W」控制該兩對之其他電晶體(後閘極)。信號 RW 在讀取及寫入操作期間高，而信號 W 僅在寫入操作期間高。

SRAM 50 中之寫入操作藉由將所有三個信號 SW、RW 及 W 驅動為高來繼續進行。將 SW 驅動為高具有斷開 PU51 及 PU52 之 IG-FinFET 電晶體之後閘極的效應。因此，前閘極在寫入操作期間傳導，且格之 PU 強度對應地減小。另一方面，PG 裝置 PG51 及 PG52 之兩個電晶體在寫入期間傳導。因此，在 PG 強度維持在高值且 PU 強度降低之情況下，該電路之比率 $\alpha(=PG/PU)$ 及對應的 WNM 增加。因此，SRAM 51 達成在寫入模式下的高 WNM 及改良之可寫入性。

在讀取操作期間，信號 RW 高，同時將 SW 與 W 兩者驅動為低。因此，僅 PG51 及 PG52 之前閘極「接通」，藉此減小

PG之強度，而不改變PD及PU之強度。因此， $\beta(=PD/PG)$ 增加，且對應地，SRAM格之RSNM亦增加。

在待用模式下，SW高，而RW及W維持在低。因此，使PU51及PU52之後閘極斷開，藉此減小PU之強度。因為RW及W低，所以PG裝置PG51及PG52不傳導，且使SRAM儲存元件與位元線隔離。由於PU之驅動強度僅稍微減小，故HSNM降級不顯著。

圖6說明根據前述章節中描述之一例示性實施例的包含格之SRAM陣列。如所說明之位元線BL及BLB安置於垂直方向上。在與位元線相同之方向(下文被稱作「垂直」方向)上投送控制信號SW及W。在與位元線正交之方向(下文被稱作「水平」方向)上投送控制信號RW。SRAM格60為在例示性寫入操作期間的選定格。格62係水平選擇且垂直未選擇，且格64係垂直選擇且水平未選擇。格62及64被稱為「半選定格」。格62在讀取操作模式下操作，且格處於保持情形下。在讀取及寫入操作期間指示二進位值「0」及「1」。值「f1」指代浮動電壓值「1」，且「D、D'」用以指示互補資料值。例示性實施例藉由垂直投送控制信號SW及W而有利地避免與半選定格相關聯之問題。

聚焦於格62，位元線浮動，此係由於未選擇該格所屬於之行。如先前所描述水平投送信號RW，且因此在寫入操作期間對於選定格60與半選定格62兩者將RW驅動為高。然而，對於格62，將信號SW及W維持在低，此係因為該格未處於選定行中。雖然現有技術將使格62經受半選擇讀

取問題，但例示性實施例避免了此問題。因為SW及W低且僅RW高，所以格62之PG裝置之強度減小。因此， α 低且因此格62之RSNM為高值。換言之，該格在讀取操作期間穩定，且防止了錯誤讀取操作。

對於格64，SW及W高，此係由於其經垂直驅動且該格處於選定行中，但RW低。因此，僅每一PG裝置之後閘極稍微傳導，且p通道PU裝置亦稍微變弱。然而，流經PG裝置之電流在此狀況下可忽略，且稍微變弱之PU裝置不具有對HSNM之顯著影響。因此，防止未選定格64受到例示性實施例中之半選擇問題影響。

總之，上文所描述之例示性實施例改良WNM及RSNM，而電路之HSNM不遭受劣化。在圖10之表格中說明Liu之SRAM電路與SRAM格50之例示性實施例之間的所有三個SNM參數RSNM、WNM及HSNM之比較。

在圖10中，Liu具有用於RSNM之兩個不同項(RSNM1及RSNM2)，而格50具有用於HSNM之三個不同項(HSNM1、HSNM2及HSNM3)。信號「SW」在待用模式與寫入操作兩者中高。因此，在寫入操作期間，斷開PU之後閘極，同時完全接通PG。歸因於PU之變弱的驅動強度， α 比率增加且因此格50之WNM得以改良(與習知TG-SRAM及Liu之WNM相比)。

在讀取操作期間，PG以與Liu相同的方式操作。另一方面，SW低且因此兩個PU之後閘極接通，從而造成經由僅後閘極接通的一PU之漏電流。然而，漏電流可忽略，其並

不干擾正常讀取操作。因此，格 50 之 RSNM 與 Liu 之 RSNM1 相當。

在待用模式期間，SW 高，且因此 PU 之後閘極斷開。歸因於 PU 之變弱的驅動強度，格 50 之保持靜態雜訊容限 (HSNM) 稍微降級 (與習知 TG-SRAM 之 HSNM 相比)。然而，如下所述，HSNM 降級可忽略。

將所有格分類成 4 個不同狀況：選定格 (SLC)、水平選定且垂直半選定格 (HSLC 1)、垂直選定且水平半選定格 (HSLC 2) 及未選定格 (USLC)，如圖 10 中所示。與 Liu 形成對比，W 係垂直安置且僅在 BL 經選擇之情況下高。由於對於 HSLC 1 (格 62) 而言 W 低，故在寫入操作期間的用於 HSLC 1 (格 62) 之 RSNM 與在讀取操作期間的 RSNM 相同。因此，在寫入操作期間，對於 HSLC 1，格 50 並不遭受 RSNM 降級。在讀取及寫入操作期間，HSLC 2 及 USLC 之穩定性藉由 HSNM 來評估，此係由於 PG 係藉由後閘極完全斷開或半接通。在讀取及寫入操作期間的用於 USLC 之 HSNM2 及在寫入操作期間的用於 HSLC 2 之 HSNM3 在待用模式期間幾乎與 HSNM1 相同。此等結果亦說明於圖 11 之曲線圖中。因此，例示性實施例實現在操作的讀取、寫入及待用操作模式期間的穩定性及高雜訊容限。

應瞭解，實施例包括用於執行本文中所揭示之程序、功能及 / 或演算法的各種方法。舉例而言，如圖 12 中所說明，一實施例可包括一種形成一 SRAM 格之方法，其包含組態一對儲存節點以儲存互補二進位值 (區塊 1202)。接下

來，在區塊1204處，將一對位元線耦接至儲存節點以將互補二進位值傳輸至儲存節點/自儲存節點傳輸互補二進位值。在區塊1206處，將一對上拉裝置耦接至儲存節點以便將儲存節點連接至正電源供應電壓。繼續進行至區塊1208，將一對下拉裝置耦接至儲存節點以便將儲存節點連接至負電源供應電壓，且在區塊1210處，將一對通過閘裝置耦接至儲存節點以便將儲存節點連接至位元線。接下來，在區塊1212處，將第一控制信號及第二控制信號耦接至通過閘裝置以便調整通過閘裝置之驅動強度，其中該第一控制信號係水平投送，且該第二控制信號係垂直投送。最後，在區塊1214處，將第三控制信號耦接至上拉裝置以便調整上拉裝置之驅動強度，其中該第三控制信號係垂直投送。

熟習此項技術者將瞭解，可使用各種各樣的不同技術及技藝中之任一者來表示資訊及信號。舉例而言，貫穿以上描述可能提及的資料、指令、命令、資訊、信號、位元、符號及碼片可由電壓、電流、電磁波、磁場或磁粒子、光場或光粒子或者其任何組合來表示。

另外，熟習此項技術者將瞭解，結合本文所揭示之實施例所描述之各種說明性邏輯區塊、模組、電路及演算法步驟可實施為電子硬體、電腦軟體或兩者之組合。為了清楚地說明硬體與軟體之此可互換性，各種說明性組件、區塊、模組、電路及步驟已在上文大體按其功能性加以描述。將此功能性實施為硬體抑或軟體取決於特定應用及強

加於整個系統上之設計約束。熟習此項技術者可以變化的方式針對每一特定應用實施所描述之功能性，但此等實施決策不應被解釋為會導致脫離本發明之範疇。

結合本文中所揭示之實施例所描述之方法、序列及/或演算法可直接體現於硬體中、由處理器執行之軟體模組中或兩者之組合中。軟體模組可駐留於RAM記憶體、快閃記憶體、ROM記憶體、EPROM記憶體、EEPROM記憶體、暫存器、硬碟、抽取式磁碟、CD-ROM或此項技術中已知之任何其他形式的儲存媒體中。將例示性儲存媒體耦接至處理器，使得處理器可自儲存媒體讀取資訊及將資訊寫入至儲存媒體。在替代方案中，儲存媒體可整合至處理器。

因此，實施例可包括體現用於在高穩定SRAM架構中使用(IG-FinFET)架構之方法的電腦可讀媒體。因此，各種實施例不限於所說明之實例，且用於執行本文中描述之功能性之任何構件包括於實施例中。

本發明之實施例可合適地用於任何裝置中，該任何裝置包括主動式積體電路(包括記憶體)及用於測試及特性化之晶片上電路。

前文揭示之裝置及方法通常經設計及組態成儲存於電腦可讀媒體上之GDSII及GERBER電腦檔案。此等檔案又被提供至基於此等檔案而製造裝置之製造處置者。所得產品為接著被切割成半導體晶粒且封裝至半導體晶片內之半導體晶圓。該等晶片接著用於上文所描述之裝置中。

雖然前述揭示內容展示說明性實施例，但應注意，在不

脫離如附加申請專利範圍界定之本發明之範疇的情況下，可在本文中作出各種改變及修改。無需以任何特定次序執行根據本文中描述之實施例的方法請求項的功能、步驟及/或動作。此外，雖然可能以單數形式描述或主張各種實施例之元件，但除非明確陳述限於單數形式，否則亦預期複數形式。

【圖式簡單說明】

圖1說明一習知SRAM格。

圖2A說明一習知TG-SRAM格。

圖2B說明根據先前技術Guo之SRAM格。

圖3說明根據先前技術Guo之SRAM陣列。

圖4說明根據先前技術Liu之IG-FinFET SRAM格設計。

圖5說明根據一例示性實施例之IG-FinFET SRAM格。

圖6說明根據一例示性實施例之包含格之SRAM陣列，其中避免了半選擇問題。

圖7說明用於比較習知TG-SRAM與根據Guo之SRAM格的RSNM值之BTC。

圖8說明用於比較習知TG-SRAM與根據Guo之SRAM格的WNM值之BTC。

圖9說明用於比較習知TG-SRAM與根據Guo之SRAM格的HSNM值之BTC。

圖10說明比較習知TG-SRAM、根據Liu之先前技術設計及例示性實施例之RSNM、WNM及HSNM值的圖表。

圖11說明圖10之表格中所展示的值之條形圖。

圖 12 為說明根據一示例性實施例之形成 SRAM 格之方法的流程圖。

【主要元件符號說明】

50	靜態隨機存取記憶體 (SRAM) 格
60	靜態隨機存取記憶體 (SRAM) 格
62	格
64	格
BL	位元線
BLB	位元線
BLC	位元線
M1	電晶體
M2	電晶體
M3	電晶體
M4	電晶體
M5	存取電晶體
M6	存取電晶體
PD1	下拉 (PD) 邏輯
PD2	下拉 (PD) 邏輯
PG1	通過閘
PG2	通過閘
PG51	通過閘 (PG) 裝置
PG52	通過閘 (PG) 裝置
PU1	上拉 (PU) 邏輯
PU2	上拉 (PU) 邏輯

PU51	上 拉 (PU) 裝 置
PU52	上 拉 (PU) 裝 置
Q	節 點
QC	節 點
WL	字 線

七、申請專利範圍：

1. 一種靜態隨機存取記憶體(SRAM)格，其包含：
 - 一對儲存節點，其經組態以儲存互補二進位值；
 - 一對位元線，其經組態以將該等互補二進位值傳輸至該等儲存節點/自該等儲存節點傳輸該等互補二進位值；
 - 一對上拉裝置，其經組態以將該等儲存節點耦接至正電源供應電壓；
 - 一對下拉裝置，其經組態以將該等儲存節點耦接至負電源供應電壓；
 - 一對通過閘裝置，其經組態以將該等儲存節點耦接至該等位元線；
 - 一第一控制信號及一第二控制信號，其經組態以調整該等通過閘裝置之驅動強度；及
 - 一第三控制信號，其用以調整該等上拉裝置之驅動強度。
2. 如請求項1之SRAM格，其中該等上拉裝置、該等下拉裝置及該等通過閘裝置包含一對IG-FinFET電晶體。
3. 如請求項2之SRAM格，其中該第一控制信號在一讀取操作及一寫入操作期間維持在一高電壓狀態；該第二控制信號在一寫入操作期間維持在一高電壓狀態；且該第三控制信號在一待用模式及一寫入操作期間維持在一高電壓狀態。
4. 如請求項3之SRAM格，其中在一讀取操作中，該等通過閘裝置之驅動強度減小，以便改良一讀取靜態雜訊容限

參數。

5. 如請求項3之SRAM格，其中在一寫入操作中，該等上拉裝置之驅動強度減小，以便改良一寫入雜訊容限參數。
6. 如請求項1之SRAM格，其中該第一控制信號係在與一位元線方向正交之一方向上投送，且該第二控制信號及該第三控制信號係在與該位元線方向相同之一方向上投送。
7. 如請求項1之SRAM格，其整合於至少一半導體晶粒中。
8. 如請求項1之SRAM格，其整合至一選自由以下各物組成之群之裝置中：一機上盒、音樂播放器、視訊播放器、娛樂單元、導航裝置、通信裝置、個人數位助理(PDA)、固定位置資料單元，及一電腦。
9. 一種形成一靜態隨機存取記憶體(SRAM)格之方法，其包含：

組態一對儲存節點以儲存互補二進位值；

將一對位元線耦接至該等儲存節點以將該等互補二進位值傳輸至該等儲存節點/自該等儲存節點傳輸該等互補二進位值；

將一對上拉裝置耦接至該等儲存節點以便將該等儲存節點連接至正電源供應電壓；

將一對下拉裝置耦接至該等儲存節點以便將該等儲存節點連接至負電源供應電壓；

將一對通過閘裝置耦接至該等儲存節點以便將該等儲存節點連接至該等位元線；

將一第一控制信號及一第二控制信號耦接至該等通過閘裝置以便調整該等通過閘裝置之驅動強度；及

將一第三控制信號耦接至該等上拉裝置以便調整該等上拉裝置之驅動強度。

10. 如請求項9之方法，其包含使用一對IG-FinFET電晶體形成該等上拉裝置、該等下拉裝置及該等通過閘裝置。
11. 如請求項10之方法，其包含在一讀取操作及一寫入操作期間將該第一控制信號維持在一高電壓狀態；在一寫入操作期間將該第二控制信號維持在一高電壓狀態；及在一待用模式及一寫入操作期間將該第三控制信號維持在一高電壓狀態。
12. 如請求項11之方法，其包含在一讀取操作期間，減小該等通過閘裝置之驅動強度，藉此改良一讀取靜態雜訊容限參數。
13. 如請求項11之方法，其包含在一寫入操作期間，減小該等上拉裝置之驅動強度，藉此改良一寫入雜訊容限參數。
14. 如請求項9之方法，其中該第一控制信號係在與一位元線方向正交之一方向上投送，且該第二控制信號及該第三控制信號係在與該位元線方向相同之一方向上投送。
15. 如請求項9之方法，其中該SRAM格整合於至少一半導體晶粒中。
16. 如請求項9之方法，其中該SRAM格整合至一選自由以下各物組成之群之裝置中：一機上盒、音樂播放器、視訊

播放器、娛樂單元、導航裝置、通信裝置、個人數位助理(PDA)、固定位置資料單元，及一電腦。

17. 一種靜態隨機存取記憶體(SRAM)格，其包含：

儲存構件，其用於儲存互補二進位值；

位元線存取構件，其用於將該等互補二進位值傳輸至該儲存構件/自該儲存構件傳輸該等互補二進位值；

上拉構件，其用於將該儲存構件耦接至正電源供應電壓；

下拉構件，其用於將該儲存構件耦接至負電源供應電壓；

通過閘構件，其用於將該儲存構件耦接至該位元線存取構件；

一第一控制構件及一第二控制構件，其用於調整該通過閘構件之驅動強度；及

一第三控制構件，其用於調整該上拉構件之驅動強度。

18. 如請求項17之SRAM格，其中該上拉構件、該下拉構件及該通過閘構件包含一對IG-FinFET電晶體。

19. 如請求項18之SRAM格，其中該第一控制構件在一讀取操作及一寫入操作期間維持在一作用中高狀態下；該第二控制構件在一寫入操作期間維持在一作用中高狀態下；且該第三控制構件在一待用模式及一寫入操作期間維持在一作用中高狀態下。

20. 如請求項18之SRAM格，其中在一讀取操作中，該通過

開構件之一驅動強度減小，以便改良一讀取靜態雜訊容限參數。

21. 如請求項18之SRAM格，其中在一寫入操作中，該上拉構件之一驅動強度減小，以便改良一寫入雜訊容限參數。
22. 如請求項17之SRAM格，其中該第一控制構件係在與一位元線方向正交之一方向上投送，及該第二控制構件及該第三控制構件係在與該位元線方向相同之一方向上投送。
23. 如請求項17之SRAM格，其整合於至少一半導體晶粒中。
24. 如請求項17之SRAM格，其整合至一選自由以下各物組成之群之裝置中：一機上盒、音樂播放器、視訊播放器、娛樂單元、導航裝置、通信裝置、個人數位助理(PDA)、固定位置資料單元，及一電腦。
25. 一種形成一靜態隨機存取記憶體(SRAM)格之方法，其包含：

用於組態一對儲存節點以儲存互補二進位值之步驟；

用於將一對位元線耦接至該等儲存節點以將該等互補二進位值傳輸至該等儲存節點/自該等儲存節點傳輸該等互補二進位值之步驟；

用於將一對上拉裝置耦接至該等儲存節點以便將該等儲存節點連接至正電源供應電壓之步驟；

用於將一對下拉裝置耦接至該等儲存節點以便將該等

儲存節點連接至負電源供應電壓之步驟；

用於將一對通過閘裝置耦接至該等儲存節點以便將該等儲存節點連接至該等位元線之步驟；

用於將一第一控制信號及一第二控制信號耦接至該等通過閘裝置以便調整該等通過閘裝置之驅動強度的步驟；及

用於將一第三控制信號耦接至該等上拉裝置以便調整該等上拉裝置之驅動強度的步驟。

26. 如請求項25之方法，其包含用於使用一對IG-FinFET電晶體形成該等上拉裝置、該等下拉裝置及該等通過閘裝置之步驟。

27. 如請求項26之方法，其包含用於在一讀取操作及一寫入操作期間將該第一控制信號維持在一高電壓狀態之步驟；用於在一寫入操作期間將該第二控制信號維持在一高電壓狀態之步驟；及用於在一待用模式及一寫入操作期間將該第三控制信號維持在一高電壓狀態之步驟。

28. 如請求項27之方法，其包含在一讀取操作期間，用於減小該等通過閘裝置之驅動強度之步驟，藉此改良一讀取靜態雜訊容限參數。

29. 如請求項27之方法，其包含在一寫入操作期間，用於減小該等上拉裝置之驅動強度之步驟，藉此改良一寫入雜訊容限參數。

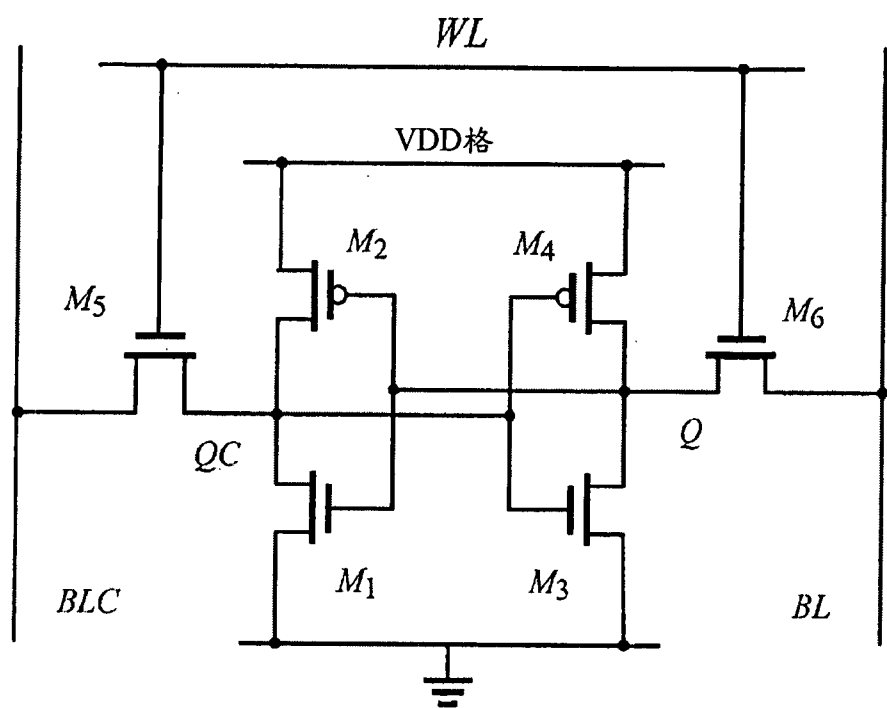
30. 如請求項25之方法，其中該第一控制信號係在與一位元線方向正交之一方向上投送，且該第二控制信號及該第

三控制信號係在與該位元線方向相同之一方向上投送。

31. 如請求項25之方法，其中該SRAM格整合於至少一半導體晶粒中。

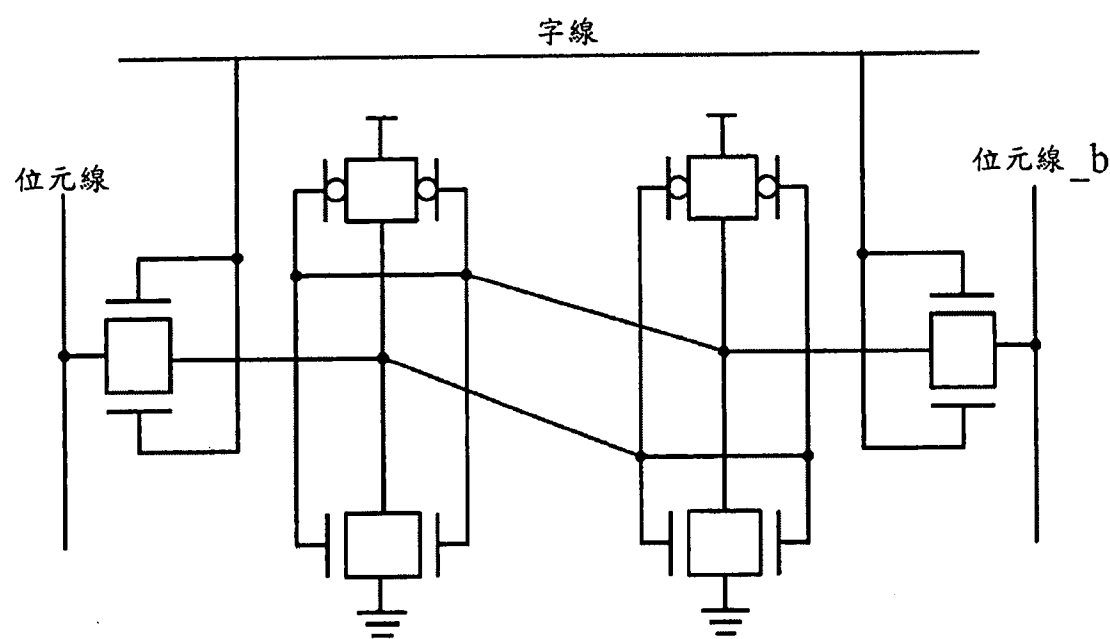
32. 如請求項25之方法，其中該SRAM格整合至一選自由以下各物組成之群之裝置中：一機上盒、音樂播放器、視訊播放器、娛樂單元、導航裝置、通信裝置、個人數位助理(PDA)、固定位置資料單元及一電腦，該SRAM格整合至該裝置中。

八、圖式：



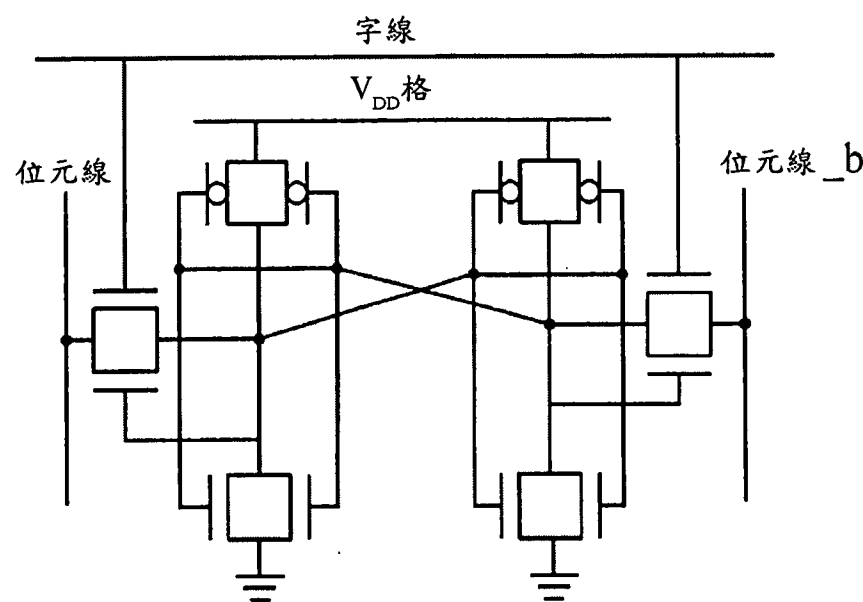
習知6T靜態隨機存取記憶體 (SRAM)

圖1



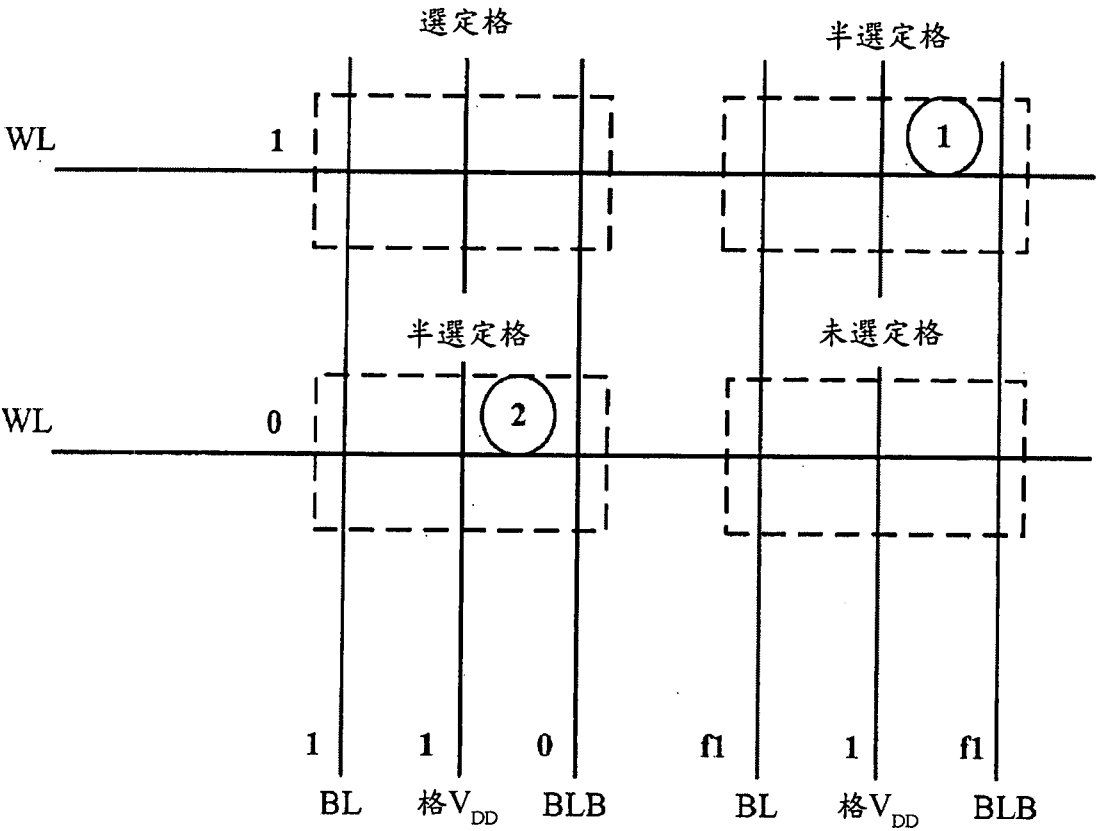
習知繫結閘極靜態隨機存取記憶體 (SRAM)

圖2A



先前技術GUO之靜態隨機存取記憶體 (SRAM) 格

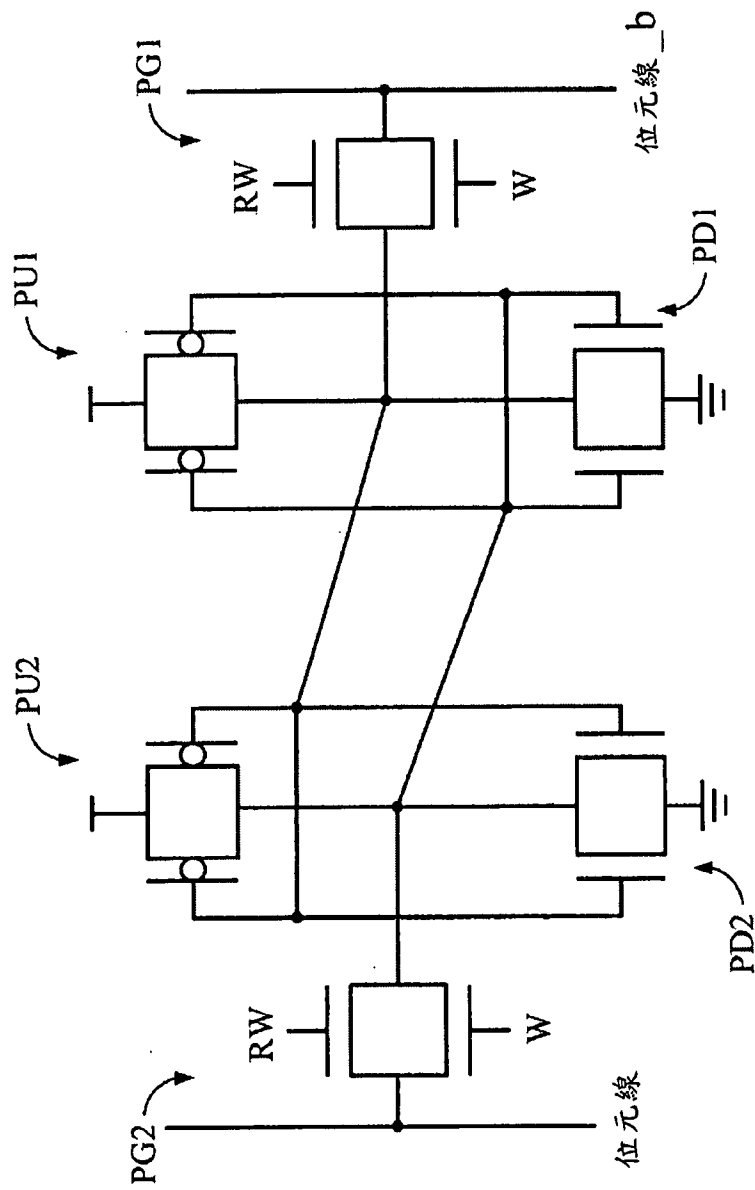
圖2B



< 寫入操作 >

靜態隨機存取記憶體 (SRAM) 陣列-先前技術GUO

圖3



先前技術LUI
圖4

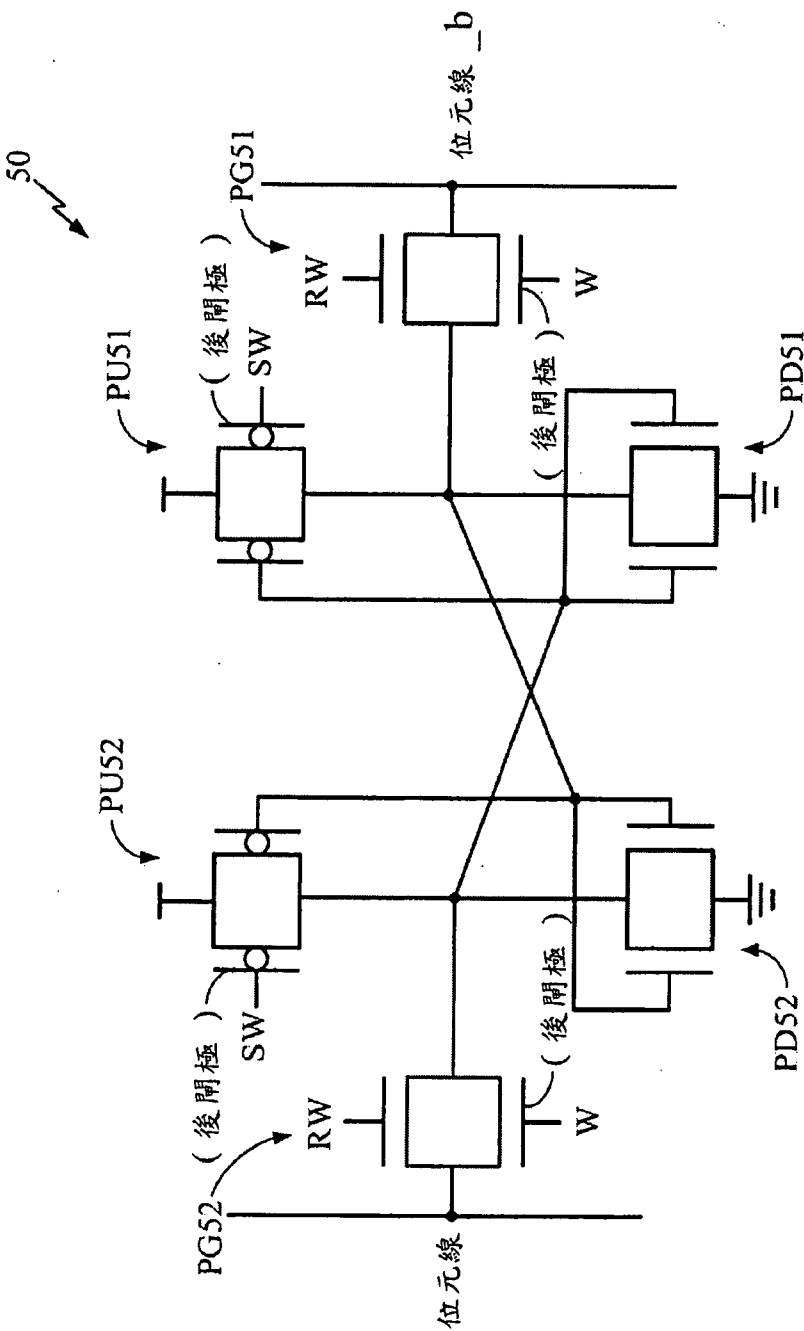


圖5

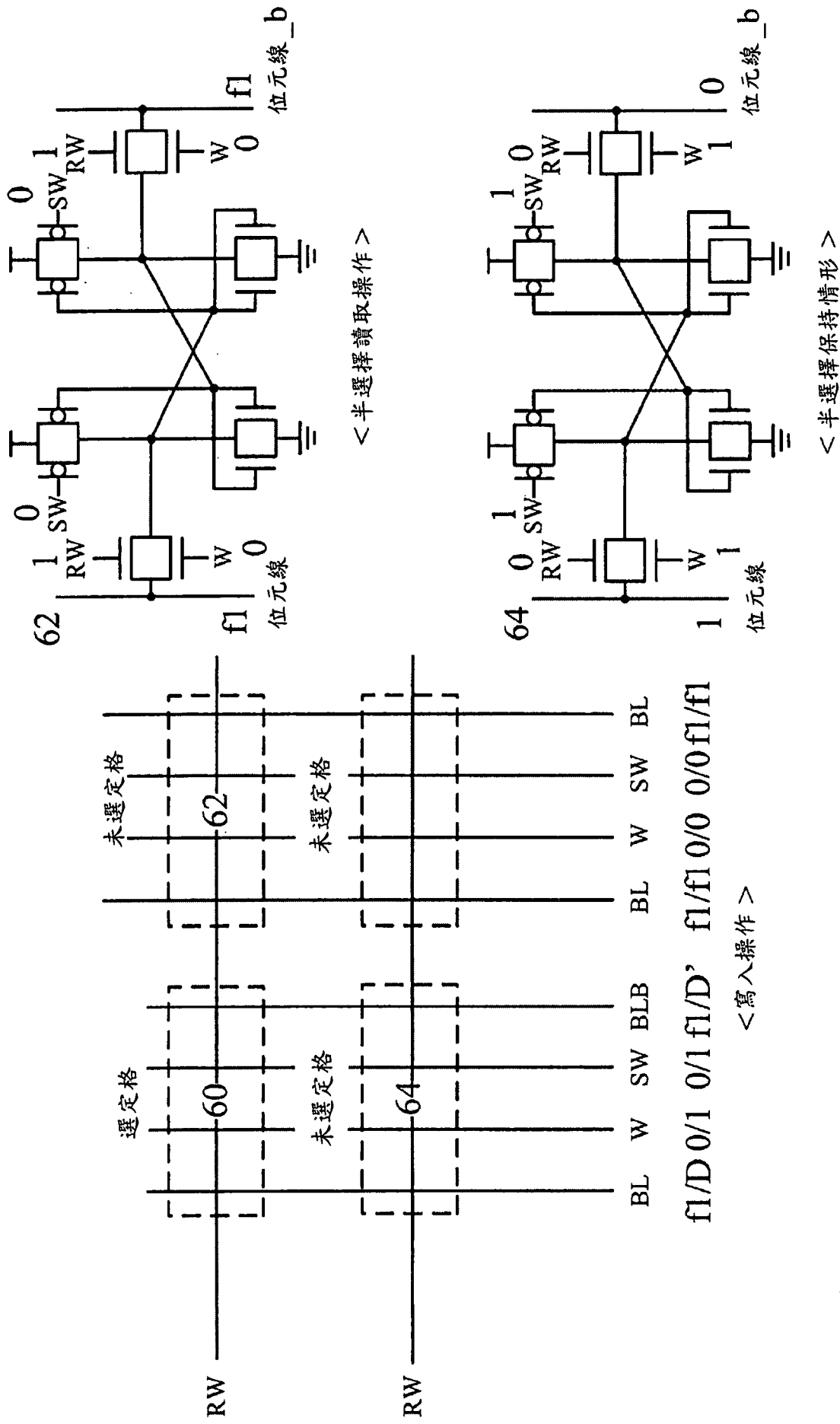


圖6

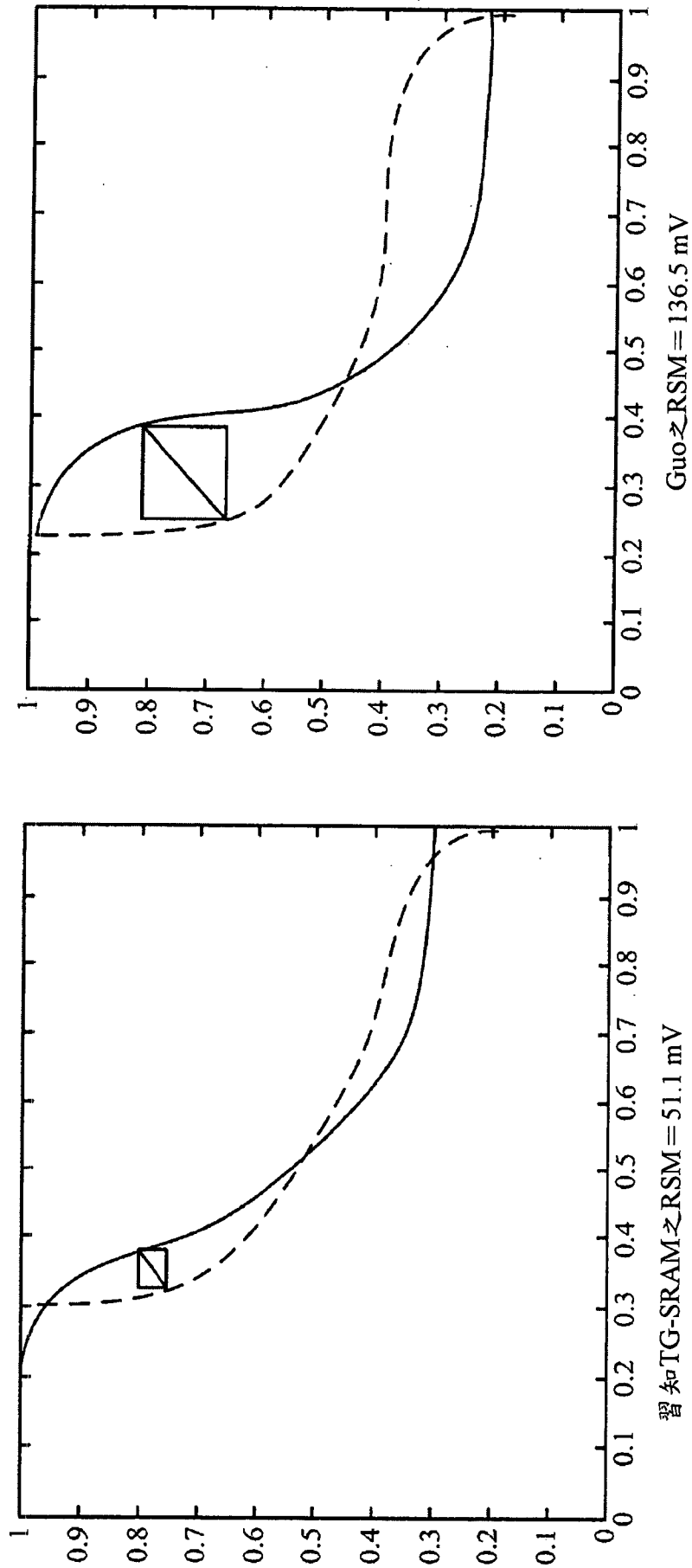


圖7

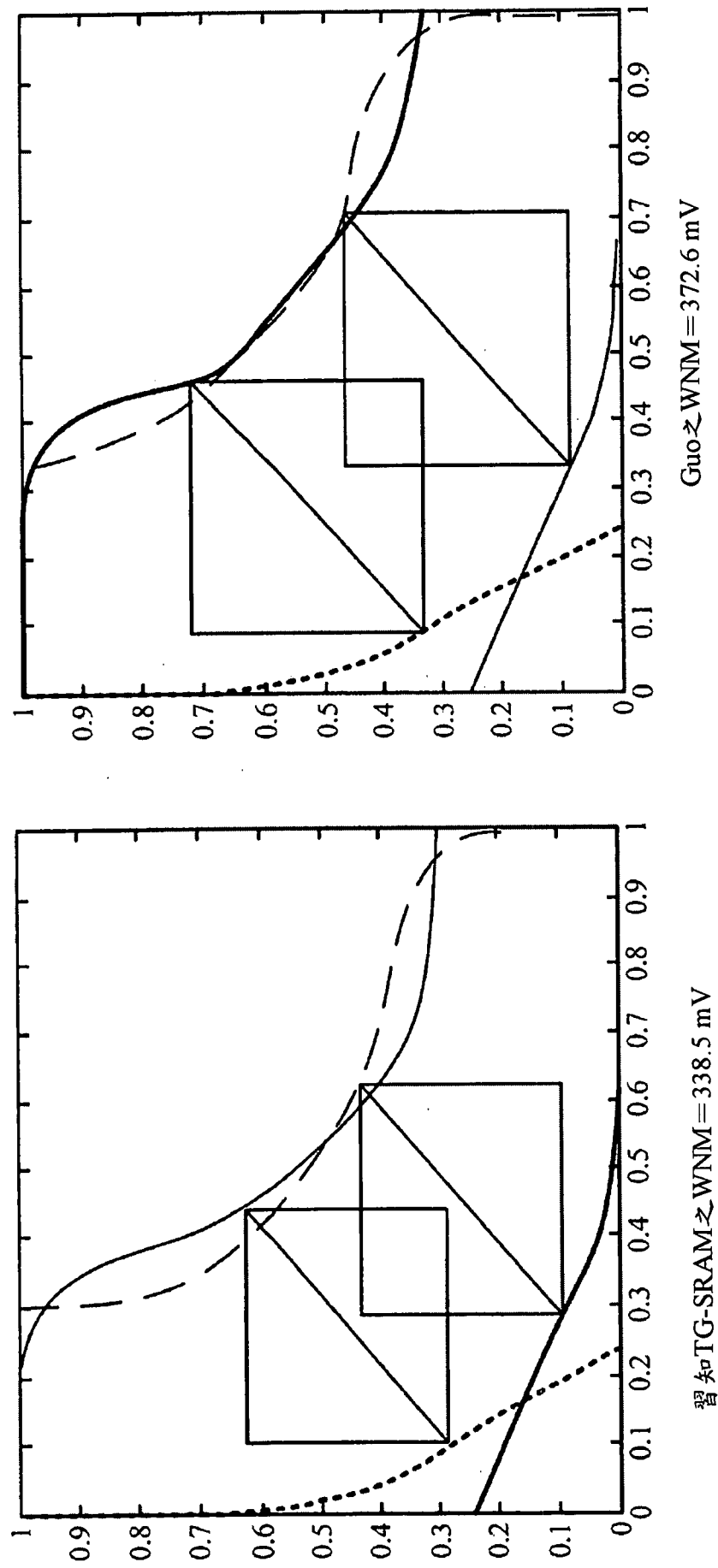


圖8

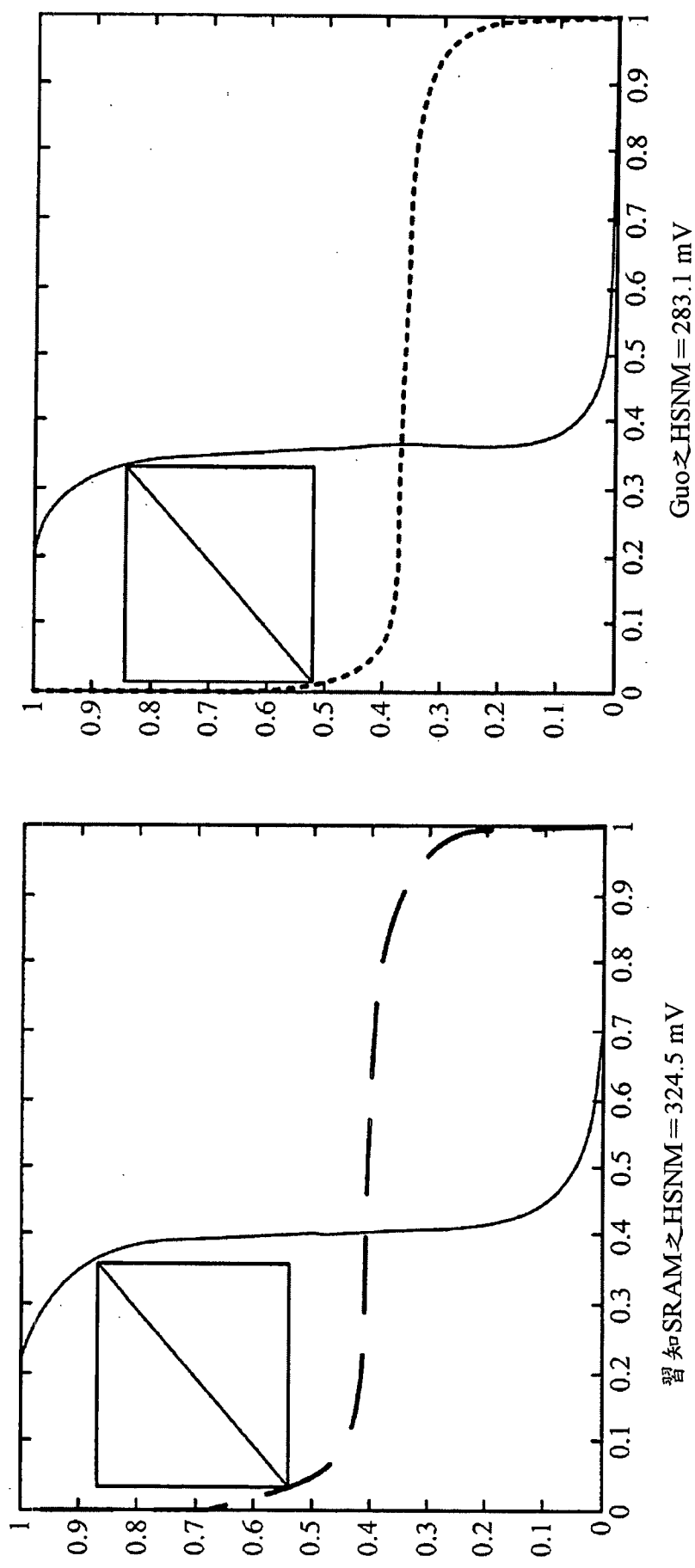


圖9

	待用模式		讀取模式		寫入模式	
	格50 (RW/W/SW)	Liu 60 (RW/W)	格50 (RW/W/SW)	Liu (RW/W)	格50 (RW/W/SW)	Liu (RW/W)
選定格 (SLC：格60)	HSNM1 (0 / 0 / 1)	HSNM (0 / 0)	RSNM (1 / 0 / 0)	RSNM1 (1 / 0)	WNM (1 / 1 / 1)	WNM (1 / 1)
水平選定、 垂直半選定格 (HSLC1：格62)					RSNM (1 / 0 / 0)	RSNM2 (1 / 1)
垂直選定、 水平半選定格 (HSLC2：格64)			HSNM2 (0 / 0 / 0)	HSNM (0 / 0)	HSNM3 (0 / 1 / 1)	HSNM (0 / 0)
未選定格 (USLC)					HSNM2 (0 / 0 / 0)	

圖10

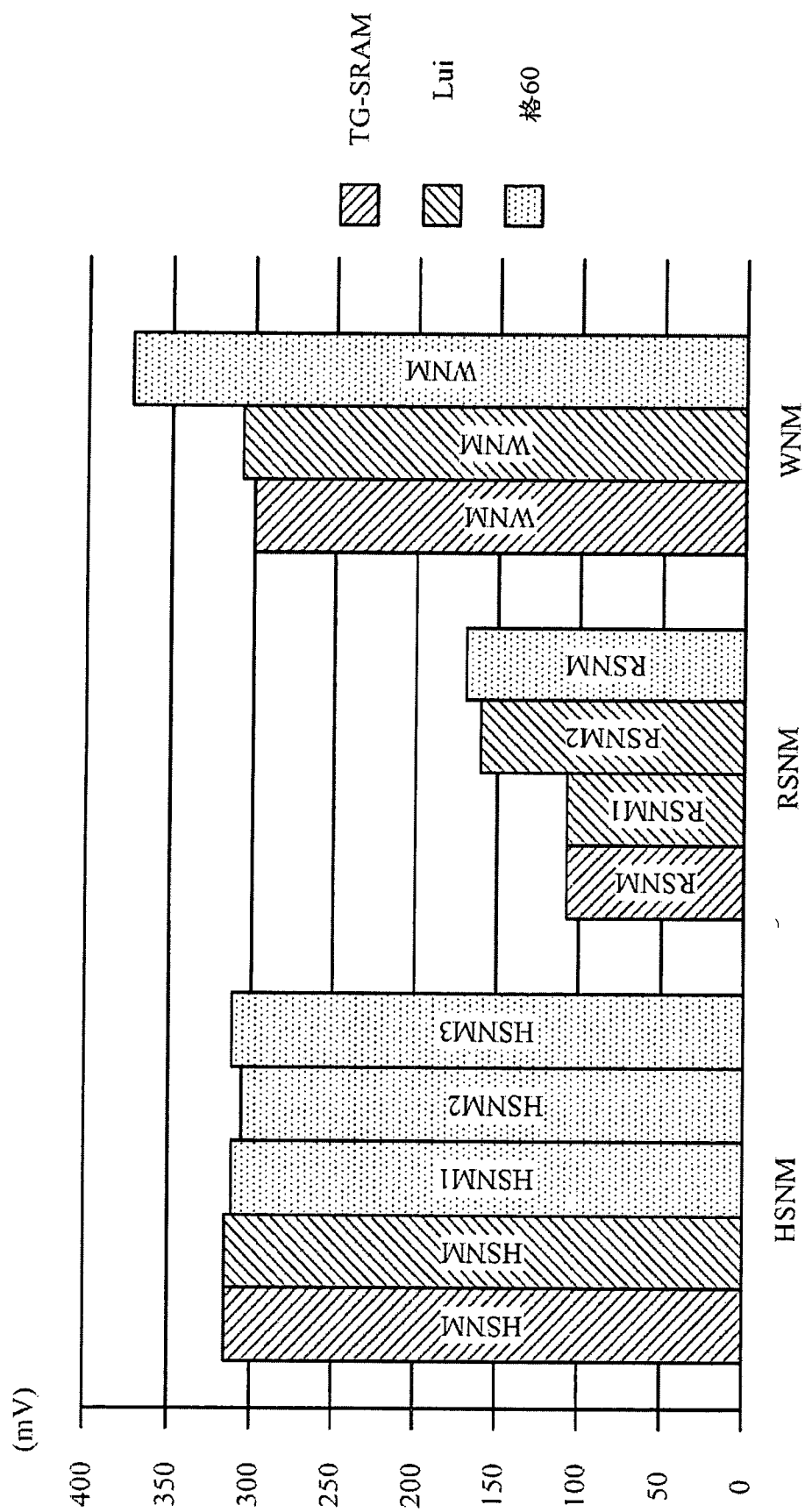


圖 11

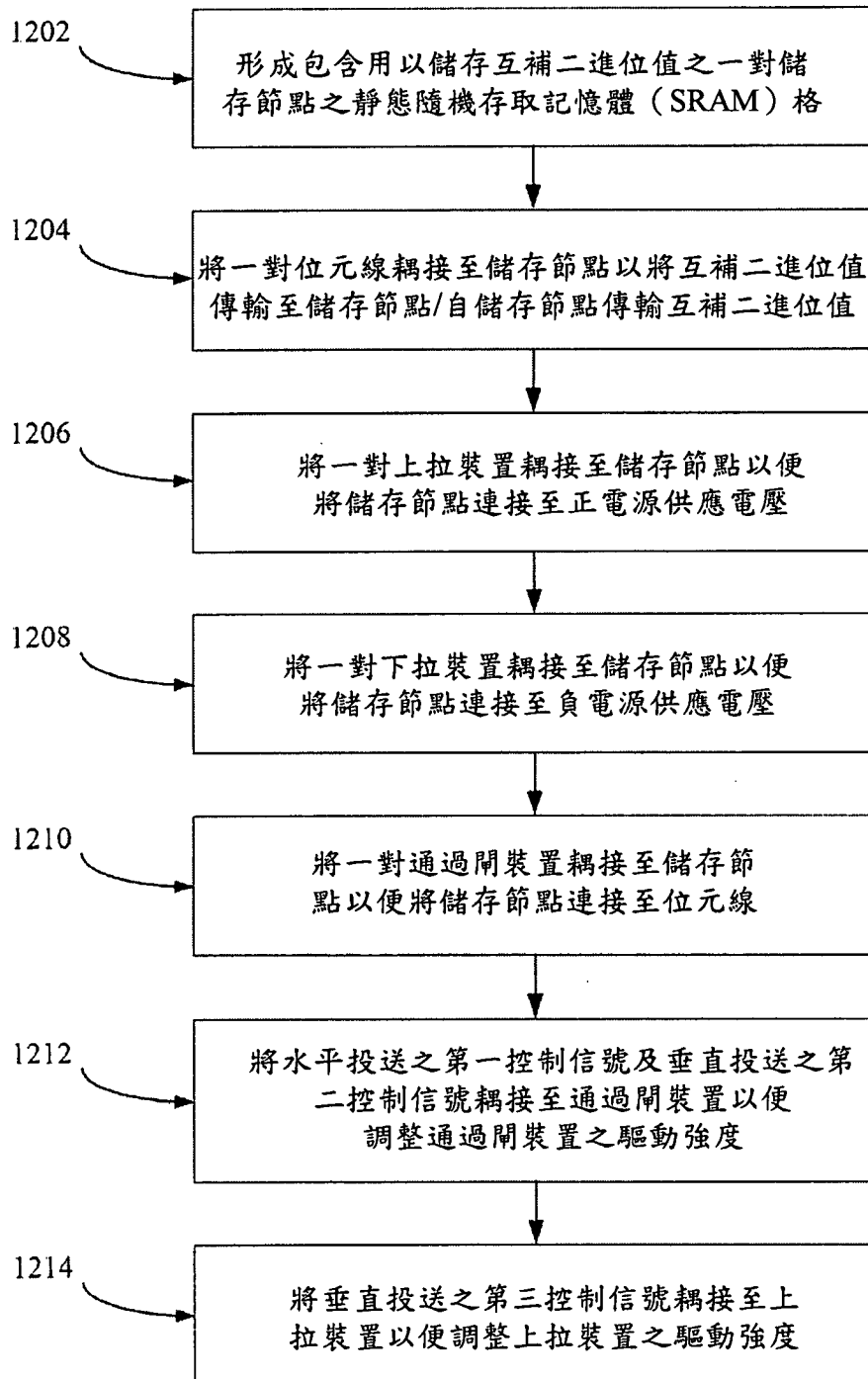


圖12