



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202316675 A

(43)公開日：中華民國 112 (2023) 年 04 月 16 日

(21)申請案號：111101054

(22)申請日：中華民國 111 (2022) 年 01 月 11 日

(51)Int. Cl. : H01L29/80 (2006.01)

H01L29/06 (2006.01)

H01L29/36 (2006.01)

(30)優先權：2021/01/12 美國

17/248,160

(71)申請人：美商半導體元件工業有限責任公司(美國) SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC (US)

美國

(72)發明人：曹圭憲 CHO, KEVIN KYUHEON (KR)；李峯龍 LEE, BONGYONG (KR)；朴慶錫 PARK, KYEONGSEOK (KR)；崔杜濤 CHOI, DOOJIN (KR)；奈爾 湯瑪士 NEYER, THOMAS (DE)；金奇玟 KIM, KI MIN (CN)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：18 共 39 頁

(54)名稱

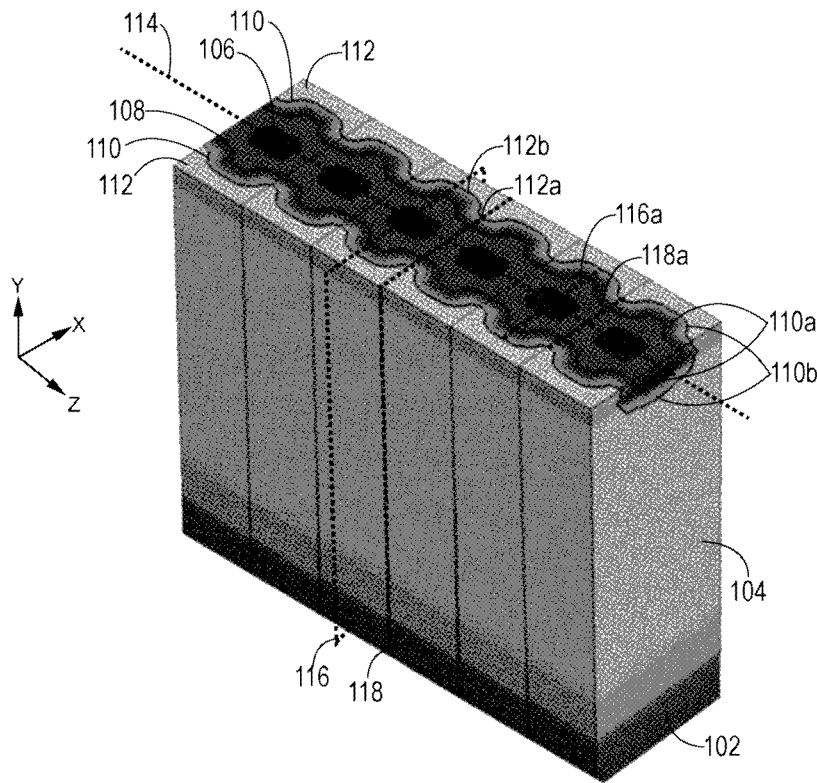
具有起伏的通道之 MOSFET 裝置

(57)摘要

描述一種具有交替的 p 井寬度(116a, 118a)的 SiC MOSFET 裝置，其包括一起伏的通道(110, 110a, 110b)。起伏的通道(110, 110a, 110b)提供多個寬度的電流路徑，其實現導通電阻、跨導、臨限電壓、及通道長度的最佳化。多寬度 p 井區域進一步界定對應的多寬度接面 FET (JFET) (112a, 112b)。多寬度 JFET (112a, 112b)實現對短路事件改善的回應。藉由將在具有第一寬度(112a)的 JFET 中之一高電場分布至具有第二寬度(112b)的 JFET 中來獲得一高崩潰電壓。

A SiC MOSFET device with alternating p-well widths (116a, 118a), including an undulating channel (110, 110a, 110b), is described. The undulating channel (110, 110a, 110b) provides current paths of multiple widths, which enables optimization of on-resistance, transconductance, threshold voltage, and channel length. The multi-width p-well region further defines corresponding multi-width Junction FETs (JFETs) (112a, 112b). The multi-width JFETs (112a, 112b) enable improved response to a short-circuit event. A high breakdown voltage is obtained by distributing a high electric field in a JFET of a first width (112a) into a JFET of a second width (112b).

指定代表圖：



【圖 1】

符號簡單說明：

- 102: 基材
- 104: 漂移區域
- 106: 重摻雜 p 區域
- 108: 源極區域
- 110: 輕摻雜 p 區域
- 110a: 邊緣或邊界
- 110b: 邊緣
- 112: 接面場效電晶體 (junction field effect transistor, JFET) 區域
- 112a: 寬 JFET 區域；接面場效電晶體 (JFET) 區域
- 112b: 窄 JFET 區域；接面場效電晶體 (JFET) 區域
- 114: 縱軸
- 116: 截面
- 116a: 邊緣至邊緣距離；距離(邊對邊寬度)
- 118: 截面
- 118a: 邊緣至邊緣距離；距離(邊緣至邊緣寬度)
- X: 軸
- Y: 軸
- Z: 軸

【發明摘要】

【中文發明名稱】

具有起伏的通道之MOSFET裝置

【英文發明名稱】

MOSFET DEVICE WITH UNDULATING CHANNEL

【中文】

描述一種具有交替的p井寬度(116a, 118a)的SiC MOSFET裝置，其包括一起伏的通道(110, 110a, 110b)。起伏的通道(110, 110a, 110b)提供多個寬度的電流路徑，其實現導通電阻、跨導、臨限電壓、及通道長度的最佳化。多寬度p井區域進一步界定對應的多寬度接面FET (JFET) (112a, 112b)。多寬度JFET (112a, 112b)實現對短路事件改善的回應。藉由將在具有第一寬度(112a)的JFET中之一高電場分布至具有第二寬度(112b)的JFET中來獲得一高崩潰電壓。

【英文】

A SiC MOSFET device with alternating p-well widths (116a, 118a), including an undulating channel (110, 110a, 110b), is described. The undulating channel (110, 110a, 110b) provides current paths of multiple widths, which enables optimization of on-resistance, transconductance, threshold voltage, and channel length. The multi-width p-well region further defines corresponding multi-width Junction FETs (JFETs) (112a, 112b). The multi-width JFETs (112a, 112b) enable improved response to a short-circuit event. A high breakdown voltage is obtained by distributing a high electric field in a JFET of a first width (112a) into a JFET of a

second width (112b).

【指定代表圖】

圖1

【代表圖之符號簡單說明】

102:基材

104:漂移區域

106:重摻雜p區域

108:源極區域

110:輕摻雜p區域

110a:邊緣或邊界

110b:邊緣

112:接面場效電晶體(junction field effect transistor, JFET)區域

112a:寬JFET區域；接面場效電晶體(JFET)區域

112b:窄JFET區域；接面場效電晶體(JFET)區域

114:縱軸

116:截面

116a:邊緣至邊緣距離；距離（邊緣對邊緣寬度）

118:截面

118a:邊緣至邊緣距離；距離（邊緣至邊緣寬度）

X:軸

Y:軸

Z:軸

【發明說明書】

【中文發明名稱】

具有起伏的通道之MOSFET裝置

【英文發明名稱】

MOSFET DEVICE WITH UNDULATING CHANNEL

【技術領域】

【0001】 本說明書係關於垂直金屬氧化物半導體場效電晶體(MOSFET)，包括碳化矽(SiC) MOSFET。

【先前技術】

【0002】 碳化矽(SiC)金屬氧化物半導體場效電晶體(MOSFET)可根據一安全操作區(safe operating area, SOA)來特徵化，其係指預期此類SiC MOSFET在其中操作不會損壞的電壓及/或電流範圍。例如相較於具有類似電壓額定的矽電力裝置，讓SiC MOSFET具有有利的特徵（諸如，較小的大小、較低的電力損耗、及更快的切換速度）是有可能的。

【0003】 然而，得到此類特徵的完整好處可能是困難的。例如，用於切換應用的SiC MOSFET可受益於低導通電阻及高跨導，但針對這些參數來最佳化SiC MOSFET可減少SiC MOSFET的對應SOA。在其他實例中，小的SiC MOSFET之大小亦可能回應於短路事件而減少耐用性。

【發明內容】

【0004】 根據一大致態樣，一種碳化矽(SiC)半導體裝置包括：一第一導電性類型的一基材；該第一導電性類型的一漂移區域，其設置於該基材上；一第二導電性類型的一通道區域，其在該漂移區域內且沿著一縱軸設置；及該第一導電性類型的一源極區，其設置於該通道區內。該SiC半

導體裝置進一步包括：複數個接面場效電晶體(JFET)區域，其等在該通道區域與該漂移區域之間；及閘極，其等沿著縱軸且設置在該源極區域、該通道區域、及該複數個JFET區域之至少一部分上。該SiC半導體裝置包括：一第一截面區，其正交於該縱軸，其中該通道區域具有一第一寬度；及一第二截面區，其正交於該縱軸，其中該通道區域具有小於該第一寬度的一第二寬度。

【0005】 根據另一大致態樣，一種碳化矽(SiC)半導體裝置包括：一第一導電性類型的一基材；該第一導電性類型的一漂移區域，其設置於該基材上；及一第二導電性類型的一通道區域，其在該漂移區域內，該通道區域具有一起伏的通道邊緣。該SiC半導體裝置包括：一源極區域，其設置於該通道區域中；複數個接面場效電晶體(JFET)區域，其等設置於該通道區域與該漂移區域之間，該複數個JFET區域具有對應於該起伏的通道邊緣之起伏而交替的寬度；及至少一閘極，其設置於該源極區域、該通道區域、及該複數個JFET區域之至少一部分上。

【0006】 根據另一大致態樣，一種製作一SiC半導體裝置的方法包括：在一基材上提供一漂移區域；及在該漂移區域中且沿一縱軸植入一通道區域，該通道區域相對於該縱軸具有交替的井（例如，P井）寬度。該方法進一步包括：在該通道區域中植入一源極區域；及在該源極區域之至少一部分上、該通道區域之至少一部分上、及設置於該通道區域與該漂移區域之間的該複數個接面場效電晶體(JFET)區域上提供至少一閘極，該複數個JFET區域具有對應於該等交替的井（例如，P井）寬度而交替之交替的JFET寬度。

【0007】 於附圖及以下說明中提出一或多個實施方案之細節。可從

說明及圖式以及申請專利範圍中明白了解其他特徵。

【圖式簡單說明】

【0008】

〔圖1〕係具有起伏的通道邊緣之MOSFET裝置的等角側視圖。

〔圖2〕係圖1之MOSFET裝置之實施方案的俯視圖。

〔圖3〕繪示圖1之MOSFET裝置的兩個簡化截面圖。

〔圖4〕係圖1之MOSFET裝置之更詳細截面圖。

〔圖5〕係圖1之MOSFET裝置之更詳細實例實施方案的俯視圖。

〔圖6A〕至〔圖6D〕繪示製作圖1之MOSFET裝置的實例程序流程。

〔圖7〕繪示圖1之MOSFET裝置之實施方案的等角視圖，其包括第一電流密度分布。

〔圖8〕繪示圖17之MOSFET裝置之實施方案的等角視圖，其包括第二電流密度分布。

〔圖9〕係繪示圖7之實例的電流電壓特性的圖。

〔圖10〕係繪示圖8之實例的電流電壓特性的圖。

〔圖11〕係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{\text{拉回}}$ 程度之臨限電壓之實例改變的圖。

〔圖12〕係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{\text{拉回}}$ 程度之比導通電阻之實例改變的圖。

〔圖13〕係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{\text{拉回}}$ 程度之短路電路電流 I_{sc} 之實例改變的圖。

〔圖14〕係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{\text{拉回}}$ 程

度之崩潰電壓(BV)之實例改變的圖。

〔圖15〕係繪示根據圖1之實例實施方案之起伏通道中的差量 $L_{\text{拉回}}$ 程度之在多個處理階段處之實例摻雜輪廓及其變量的圖。

〔圖16〕係繪示使用圖15之起伏的通道中之差量 $L_{\text{拉回}}$ 的實例值的圖1之結構之實例實施方案中之所得摻雜濃度的圖。

〔圖17〕係繪示針對圖1之實例實施方案的隨臨限電壓而變動之比導通電阻的圖。

〔圖18〕係繪示針對圖1之實例實施方案的隨溫度而變動之臨限電壓的圖。

【實施方式】

【0009】 本揭露描述一SiC MOSFET裝置，其具有所欲導通電阻及跨導值，而不需要（或最小化）該SiC MOSFET裝置之臨限電壓 V_{TH} 或通道長度之對應取捨。如參照上文，低導通電阻及高跨導對SiC MOSFET可係所欲的特性，但在習知裝置中，低導通電阻及高跨導與SOA降低相關。增加SiC MOSFET之 V_{TH} 及/或增加SiC MOSFET之通道長度以維持一所欲的SOA係可能的，但這樣做一般抵銷所欲導通電阻與跨導值。

【0010】 相比之下，本揭露描述一具有多個（例如，交替的）p井寬度的SiC MOSFET裝置，包括一具有起伏的或振盪的通道之SiC MOSFET裝置。所得通道提供具有多個寬度的電流路徑，其等一起在一方面上規避導通電阻與跨導之間的先前所需取捨，且在另一方面上規避 V_{TH} 與通道長度之間的先前所需取捨。結果是，例如，可維持或改善SiC MOSFET裝置的SOA，同時提供低導通電阻及高跨導，以及小的大小及高的切換速度。

【0011】 多寬度p井區域進一步界定對應的多寬度（例如，交替的）接面FET (JFET)。多寬度JFET實現對短路事件的改善回應，例如控制短路電流。藉由將在具有第一寬度的JFET中之一高電場分布至具有第二寬度的JFET中來獲得一高崩潰電壓。

【0012】 所述之SiC MOSFET裝置可使用不昂貴、高吞吐量技術來製作。此類技術可經微調或以其他方式最佳化以實現所欲特性的獲得。具體而言，可調整第一p井寬度與第二p井寬度之間的差量以獲得所欲特性。例如，此差量可與 V_{TH} 、導通電阻、及崩潰電壓成正比，同時與短路電流成反比。

【0013】 因此，所述之SiC MOSFET裝置提供耐用性及可靠性，同時亦以小的形狀因數及降低的系統成本提供在電力切換期間之優越的性能特性。此類特徵在許多應用中係高度所欲的，包括例如電動馬達控制。

【0014】 圖1係具有起伏的通道之MOSFET裝置的等角側視圖。如圖1所示，基材102可具有設置於其上的漂移區域104。例如，形成於基材102上之磊晶層的至少一部分提供一漂移區域，其可係例如低摻雜n型。漂移區域104可具有經選擇以支援所欲MOSFET操作特性的厚度及摻雜值。

【0015】 重摻雜p區域106係形成於輕摻雜p區域110中。源極區域108係設置於重摻雜p區域106及輕摻雜p區域110內，如例如在圖3及圖4之截面圖中更易於所見者。源極區域108可係例如重摻雜n型區域。

【0016】 因此，形成一MOSFET結構，其通常稱為垂直MOSFET結構，其中電流從源極區域108流過重摻雜p區域106、輕摻雜p區域110、及相鄰於輕摻雜p區域110形成的一接面場效電晶體(junction field effect

transistor, JFET)區域112。MOSFET電流繼續通過漂移區域104至基材102，一般而言汲極端子（未顯示於圖1中）係提供在該基材處。進一步，可使用各種類型之閘極或閘極結構（及相關的閘極接觸件）來控制電流流動，其中下文（例如，根據圖3、圖4、及圖5）提供此類閘極結構及接觸件之實例，但為了更好地說明（例如，避免模糊）其在本文所描述之各種特徵，該等實例未顯示於圖1及圖2中。

【0017】 因為輕摻雜p區域110具有形成於其中的重摻雜p區域106，所以其等之間存在一邊緣或邊界110a，從而界定輕摻雜區域110之邊界110a與外邊緣110b之間的一距離或寬度。為了解釋，此邊緣110a、110b係以簡化形式繪示於圖3中，但應瞭解實際上且由於半導體處理的性質，如圖1所示且在圖4之更詳細實例中所示，此類邊緣並非分離地界定。

【0018】 因此，如下文根據圖3及圖4所顯示及描述，一通道區域可包括由重摻雜p區域106在源極區域108與輕摻雜區域110之邊界110a之間的一部分界定之一重摻雜電流通道部分，以及在邊緣110a、110b之間界定的一輕摻雜電流通道部分。重摻雜p區域106可提供本體接觸件，其中可於該（等）源極區域108內取用，且如根據圖6A至圖6D所述，該等重摻雜p區域可提供於多個處理步驟中。

【0019】 在圖1中，因此，應理解電流流動在垂直MOSFET結構中的垂直方向發生於所包括圖例中顯示的y軸方向中。亦繪示垂直於y軸之沿著x軸的一橫向方向，而z軸界定沿著穿過該（等）重摻雜p區域106之縱軸114的方向。截面116經截取為正交於縱軸114之xy剖面，且更詳細地繪示於圖3及圖4中，而截面118經截取為正交於縱軸114之xy剖面，且更詳細地繪示於圖3中。

【0020】在圖1中，通道邊緣110b沿著x軸以變化的路程延伸，且垂直於縱軸114。因此，通道邊緣110可描述為提供一起伏的或振盪的通道邊緣。如本文所描述，相較於例如筆直的或條紋型的通道邊緣，起伏的通道邊緣110b提供額外的電流路徑。額外的電流路徑實現一低的比導通電阻(R_{sp})，而不犧牲SOA。

【0021】具體而言，起伏的通道邊緣110導致具有寬JFET區域112a及窄JFET區域112b的JFET區域112。亦即，如例如在圖2中更容易看出，圖1之MOSFET裝置可使用圖1之結構的至少兩個相鄰實施方案形成，使得形成於其等之間的n型區域有效地在漂移區域104中提供一n型JFET區域，其中周圍的p型區域提供用於此類JFET區域的一閘控功能。在高電流流動的週期期間，特別是在一短路事件期間發生之突然的高電流流動，此類JFET區域的雙閘控功能引起一夾止(pinch-off)效應，該夾止效應限制、制約、或防止對應的短路電流，否則該短路電流可能損壞圖1之MOSFET裝置。此外，交替的寬JFET區域112a及窄JFET區域112b提供此類短路電流限制效應，而不會犧牲所欲的、低的比導通電阻(R_{sp})。

【0022】對應於通道邊緣110b之起伏的性質、且由該通道邊緣之起伏的性質所界定之交替的寬JFET區域112a及窄JFET區域112b提供額外的優點。因此，複數個接面場效電晶體(JFET)區域112a、112b設置於通道區域與漂移區域之間，其中該複數個JFET區域112a、112b具有對應於起伏的通道邊緣110b之起伏而交替的寬度。結果是，例如，由於寬JFET區域112a中之電場分布至窄JFET區域112b中，因此可增加裝置崩潰電壓。

【0023】在本說明書中，相對的用語寬/窄應理解為係關於彼此，使得寬JFET區域112a係寬於窄JFET區域112b。寬JFET區域112a與窄JFET區

域112b之間之差異（差量）程度的實例提供於下文，例如對應參數 $L_{\text{拉回}}$ 。

【0024】圖2繪示圖1之結構的兩個相鄰實施方案的俯視圖，其中圖1的元件符號（在1xx系列中）因此對於其對應的（下方的）俯視圖重複。2xx系列中之元件符號在第二實施方案中對應相同或類似的態樣。因此，圖2繪示重摻雜p區域206、輕摻雜p區域210、JFET區域212（包括寬JFET區域212a及窄JFET區域212b）、及縱軸214（為了簡化，源極區域108及對應的源極區域208未繪示於圖2中）。

【0025】圖2因此繪示寬JFET區域112a及窄JFET區域係界定在相鄰的MOSFET裝置之兩個相鄰的輕摻雜p區域110、210之間。亦如圖1所示，邊緣至邊緣距離116a可係界定在沿著截面116（相鄰於窄JFET區域112b）的x方向上之輕摻雜p區域110的外邊緣之間，而邊緣至邊緣距離118a可係界定在沿著截面118（相鄰於寬JFET區域112a）的x方向上之輕摻雜p區域110的外邊緣之間。

【0026】圖3繪示對應於圖1之截面116、118的圖1之MOSFET裝置的兩個簡化截面圖。在圖3中，繪示了汲極端子302，以及閘極氧化物304及閘極306。接觸線308亦係以截面繪示。下文例如根據圖5提供閘極結構304、306及接觸線308之實例實施方案的進一步細節。

【0027】圖3繪示在截面116處之通道邊緣110b的距離（邊緣至邊緣寬度）116a係大於在截面118處之通道邊緣110b的距離（邊緣至邊緣寬度）118a。距縱軸114的距離（中心至邊緣寬度）116b對應地係大於距縱軸114的距離（中心至邊緣寬度）118b。

【0028】具體而言，標記為 $L_{\text{拉回}}$ 的距離表示距離116b與距離118b之間的一差量。相對地， $L_{\text{拉回}}$ 可稱為寬JFET區域112a的半寬度與窄JFET區

域112b的半寬度之間的一差量，如圖3所示且參考圖2。

【0029】 圖4係圖1之MOSFET裝置之截面圖116的一更詳細繪示。圖4繪示輕摻雜通道區域402存在於邊界110a與通道邊緣110b之間，而重摻雜通道區域404存在於邊界110a與源極區域108之間。如參照上文，圖4亦繪示輕摻雜通道區域402、重摻雜通道區域404、及其等之間的邊界110a的擴散性質。

【0030】 圖5係圖1之MOSFET裝置之更詳細實例實施方案的俯視圖。圖5繪示閘極306係沿著縱軸114設置，其中閘極接觸件308係設置於其之間，如已根據圖3及圖4所繪示及描述。介電質502係設置於閘極306與接觸件308之間。

【0031】 圖5進一步繪示寬JFET區域112a及窄JFET區域112b。如已描述，這些值之間的差量可參照為所繪示之 $L_{\text{拉回}}$ 參數。額外特性參數包括寬JFET區域112a的縱向JFET長度504、及窄JFET區域112b的縱向JFET長度506。

【0032】 圖6A至圖6D繪示製作圖1之MOSFET裝置的實例程序流程。在圖6A中，所繪示的程序流程以執行p井通道植入(602)開始，例如使用離子植入(ion implantation, IIP)。如圖所示，可使用一硬遮罩氧化物602a，其具有對應於所得p植入井602b之所欲參數的一開口，包括一所欲 $L_{\text{拉回}}$ ，如上文所描述及繪示。

【0033】 在圖6B中，使用一間隔件（例如一多晶矽間隔件）604a執行袋植入(604)。結果是，相對於低摻雜p區域602b，形成高摻雜p井區域604b。該（等）p井區域604b可稱為袋植入區域，且促成圖4的重摻雜通道區域404，相較於圖4的輕摻雜通道區域402（由p區域602b提供）。

【0034】在圖6C中，針對源極區域606a執行植入(606)，其具有與區域602b、604b相對的導電性類型，例如n型導電性。可使用更新的間隔件606b以獲得源極區域606a的所欲大小及形狀。

【0035】在圖6D中，形成p型島區域608a並移除硬遮罩氧化物602a及該（等）間隔件604a/606b，以獲得圖1之最終結構(608)。如參照上文，p型島區域608a可在圖1之該（等）重摻雜p區域106內提供本體接觸件。

【0036】圖7繪示圖1之MOSFET裝置之實施方案的等角視圖，其包括第一電流密度分布。圖8繪示圖17之MOSFET裝置之實施方案的等角視圖，其包括第二電流密度分布。在圖7及圖8兩者中， V_{GS} 係保持恆定（例如，在18V），而在圖7中， V_{DS} 係一低值（例如，在1V或低於1V），而在圖8中， V_{DS} 係在一相對較高的電壓（例如，10V至80V或更高，例如65V）。

【0037】圖7繪示一空乏區域702，而圖8繪示一空乏區域802。如圖所示，由於圖8中之 V_{DS} 的相對較高值，空乏區域802與圖7之空乏區域702相比明顯地擴增。結果是，空乏區域802延伸至區域804，從而防止區域804中的電流流動。因此，如參照上文，提供了短路電流保護，因為電流由於空乏區域802的擴增所以無法在區域804中流動。另一方式，區域804對應於窄JFET區域，其中在短路崩潰之前達到了電流飽和。

【0038】圖9係繪示圖7之實例之電流電壓特性的圖。圖10係繪示圖8之實例之電流電壓特性的圖。

【0039】在圖9中，線902指示圖7之實施方案的電流電壓特性，其中汲極電流隨著低、小 V_{DS} 電壓範圍而改變，諸如小於1V。線904提供一

比較裝置之類似類型的電流電壓特性，該比較裝置與圖1、圖7、圖8之起伏的通道相比具有一筆直或均勻的通道。

【0040】 如圖所示，由電流/電壓關係定義之所得 R_{DS-ON} 特性提供圖7之實施方案之一 R_{DS-ON} 值906，其係低於比較裝置的值。

【0041】 同時，在圖10中，線1002對應於圖8之實施方案，而線1004對應於參照上文之比較裝置。如圖所示，由於空乏區域802延伸至區域804中的，線1002之電流與該參照裝置相比飽和得更快且係處於一較低的 V_{DS} 值。

【0042】 圖11係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{拉回}$ 程度之臨限電壓之實例改變的圖。圖11繪示 $L_{拉回}$ 中的增加對應於臨限電壓中的增加。

【0043】 圖12係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{拉回}$ 程度之比導通電阻之實例改變的圖。圖12繪示 $L_{拉回}$ 中的增加對應於 R_{DS-ON} 中的增加。

【0044】 圖13係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{拉回}$ 程度之短路電路電流 I_{sc} 之實例改變的圖。圖13指示 $L_{拉回}$ 增加對應於短路電路電流 I_{sc} 減少。

【0045】 圖14係繪示隨著圖1之實例實施方案之起伏通道中的差量 $L_{拉回}$ 程度之崩潰電壓(BV)之實例改變的圖。圖14繪示 $L_{拉回}$ 增加對應於穩定的崩潰電壓，因為在其他情況下可能導致崩潰事件之寬JFET區域中的高電場可分布至相鄰的窄JFET區域。

【0046】 圖15係繪示根據圖1之實例實施方案之起伏通道中的差量 $L_{拉回}$ 程度之在多個處理階段處之實例摻雜輪廓及其變量的圖。具體而言，圖

15繪示針對三個不同、增加的 $L_{\text{拉回}}$ 值的圖6A及圖6B之處理階段602、604的實例。

【0047】 在一第一 $L_{\text{拉回}}$ 值1500a處，區域1502及1504展示一程度的摻雜濃度。例如，植入之p型摻雜劑（例如，鋁(Al)摻雜劑）展現相鄰於窄JFET區域的區域中之繪示的濃度程度。例如，區域1502中的摻雜濃度可由於經植入之摻雜劑從硬遮罩氧化物602a的散射及反射而發生。

【0048】 在一第二 $L_{\text{拉回}}$ 值1500b處，從1500a增加，在區域1506及1508中之這些增加的摻雜濃度之效應係增加的。在一第三 $L_{\text{拉回}}$ 值1500c處，從1500b增加，在區域1510及1512中之這些增加的摻雜濃度之效應係進一步增加的。

【0049】 因此，通常， $L_{\text{拉回}}$ 之增加值或延伸導致在指示區域中之摻雜濃度的增加。這些增加的摻雜濃度增加了上文討論之重摻雜通道區域，諸如圖4之重摻雜通道區域404，且與各別顯示於圖11至圖14之 $L_{\text{拉回}}$ 與 V_{th} 、 R_{DSon} 、 I_{sc} 、及BV之間的特性關係一致，如上文所述。

【0050】 圖16係繪示使用圖15之起伏的通道中之差量 $L_{\text{拉回}}$ 的實例值1500a、1500b、1500c的圖1之結構之實例實施方案中之所得摻雜濃度的圖。圖16係取自橫跨圖15所繪示之切割平面，且表明針對 $L_{\text{拉回}}$ 的最高值1500c的重摻雜通道區域內之摻雜濃度的相對增加。

【0051】 圖17係繪示針對圖1之實例實施方案的隨臨限電壓而變動之比導通電阻的圖。在圖17中，線1702繪示圖1之實施方案的 R_{Spon} 值，而線1704繪示一具有筆直、非起伏的通道之比較裝置的 R_{Spon} 值。如圖所示，線1702指示橫跨圖1之實施方案的臨限電壓之範圍， R_{Spon} 值係低的。

【0052】 圖18係繪示針對圖1之實例實施方案的隨溫度而變動之臨

限電壓的圖。如圖所示，對應於圖1之實施方案的線1802係與用於圖17之比較裝置的線1804一致。因此，圖18繪示圖1之實施方案並未遭受減少的溫度效能。

【0053】 在各種實例實施方案中，一碳化矽(SiC)半導體裝置包括：一第一導電性類型的一基材；該第一導電性類型的一漂移區域，其設置於該基材上；及一第二導電性類型的一通道區域，其在該漂移區域內且沿著一縱軸設置。該SiC半導體裝置包括：該第一導電性類型的一源極區域，其設置於該通道區域內；複數個接面場效電晶體(JFET)區域，其等在該通道區域與該漂移區域之間；及閘極，其等沿著縱軸且設置在該源極區域、該通道區域、及該複數個JFET區域之至少一部分上。該SiC半導體裝置包括：一第一截面區，其正交於該縱軸，其中該通道區域具有一第一寬度；及一第二截面區，其正交於該縱軸，其中該通道區域具有小於該第一寬度的一第二寬度。

【0054】 在各種實例實施方案中，在該SiC半導體裝置中，該通道區域包括在該源極區域與該通道區域之一輕摻雜通道區域之間的一重摻雜通道區域，且該輕摻雜通道區域係在該重摻雜通道區域與該複數個JFET區域的一JFET區域之間。在額外或替代實施方案中，該複數個JFET區域包括：一第一JFET區域，其在該第一截面區內且具有一第一JFET寬度；及一第二JFET區域，其在該第二截面區內且具有一第二JFET寬度，該第二JFET寬度係寬於該第一JFET寬度。在該SiC半導體裝置的操作期間，該第二JFET區域中的一電場可分布至該第一JFET區域中。該通道區域可包括沿著該縱軸之一方向的一起伏通道邊緣。該第二導電性類型的複數個本體接觸區域可在該源極區域內且沿著該縱軸設置。該SiC半導體裝置之

該第一寬度與該第二寬度之間的一差量可係至少為5微米。該SiC半導體裝置可包括至少一金屬氧化物半導體場效電晶體(MOSFET)，且可包括該MOSFET的一汲極端子，該基材係設置於該汲極端子上。

【0055】 在其他實例實施方案中，一碳化矽(SiC)半導體裝置可包括：一第一導電性類型的一基材；該第一導電性類型的一漂移區域，其設置於該基材上；及一第二導電性類型的一通道區域，其在該漂移區域內，該通道區域具有一起伏的通道邊緣。該SiC半導體裝置可包括：一源極區域，其設置於該通道區域中；及複數個接面場效電晶體(JFET)區域，其等設置於該通道區域與該漂移區域之間，該複數個JFET區域具有對應於該起伏的通道邊緣之起伏而交替的寬度。至少一閘極可設置於該源極區域、該通道區域、及該複數個JFET區域之至少一部分上。

【0056】 在各種實例實施方案中，該通道區域可包括在該源極區域與該通道區域之一輕摻雜通道區域之間的一重摻雜通道區域，且該輕摻雜通道區域可係在該重摻雜通道區域與該複數個JFET區域之一JFET區域之間。在該SiC半導體裝置的操作期間，該複數個JFET區域之一JFET區域中的一電場可分布至該複數個JFET區域之一相鄰JFET區域中。該複數個JFET區域之交替寬度的相鄰者之間的一差量可係至少5微米。該SiC半導體裝置可包括至少一金屬氧化物半導體場效電晶體(MOSFET)，且可包括該MOSFET的一汲極端子，該基材係設置於該汲極端子上。

【0057】 在其他實例實施方案中，製作一SiC半導體裝置的方法可包括：在一基材上提供一漂移區域；及在該漂移區域中且沿一縱軸植入一通道區域，該通道區域相對於該縱軸具有交替的井寬度。該方法可包括：在該通道區域中植入一源極區域；及在該源極區域之至少一部分、該通道

區域之至少一部分、及設置於該通道區域與該漂移區域之間的複數個界面場效電晶體(JFET)區域上提供至少一閘極，該複數個JFET區域具有對應於該等交替的井寬度而交替之交替的JFET寬度。

【0058】 在實例實施方案中，植入該通道區域可包括：在該漂移區域上提供一遮罩，該遮罩具有對應於通道區域之交替的井寬度的一開口；及使用該遮罩在以一第一摻雜濃度植入摻雜劑至該漂移區域中。該方法可包括：沿著該遮罩的該開口提供一間隔件以暴露該通道區域的一部分；及植入額外摻雜劑至該通道區域的該部分中以提供一第二摻雜濃度。該方法可包括提供具有交替的寬度之該遮罩開口，其中相鄰的寬度相差至少5微米。該SiC半導體裝置可包括至少一金屬氧化物半導體場效電晶體(MOSFET)，且該方法可包括在該MOSFET的一汲極端子上提供該基材。該方法可包括在該源極區域內且沿著該縱軸植入本體接觸區域。該交替的井寬度可包括一第一通道寬度及大於該第一通道寬度的一第二通道寬度，且植入該等本體接觸區域可包括在該通道區域內且在該第二通道寬度內植入該等本體接觸區域。

【0059】 應理解，在前面描述中，當元件（諸如層、區域、基材、或組件）被稱為在另一元件上、連接至另一元件、電連接至另一元件、耦接或電耦接至另一元件時，其可直接在另一元件上、連接或耦接至另一元件、或可存在一或多個中間元件。相反地，當元件被稱為直接在另一元件或層上、直接連接至或直接耦接至另一元件或層時，則無中間元件或層存在。雖然用語直接在…上(directly on)、直接連接至(directly connected to)、或直接耦接至(directly coupled to)可能不在實施方式各處使用，但可如此稱呼顯示為直接在…上、直接連接至、或直接耦接至的元件。本申請

案之申請專利範圍（若有）可經修改成敘述在本說明書中描述或圖式中所展示之例示性關係。

【0060】 當用於本說明書中及申請專利範圍時，單數形式可包括複數形式，除非在內文中明確指示特定情況。除了圖式中所描繪之定向之外，空間相對用語（例如，之上(over)、上方(above)、上部(upper)、下(under)、底下(beneath)、下方(below)、下部(lower)等）旨在涵蓋裝置在使用中或操作中的不同定向。在一些實施方案中，相對用語上方(above)及下方(below)分別地包括垂直上方及垂直下方。在一些實施方案中，用語相鄰(adjacent)可包括側向相鄰於或水平相鄰於。

【0061】 一些實施方案可使用各種半導體處理及/或封裝技術來實作。一些實施方案可使用與半導體基材相關聯的各種類型半導體處理技術來實作，包括但不限於例如矽(Si)、砷化鎵(GaAs)、氮化鎵(GaN)、碳化矽(SiC)、及/或等等。

【0062】 雖然所描述之實施方案的某些特徵已如本文所描述而說明，但所屬技術領域中具有通常知識者現將想到許多修改、替換、改變及均等物。因此，應當理解，隨附申請專利範圍旨在涵蓋落於實施方案範圍內的所有此類修改及改變。應當理解，其等僅以實例（非限制）方式呈現，並且可進行各種形式及細節改變。本文所描述之設備及/或方法之任何部分可以任何組合進行組合，除了互斥組合之外。本文所描述之實施方案可包括所描述之不同實施方案之功能、組件及/或特徵的各種組合及/或子組合。

【0063】 雖然所描述之實施方案的某些特徵已如本文所描述而說明，但所屬技術領域中具有通常知識者現將想到許多修改、替換、改變及

均等物。因此，應當理解，隨附申請專利範圍旨在涵蓋落於實施例範圍內的所有此類修改及改變。

【符號說明】

【0064】

102:基材

104:漂移區域

106:重摻雜p區域

108:源極區域

110:輕摻雜p區域

110a:邊緣或邊界

110b:邊緣

112:接面場效電晶體(junction field effect transistor, JFET)區域

112a:寬JFET區域；接面場效電晶體(JFET)區域

112b:窄JFET區域；接面場效電晶體(JFET)區域

114:縱軸

116:截面

116a:邊緣至邊緣距離；距離（邊緣對邊緣寬度）

116b:距離（中心至邊緣寬度）

118:截面

118a:邊緣至邊緣距離；距離（邊緣至邊緣寬度）

118b:距離（中心至邊緣寬度）

206:重摻雜p區域

210:輕摻雜p區域

212:JFET區域

212a:寬JFET區域

212b:窄JFET區域

214:縱軸

302:汲極端子

304:閘極氧化物；閘極結構

306:閘極；閘極結構

308:接觸線；閘極接觸件；接觸件

402:輕摻雜通道區域

404:重摻雜通道區域

502:介電質

504:縱向JFET長度

506:縱向JFET長度

602:p井通道植入；處理階段

602a:硬遮罩氧化物

602b:p植入井；低摻雜p區域；區域

604:使用間隔件604a執行袋植入；處理階段

604a:間隔件

604b:高摻雜p井區域；p井區域；區域

606:針對源極區域606a執行植入

606a:源極區域

606b:間隔件

608:形成p型島區域608a並移除硬遮罩氧化物602a及間隔件

604a/606b，以獲得圖1之最終結構

608a:p型島區域

702:空乏區域

802:空乏區域

804:區域

902:線

904:線

906: R_{DS-ON} 值

1002:線

1004:線

1500a:第一 $L_{拉回}$ 值

1500b:第二 $L_{拉回}$ 值

1500c:第三 $L_{拉回}$ 值

1502:區域

1504:區域

1506:區域

1508:區域

1510:區域

1512:區域

1702:線

1704:線

1802:線

1804:線

X:軸

Y:軸

Z:軸

【發明申請專利範圍】

【請求項1】

一種碳化矽(SiC)半導體裝置，其包含：

一第一導電性類型的一基材(102)；

該第一導電性類型的一漂移區域(104)，其設置於該基材(102)上；

一第二導電性類型的一通道區域(402, 404)，其在該漂移區域(104)內且沿著一縱軸(114)設置；

該第一導電性類型的一源極區域(108)，其設置於該通道區域(402, 404)內；

複數個接面場效電晶體(JFET)區域(112a, 112b)，其等介於該通道區域(402, 404)與該漂移區域(104)之間；

閘極(306)，其等沿著該縱軸(114)且設置在該源極區域(108)、該通道區域(402, 404)、及該複數個JFET區域(112a, 112b)之至少一部分上；

一第一截面區，其正交於該縱軸(114)，其中該通道區域(402, 404)具有一第一寬度；及

一第二截面區，其正交於該縱軸(114)，其中該通道區域(402, 404)具有小於該第一寬度之一第二寬度。

【請求項2】

如請求項1之SiC半導體裝置，其中該通道區域(402, 404)包括在該源極區域(108)與該通道區域之一輕摻雜通道區域(402)之間的一重摻雜通道區域(404)，且該輕摻雜通道區域(402)係在該重摻雜通道區域(404)與該複數個JFET區域(112a, 112b)的一JFET區域之間。

【請求項3】

如請求項1之SiC半導體裝置，其中該複數個JFET區域(112a, 112b)包含：

一第一JFET區域(112b)，其在該第一截面區內且具有一第一JFET寬度；及

一第二JFET區域(112a)，其在該第二截面區內且具有一第二JFET寬度，該第二JFET寬度係寬於該第一JFET寬度。

【請求項4】

如請求項1之SiC半導體裝置，其中該通道區域(402, 404)包括沿著該縱軸(114)的一方向之一起伏的通道邊緣(110)。

【請求項5】

如請求項1之SiC半導體裝置，其包含：

該第二導電性類型的複數個本體接觸區域(106)，其在該源極區域(108)內且沿著該縱軸(114)設置。

【請求項6】

一種碳化矽(SiC)半導體裝置，其包含：

一第一導電性類型的一基材(102)；

該第一導電性類型的一漂移區域(104)，其設置於該基材(102)上；

一第二導電性類型的一通道區域(402, 404)，其在該漂移區域(104)內，該通道區域(402, 404)具有一起伏的通道邊緣；

一源極區域(108)，其設置於該通道區域(402, 404)內；

複數個接面場效電晶體(JFET)區域，其等設置於該通道區域(402, 404)與該漂移區域(104)之間，該複數個JFET區域(112a、112b)具有

對應於該起伏的通道邊緣的起伏而交替的寬度；及

至少一閘極，其設置在該源極區域(108)、該通道區域(402, 404)、及該複數個JFET區域(112a, 112b)之至少一部分上。

【請求項7】

如請求項6之SiC半導體裝置，其中在該SiC半導體裝置的操作期間，該複數個JFET區域(112a)之一JFET區域中的一電場係分布至該複數個JFET區域(112b)之一相鄰JFET區域中。

【請求項8】

一種製作一SiC半導體裝置之方法，該方法包含：

在一基材(102)上提供一漂移區域(104)；

在該漂移區域(104)中且沿一縱軸(114)植入一通道區域(402, 404)，該通道區域(402, 404)相對於該縱軸(114)具有交替的井寬度；

在該通道區域(402, 404)中植入一源極區域(108)；及

在該源極區域(108)之至少一部分上、該通道區域(402, 404)之至少一部分上、及設置於該通道區域(402, 404)與該漂移區域(104)之間的複數個接面場效電晶體(JFET)區域(112a, 112b)上提供至少一閘極，該複數個JFET區域(112a, 112b)具有對應於該等交替的井寬度而交替之交替的JFET寬度。

【請求項9】

如請求項8之方法，其中植入該通道區域(402, 404)包含：

在該漂移區域(104)上提供一遮罩，該遮罩具有對應於該通道區域(402, 404)之該等交替的井寬度的一開口；及

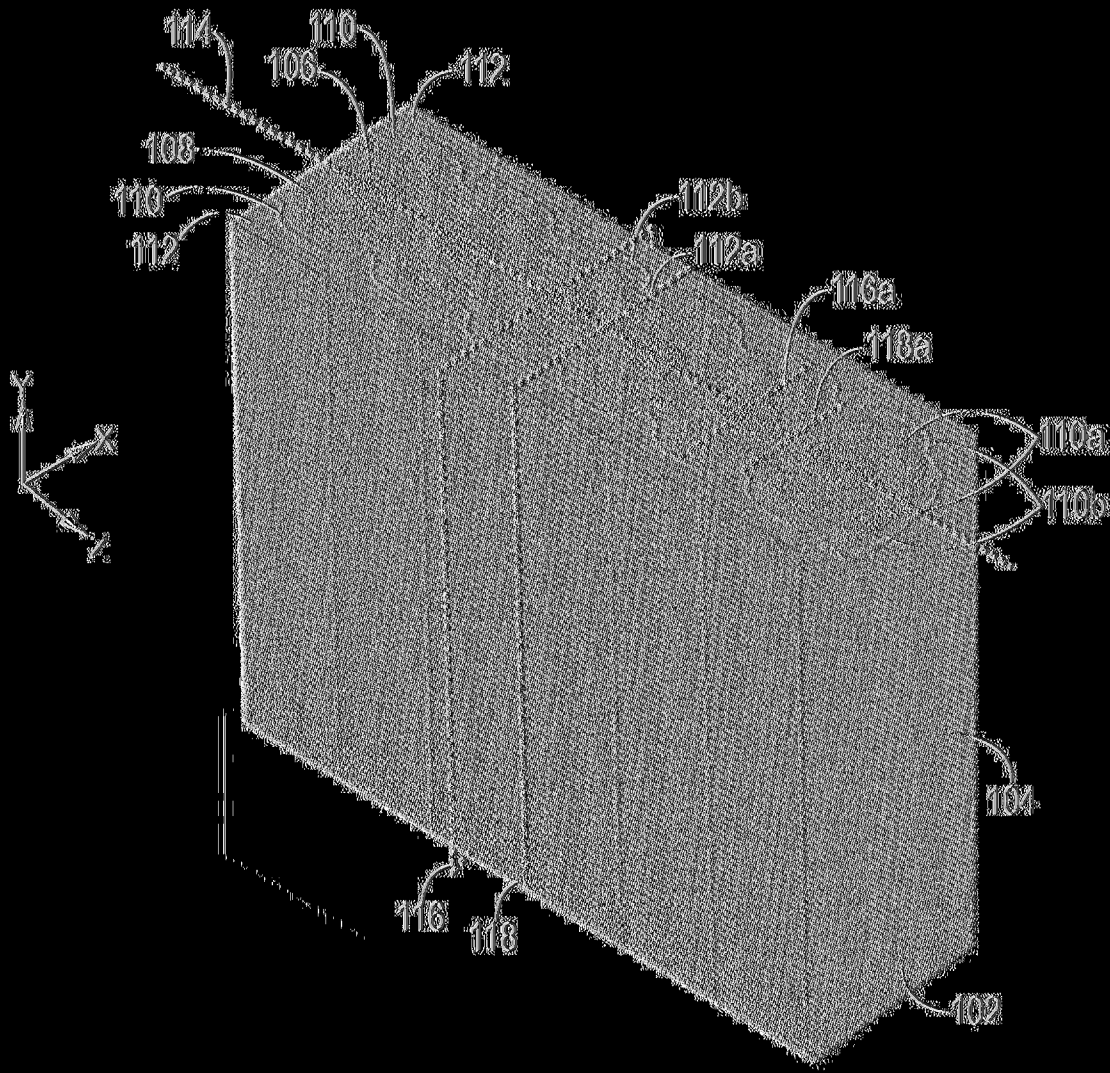
使用該遮罩以第一摻雜濃度植入摻雜劑至該漂移區域(104)中。

【請求項10】

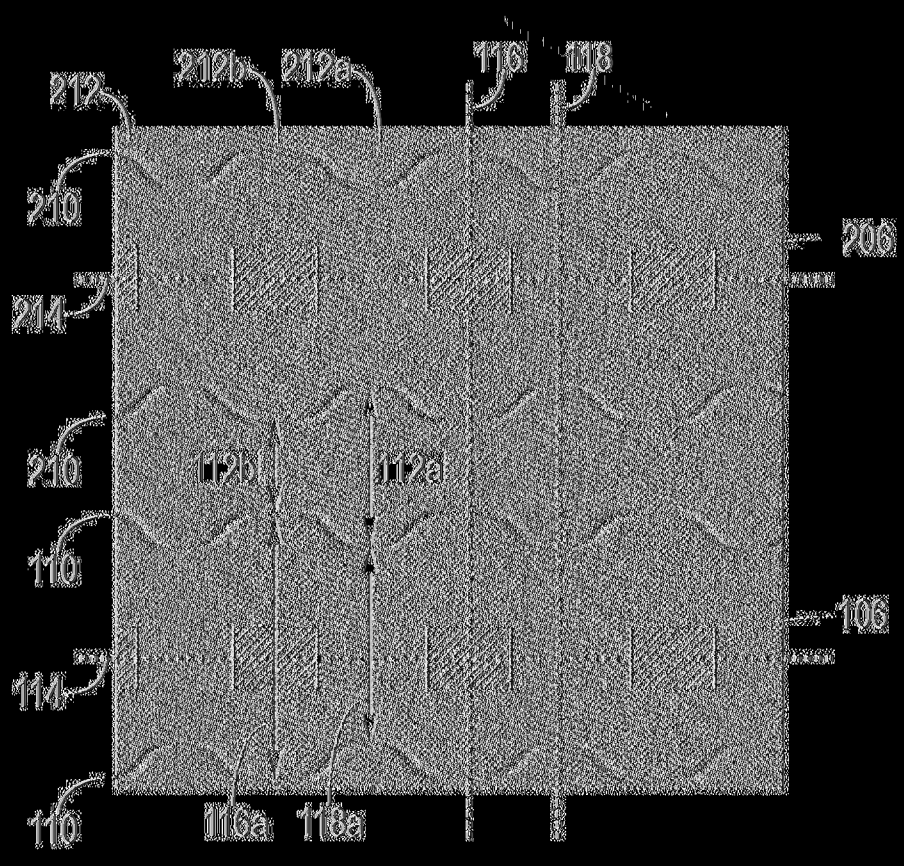
如請求項9之方法，其進一步包含：

沿著該遮罩的該開口提供一間隔件以暴露該通道區域(402, 404)的一部分；及

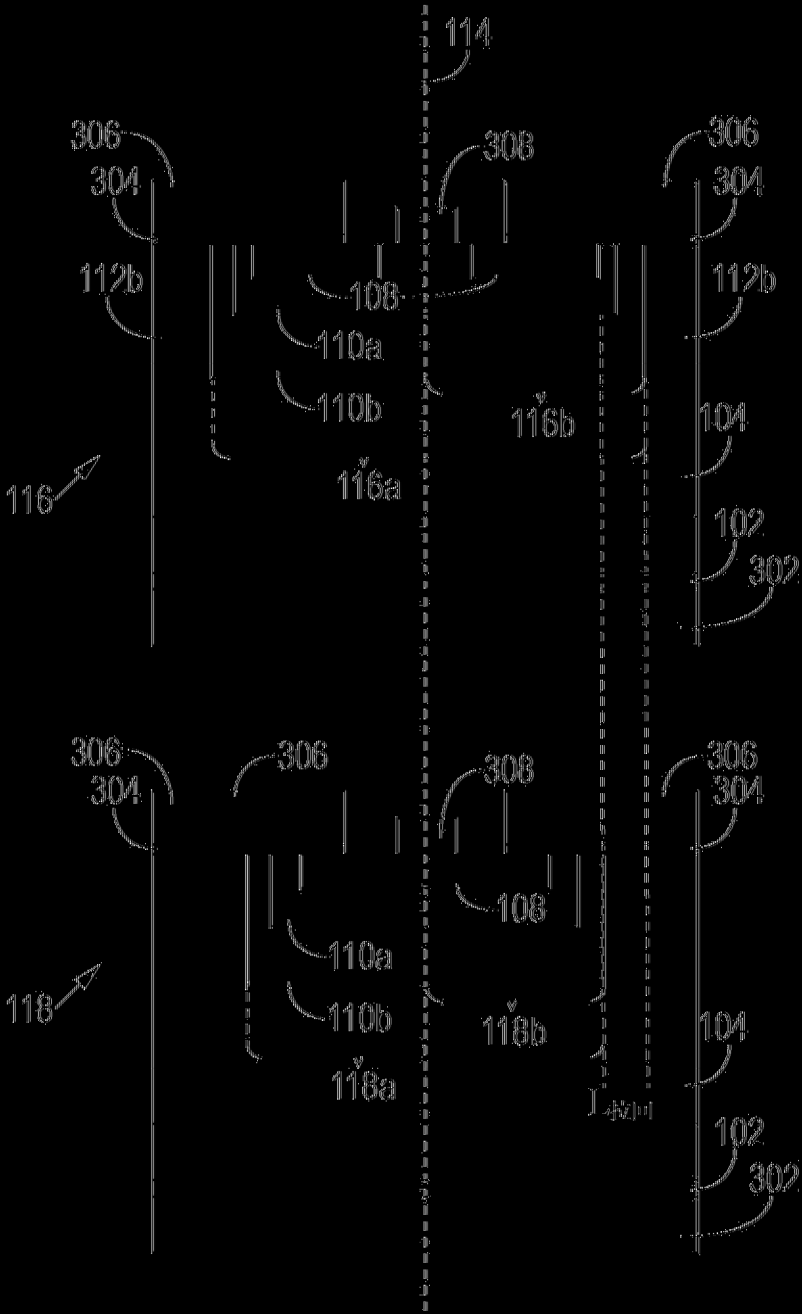
植入額外摻雜劑至該通道區域(402, 404)的該部分中以提供一第二摻雜濃度。



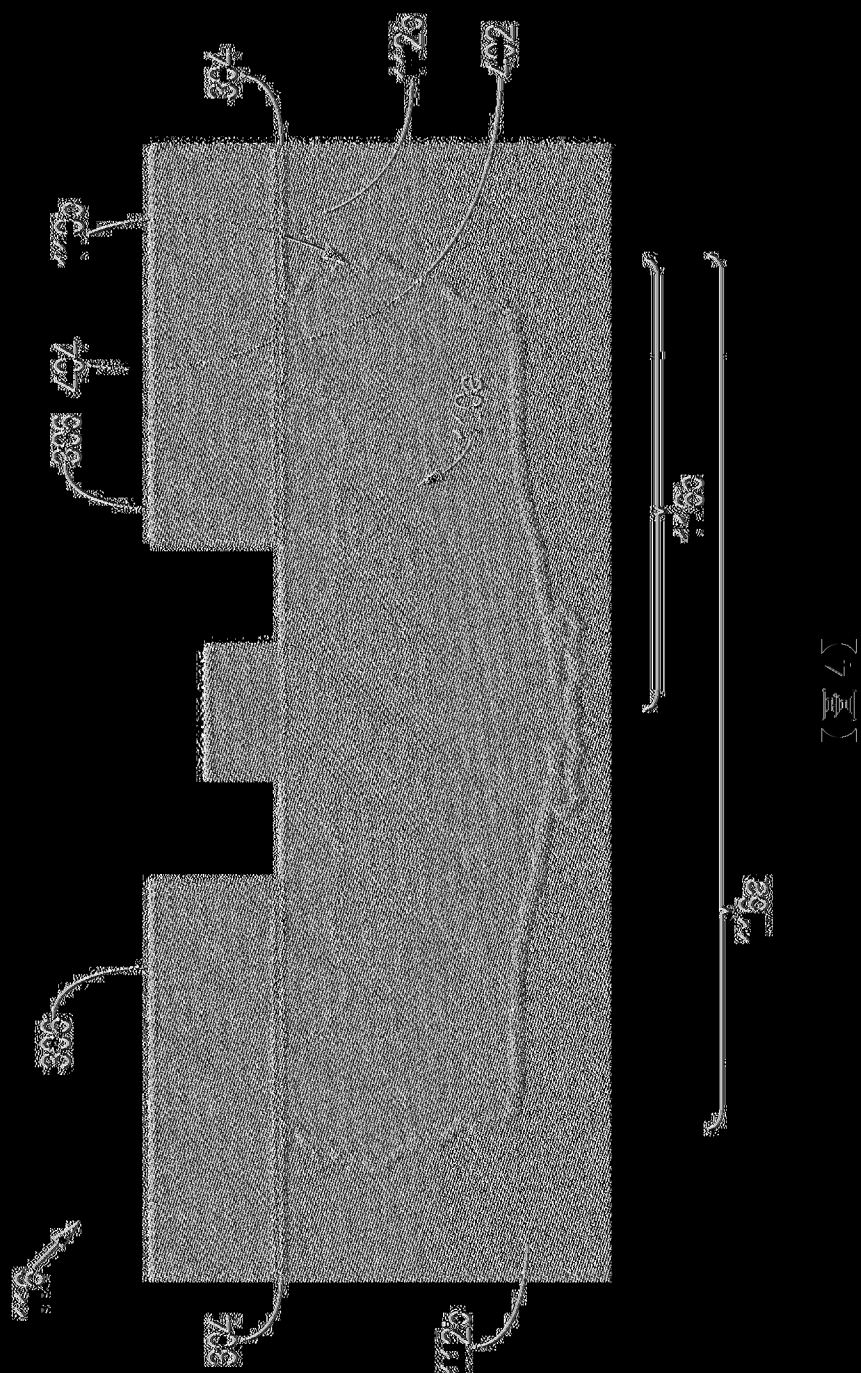
| (圖 1) |



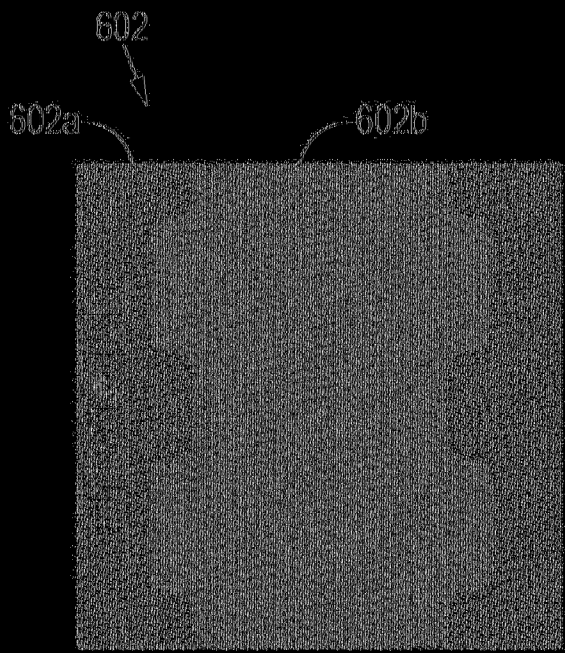
[(圖 2)]



[(圖 3)]

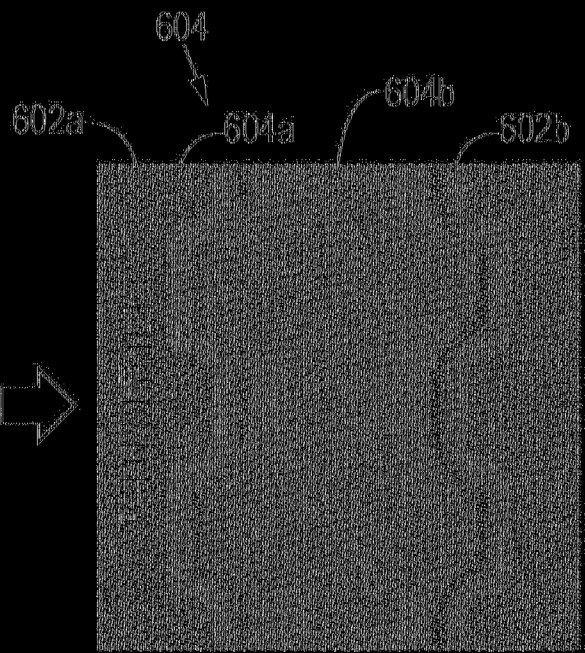


$$|(\left[\begin{smallmatrix} 1 & 0 \\ 0 & 1 \end{smallmatrix} \right] S)|$$



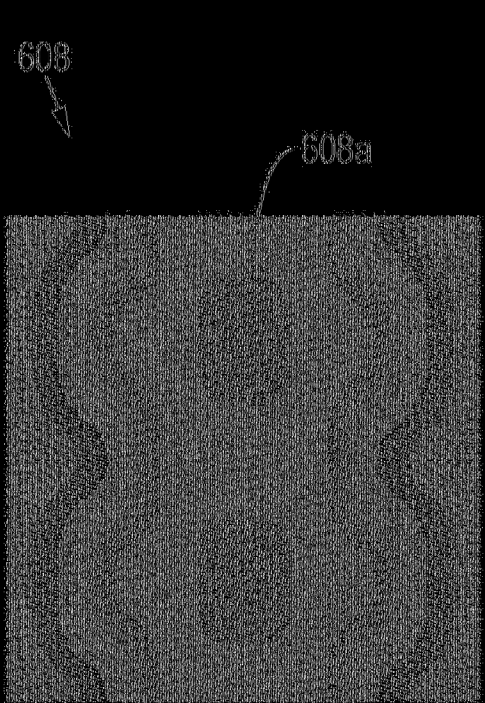
執行P井植入

[(圖 6A)]



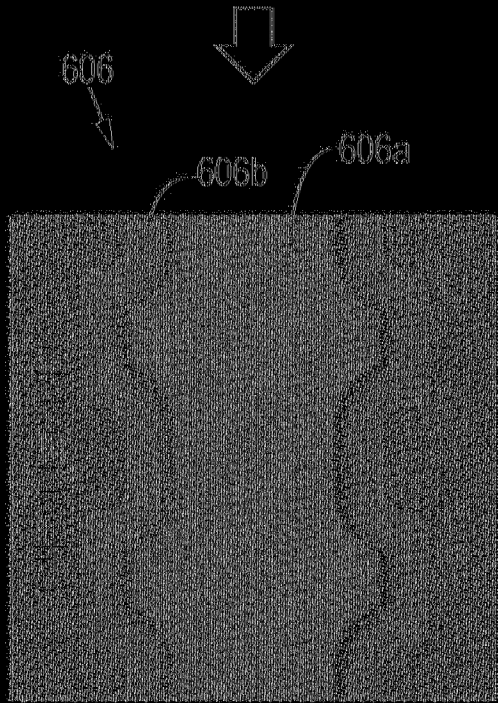
使用多晶硅間隔件執行
袋植入

[(圖 6B)]



執行島植入及移除遮罩/
間隔件

[(圖 6D)]

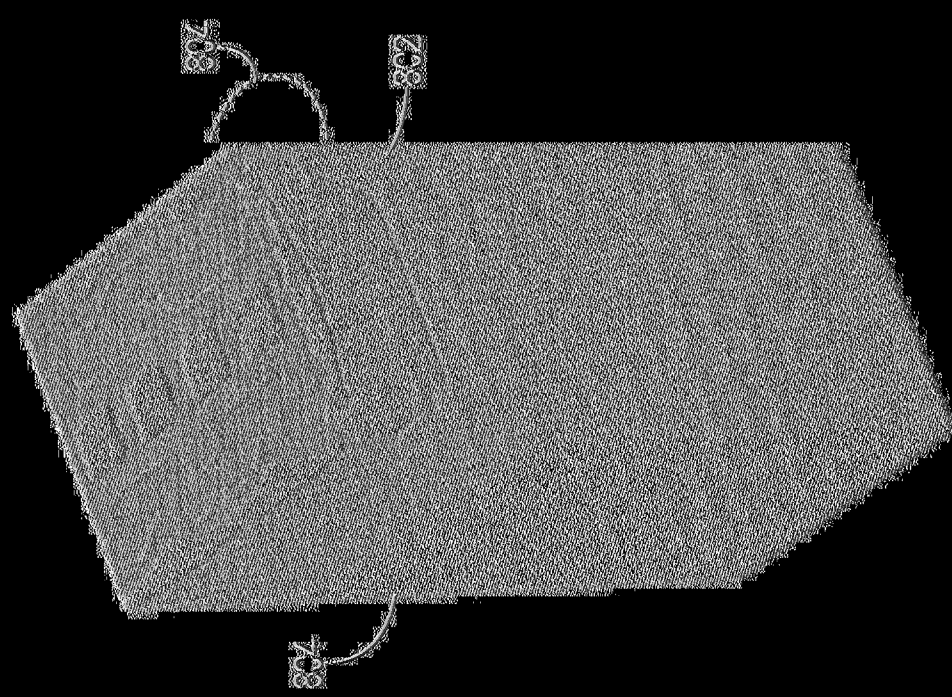


執行源極區域植入

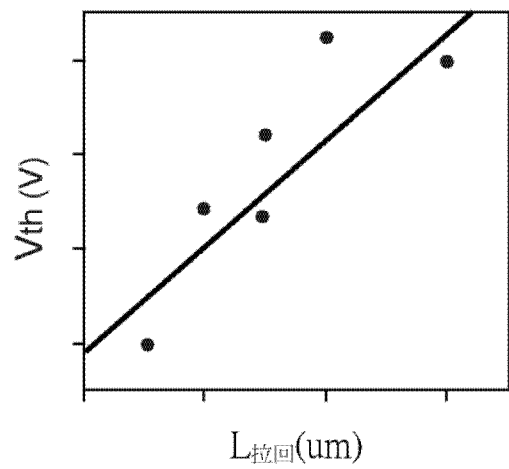
[(圖 6C)]



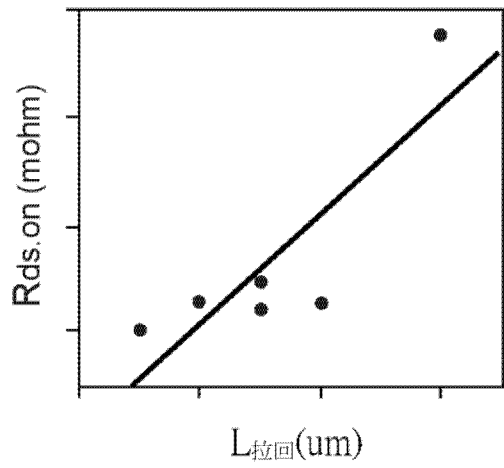
[(圖] 7)]



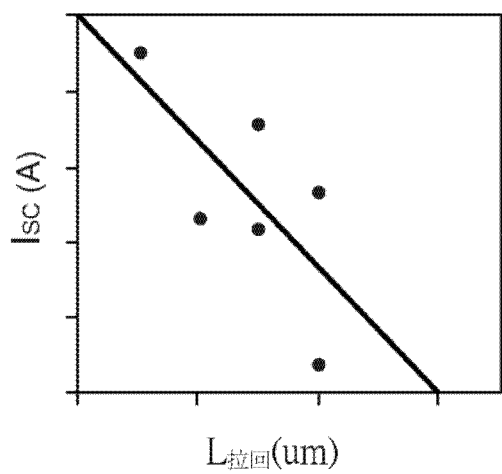
[(圖] 8)]



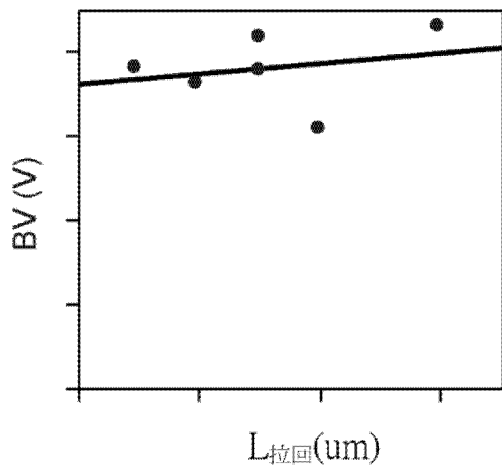
【圖 11】



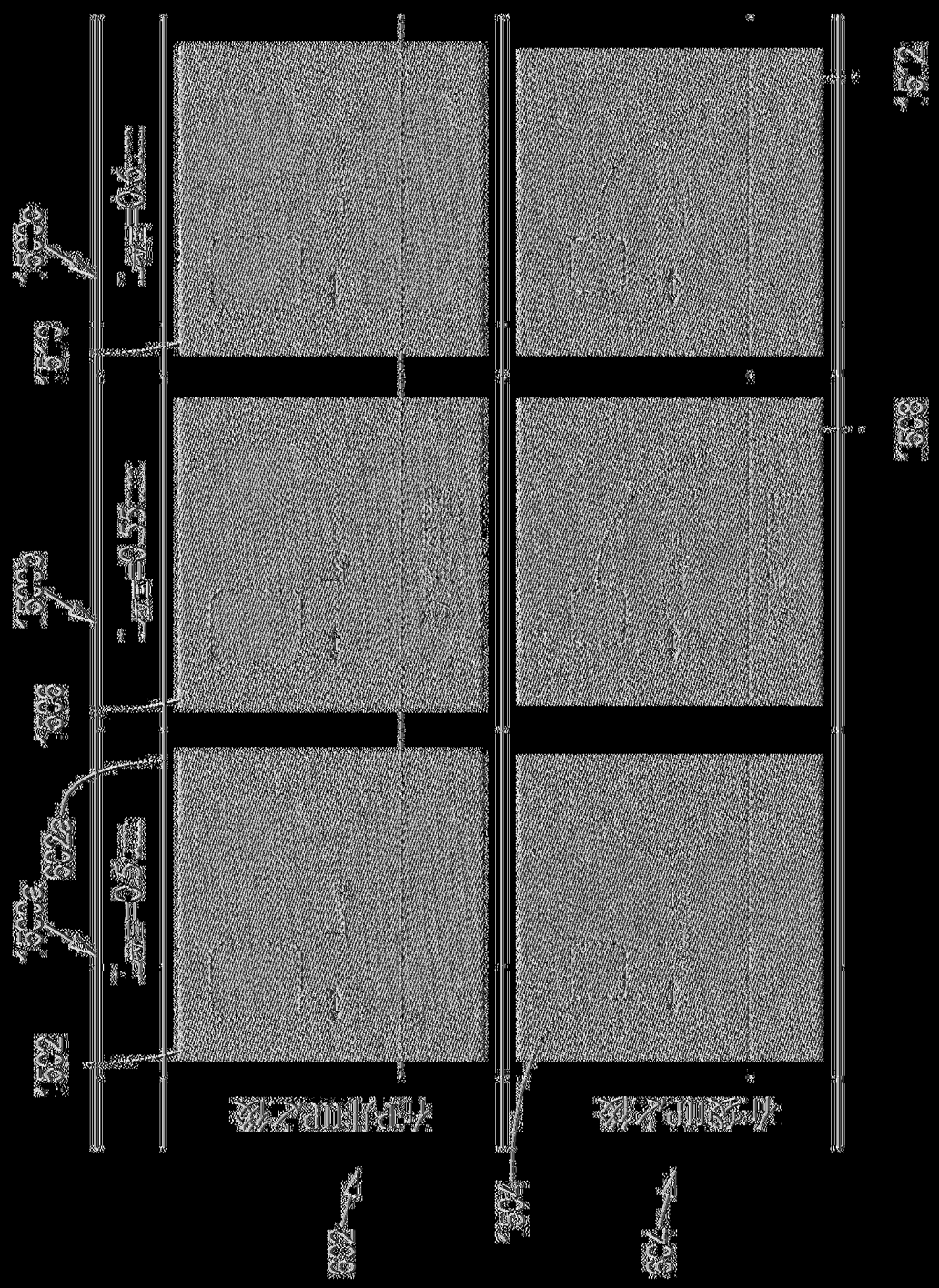
【圖 12】



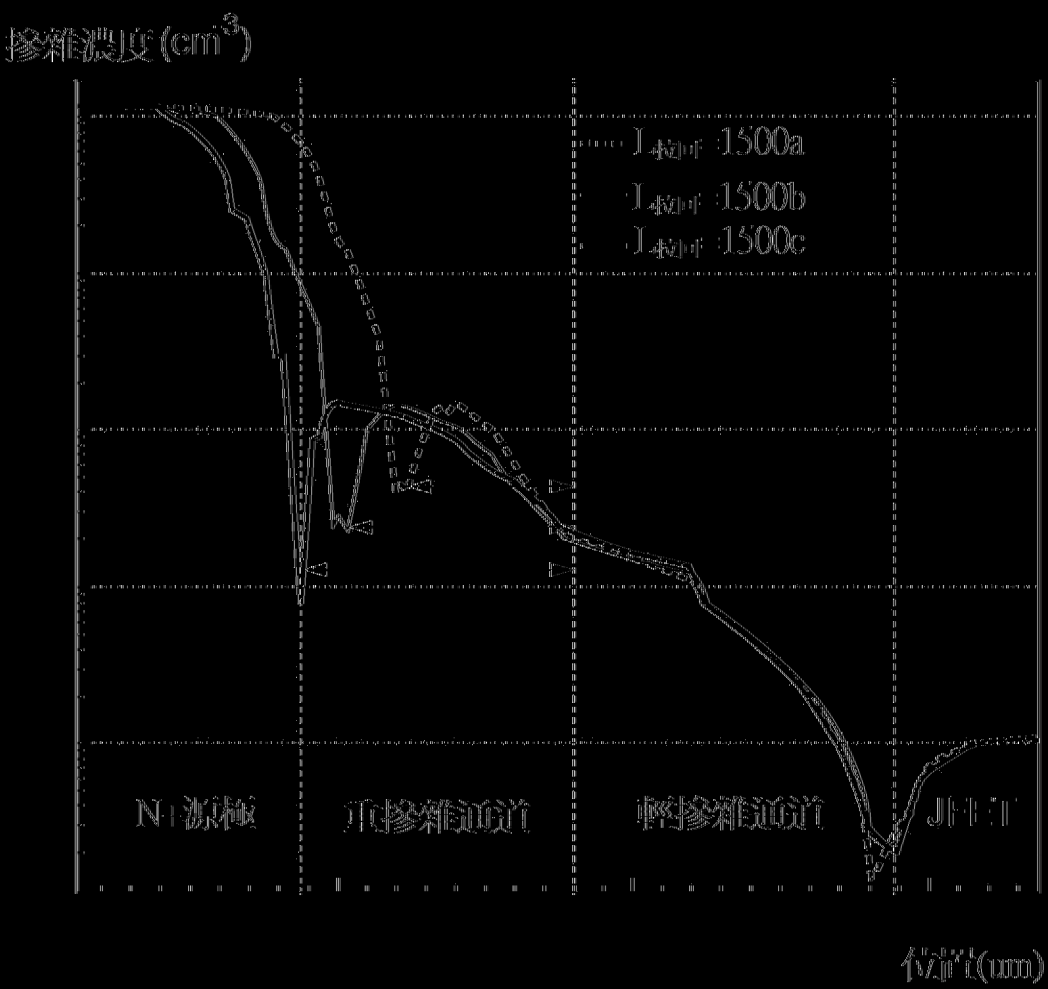
【圖 13】



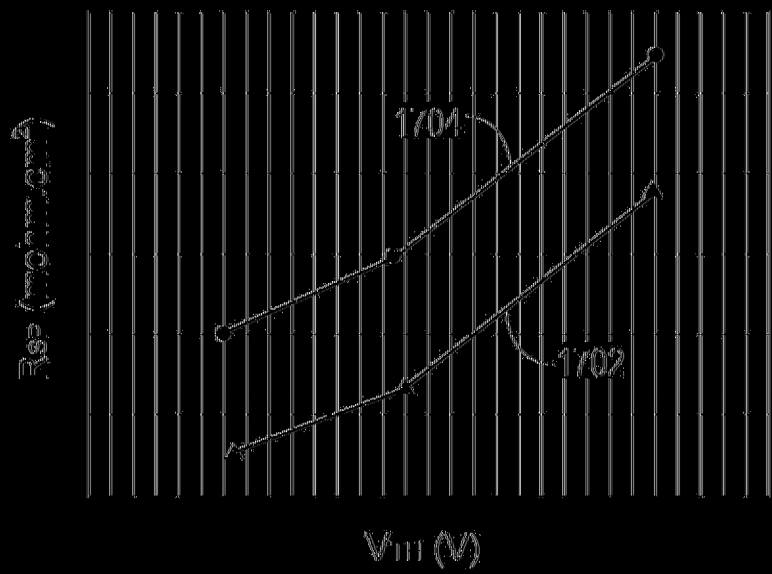
【圖 14】



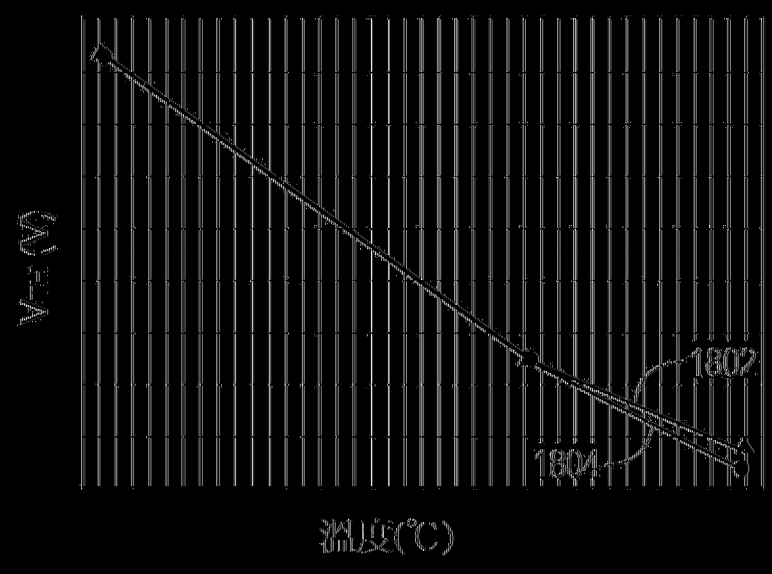
[圖 15]



[(圖 16)]



[(圖 17)]



[(圖 18)]