

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年7月9日(2009.7.9)

【公開番号】特開2007-228622(P2007-228622A)

【公開日】平成19年9月6日(2007.9.6)

【年通号数】公開・登録公報2007-034

【出願番号】特願2007-109370(P2007-109370)

【国際特許分類】

H 03M 13/29 (2006.01)

H 03M 13/23 (2006.01)

【F I】

H 03M 13/29

H 03M 13/23

【手続補正書】

【提出日】平成21年5月22日(2009.5.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ターボコードを使用するターボエンコーダの2つの構成要素エンコーダを終端する方法において、

2つの構成要素エンコーダの少なくとも1つによって情報ビットを符号化した後で、2つの構成要素エンコーダでターボコード速度Rに関連するテール出力ビットを生成することを含み、

各構成要素エンコーダは第1の出力を有する第1のシフトレジスタを含み、第1の出力は第2の出力を有する第2のシフトレジスタに接続され、第2の出力は第3の出力を有する第3のシフトレジスタに接続され、

構成要素エンコーダのうちの第2の構成要素エンコーダがディスエーブルにされている間に、テール出力ビットの第1の組が構成要素エンコーダのうちの第1の構成要素エンコーダにおいて第1の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から生成され、

第1の構成要素エンコーダがディスエーブルにされている間に、テール出力ビットの第2の組が第2の構成要素エンコーダにおいて第2の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から生成される、方法。

【請求項2】

Rが1/2、1/3、または1/4に等しいとき、テール出力ビットは各構成要素エンコーダからの少なくとも2つの出力ビットを含む請求項1記載の方法。

【請求項3】

生成するステップは12テール出力ビットを生成することを含み、6テール出力ビットの第1の組は、第2の構成要素エンコーダがクロックされない間に第1の構成要素エンコーダを3回クロックすることによって生成され、6出力ビットの第2の組は、第1の構成要素エンコーダがクロックされない間に第2の構成要素エンコーダを3回クロックすることによって生成される請求項1記載の方法。

【請求項4】

生成するステップは、1/Rテール出力ビットが各構成要素エンコーダから送信される

ように 1 以上のテール出力ビットをパンクチュアするステップを含む請求項 2 記載の方法。

【請求項 5】

生成するステップは、1 以上のテール出力ビットをパンクチュアすることが以下のように行われることを含む請求項 4 記載の方法：

【数 1】

速度	1/2	1/3	1/4
X (t)	1 1 1 0 0 0	1 1 1 0 0 0 反復	1 1 1 0 0 0 反復
Y ₀ (t)	1 1 1 0 0 0	1 1 1 0 0 0	1 1 1 0 0 0
Y ₁ (t)	0 0 0 0 0 0	0 0 0 0 0 0	1 1 1 0 0 0
X' (t)	0 0 0 1 1 1	0 0 0 1 1 1 反復	0 0 0 1 1 1 反復
Y' ₀ (t)	0 0 0 1 1 1	0 0 0 1 1 1	0 0 0 1 1 1
Y' ₁ (t)	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 1 1 1

ここに “0” はビットがパンクチュアされることを意味し、“1” はビットが送信されることを意味する。

【請求項 6】

テール出力ビットの第 1 の組は、第 1 の構成要素エンコーダの第 2 および第 3 のシフトレジスタの第 2 および第 3 の出力から単独で引き出されるテール入力ビットから生成される請求項 1 記載の方法。

【請求項 7】

テール出力ビットの第 2 の組は、第 2 の構成要素エンコーダの第 2 および第 3 のシフトレジスタの第 2 および第 3 の出力から単独で引き出されるテール入力ビットから生成される請求項 1 記載の方法。

【請求項 8】

テール出力ビットの第 1 の組の 1 テール出力ビットは、第 1 の構成要素エンコーダの第 2 および第 3 のシフトレジスタの第 2 および第 3 の出力から単独で生成される請求項 1 記載の方法。

【請求項 9】

テール出力ビットの第 2 の組の 1 テール出力ビットは、第 2 の構成要素エンコーダの第 2 および第 3 のシフトレジスタの第 2 および第 3 の出力から単独で生成される請求項 1 記載の方法。

【請求項 10】

転送エラー訂正可能なデータを提供し、データを通信するように作動可能な装置において、装置が、

データを処理するターボコード速度 R を有するターボエンコーダを含み、ターボエンコーダは 2 つの構成要素エンコーダを含み、各構成要素エンコーダは第 1 の出力を有する第 1 のシフトレジスタを含み、第 1 の出力は第 2 の出力を有する第 2 のシフトレジスタに接続され、第 2 の出力は第 3 の出力を有する第 3 のシフトレジスタに接続され、各エンコーダは情報ビットを符号化し、

構成要素エンコーダのうちの第 2 の構成要素エンコーダがディスエーブルにされている間に、テール出力ビットの第 1 の組が構成要素エンコーダのうちの第 1 の構成要素エンコーダにおいて第 1 の構成要素エンコーダの第 2 および第 3 のシフトレジスタの第 2 および

第3の出力から生成され、

第1の構成要素エンコーダがディスエーブルにされている間に、テール出力ビットの第2の組が第2の構成要素エンコーダにおいて第2の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から生成される、装置。

【請求項11】

Rが1/2、1/3、または1/4に等しいとき、テール出力ビットは各構成要素エンコーダからの少なくとも2つの出力ビットを含む請求項10記載の装置。

【請求項12】

ターボエンコーダは12テール出力ビットを生成し、6テール出力ビットの第1の組は、第2の構成要素エンコーダがクロックされない間に第1の構成要素エンコーダを3回クロックすることにより生成され、6テール出力ビットの第2の組は、第1の構成要素エンコーダがクロックされない間に第2の構成要素エンコーダを3回クロックすることにより生成される請求項10記載の装置。

【請求項13】

1/Rテール出力ビットが各構成要素エンコーダから送信されるように、ターボエンコーダは1以上のテール出力ビットをパンクチュアするパンクチュアをさらに含む請求項11記載の装置。

【請求項14】

パンクチュアが1以上のテール出力ビットを以下のようにパンクチュアする請求項13記載のシステム：

【数2】

速度	1/2	1/3	1/4
X(t)	1 1 1 0 0 0	1 1 1 0 0 0 反復	1 1 1 0 0 0 反復
Y ₀ (t)	1 1 1 0 0 0	1 1 1 0 0 0	1 1 1 0 0 0
Y ₁ (t)	0 0 0 0 0 0	0 0 0 0 0 0	1 1 1 0 0 0
X'(t)	0 0 0 1 1 1	0 0 0 1 1 1 反復	0 0 0 1 1 1 反復
Y' ₀ (t)	0 0 0 1 1 1	0 0 0 1 1 1	0 0 0 1 1 1
Y' ₁ (t)	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 1 1 1

ここに“0”はビットがパンクチュアされることを意味し、“1”はビットが送信されることを意味する。

【請求項15】

テール出力ビットの第1の組は、第1の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から単独で引き出されるテール入力ビットから生成される請求項10記載の装置。

【請求項16】

テール出力ビットの第2の組は、第2の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から単独で引き出されるテール入力ビットから単独で生成される請求項10記載の装置。

【請求項17】

テール出力ビットの第1の組の1テール出力ビットは、第1の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から単独で生成される請求項10記載の装置。

【請求項18】

テール出力ビットの第2の組の1テール出力ビットは、第2の構成要素エンコーダの第2および第3のシフトレジスタの第2および第3の出力から単独で生成される請求項10記載の装置。