

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

(11) 공개번호

10-2006-0099701

(43) 공개일자

2006년09월20일

(21) 출원번호 10-2005-0021084

(22) 출원일자 2005년03월14일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 이현
서울 노원구 월계3동 그랑빌아파트 122-1205
김봉훈
서울 구로구 구로3동 1273번지 대림아르빌아파트 101동 1207호
홍성훈
대전 유성구 전민동 엑스포아파트 306동 1104호

(74) 대리인 특허법인 율촌

심사청구 : 있음

(54) 금속 텐드라이트를 이용하여 상변화 재료층과의 접촉면적을감소시킨 상변화 메모리 소자 및 그 제조방법

요약

금속 텐드라이트를 이용하여 상변화 재료층과의 접촉면적을 감소시킨 상변화 메모리 소자 및 그 제조 방법이 개시된다.

본 발명에 의한 상변화 메모리 소자는 제 1 전극; 상기 제 1 전극의 상부에 형성된 상변화 재료층; 상기 상변화 재료층의 상부에 형성된 고속 이온 도체층; 상기 고속 이온 도체층의 상부에 형성된 제 2 전극; 및 상기 제 2 전극에 음의 전압이 걸리도록 상기 제 1 전극과 상기 제 2 전극에 일정 전압을 일정 시간 인가함으로써 상기 고속이온도체층을 관통하여 상기 제 2 전극과 상기 상변화재료층을 연결하는 금속 텐드라이트를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 3c

색인어

상변화 메모리 소자, 금속 텐드라이트

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래 기술에 의하여 상변화 재료층과의 접촉면적을 감소시킨 상변화 메모리 소자를 도시한 도면이다.

도 2a 내지 도 2d는 본 발명의 일실시예에 사용되는 고속 이온 도체내에 금속 덴드라이트가 형성되는 과정을 도시한 도면이다.

도 3a 내지 도 3c는 본 발명의 바람직한 일실시예에 따른 금속 덴드라이트를 포함하는 상변화 메모리 소자 및 그 제조과정을 도시한 도면이다.

도 4는 본 발명의 또다른 바람직한 실시예에 따른 금속 덴드라이트를 포함하는 상변화 메모리 소자의 구조를 도시한 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상변화 메모리 소자 및 그 제조 방법에 관한 것으로, 특히 금속 덴드라이트(metal dendrite)를 이용하여 상변화 재료층과의 접촉면적을 감소시킨 상변화 메모리 소자 및 그 제조 방법에 관한 것이다.

상변화 메모리(PRAM)는 칼코게나이드(chalcogenide) 계열의 상변화 재료를 사용하는 비휘발성 메모리 소자로서, 상기 상변화 재료는 결정질과 비정질 상태 사이에서 가역적인 상변화 특성을 가지며, 비정질일 때에는 비저항이 높아지고 결정질일 때에는 비저항이 낮아지는 특성을 갖는 재료로서, 일반적으로 GST($\text{Ge}_2\text{Sb}_2\text{Te}_5$) 등이 사용된다.

상변화 메모리 소자의 데이터의 저장은 트랜지스터의 소스/드레인 영역에 형성되는 도전체에 연결된 상변화막의 결정구조 변화로 인한 저항 차이를 이용하여 수행되며, 이러한 상변화 메모리 소자의 디자인 축소와 관련하여 고려되는 사항 중의 하나는 구동시에 발생하는 전류를 줄이기 위하여 상변화막과 접촉되는 전극 사이의 전류패스 면적(접촉영역의 면적)을 감소시켜 상변화가 일어나는 영역의 부피를 감소시키는 것이다.

도 1a는 상변화 재료 영역과 트랜지스터의 소스/드레인 영역에 형성된 도전체와 접촉되는 면적을 감소시키기 위한 종래 기술로서, 2004년 2월 27일에 공개된 공개번호 제10-2004-0017740호에 기재된 발명을 도시하고 있다. 이 종래 기술에는, 하부 전극(210)이 형성된 반도체 기판(200)에 제 1 절연막(220)을 증착하고, 제 1 절연막(220)에 제 1 콘택(225)을 형성한 후에 제 1 콘택(225)을 도전체(230)로 매립하고, 제 1 절연막(220)과 도전체(230)의 상면에 제 2 절연막(225)을 형성하고, 도전체(230)의 일부분이 노출되게 제 2 콘택(245)을 형성한 이후에 제 2 콘택(245)을 상변화막(250)으로 매립하고, 제 2 절연막(240)과 상변화막(250)의 상면에 상부 전극(260)을 형성하여 구성된 상변화 메모리 소자가 개시되었다.

그러나, 이 종래 기술에 의하면 상변화막과 도전체와의 접촉면적이 감소되기는 하나, 도전체(230)의 노출이 포토 작업을 통해서 포토 레지스트에 형성되는 패턴의 일부분이 도전체(230) 상면과 겹치도록 정렬(alignment)하고 이 포토 레지스트의 패턴을 이용하여 제 2 절연막(240)을 식각해서 형성하기 때문에, 상변화막과 도전체와의 접촉면적이 포토리소그래피 공정의 해상도에 의하여 제약을 받게 된다. 따라서 고집적화된 메모리 소자로 제조될 경우에는 소자의 전력소모는 여전히 문제가 될 수 있다.

한편, 도 1b는 상변화 재료 영역과의 접촉영역의 면적을 감소시키기 위한 종래 기술로서 본 발명자가 2003년 7월 21일에 출원하였고 2005년 1월 29일에 공개된 공개번호 제10-2005-0011059호에 기재된 발명을 도시하고 있다. 이 종래 기술에 의하면, 하부 유전체층(635) 위에 적어도 일부 측면이 둘러싸인 하부 전극(645); 상기 하부전극의 상면을 덮고 상기 하부 전극의 상면에 비하여 작은 단면적을 갖는 미세 통공(648)이 상기 하부전극의 상면까지 이르도록 형성되거나, 국부적인 미세 손상 부위(649)가 전류 패스를 제공하기 위하여 형성되는 유전체 박막(637); 및 상기 미세 통공(648)이나 미세 손상 부위(649)에 정렬되어 상기 유전체 박막의 상부에 형성된 상변화 재료 패턴(650)을 포함한다.

그러나, 도 1b에 도시된 종래 기술은 상변화 재료층(650)과 하부 전극(645) 사이의 전류 패스 면적(접촉영역의 면적 또는 유전체 박막 손상영역의 면적)을 수십 나노 미터급 이하로 감소시킴으로써 더 적은 에너지로 재료의 상을 변화시킬 수 있고 소자의 스위칭 전류가 줄어들 수는 있으나, 상기 미세 통공(648)을 형성하기 위하여 전자빔 리소그래피나 또는 나노 임

프린팅 리소그래피 공정을 거쳐야 하고 미세 손상 부위(649)를 형성하기 위하여 플라즈마에 노출시키거나 이온 주입공정을 거쳐 이온빔에 노출시키는 공정을 거쳐야 하는 등 여분의 제조 공정이 필요하여 공정이 복잡하고 번거롭다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 리소그래피 기술에 의하여 형성될 수 있는 패턴의 최소 크기의 한계를 극복하고 상변화 재료와의 접촉면적을 간단한 방법으로 나노 사이즈급 이하로 감소시켜 데이터 기록시 상변화 재료층의 용융되는 부분을 최소화할 수 있어 메모리 소자 동작에 필요한 에너지를 최소화시킬 수 있고 신뢰성이 향상될 수 있는 상변화 메모리 소자를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 의한 상변화 메모리 소자는 제 1 전극; 상기 제 1 전극의 상부에 형성된 상변화 재료층; 상기 상변화 재료층의 상부에 형성된 고속 이온 도체층; 상기 고속 이온 도체층의 상부에 형성된 제 2 전극; 및 상기 제 2 전극에 음의 전압이 걸리도록 상기 제 1 전극과 상기 제 2 전극에 일정 전압을 일정 시간 인가함으로써 상기 고속이온도체층을 관통하여 상기 제 2 전극과 상기 상변화재료층을 연결하는 금속 덴드라이트를 포함하여 이루어지는 것을 특징으로 한다.

또한 본 발명에 의한 상변화 메모리 소자를 제조하는 방법은 제 1 전극을 형성하는 단계; 상기 제 1 전극의 상부에 상변화 재료층을 형성하는 단계; 상기 상변화 재료층의 상부에 고속이온도체층을 형성하는 단계; 상기 고속이온도체층의 상부에 제 2 전극을 형성하는 단계; 및 상기 제 2 전극에 음의 전압이 걸리도록 상기 제 1 전극 및 상기 제 2 전극 사이에 일정 전압을 일정 시간 인가함으로써 상기 고속 이온도체 층을 관통하여 상기 제 2 전극과 상기 상변화 재료층을 연결하는 금속 덴드라이트를 형성하는 단계를 포함하는 것을 특징으로 한다.

이하, 본발명의 실시예를 도면을 참조하여 설명한다.

본 발명의 바람직한 한 실시예에 의하면, 비휘발성 상변화 메모리 소자에 나노 사이즈의 전극을 구현하기 위하여 고속 이온 도체(fast ion conductor)를 이용한다. 고속 이온 도체란 일반적으로 칼코게나이드-유리(chalcogenide-glass), 고체 전해질(solid electrolyte), 금속 이온 함유 유리, 금속 이온 함유 비정질 반도체(metal ion-containing amorphous semiconductor) 등과 같은 물질을 포함하여 이루어진다. 고속이온도체에 포함되는 칼코게나이드 물질은, 황(S), 셀레늄(Se) 및 또는 텔루륨(Te)을 함유하는 모든 화합물을 포함하며, 삼원(ternary), 사원(quaternary) 또는 그 이상의 화합물 이든 관계 없다. 본 발명의 바람직한 일실시예에 따른 고속이온도체는 칼코게나이드-금속 이온 조성물로서, 여기서 칼코게나이드 물질은 비소, 게르마늄, 셀레늄, 텔루륨, 비스무트, 니켈, 황, 폴로늄 및 아연(바람직하게는 황화비소, 황화게르마늄, 또는 셀레늄화 게르마늄)으로 구성된 군으로부터 선택되고, 금속에는 I족 및 II족 금속들(바람직하게는 은, 구리, 아연 또는 이들의 조합)이 포함된다. 칼코게나이드-금속 이온 조성물은 광분해(photodissolution), 칼코게나이드와 금속을 포함하는 소스로부터의 증착(depositing), 또는 기타 공지된 기술들에 의해 얻어질 수 있다.

상기한 고속 이온 도체는, 도 2a에 도시된 바와 같이 전압이 인가되지 않은 상태에서는 도전 경로가 형성되지 않아서 저항이 높은 오프-상태를 나타내나, 도 2b와 같이 전압을 인가하면(순방향 바이어스), 고속 이온 도체 내의 양의 금속이온(21)들이 음의 전압이 인가된 전극으로부터 전자(22)를 받아들여 원자(23)들로 환원됨으로써 음의 전압이 인가된 전극에서부터 금속 원자들에 의해 금속 덴드라이트(24)가 성장하게 된다. 상기 순방향 바이어스가 어느 일정 시간 동안 인가되면 상기 금속 덴드라이트(24)는 고속 이온 도체를 완전히 관통하여 양의 전압이 인가된 전극에 도달하여 금속 채널을 형성하게 된다(도 2c 참조). 상기 금속 채널은 도전 경로를 형성하게 되어 고속 이온 도체는 낮은 저항의 온-상태를 나타낸다. 상기 금속 덴드라이트(24)가 양의 전압이 인가된 전극에 도달하는데 필요한 시간은 부분적으로는 인가된 전압의 크기, 지속기간 및 고속 이온 도체의 지오메트리에 의존한다. 금속 덴드라이트(24)가 일단 성장한 후에는 전압의 인가를 중지하더라도 계속하여 유지되며, 도 2d에 도시된 바와 같이 전극들의 극성을 역전시켜야(역방향 바이어스) 금속 원자들이 이온 및 전자들로 변환되어 금속 덴드라이트가 붕괴되기 시작한다.

도 3a 내지 3c에는 본발명의 바람직한 한 실시예에 의한 상변화 재료층과의 접촉면적을 감소시키기 위하여 금속 덴드라이트를 이용한 상변화 메모리 소자 및 이러한 소자의 제조 방법이 도시된다. 본 발명의 금속 덴드라이트를 이용한 상변화 메모리 소자는 바람직하게는 2개의 전극(31, 34) 및 상기 2개의 전극 사이에 형성된 고속이온도체층(33)과 상변화 재료층(32)을 포함한다.

본 발명의 바람직한 한 실시예에 의한 금속텐드라이트를 이용한 PRAM은, 도 3a에 도시된 바와 같이 제 1 전극(31)의 상부에 상변화 재료층(32)을 형성하고, 상변화 재료층(32)의 상부에 고속이온도체층(33)을 증착하여 형성한 후, 그 위에 제 2 전극(34)을 형성한다.

먼저, 제 1 전극(31)은 도시 생략한 기판 상부에 배치될 수 있으며, 이 경우 기판은 실리콘 기판, 세라믹 기판 또는 석영 기판일 수 있으나 이에 한정되지는 않으며, 필요에 따라서는 이러한 기판위에 절연체가 개재될 수도 있다(도시안됨). 제 1 전극(31)의 전극 재료로는 예를 들어, 텅스텐, 카본, 구리, 알루미늄, 텅스텐 실리사이드, 플라티늄, 은, 금, 티타늄, 질화 티타늄, 도핑된 폴리 실리콘 등 다양한 전기 전도성 물질이 사용될 수 있으며, 바람직하게는, 은, 구리 및 아연으로부터 구성된 군으로부터 선택된 전기 전도성 물질이 사용된다.

그 후 상기 제 1 전극(31) 위에 상변화 재료층(32)이 충분한 두께로 증착되어 형성된다. 상변화 재료층(32)은 가열되는 온도에 따라 위상 상태가 변화하여 저항이 변하는 특성을 갖는 도전막으로 형성된다. 예를 들면, 칼코게나이드계 원소인 텔루륨, 황 및 셀레늄 중에 선택된 적어도 하나를 포함하는 물질막으로 형성하는 것이 바람직하다.

그리고 나서 고속이온도체층(33)이 상기 상변화 재료층(32)의 상부에 증착 형성된다. 상기한 바와 같은 칼코게나이드-금속 이온 조성물을 포함하는 고속이온도체층(33)은 임의의 편리한 방법을 이용하여 제조될 수 있다. 본 발명의 바람직한 한 실시예에서는 광분해에 의하여 삼황화 비소-은($\text{As}_2\text{S}_3\text{-Ag}$)으로부터 형성될 수 있다. 약 500nm미만의 파장과 같은 적절한 파장의 빛을 은박막과 삼황화 비소-은 층에 조사함으로써, 은이 적절하게 삼황화 비소-은 내에 유입된다. 은과 삼황화 비소-은의 이중층은 적절한 포화수준, 즉 삼황화 비소-은에 대한 은 함량이 약 45원자 퍼센트에 도달할 때까지 빛에 노출된다. 고속이온도체층(33)의 두께는 수 나노미터부터 수백 나노미터까지의 범위에서 변할 수 있다.

그 후, 제 2 전극(34)이 은, 구리 및 아연으로부터 구성된 군으로부터 선택되는 전기 전도성 물질을 재료로 하여 상기 고속이온도체층(33) 위에 형성되나, 제 2 전극(34)에 사용되는 재료는 제 1 전극과 마찬가지로 이에 한정되는 것은 아니다.

상기한 바와 같이 제 1 전극(31), 상변화 재료층(32), 고속이온도체층(33) 및 제 2 전극(34)이 차례로 형성된 후에, 도 3b에서와 같이 적절한 전압이 상기 제 1 전극(31) 및 제 2 전극(34) 사이에 인가될 때, 즉, 전원의 음극에 제 2 전극(34)이 연결되고 양극이 제 1 전극(31)에 인가될 때, 금속 텐드라이트(35)가 제 2 전극(34)로부터 제 1 전극(31)을 향하여 성장하기 시작한다. 충분히 긴 시간동안 전압을 계속 인가하면 도 3c에 도시된 바와 같이 금속 텐드라이트(35)는 제 1 전극(31) 위에 형성된 상변화 재료층(32)에 도달한다. 금속 텐드라이트(35)가 상변화 재료층(32)에 도달하여 상변화 재료층(32)의 상기 금속 텐드라이트(35)를 접하는 부위(36)에 상변화가 일어나면, 전압의 인가를 중지한다. 상기에서 살펴본 바와 같이 전압의 인가를 중지하더라도 일단 상변화 재료층(32)에 도달된 금속 텐드라이트(35)는 그대로 유지된다. 금속 텐드라이트(35)의 성장율은 인가전압, 전체 메모리 구조의 치수 및 시간의 함수이며, 저전압의 경우에는 상대적으로 성장이 느린 반면, 고전압인 경우에는 상대적으로 빠른 성장을 나타낸다.

도 3c에는 금속 텐드라이트(35)가 상변화 재료층(32)에 도달된 직후 전압의 인가를 중지한 후의 상변화 메모리 소자를 나타낸다. 일단 금속 텐드라이트(35)가 고속이온도체층(33)을 관통하도록 형성된 후에는 금속 텐드라이트(35)가 상변화 재료층(32)의 히팅 전극으로서의 역할을 하게 되며, 상변화 재료층(32)에서 일어나는 상변화는 도 3c에 도시된 바와 같이 주로 히팅 전극으로서의 역할을 하는 금속 텐드라이트(35)와 상변화 재료층(32)이 접촉하는 부위(36)에서 일어나게 된다. 본 발명에 의하면 히팅 전극으로서의 역할을 하는 금속 텐드라이트의 크기가 나노 사이즈급으로 매우 작아지게 되기 때문에 그 접촉면적이 획기적으로 감소하게 되어 더 적은 에너지로 재료의 위상이 변화되는 것이 가능하게 되고 소자의 스위칭 전류가 줄어들게 되어 소자의 전력소모를 줄일 수 있게 될 뿐만 아니라, 고속의 스위칭이 가능하게 되어 보다 신뢰성 높은 소자를 구현할 수 있게 된다.

이상 본 발명의 특정 실시예를 예시하였으나, 본 발명은 상기한 실시예의 구조에 한정되는 것이 아니라, 상변화 재료층과 접촉하는 금속 텐드라이트가 형성될 수 있는 구조라면 여하한 구조를 채택할 수 있음에 유의한다. 예를 들면 도 4에 도시된 바와 같이 제 1 전극(31), 상변화 재료층(32) 및 고속이온도체층(33)이 형성된 후에 유전막(37)이 고속이온도체층(33)위에 증착되며 비어(via)가 고속 이온 도체층(33) 위에 개방된 후 제 2 전극(34)이 상기 비어내에 적절히 증착되고 패턴 형성될 수도 있다.

발명의 효과

본 발명에 의하면, 비휘발성 상변화 메모리 소자에 있어서 금속 텐드라이트를 사용하여 히팅 전극을 제조함으로써 종래의 포토리소그래피 기술이 가지는 전극 사이즈의 한계를 극복하고 저전력에서 동작하는 메모리소자 구현을 위한 전극 크기를 간단한 방법으로 나노 사이즈만큼 감소시켜 소자의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

제 1 전극층;

상기 제 1 전극의 상부에 형성된 상변화 재료층;

상기 상변화 재료층의 상부에 형성된 고속이온도체층;

상기 고속이온도체층의 상부에 형성된 제 2 전극; 및

상기 제 2 전극에 음의 전압이 걸리도록 상기 제 1 전극과 상기 제 2 전극에 일정 전압을 일정 시간 인가함으로써 상기 고속이온도체층을 관통하여 상기 제 2 전극과 상기 상변화재료층을 연결하는 금속 텐드라이트를 포함하여 이루어지는 것을 특징으로 하는 상변화 메모리 소자.

청구항 2.

제 1 항에 있어서,

상기 고속이온도체는 금속 이온을 함유하는 칼코게나이드 물질을 재료로 하여 형성되는 것을 특징으로 하는 상변화 메모리 소자.

청구항 3.

제 2 항에 있어서,

상기 칼코게나이드 물질은 황, 셀레늄 및 텔루륨으로 구성된 물질의 군으로부터 선택되며, 상기 금속 이온은 은, 구리 및 아연으로 구성된 물질의 군으로부터 선택된 것을 특징으로 하는 상변화 메모리 소자.

청구항 4.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 전극 및 제 2 전극은, 은, 구리 및 아연으로부터 구성된 군으로부터 선택되는 전기 전도성 물질을 재료로 하여 형성되는 것을 특징으로 하는 상변화 메모리 소자.

청구항 5.

상변화 메모리 소자를 제조하는 방법에 있어서,

제 1 전극을 형성하는 단계;

상기 제 1 전극의 상부에 상변화 재료층을 형성하는 단계;

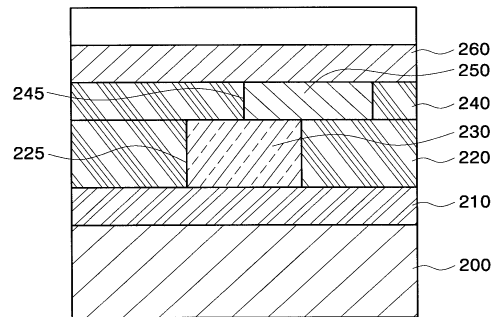
상기 상변화 재료층의 상부에 고속이온도체층을 형성하는 단계;

상기 고속이온도체층의 상부에 제 2 전극을 형성하는 단계; 및

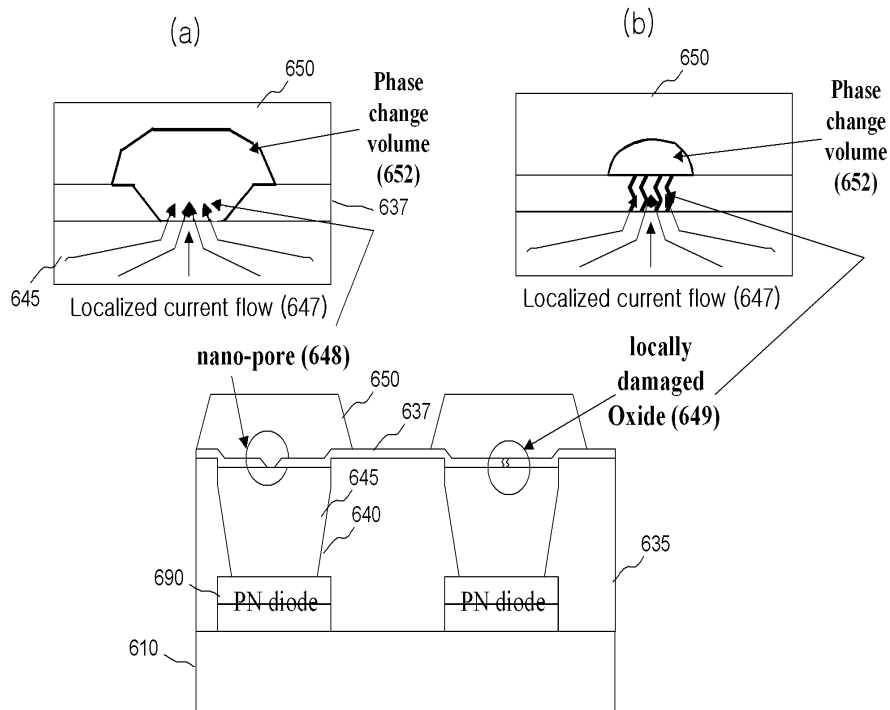
상기 제 2 전극에 음의 전압이 걸리도록 상기 제 1 전극 및 상기 제 2 전극 사이에 일정 전압을 일정 시간 인가함으로써 상기 고속 이온도체 층을 관통하여 상기 제 2 전극과 상기 상변화 재료층을 연결하는 금속 텐드라이트를 형성하는 단계를 포함하는 것을 특징으로 하는 상변화 메모리 소자 제조 방법.

도면

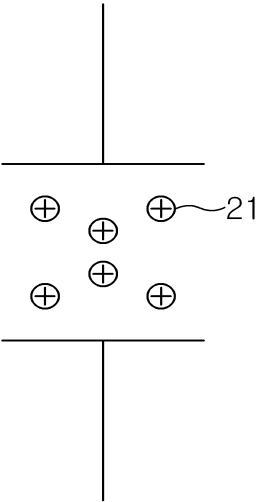
도면1a



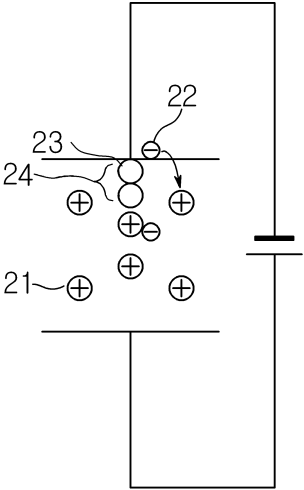
도면1b



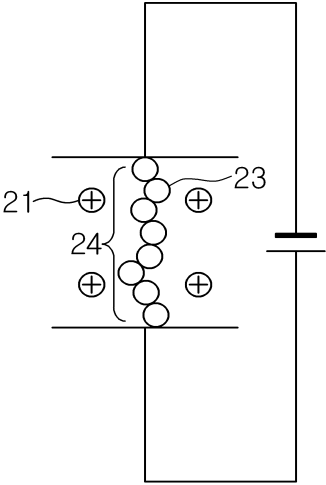
도면2a



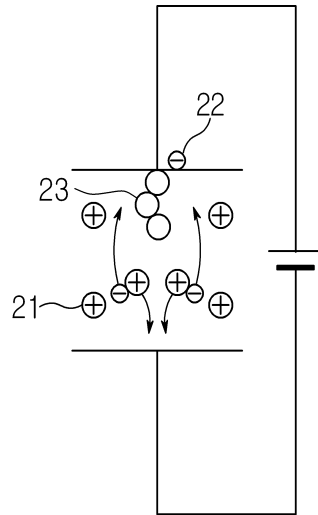
도면2b



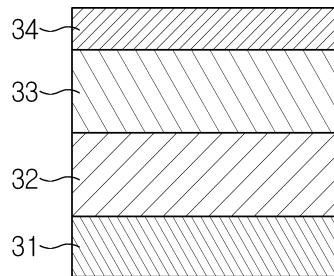
도면2c



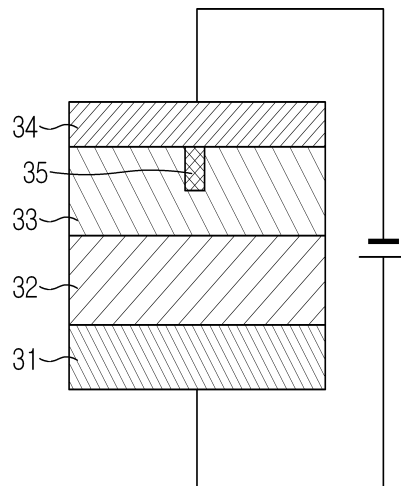
도면2d



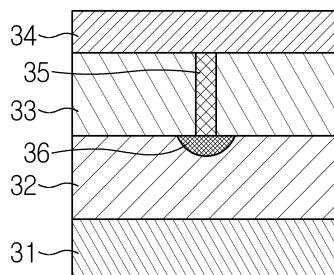
도면3a



도면3b



도면3c



도면4

