

(74) 代理人: 中国专利代理(香港)有限公司
(CHINA PATENT AGENT (H. K.) LTD.); 中国香港特别行政区湾仔港湾道23号鹰君中心22号楼, Hong Kong (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

from a second reference voltage end (VBB), the second reference voltage having a value between the value of a valid input pulse and the ineffective potential.

(57) 摘要: 一种移位寄存器电路, 其包括置位电路(110)、第一复位电路(120)、第一控制电路(130)以及输出电路(140)。输出电路(140)被配置成响应于传送到信号输出端(OUT)的第一时钟信号(CLK1)有效而改变第一节点(N1)的有效电位进一步远离无效电位, 并且第一控制电路(130)还被配置成响应于传送到信号输出端(OUT)的第一时钟信号(CLK1)有效而基于来自第二参考电压端(VBB)的第二参考电压限制第一节点(N1)的有效电位的改变, 第二参考电压具有介于有效的输入脉冲的量值与无效电位之间的量值。

移位寄存器电路及其驱动方法、栅极驱动电路、 显示面板和显示装置

相关申请的交叉引用

- 5 本 PCT 申请要求 2017 年 1 月 5 日提交的中国专利申请号 201710008154.9 的权益，其全部公开内容通过引用合并于此。

技术领域

- 10 本公开涉及显示技术领域，尤其涉及一种移位寄存器电路及其驱动方法、栅极驱动电路、显示面板和显示装置。

背景技术

- 15 移位寄存器可以操作为显示装置的栅极驱动电路以便向各栅线顺序地提供栅极扫描信号以开启各像素行中的晶体管，从而允许向各像素写入数据信号。

- 20 为了能够充分打开各晶体管，栅极扫描信号的高电平一般需要达到 25V 以上。由于移位寄存器中的存储电容的自举作用（self-boosting effect），移位寄存器的某些内部节点处的电位甚至会更高，例如高出栅极扫描信号的高电平一倍（50V 以上）。如此高的电位导致与这些内部节点相连的晶体管的特性发生较大的变化，产生阈值电压漂移。若显示装置在此种条件下长时间工作，移位寄存器会变得不稳定，得到恶化的栅极扫描信号。

发明内容

- 25 有利的是提供一种可以缓解、减轻或消除上述问题中的一个或多个的移位寄存器电路。

- 30 根据本公开的一个方面，提供了一种移位寄存器电路，包括：置位电路，被配置成响应于来自信号输入端的输入脉冲有效而将所述输入脉冲传送到第一节点以将所述第一节点设定处于有效电位；第一复位电路，被配置成响应于来自复位信号端的复位脉冲有效而将来自第一参考电压端的第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，并且响应于来自复位信号端的复位脉冲有效而将

来自所述第一参考电压端的所述第一参考电压传送到信号输出端；输出电路，被配置成响应于所述第一节点处于所述有效电位而将来自第一时钟信号端的第一时钟信号传送到所述信号输出端，并且响应于传送到所述信号输出端的所述第一时钟信号有效而改变所述第一节点的所述有效电位进一步远离所述无效电位；以及第一控制电路，被配置成响应于来自所述信号输入端的所述输入脉冲有效而维持所述第一节点处于所述有效电位，并且响应于传送到所述信号输出端的所述第一时钟信号有效而基于来自第二参考电压端的第二参考电压限制所述第一节点的所述有效电位的改变，所述第二参考电压具有介于该有效的输入脉冲的量值与所述无效电位之间的量值。

在一些实施例中，所述第一控制电路包括：第一晶体管，具有均连接到所述信号输入端的栅极和第一电极、以及连接到第二节点的第二电极；第二晶体管，具有连接到所述信号输出端的栅极、连接到所述第二参考电压端的第一电极、以及连接到所述第二节点的第二电极；以及第一电容，连接于所述第二节点和所述第一节点之间。

在一些实施例中，所述输出电路包括：第三晶体管，具有连接到所述第一节点的栅极、连接到所述第一时钟信号端的第一电极、以及连接到所述信号输出端的第二电极；以及第二电容，连接于所述第一节点与所述信号输出端之间。

在一些实施例中，所述第一复位电路包括：第四晶体管，具有连接到所述复位信号端的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述信号输出端的第二电极；以及第七晶体管，具有连接到所述复位信号端的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第一节点的第二电极。

在一些实施例中，所述置位电路包括第六晶体管，其具有均连接到所述信号输入端的栅极和第一电极、以及连接到所述第一节点的第二电极。

在一些实施例中，所述移位寄存器电路还包括：第二控制电路，被配置成响应于所述第一节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到第三节点以将所述第三节点设定处于无效电位，并且响应于来自第二时钟信号端的第二时钟信号有效且所述第一节点处于所述无效电位而将所述第二时钟信号传送到所述

第三节点以将所述第三节点设定处于有效电位；以及第二复位电路，被配置成响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，并且响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述信号输出端。

5 在一些实施例中，所述第二控制电路包括：第九晶体管，具有均连接到所述第二时钟信号端的栅极和第一电极、以及第二电极；第十晶体管，具有连接到所述第九晶体管的所述第二电极的栅极、连接到所述第二时钟信号端的第一电极、以及连接到所述第三节点的第二电极；第十一晶体管，具有连接到所述第一节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第九晶体管的所述第二电极的第二电极；以及第十二晶体管，具有连接到所述第一节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第三节点的第二电极。

15 在一些实施例中，所述第二复位电路包括：第五晶体管，具有连接到所述第三节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述信号输出端的第二电极；以及第八晶体管，具有连接到所述第三节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第一节点的第二电极。

20 根据本公开的另一方面，提供了一种栅极驱动电路，包括级联的多个如上所述的移位寄存器电路。除第一级移位寄存器电路和最后一级移位寄存器电路之外，所述移位寄存器电路中的每一个的所述信号输出端连接到相邻的下一级移位寄存器电路的所述信号输入端和相邻的上一级移位寄存器电路的所述复位信号端两者。第一级移位寄存器电路的所述信号输出端连接到第二级移位寄存器电路的所述信号输入端。最后一级移位寄存器电路的所述信号输出端连接到相邻的上一级移位寄存器电路的所述复位信号端。

根据本公开的另一方面，提供了一种显示面板，包括如上所述的栅极驱动电路。

30 根据本公开的另一方面，提供了一种显示装置，包括如上所述的显示面板。

根据本公开的又另一方面，提供了一种驱动如上所述的移位寄存

器电路的方法。所述方法包括：在第一阶段，响应于来自所述信号输入端的所述输入脉冲有效而将所述输入脉冲传送到所述第一节点以将所述第一节点设定处于所述有效电位，并且响应于所述第一节点处于所述有效电位而将来自所述第一时钟信号端的所述第一时钟信号传送到所述信号输出端；在第二阶段，响应于传送到所述信号输出端的所述
5 所述第一时钟信号有效而改变所述第一节点的所述有效电位进一步远离所述无效电位，并且响应于传送到所述信号输出端的所述第一时钟信号有效而基于来自所述第二参考电压端的所述第二参考电压限制所述第一节点的所述有效电位的改变，所述第二参考电压具有介于该有效的
10 的第一时钟信号的量值与所述无效电位之间的量值；以及在第三阶段，响应于来自所述复位信号端的所述复位脉冲有效而将来自所述第一参考电压端的所述第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，并且响应于来自所述复位信号端的所述复位脉冲有效而将来自所述第一参考电压端的所述第一参考电压传送到所述信
15 号输出端。

在一些实施例中，所述方法还包括：在第一和第二阶段，响应于所述第一节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到第三节点以将所述第三节点设定处于无效电位；并且在所述第三阶段，响应于来自第二时钟信号端的第二时钟信号有
20 效且所述第一节点处于所述无效电位而将所述第二时钟信号传送到所述第三节点以将所述第三节点设定处于有效电位。

在一些实施例中，所述方法还包括：在所述第三阶段，响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，
25 并且响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述信号输出端。

根据在下文中所描述的实施例，本公开的这些和其它方面将是清楚明白的，并且将参考在下文中所描述的实施例而被阐明。

30 附图说明

图 1 为根据公开实施例的移位寄存器电路的框图；

图 2 为图 1 所示的移位寄存器电路的示例性电路图；

图 3 为根据本公开实施例的移位寄存器电路的框图；

图 4 为图 3 所示的移位寄存器电路的示例性电路图；

图 5 为图 4 所示的移位寄存器电路的时序图；

图 6 为根据本公开实施例的栅极驱动电路的框图；并且

5 图 7 为根据本公开实施例的显示装置的框图。

具体实施方式

将理解的是，尽管术语第一、第二、第三等等在本文中可以用来描述各种元件、部件和/或部分，但是这些元件、部件和/或部分不应当
10 由这些术语限制。这些术语仅用来将一个元件、部件或部分与另一个元件、部件或部分相区分。因此，下面讨论的第一元件、部件或部分可以被称为第二元件、部件或部分而不偏离本公开的教导。

本文中使用的术语仅出于描述特定实施例的目的并且不意图限制本公开。如本文中使用的，单数形式“一个”、“一”和“该”意图
15 也包括复数形式，除非上下文清楚地另有指示。将进一步理解的是，术语“包括”和/或“包含”当在本说明书中使用指定所述及特征、整体、步骤、操作、元件和/或部件的存在，但不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组。如本
20 文中使用的，术语“和/或”包括相关联的列出项目中的一个或多个的任意和全部组合。

将理解的是，当元件被称为“连接到另一个元件”或“耦合到另一个元件”时，其可以直接连接到另一个元件或直接耦合到另一个元件，或者可以存在中间元件或层。相反，当元件被称为“直接连接到
25 另一个元件”或“直接耦合到另一个元件”时，没有中间元件或层存在。

除非另有定义，本文中使用的术语（包括技术术语和科学术语）具有与本公开所属领域的普通技术人员所通常理解的相同含义。将进一步理解的是，诸如那些在通常使用的字典中定义的之类的术语
30 应当被解释为具有与其在相关领域和/或本说明书上下文中的含义相一致的含义，并且将不在理想化或过于正式的意义上去解释，除非本文中明确地如此定义。

下面将结合附图对本公开的实施例进行详细地描述。

图 1 为根据公开实施例的移位寄存器电路 100 的框图。参考图 1，移位寄存器电路 100 包括置位电路 110、第一复位电路 120、第一控制电路 130 和输出电路 140。

5 置位电路 110 连接到信号输入端 IN 和第一节点 N1。置位电路 110 被配置成响应于来自信号输入端 IN 的输入脉冲有效而将输入脉冲传送到第一节点 N1 以将第一节点 N1 设定处于有效电位。

10 第一复位电路 120 连接到复位信号端 RST、第一参考电压端 VSS、第一节点 N1 和信号输出端 OUT。第一复位电路 120 被配置成响应于来自复位信号端 RST 的复位脉冲有效而将来自第一参考电压端 VSS 的第一参考电压传送到第一节点 N1 以将第一节点 N1 设定处于无效电位。第一复位电路 120 还被配置成响应于来自复位信号端 RST 的复位脉冲有效而将来自第一参考电压端 VSS 的第一参考电压传送到信号输出端 OUT。

15 输出电路 140 连接到第一节点 N1、第一时钟信号端 CLK1 和信号输出端 OUT。输出电路 140 被配置成响应于第一节点 N1 处于有效电位而将来自第一时钟信号端 CLK1 的第一时钟信号传送到信号输出端 OUT。输出电路 140 还被配置成响应于传送到信号输出端 OUT 的第一时钟信号有效而改变第一节点 N1 的有效电位进一步远离无效电位。

20 第一控制电路 130 连接到信号输入端 IN、第二参考电压端 VBB 和第一节点 N1。第一控制电路 130 被配置成响应于来自信号输入端 IN 的输入脉冲有效而维持第一节点 N1 处于有效电位。第一控制电路 130 还被配置成响应于传送到信号输出端 OUT 的第一时钟信号有效而基于来自第二参考电压端 VBB 的第二参考电压限制第一节点 N1 的所述有效电位的改变。如下面将描述的，第二参考电压具有介于有效的第一时钟信号的量值与无效电位之间的量值。

30 如本文使用的术语“有效电位”是指所涉及的电路元件（例如，晶体管）被启用所处的电位。类似地，术语“有效信号”是指具有有效电位以启用所涉及的电路元件的信号。相反，术语“无效电位”是指所涉及的电路元件被禁用所处的电位。

在该实施例中，第一节点 N1 的电位可以借助于第一控制电路 130 而被限制，从而缓解或消除由于第一节点 N1 的电位过高而造成的问题，

诸如所涉及的电路元件的工作特性改变、移位寄存器电路 100 的输出信号的不稳定等等。

图 2 为图 1 所示的移位寄存器电路 100 的示例性电路图。下面参考图 1 和 2 描述该示例电路。

5 置位电路 110 包括第六晶体管 T6，其具有均连接到信号输入端 IN 的栅极和第一电极、以及连接到第一节点 N1 的第二电极。

第一复位电路 120 包括第四晶体管 T4 和第七晶体管 T7。第四晶体管 T4 具有连接到复位信号端 RST 的栅极、连接到第一参考电压端 VSS 的第一电极、以及连接到信号输出端 OUT 的第二电极。第七晶体
10 管 T7 具有连接到复位信号端 RST 的栅极、连接到第一参考电压端 VSS 的第一电极、以及连接到第一节点 N1 的第二电极。

第一控制电路 130 包括第一晶体管 T1、第二晶体管 T2 和第一电容 C1。第一晶体管 T1 具有均连接到信号输入端 IN 的栅极和第一电极、以及连接到第二节点 N2 的第二电极。第二晶体管 T2 具有连接到信号
15 输出端 IN 的栅极、连接到第二参考电压端 VBB 的第一电极、以及连接到第二节点 N2 的第二电极。第一电容 C1 连接于第二节点 N2 和第一节点 N1 之间。

输出电路 140 包括第三晶体管 T3 和第二电容 C2。第三晶体管 T3 具有连接到第一节点 N1 的栅极、连接到第一时钟信号端 CLK1 的第一
20 电极、以及连接到信号输出端 OUT 的第二电极。第二电容 C2 连接于第一节点 N1 与信号输出端 OUT 之间。

在该示例电路中，来自第二参考电压端 VBB 的第二参考电压具有小于来自信号输入端 IN 的有效输入脉冲的量值且大于无效电位的量值（即，介于有效输入脉冲的量值与无效电位之间）。这可以防止第一
25 节点 N1 的电位当移位寄存器电路 100 在操作时由于第二电容的自举作用被拉升过高。这归因于以下工作过程。在第一节点 N1 处于有效电位（在该示例中，高电平）的时间段期间，来自第一时钟信号端 CLK1 的第一时钟信号通过第三晶体管 T3 被传送到信号输出端 OUT。当第一时钟信号从无效电位（在该示例中，低电平）跳变至有效电位时，第二节点 N2 已经由来自信号输入端 IN 的有效输入脉冲通过第二晶体管
30 T2 设定处于有效电位，并且第一节点 N1 的电位由于第二电容 C2 的自举作用将被进一步拉高。同时，来自第二参考电压端 VBB 的第二参考

电压通过第二晶体管 T2 被传送至第二节点 N2, 使得第二节点 N2 的电位降低一定的量 (等于有效输入脉冲的量值与第二参考电压的量值的差)。由于第一电容 C1 的自举作用, 第一节点 N1 的电位将被拉低。第一电容 C1 的自举和第二电容 C2 的自举之间的折中导致第一节点 N1 5 的电位不被增加否则在没有第一控制电路 130 的情况下本应具有的量。以这种方式, 移位寄存器电路 100 的内部节点 N1 的电位在操作中被限制。

图 3 为根据本公开实施例的移位寄存器电路 100A 的框图。参考图 3, 与图 1 的移位寄存器电路 100 相比, 移位寄存器电路 100A 还包括 10 第二控制电路 150 和第二复位电路 160。置位电路 110、第一复位电路 120、第一控制电路 130 和输出电路 140 的配置与上面关于图 1 和 2 描述的那些相同, 并且在此不再重复。

第二控制电路 150 连接到第二时钟信号端 CLK2、第一节点 N1、第三节点 N3 和第一参考电压端 VSS。第二控制电路 150 被配置成响应 15 于第一节点 N1 处于有效电位而将来自第一参考电压端 VSS 的第一参考电压传送到第三节点 N3 以将第三节点 N3 设定处于无效电位。第二控制电路 150 还被配置成响应于来自第二时钟信号端 CLK2 的第二时钟信号有效且第一节点 N1 处于无效电位而将第二时钟信号 CLK2 传送到第三节点 N3 以将第三节点 N3 设定处于有效电位。

20 第二复位电路 160 连接到第一节点 N1、第三节点 N3、信号输出端 OUT 和第一参考电压端 VSS。第二复位电路 160 被配置成响应于第三节点 N3 处于有效电位而将来自第一参考电压端 VSS 的第一参考电压传送到第一节点 N1 以将第一节点 N1 设定处于无效电位。第二复位电路 160 还被配置成响应于第三节点 N3 处于有效电位而将来自第一参考电压端 VSS 的第一参考电压传送到信号输出端 OUT。 25

图 4 为图 3 所示的移位寄存器电路 100A 的示例性电路图。下面参考图 3 和 4 描述该示例电路。置位电路 110、第一复位电路 120、第一控制电路 130 和输出电路 140 的配置与上面关于图 2 描述的那些相同, 并且在此不再重复。

30 第二控制电路 150 包括第九晶体管 T9、第十晶体管 T10、第十一晶体管 T11 和第十二晶体管 T12。第九晶体管 T9 具有均连接到第二时钟信号端 CLK2 的栅极和第一电极、以及第二电极。第十晶体管 T10

具有连接到第九晶体管 T9 的第二电极的栅极、连接到第二时钟信号端 CLK2 的第一电极、以及连接到第三节点 N3 的第二电极。第十一晶体管 T11 具有连接到第一节点 N1 的栅极、连接到第一参考电压端 VSS 的第一电极、以及连接到第九晶体管 T9 的第二电极的第二电极。第十二晶体管 T12 具有连接到第一节点 N1 的栅极、连接到第一参考电压端 VSS 的第一电极、以及连接到第三节点 N3 的第二电极。

第二复位电路 160 包括第五晶体管 T5 和第八晶体管 T8。第五晶体管 T5 具有连接到第三节点 N3 的栅极、连接到第一参考电压端 VSS 的第一电极、以及连接到信号输出端 OUT 的第二电极。第八晶体管 T8 具有连接到第三节点 N3 的栅极、连接到第一参考电压端 VSS 的第一电极、以及连接到第一节点 N1 的第二电极。

在各实施例中，各晶体管被图示和描述为 N 型晶体管，尽管 P 型晶体管是可能的。在 P 型晶体管的情况下，栅极开启电压具有低电平，并且栅极关闭电压具有高电平。在各实施例中，各晶体管可以是薄膜晶体管，其典型地被制作使得它们的第一电极和第二电极可互换地使用。还设想了其他实施例。

如下面将描述的，第二控制电路 150 和第二复位电路 160 操作用于通过设定第三节点 N3 的电位而使第一节点 N1 和信号输出端 OUT 被更有效地复位。

图 5 为图 4 所示的移位寄存器电路的时序图。下面参考图 4 和 5 描述该示例移位寄存器电路的操作。在以下描述中，以 1 表示高电平，并且以 0 表示低电平。还假定：第一时钟信号、第二时钟信号、输入脉冲、复位脉冲和输出信号的高电平为 VGH，第一参考电压端 VSS 供应低电平电压，并且第二参考电压端 VBB 供应具有量值为 VGH/2 的电压。

在 P1 阶段，IN=1，CLK2=1，CLK1=0，RST=0。由于 IN=1 并且 CLK2=1，因此第六晶体管 T6、第九晶体管 T9 和第一晶体管 T1 导通。导通的第一晶体管 T1 将来自信号输入端 IN 的有效输入脉冲传送到第二节点 N2 以将第二节点设定处于有效电位，并且导通的第六晶体管 T6 将来自信号输入端 IN 的有效输入脉冲传送到第一节点 N1 以将第一节点设定处于有效电位。第一电容 C1 维持第一节点 N1 与第二节点 N2 之间的电压。第一节点 N1 被设定处于有效电位，使得第三晶体管 T3、

第十一晶体管 T11 和第十二晶体管 T12 导通。导通的第三晶体管 T3 将来自第一时钟信号端 CLK1 的第一时钟信号传送到信号输出端 OUT。由于此阶段 CLK1=0，因此信号输出端 OUT 输出低电平信号，使得第二晶体管 T2 关闭。导通的第九晶体管 T9 和第十一晶体管 T11 具有电阻分压效应，并且第九晶体管 T9 和第十一晶体管 T11 被设计使得第九晶体管 T9 的等效电阻远大于第十一晶体管 T11 的等效电阻。因此，第十晶体管 T10 的栅极电压不足以开启第十晶体管 T10。这样，导通的第十二晶体管 T12 将来自第一参考电压端 VSS 的第一参考电压传送到第三节点 N3，使得第三节点 N3 被设定处于无效电位。

10 在 P2 阶段，IN=0，CLK2=0，CLK1=1，RST=0。由于 IN=0 并且 CLK2=0，因此第六晶体管 T6、第九晶体管 T9 和第一晶体管 T1 关闭。由于 CLK1=1，第二电容 C2 的自举作用使得第一节点 N1 的电位进一步升高，使得第三晶体管 T3、第十一晶体管 T11 和第十二晶体管 T12 保持导通状态。导通的第三晶体管 T3 将来自第一时钟信号端 CLK1 的第一时钟信号传送到信号输出端 OUT。由于此阶段 CLK1=1，因此信号输出端 OUT 输出高电平信号，使得第二晶体管 T2 导通。导通的第二晶体管 T2 将来自第二参考电压端 VBB 的第二参考电压传送到第二节点 N2，使得第二节点 N2 的电位从 VGH 下降到 VGH/2。第一电容 C1 的自举作用限制第一节点 N1 的电位由于第二电容 C2 的自举作用引起的升高，例如仅仅升高到 1.5VGH，而不是 2VGH。这避免了第一节点 N1 的电位过高的问题，诸如信号输出端 OUT 输出的信号不稳定。另外，导通的第十一晶体管 T11 将来自第一参考电压端 VSS 的第一参考电压传送到第十晶体管 T10 的栅极，从而关闭第十晶体管 T10。导通的第十二晶体管 T12 将来自第一参考电压端 VSS 的第一参考电压传送到第三节点 N3，使得第三节点 N3 处于无效电位。

25 在 P3 阶段，IN=0，CLK2=1，CLK1=0，RST=1。由于 CLK2=1 并且 RST=1，因此第四晶体管 T4、第七晶体管 T7 和第九晶体管 T9 导通。导通的第四晶体管 T4 将来自第一参考电压端 VSS 的第一参考电压传送到信号输出端 OUT，使得信号输出端 OUT 输出低电平信号。导通的第七晶体管 T7 将来自第一参考电压端 VSS 的第一参考电压传送到第一节点 N1 以第一节点 N1 设定处于无效电位。导通的第九晶体管 T9 将来自第二时钟信号端 CLK2 的第二时钟信号传送到第十晶体管 T10

的栅极,使得第十晶体管 T10 导通。导通的第十晶体管 T10 将来自第二时钟信号端 CLK2 的第二时钟信号传送到第三节点 N3 以将第三节点设定处于有效电位,使得第五晶体管 T5 和第八晶体管 T8 导通。导通的第五晶体管 T5 将来自第一参考电压端 VSS 的第一参考电压传送到信号输出端 OUT,进一步保证信号输出端 OUT 输出低电平信号。导通的第八晶体管 T8 将来自第一参考电压端 VSS 的第一参考电压传送到第一节点 N1,进一步保证第一节点 N1 被复位到无效电位。

阶段 P1-P3 作为整体可以以一定的间隔重复,使得移位寄存器电路 100A 经由信号输出端 OUT 以该间隔输出栅极扫描信号。

图 6 为根据本公开实施例的栅极驱动电路 600 的框图。参考图 6,栅极驱动电路 600 包括级联的多个移位寄存器电路,其每一个可以是上面关于图 1-4 描述的移位寄存器电路 100 或 100A。

除第一级移位寄存器电路和最后一级移位寄存器电路之外,各移位寄存器电路中的每一个的信号输出端 OUT 连接到相邻的下一级移位寄存器电路的信号输入端 IN 和相邻的上一级移位寄存器电路的复位信号端 RST 两者。第一级移位寄存器电路的信号输出端 OUT 连接到第二级移位寄存器电路的信号输入端 IN。最后一级移位寄存器电路的信号输出端 OUT 连接到相邻的上一级移位寄存器电路的复位信号端 RST。

为了方便说明,图 6 中仅示出了四个移位寄存器,即第 $n-1$ 级移位寄存器、第 n 级移位寄存器、第 $n+1$ 级移位寄存器和第 $n+2$ 级移位寄存器,其分别输出栅极扫描信号 $G[n-1]$ 、 $G[n]$ 、 $G[n+1]$ 和 $G[n+2]$ 。

图 7 为根据本公开实施例的显示装置 700 的框图。参考图 7,显示装置 700 包括显示面板 710、时序控制器 720、栅极驱动电路 730 和数据驱动电路 740。栅极驱动电路 730 可以是上面关于图 6 所述的栅极驱动电路 600。

显示面板 710 连接至多个栅极线 GL 和多个数据线 DL。显示面板 710 基于输出图像数据 RGBD' 显示具有多个灰度的图像。栅极线 GL 可在第一方向 D1 延伸,并且数据线 DL 可在与第一方向 D1 交叉(例如,基本垂直)的第二方向 D2 延伸。显示面板 710 可包括以矩阵形式排列的多个像素(未示出)。每个像素可电连接至栅极线 GL 的对应一个栅极线和数据线 DL 的对应一个数据线。显示面板 710 可以是液晶显示面板、有机发光二极管(OLED)显示面板或其他合适类型的显示面板。

时序控制器 720 控制显示面板 710、栅极驱动电路 730 和数据驱动电路 740 的操作。时序控制器 720 从外部设备（例如，主机）接收输入图像数据 RGBD 和输入控制信号 CONT。输入图像数据 RGBD 可包括用于多个像素的多个输入像素数据。每个输入像素数据可包括用于
5 多个像素中的对应一个的红色灰度数据 R、绿色灰度数据 G 和蓝色灰度数据 B。输入控制信号 CONT 可包括主时钟信号、数据使能信号、垂直同步信号、水平同步信号等。时序控制器 720 基于输入图像数据 RGBD 和输入控制信号 CONT 生成输出图像数据 RGBD'、第一控制信号 CONT1 和第二控制信号 CONT2。

10 栅极驱动电路 730 从时序控制器 720 接收第一控制信号 CONT1。栅极驱动电路 730 基于第一控制信号 CONT1 生成用于驱动栅极线 GL 的多个栅极信号。栅极驱动电路 730 可顺序地将多个栅极信号施加至栅极线 GL。

数据驱动电路 740 从时序控制器 720 接收第二控制信号 CONT2 和
15 输出图像数据 RGBD'。数据驱动电路 740 基于第二控制信号 CONT2 和输出图像数据 RGBD'（例如，数字图像数据）生成多个数据电压（例如，模拟数据电压）。数据驱动电路 740 可将多个数据电压施加至数据线 DL。

在一些示例性实施例中，栅极驱动电路 730 和/或数据驱动电路 740
20 可被设置（例如，直接安装）在显示面板 710 上，或者可以借助例如带式载体封装（Tape Carrier Package, TCP）连接至显示面板 710。在一些实施例中，栅极驱动电路 730 和/或数据驱动电路 740 可被集成在显示面板 710 中。

显示装置 700 的示例包括但不限于手机、平板电脑、电视机、显
25 示器、笔记本电脑、数码相框、导航仪。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种移位寄存器电路，包括：

置位电路，被配置成响应于来自信号输入端的输入脉冲有效而将
5 所述输入脉冲传送到第一节点以将所述第一节点设定处于有效电位；

第一复位电路，被配置成响应于来自复位信号端的复位脉冲有效而将来自第一参考电压端的第一参考电压传送到所述第一节点以将所述
10 所述第一节点设定处于无效电位，并且响应于来自复位信号端的复位脉冲有效而将来自所述第一参考电压端的所述第一参考电压传送到信号输出端；

输出电路，被配置成响应于所述第一节点处于所述有效电位而将来自第一时钟信号端的第一时钟信号传送到所述信号输出端，并且响应于传送到所述信号输出端的所述第一时钟信号有效而改变所述第一节点的所述有效电位进一步远离所述无效电位；以及

15 第一控制电路，被配置成响应于来自所述信号输入端的所述输入脉冲有效而维持所述第一节点处于所述有效电位，并且响应于传送到所述信号输出端的所述第一时钟信号有效而基于来自第二参考电压端的第二参考电压限制所述第一节点的所述有效电位的改变，所述第二参考电压具有介于该有效的输入脉冲的量值与所述无效电位之间的量
20 值。

2、如权利要求 1 所述的移位寄存器电路，其中所述第一控制电路包括：

第一晶体管，具有均连接到所述信号输入端的栅极和第一电极、以及连接到第二节点的第二电极；

25 第二晶体管，具有连接到所述信号输出端的栅极、连接到所述第二参考电压端的第一电极、以及连接到所述第二节点的第二电极；以及

第一电容，连接于所述第二节点和所述第一节点之间。

3、如权利要求 1 所述的移位寄存器电路，其中所述输出电路包括：

30 第三晶体管，具有连接到所述第一节点的栅极、连接到所述第一时钟信号端的第一电极、以及连接到所述信号输出端的第二电极；以及

第二电容，连接于所述第一节点与所述信号输出端之间。

4、如权利要求 1 所述的移位寄存器电路，其中所述第一复位电路包括：

5 第四晶体管，具有连接到所述复位信号端的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述信号输出端的第二电极；以及

第七晶体管，具有连接到所述复位信号端的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第一节点的第二电极。

10 5、如权利要求 1 所述的移位寄存器电路，其中所述置位电路包括第六晶体管，其具有均连接到所述信号输入端的栅极和第一电极、以及连接到所述第一节点的第二电极。

6、如权利要求 1-5 任一项所述的移位寄存器电路，还包括：

15 第二控制电路，被配置成响应于所述第一节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到第三节点以将所述第三节点设定处于无效电位，并且响应于来自第二时钟信号端的第二时钟信号有效且所述第一节点处于所述无效电位而将所述第二时钟信号传送到所述第三节点以将所述第三节点设定处于有效电位；以及

20 第二复位电路，被配置成响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，并且响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述信号输出端。

25 7、如权利要求 6 所述的移位寄存器电路，其中所述第二控制电路包括：

第九晶体管，具有均连接到所述第二时钟信号端的栅极和第一电极、以及第二电极；

30 第十晶体管，具有连接到所述第九晶体管的所述第二电极的栅极、连接到所述第二时钟信号端的第一电极、以及连接到所述第三节点的第二电极；

第十一晶体管，具有连接到所述第一节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第九晶体管的所述第二电

极的第二电极；以及

第十二晶体管，具有连接到所述第一节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述第三节点的第二电极。

8、如权利要求 6 所述的移位寄存器电路，其中所述第二复位电路
5 包括：

第五晶体管，具有连接到所述第三节点的栅极、连接到所述第一参考电压端的第一电极、以及连接到所述信号输出端的第二电极；以及

第八晶体管，具有连接到所述第三节点的栅极、连接到所述第一
10 参考电压端的第一电极、以及连接到所述第一节点的第二电极。

9、一种栅极驱动电路，包括级联的多个如权利要求 1-8 任一项所述的移位寄存器电路，其中：

除第一级移位寄存器电路和最后一级移位寄存器电路之外，所述移位寄存器电路中的每一个的所述信号输出端连接到相邻的下一级移位寄存器电路的所述信号输入端和相邻的上一级移位寄存器电路的所述复位信号端两者；
15

第一级移位寄存器电路的所述信号输出端连接到第二级移位寄存器电路的所述信号输入端；并且

最后一级移位寄存器电路的所述信号输出端连接到相邻的上一级
20 移位寄存器电路的所述复位信号端。

10、一种显示面板，包括如权利要求 9 所述的栅极驱动电路。

11、一种显示装置，包括如权利要求 10 所述的显示面板。

12、一种驱动如权利要求 1-8 任一项所述的移位寄存器电路的方法，所述方法包括：

25 在第一阶段，响应于来自所述信号输入端的所述输入脉冲有效而将所述输入脉冲传送到所述第一节点以将所述第一节点设定处于所述有效电位，并且响应于所述第一节点处于所述有效电位而将来自所述第一时钟信号端的所述第一时钟信号传送到所述信号输出端；

30 在第二阶段，响应于传送到所述信号输出端的所述第一时钟信号有效而改变所述第一节点的所述有效电位进一步远离所述无效电位，并且响应于传送到所述信号输出端的所述第一时钟信号有效而基于来自所述第二参考电压端的所述第二参考电压限制所述第一节点的所述

有效电位的改变，所述第二参考电压具有介于该有效的第一时钟信号的量值与所述无效电位之间的量值；以及

5 在第三阶段，响应于来自所述复位信号端的所述复位脉冲有效而将来自所述第一参考电压端的所述第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，并且响应于来自所述复位信号端的所述复位脉冲有效而将来自所述第一参考电压端的所述第一参考电压传送到所述信号输出端。

13、如权利要求 12 所述的方法，还包括：

10 在第一和第二阶段，响应于所述第一节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到第三节点以将所述第三节点设定处于无效电位；并且

在所述第三阶段，响应于来自第二时钟信号端的第二时钟信号有效且所述第一节点处于所述无效电位而将所述第二时钟信号传送到所述第三节点以将所述第三节点设定处于有效电位。

15 14、如权利要求 13 所述的方法，还包括：

在所述第三阶段，响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所述第一节点以将所述第一节点设定处于无效电位，并且响应于所述第三节点处于所述有效电位而将来自所述第一参考电压端的所述第一参考电压传送到所
20 述信号输出端。

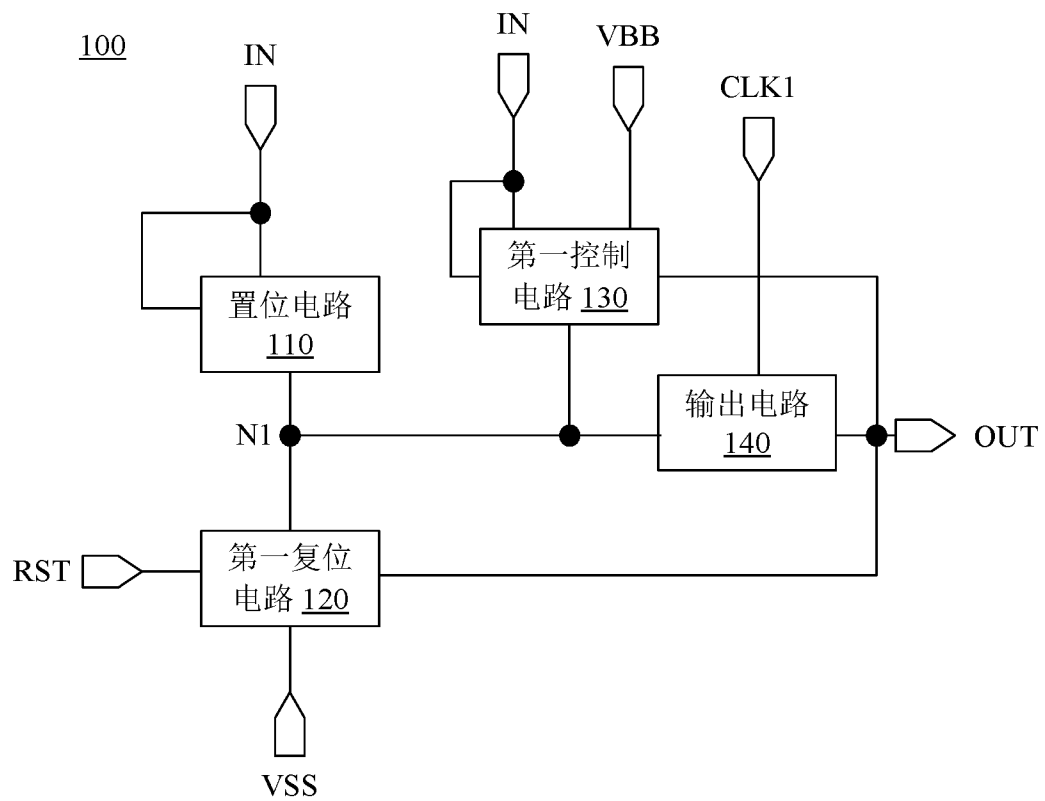


图 1

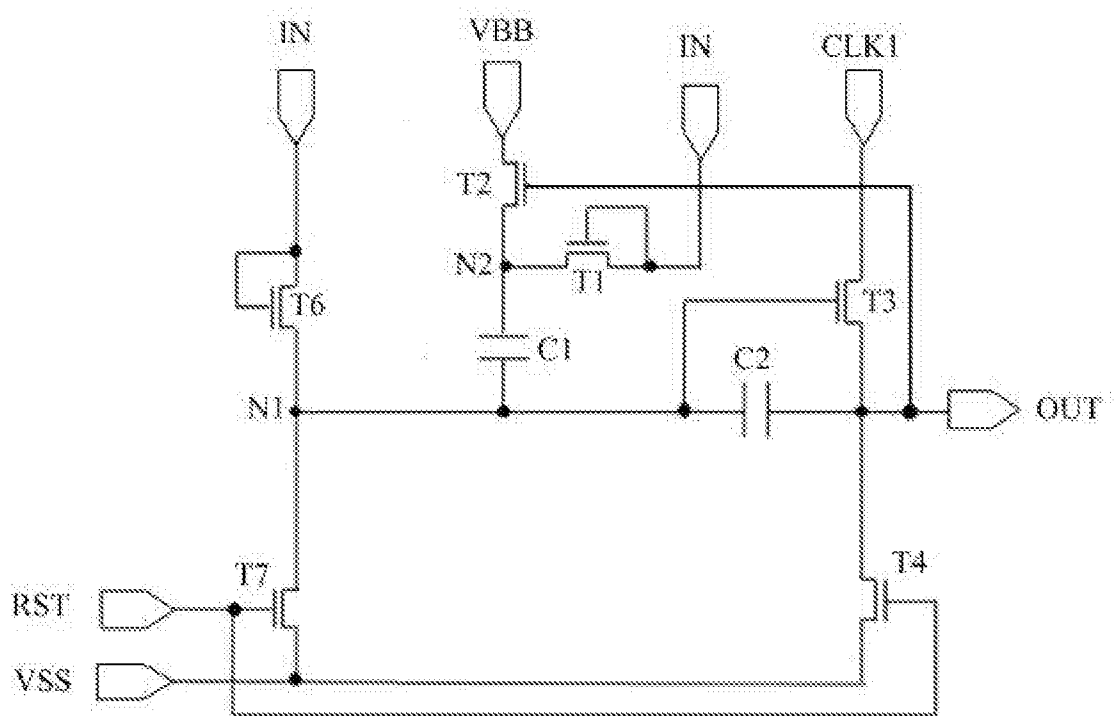


图 2

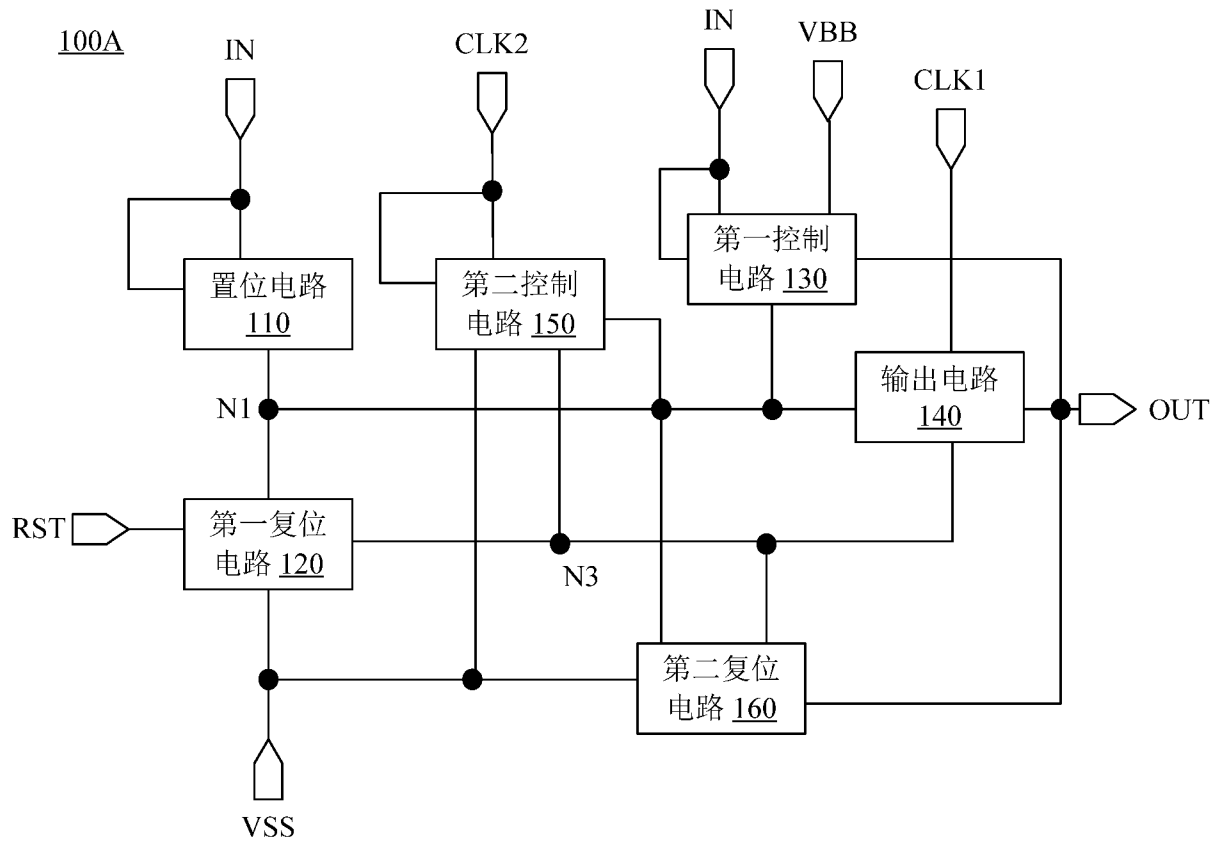


图 3

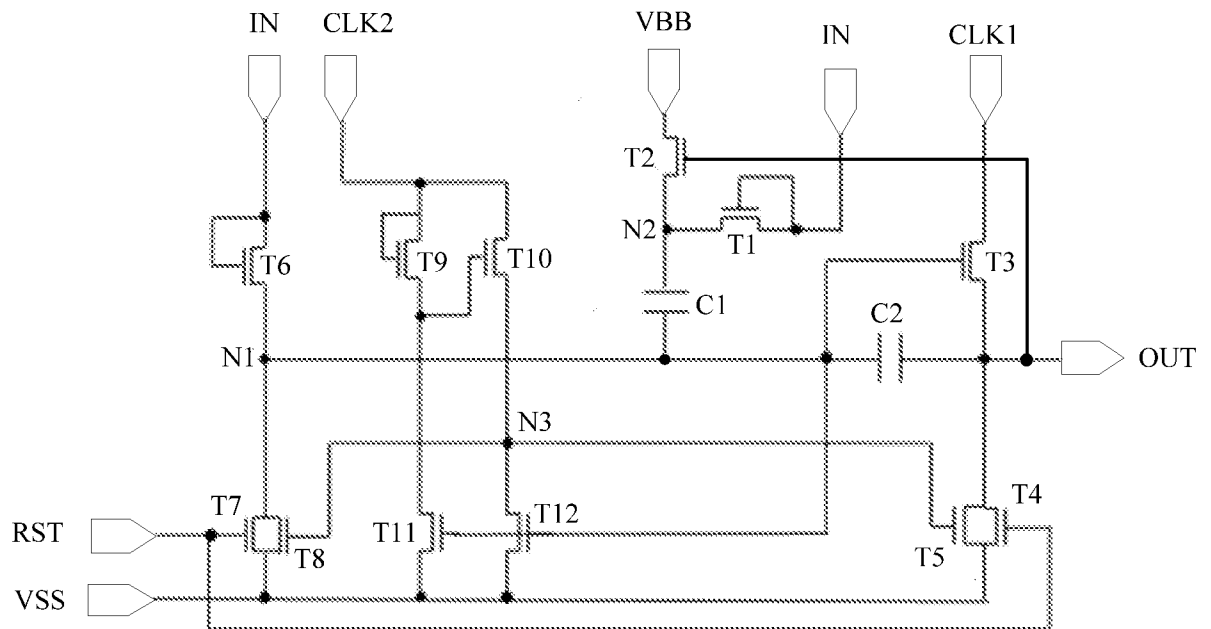


图 4

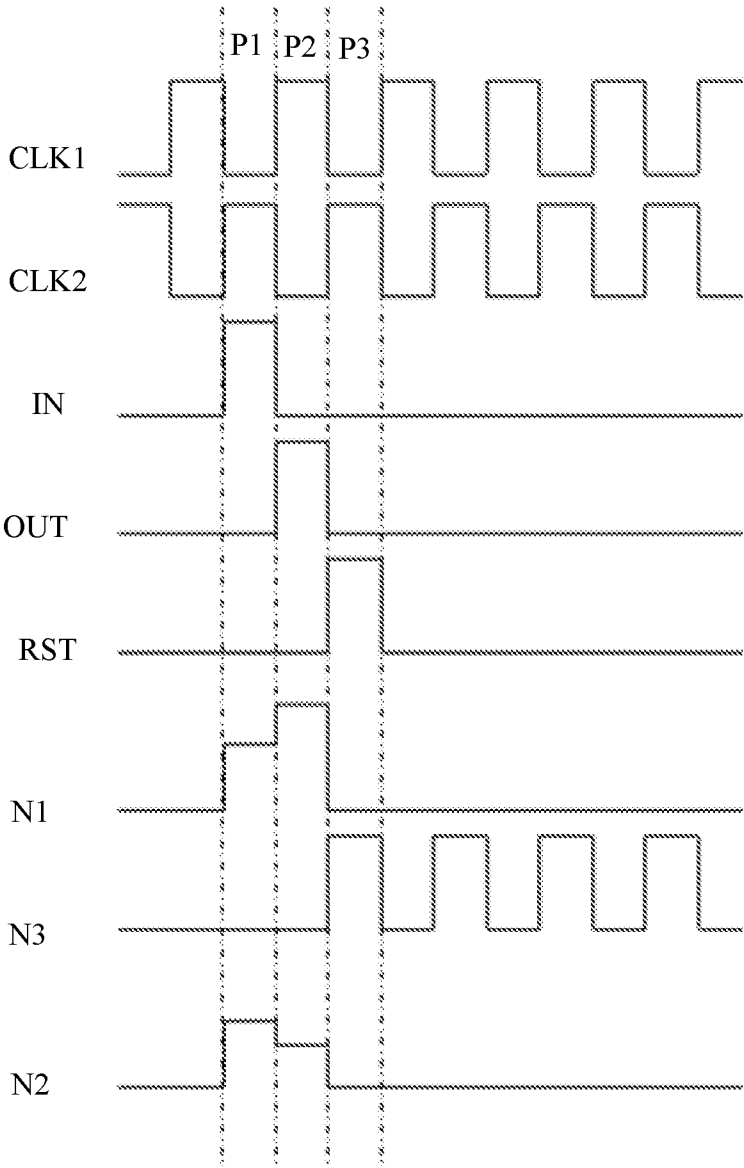


图 5

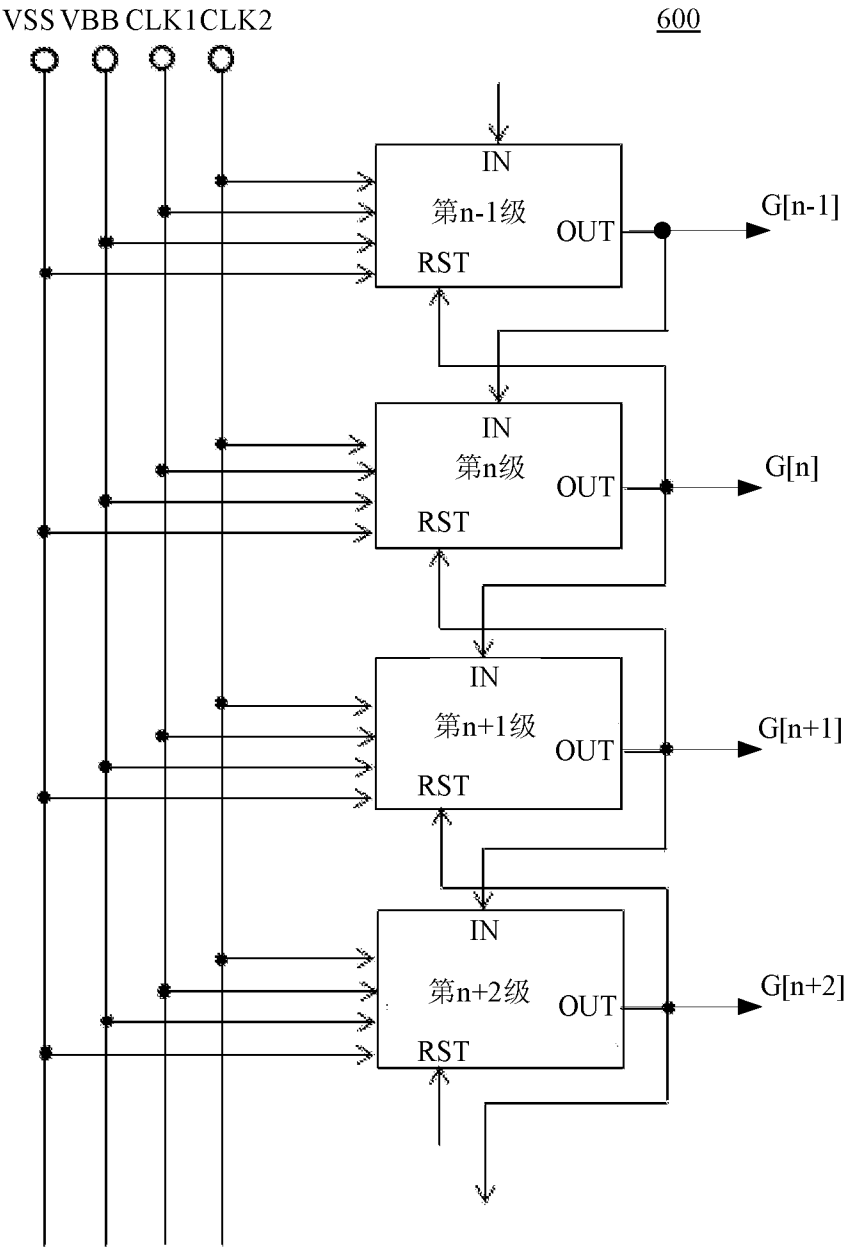


图 6

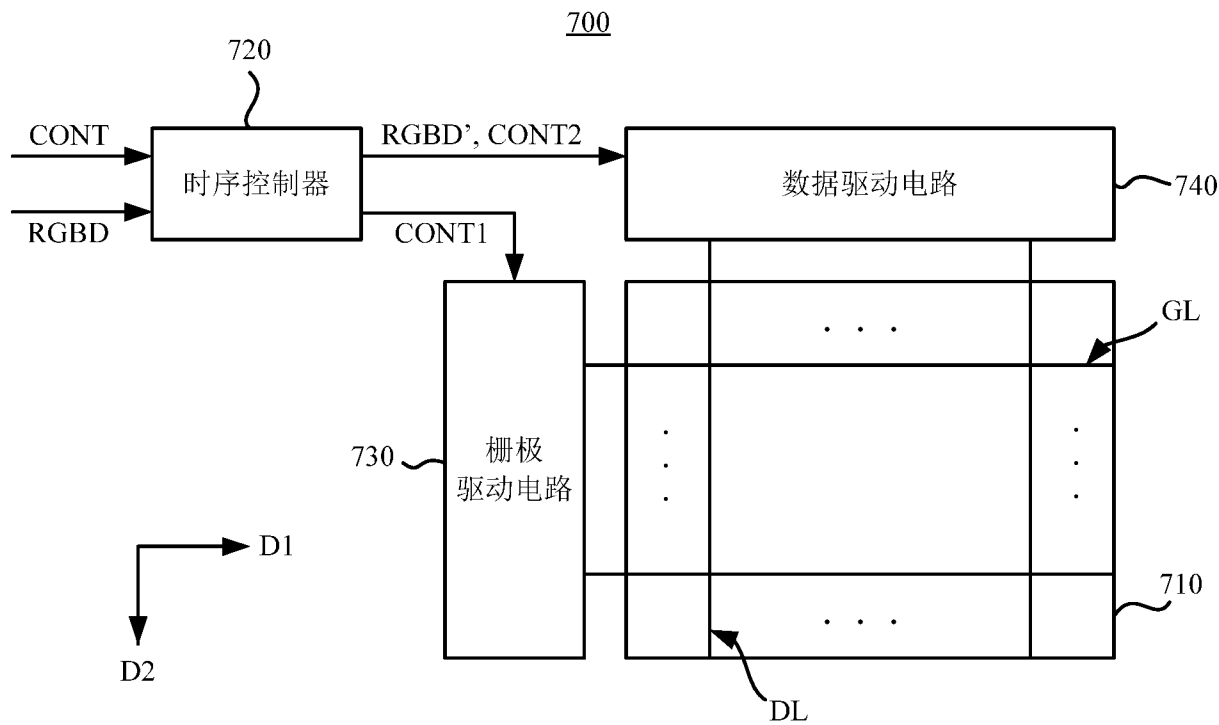


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/103352

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; CNABS; CNKI; VEN: 移位, 寄存器, 无效, 电位, 电压, 降低, 减小, 复位, 第一, 节点, 控制, 上拉, 限制, 过高, 置位, shift, register, potential, voltage, first, node, pull, up, control, high, reduce

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106683607 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 May 2017 (17.05.2017), description, paragraphs [0005]-[0076], and figures 1-4	1-14
A	CN 104934011 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 23 September 2015 (23.09.2015), description, paragraphs [0021]-[0047], and figures 1-5	1-14
A	CN 104992661 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 21 October 2015 (21.10.2015), entire document	1-14
A	CN 105047172 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 November 2015 (11.11.2015), entire document	1-14
A	KR 20120044677 A (LG DISPLAY CO., LTD.) 08 May 2012 (08.05.2012), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 November 2017

Date of mailing of the international search report
27 December 2017

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
CHEN, Xiang
Telephone No. (86-10) 62085809

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/103352

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106683607 A	17 May 2017	None	
CN 104934011 A	23 September 2015	US 2017193945 A1	06 July 2017
		WO 2017012305 A1	26 January 2017
CN 104992661 A	21 October 2015	CN 104992661 B	19 September 2017
		US 2017032752 A1	02 February 2017
CN 105047172 A	11 November 2015	US 2017076680 A1	16 March 2017
KR 20120044677 A	08 May 2012	KR 101768544 B1	16 August 2017

国际检索报告

国际申请号

PCT/CN2017/103352

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;CNABS;CNKI;VEN:移位, 寄存器, 无效, 电位, 电压, 降低, 减小, 复位, 第一, 节点, 控制, 上拉, 限制, 过高, 置位, shift, register, potential, voltage, first, node, pull, up, control, high, reduce

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106683607 A (京东方科技集团股份有限公司 等) 2017年 5月 17日 (2017 - 05 - 17) 说明书第[0005]-[0076]段、图1-4	1-14
A	CN 104934011 A (合肥京东方光电科技有限公司 等) 2015年 9月 23日 (2015 - 09 - 23) 说明书第[0021]-[0047]段、图1-5	1-14
A	CN 104992661 A (京东方科技集团股份有限公司 等) 2015年 10月 21日 (2015 - 10 - 21) 全文	1-14
A	CN 105047172 A (京东方科技集团股份有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 全文	1-14
A	KR 20120044677 A (LG DISPLAY CO LTD) 2012年 5月 8日 (2012 - 05 - 08) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 11月 28日

国际检索报告邮寄日期

2017年 12月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

陈祥

电话号码 (86-10)62085809

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/103352

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106683607	A	2017年 5月 17日	无			
CN	104934011	A	2015年 9月 23日	US	2017193945	A1	2017年 7月 6日
				WO	2017012305	A1	2017年 1月 26日
CN	104992661	A	2015年 10月 21日	CN	104992661	B	2017年 9月 19日
				US	2017032752	A1	2017年 2月 2日
CN	105047172	A	2015年 11月 11日	US	2017076680	A1	2017年 3月 16日
KR	20120044677	A	2012年 5月 8日	KR	101768544	B1	2017年 8月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)