(19) **BUNDESREPUBLIK DEUTSCHLAND**

PATENTSCHRIFT

(12) **Ausschließungspatent**

(11) **DD 295 443 A5**

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27.10.1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) **H 03 F 3/45**
H 01 L 29/784

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	DD H 03 F / 344 161 0	(22)	24.09.90	(44)	31.10.91

(71) siehe (73)
(72) Rudolph, Jochen, Dipl.-Ing., DE
(73) Zentrum Mikroelektronik Dresden GmbH i. G., Grenzstraße 29, PSF 34, O - 8080 Dresden, DE
(74) siehe (73)

(54) CMOS-Operationsverstärker

(55) CMOS-Operationsverstärker; Ruhestromstabilisierung; folded-cascode-Differenzverstärker; Pegelwandler, steuerbar; Treiber; Stromkomparator; Frequenzgangkorrekturschaltung; BIAS-Schaltung; Stromspiegel

(57) Die Erfindung betrifft einen CMOS-Operationsverstärker (OPV), der im AB-Betrieb arbeitet und eine hohe Stabilität des Ruhestromes aufweist, welcher insbesondere zur Konfigurierung analoger Subsysteme in digitalen Schaltkreisen, welche in CMOS-Technologie gefertigt werden, einsetzbar ist. Sie löst die Aufgabe, einen solchen OPV zu entwickeln, der über den Einsatz einer einfachen Regelschaltung die hohe Stabilität des erforderlichen eingestellten Ruhestromes gegenüber technologiebedingten und Schwankungen der Betriebsbedingungen auch bei verschiedenen Aussteuerbereichen und Versorgungsspannungen erreicht. Der OPV enthält einen folded-cascode-Differenzverstärker, an dem mehrere Bezugsspannungen gelegt sind und der mit mindestens einem Ausgang und einem Referenzausgang versehen ist, wobei Ausgänge direkt und über einen Pegelwandler auf einen Treiber geführt sind, dessen Ausgang den Ausgang des OPV darstellt. Erfindungsgemäß sind die genannten Referenzausgänge über einen zweiten Pegelwandler auf einen Stromkomparator geführt, an dem noch mindestens eine der genannten Bezugsspannungen gelegt ist. Die beiden Pegelwandler sind steuerbar ausgeführt. Ein Ausgang des Stromkomparators ist mit einem Steuereingang jedes Pegelwandlers verbunden. Fig. 1

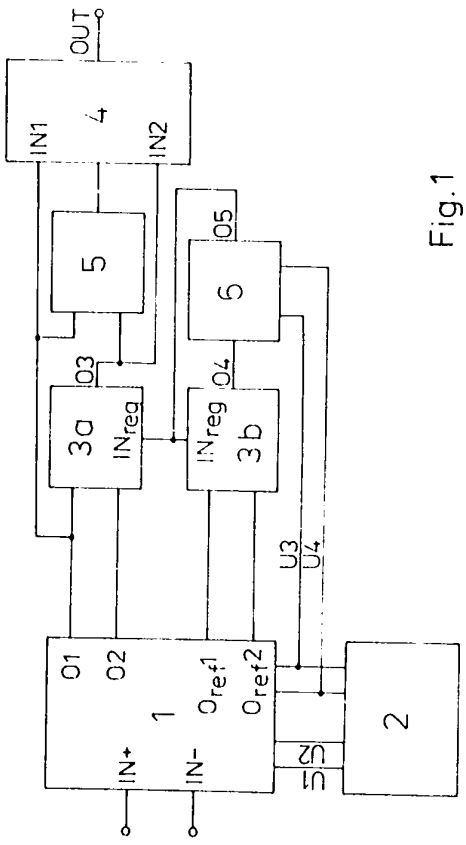


Fig. 1

ISSN 0433-6461

12 Seiten

Patentansprüche:

1. CMOS-Operationsverstärker, enthaltend einen Floded-cascode-Differenzverstärker, an den mehrere Bezugsspannungen gelegt sind und der mit mindestens einem Ausgang und mindestens einem Referenzausgang versehen ist, wobei Ausgänge direkt und über einen Pegelwandler auf einen Treiber geführt sind, dessen Ausgang den Ausgang des CMOS-Operationsverstärkers darstellt, **dadurch gekennzeichnet,** daß die genannten Referenzausgänge ($O_{ref}1$; $O_{ref}2$) des Differenzverstärkers (1) über einen zweiten Pegelwandler (3b) auf einen Stromkomparator (6) geführt sind, an den mindestens eine der genannten Bezugsspannungen (U3; U4) gelegt ist, daß die beiden Pegelwandler (3a; 3b) steuerbar ausgeführt sind und daß ein Ausgang (05) des Stromkomparators (6) mit einem Steuereingang (IN_{reg}) jedes Pegelwandlers (3a; 3b) verbunden ist.
2. CMOS-Operationsverstärker nach Anspruch 1, **dadurch gekennzeichnet,** daß am Ausgang (03) des ersten Pegelwandlers (3a) und an mindestens einem Ausgang (01) des Differenzverstärkers (1) eine Frequenzgangkorrekturschaltung (5) angeschlossen ist, deren Ausgang auf den Treiber (4) geführt ist.
3. CMOS-Operationsverstärker nach Anspruch 1 oder 2, **dadurch gekennzeichnet,** daß der Stromkomparator (6) einen Stromspiegel enthält, daß in dessen Referenzzweig ein Transistor (N15 bzw. N17 bzw. N19) angeordnet ist, dessen Gateanschluß den Eingang des Stromkomparators (6) darstellt, daß im Spiegelzweig mindestens ein Transistor (N16 bzw. N18 bzw. N20; N21) angeordnet ist, an dessen Gateanschluß jeweils eine der Bezugsspannungen (U3; U4) gelegt ist, und daß am Knoten zwischen dem Ausgang des Stromspiegels und dem genannten Transistor (N16 bzw. N18 bzw. N20) der Ausgang (05) des Stromkomparators (6) realisiert ist.
4. CMOS-Operationsverstärker nach Anspruch 3, **dadurch gekennzeichnet,** daß den genannten Transistoren (N16 bzw. N18 bzw. N20; N21) im Spiegelzweig des Stromspiegels eine Kapazität (C3) parallelgeschaltet ist.
5. CMOS-Operationsverstärker nach Anspruch 3 oder 4, **dadurch gekennzeichnet,** daß der Stromspiegel in Grundschaltung (16) aus zwei Transistoren (P13; P14) eines ersten Leitfähigkeitstyps ausgeführt und daß im Spiegelzweig ein weiterer Transistor (N16) eines zweiten Leitfähigkeitstyps in Reihe angeordnet ist.
6. CMOS-Operationsverstärker nach Anspruch 3 oder 4, **dadurch gekennzeichnet,** daß der Stromspiegel als Wilson-Stromspiegel (17) aus drei Transistoren (P15; P16; P17) des ersten Leitfähigkeitstyps ausgeführt und daß im Spiegelzweig ein weiterer Transistor (N18) des zweiten Leitfähigkeitstyps angeordnet ist.
7. CMOS-Operationsverstärker nach Anspruch 3 oder 4, **dadurch gekennzeichnet,** daß der Stromspiegel als Cascode-Stromspiegel (18) aus zwei gegenphasig verschalteten Stromspiegeln in Grundschaltung zu je zwei Transistoren (P18; P19 und P20; P21) des ersten Leitfähigkeitstyps ausgeführt ist und daß im Spiegelzweig zwei weitere Transistoren (N20; N21) vom zweiten Leitfähigkeitstyp in Reihe angeordnet sind.
8. CMOS-Operationsverstärker nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet,** daß der erste Pegelwandler (3a) als Sourcefolger aus zwei Transistoren (N9; N10) des gleichen Leitfähigkeitstyps ausgeführt ist, wobei der Gateanschluß des ersten Transistors (N9) den am Ausgang (01) des Differenzverstärkers (1) angeschlossenen Eingang sowie der Gateanschluß des zweiten Transistors (N10) den Steuereingang (IN_{reg}) des Pegelwandlers (3a) darstellen, und daß am Knoten zwischen den beiden Transistoren (N9; N10) der Ausgang (03) des Pegelwandlers (3a) realisiert ist.
9. CMOS-Operationsverstärker nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet,** daß der erste Pegelwandler (3a) aus zwei Sourcefolgern zu je zwei Transistoren (N22; N23 und N24; N25) des gleichen Leitfähigkeitstyps konfiguriert ist, wobei der Gateanschluß des ersten Transistors (N22) des ersten Sourcefolgers den am Ausgang (01) des Differenzverstärkers (1) angeschlossenen Eingang und die miteinander verbundenen Gateanschlüsse der jeweils zweiten Transistoren (N23; N25) den Steuereingang (IN_{reg}) des Pegelwandlers (3a) darstellen, daß der Knoten zwischen den Transistoren (N22; N23) des ersten Sourcefolgers mit dem Gateanschluß des ersten Transistors (N24) des zweiten Sourcefolgers verbunden und daß am Knoten zwischen den beiden Transistoren (N24; N25) des zweiten Sourcefolgers der Ausgang (03) des Pegelwandlers (3a) realisiert ist.

10. CMOS-Operationsverstärker nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet,** daß der am ersten Ausgang (01) des Differenzverstärkers (1) angeschlossene Eingang des Pegelwandlers (3a) mit dem Gateanschluß des ersten Transistors (N27) eines Sourcefolgers und dem Drainanschluß eines zusätzlichen Transistors (N26), jeweils vom gleichen Leitfähigkeitstyp, verbunden ist, daß der Gateanschluß des zweiten Transistors (N28) des Sourcefolgers den Steuereingang (IN_{reg}) des Pegelwandlers (3a) darstellt, daß der Gateanschluß des zusätzlichen Transistors (N26) am Knoten zwischen den beiden Transistoren (N27; N28) des Sourcefolgers angeschlossen ist und daß der an einem zweiten Ausgang (02) des Differenzverstärkers (1) angeschlossene Eingang des Pegelwandlers (3a) auf den Sourceanschluß des Transistors (N26) sowie den Ausgang (03) des Pegelwandlers (3a) geführt ist.
11. CMOS-Operationsverstärker nach Anspruch 10, **dadurch gekennzeichnet,** daß die genannten Ausgänge (01; 02) des Differenzverstärkers (1) als geteilter Ausgang realisiert sind.
12. CMOS-Operationsverstärker nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet,** daß der zweite Pegelwandler (3b) als Sourcefolger aus zwei Transistoren (N13; N14) des gleichen Leitfähigkeitstyps ausgeführt ist, wobei der Gateanschluß des ersten Transistors (N13) den am Referenzausgang ($O_{ref}1$) des Differenzverstärkers (1) angeschlossenen Eingang sowie der Gateanschluß des zweiten Transistors (N14) den Steuereingang (IN_{reg}) des Pegelwandlers (3b) darstellen, und daß am Knoten zwischen den beiden Transistoren (N13; N14) der Ausgang (04) des Pegelwandlers (3b) realisiert ist.
13. CMOS-Operationsverstärker nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet,** daß der zweite Pegelwandler (3b) aus zwei Sourcefolgern zu je zwei Transistoren (N22; N23 und N24; N25) des gleichen Leitfähigkeitstyps konfiguriert ist, wobei der Gateanschluß des ersten Transistors (N22) des ersten Sourcefolgers den am Referenzausgang ($O_{ref}1$) des Differenzverstärkers (1) angeschlossenen Eingang und die miteinander verbundenen Gateanschlüsse der jeweils zweiten Transistoren (N23; N25) den Steuereingang (IN_{reg}) des Pegelwandlers (3b) darstellen, daß der Knoten zwischen den Transistoren (N22; N23) des ersten Sourcefolgers mit dem Gateanschluß des ersten Transistors (N24) des zweiten Sourcefolgers verbunden und daß am Knoten zwischen den Transistoren (N24; N25) des zweiten Sourcefolgers der Ausgang (04) des Pegelwandlers (3b) realisiert ist.
14. CMOS-Operationsverstärker nach einem der Ansprüche 1 bis 11, **dadurch gekennzeichnet,** daß der am ersten Referenzausgang ($O_{ref}1$) des Differenzverstärkers (1) angeschlossene Eingang des Pegelwandlers (3b) mit dem Gateanschluß des ersten Transistors (N27) eines Sourcefolgers und dem Drainanschluß eines zusätzlichen Transistors (N26), jeweils vom gleichen Leitfähigkeitstyp, verbunden ist, daß der Gateanschluß des zweiten Transistors (N28) des Sourcefolgers den Steuereingang (IN_{reg}) des Pegelwandlers (3b) darstellt, daß der Gateanschluß des zusätzlichen Transistors (N26) am Knoten zwischen den beiden Transistoren (N27; N28) des Sourcefolgers angeschlossen ist und daß der an einem zweiten Referenzausgang ($O_{ref}2$) des Differenzverstärkers (1) angeschlossene Eingang des Pegelwandlers (3b) auf den Sourceanschluß des Transistors (N26) und den Ausgang (04) des Pegelwandlers (3b) geführt ist.
15. CMOS-Operationsverstärker nach Anspruch 14, **dadurch gekennzeichnet,** daß die genannten Referenzausgänge ($O_{ref}1$; $O_{ref}2$) als geteilter Referenzausgang realisiert sind.

Hierzu 4 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft einen CMOS-Operationsverstärker zur Realisierung analoger Funktionen, der im AB-Betrieb arbeitet und bei üblicher großer Leerlaufverstärkung eine hohe Stabilität des Ruhestromes aufweist, so daß unerwünschte Einflüsse über Versorgungsspannung und Betriebstemperatur bzw. Technologieschwankungen ausgeglichen werden können, und der insbesondere zur Konfigurierung analoger Subsysteme in digitalen Schaltkreisen, welche in CMOS-Technologie gefertigt werden, verwendbar ist.

Charakteristik des bekannten Standes der Technik

Die sich stark progressiv entwickelnde Komplexität integrierter Schaltkreise führt in jüngster Zeit zu der Notwendigkeit, analoge und digitale Schaltungen bzw. Systeme gemeinsam auf einem Chip vorzusehen und diese nach derselben Technologie zu realisieren. Entsprechend der allgemeinen Verbreitung der MOS-Technologie und insbesondere der CMOS-Technologie für digitale Schaltkreise erlangt die Implementierung analoger Funktionen in der (C)MOS-Technik immer größeres Gewicht.

Das wichtigste Strukturelement analoger Schaltungen bzw. Systeme stellen Operationsverstärker (OPV) dar. Sie sind in unterschiedlichsten Konfigurationen umfassend bekannt.
Im allgemeinen werden sie auf Basis von Differenzverstärkern realisiert, die dann – ggf. über Pegelwandler-Linearverstärker als Ausgangsschaltungen ansteuern. Dabei erfolgt meist am Ausgang des Differenzverstärkers der Übergang vom symmetrischen auf den unsymmetrischen Signalweg mittels phasenaddierenden Schaltungen. Zur Verstärkungserhöhung lassen sich im Differenzverstärker Cascode-Schaltungen einsetzen. Als Ausgangsstufen werden meist Sourcefolger oder Gegentaktstufen verwendet, die im A-, B- oder AB-Bereich arbeiten. Sourcefolger, d. h. zwei Transistoren vom gleichen Leitfähigkeitstyp in gemeinsamer Kollektorkonfiguration, erreichen eine große Stromverstärkerung bei einer Spannungsverstärkung kleiner Eins. Sie besitzen eine große Bandbreite bei einer vernachlässigbaren Phasenverschiebung des Frequenzganges. Jedoch ist der Spannungshub, zumal er nur ein Potential der Versorgungsspannungen erreichen kann, durch die Transistoren deutlich begrenzt.
Besondere Bedeutung haben AB-Stufen erlangt, die eine hohe Leerlaufverstärkung bei geringen Verlustleistungen erreichen, ohne daß Überkreuzungsverzerrungen auftreten. Das Ausgangssignal kann theoretisch Werte zwischen dem positiven und dem negativen Potential der Versorgungsspannung annehmen. Es ist hierbei ein gewisser Ruhestrom, d. h. der von der Ausgangsstufe bei fehlendem Eingangssignal am OPV geführte Strom, erforderlich, der über hochkonstante Bezugsspannungen, welche von einer BIAS-Schaltung bereitgestellt werden, an Stromquellentransistoren der Ausgangsstufe eingestellt wird. Der Ruhestrom wird aber durch Schwankungen in den Betriebsbedingungen des OPV (Versorgungsspannung, Temperatur) sowie von Technologieschwankungen im Herstellungsprozeß unerwünscht beeinflußt.
In Grundschaltung realisiert, ergibt sich für eine AB-Stufe jedoch auch eine stark begrenzte Ansteuerbarkeit. Um diese zu erhöhen, welche in „Analysis and Design of Analog Integrate J Circuits" von Gray, P. R. und Meyer, R. G.; Verlag J. Wiley & Sons; 2. ed.; 1984; Schaltungsvorschläge unterbreitet, in denen bei positiver Ansteuerung der Ausgangsstufe ein npn-Emitterfolger und bei negativer Ansteuerung ein pMOS-Sourcefolger mit niedriger Schwellspannung den Ausgangsstrom übernehmen.
Ein npn-Emitterfolger zusammen mit einem pMOS-Sourcefolger wird auch in der Ausgangsschaltung nach DD-WP 265268 verwendet. Solche Ausgangsstufen besitzen jedoch eine relativ hohe Ausgangsimpedanz bezüglich der Last. Die Ansteuerbarkeit des OPV ist durch die Basis-Emitter-Spannung des npn-Emitterfolgers und die Gate-Source-Spannung des pMOS-Transistors noch immer begrenzt. Der Ausgangssignalhub des OPV kann auch bei einer nur geringen resistiven Belastung des Verstärkers den Wert der positiven und negativen Betriebsspannung nicht erreichen.
Die in der DE-OS 3631 099 dargelegte „CMOS-Ausgangsstufe mit großem Spannungshub und Stabilisierung des Ruhestromes" für OPV's realisiert eine volle Ansteuerbarkeit. Die Ausgangsstufe umfaßt zwei in Gegentakt geschaltete komplementäre MOS-Transistoren in Sourceschaltung, die durch zwei parallele Rückkopplungen zur Verbesserung des Linearitäts- und Amplitudenverhaltens gesteuert werden. Zum Zwecke der Frequenzgangkorrektur ist je Transistor eine Gate-Drain-Verbindung über ein RC-Glied vorgesehen. Zur Stabilisierung des Ruhestroms wird eine spezielle Steuerschaltung verwendet, welche in die Rückkopplungen eingreift.
Für die Realisierung dieser Ausgangsstufe mit Korrektur- und Steuerschaltung sind jedoch 27 Bauelemente erforderlich, so daß sich der Nachteil eines hohen Layoutflächenbedarfs ergibt.
In der DE-PS 3049673 ist ein zweistufiger OPV, bestehend aus einem n-Kanal-differenzverstärker und einem Gegentakt-Linearverstärker als Ausgangsstufe beschrieben, der sich mit relativ geringem Schaltungsaufwand realisieren läßt. Dabei wird der pMOS-Ausgangstransistor in Sourceschaltung direkt von einem Ausgang des Differenzverstärkers angesteuert, während der nMOS-Ausgangstransistor über einen als Sourcefolger ausgeführten Pegelwandler an einem Ausgang des Differenzverstärkers angeschlossen ist. Der Stromquellentransistor des Sourcefolgers wird von einer BIAS-Spannung des OPV gesteuert. Die durch den Pegelwandler eingestellte Potentialdifferenz zwischen den Gateanschlüssend der Ausgangstransistoren bestimmt dabei wesentlich den Ruhestrom der Ausgangsstufe.
Zur Frequenzgangkorrektur ist im OPV eine Kompensationsschaltung aus zwei an den Ausgängen des Differenzverstärkers angeschlossenen Kapazitäten, die über ein Transmissionsgatter auf den Ausgang des OPV geführt sind, vorgesehen. Als Nachteil steht bei dieser Lösung jedoch wieder, daß der Ruhestrom der Ausgangsstufe eine starke Abhängigkeit von Schwankungen der Betriebsspannung und -temperatur sowie von herstellungsbedingten Streuungen der Transistorparameter aufweist.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, einen CMOS-Operationsverstärker mit großem Ansteuerbereich und gutem Verhalten bei einer hohen Stabilität des Ruhestroms anzugeben, der sich mit einem geringen Aufwand an Layoutfläche realisieren läßt.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, einen CMOS-Operationsverstärker zu entwickeln, der im AB-Bereich arbeitet und über den Einsatz einer einfachen Regelschaltung eine hohe Stabilität des erforderlichen eingestellten Ruhestromes gegenüber Schwankungen der Betriebsbedingungen bzw. technologiebedingten Schwankungen auch bei verschiedenen Versorgungsspannungen und Aussteuerbereichen erreicht.
Zur Lösung der Aufgabe wird ein CMOS-Operationsverstärker vorgeschlagen, welcher einen Folded-cascode-Differenzverstärker enthält, an den mehrere von einer BIAS-Schaltung bereitgestellte Bezugsspannungen gelegt sind und der mit Eingängen, welche die Eingänge des Operationsverstärkers darstellen, sowie mindestens einen Ausgang und mindestens einen Referenzausgang versehen ist. Dabei sind Ausgänge des Differenzverstärkers direkt und über einen ersten Pegelwandler auf einen Treiber geführt, von dessen Ausgang der Ausgang des Operationsverstärkers dargestellt ist.
Erfindungsgemäß sind die genannten Referenzausgänge des Differenzverstärkers über einen zweiten Pegelwander auf einen Stromkomparator geführt, an welchen noch mindestens eine der Bezugsspannungen gelegt ist. Die beiden genannten Pegelwandler sind steuerbar ausgeführt. Ein Ausgang des Stromkomparators ist mit einem Steuereingang jedes Pegelwandlers verbunden.

Der Differenzverstärker ist konfiguriert aus einer Eingangsdifferenzstufe eines ersten Leitfähigkeitstyps mit üblicherweise zwei symmetrischen, zueinander um 180° phasenverschobenen Eingängen, an deren Ausgängen jeweils gegen die Bezugs- bzw. Betriebsspannung eine Cascode-Schaltung eines zweiten Leitfähigkeitstyps bzw. ein Cascode-Stromspiegel vom ersten Leitfähigkeitstyp angeschlossen sind. An den Knoten zwischen Cascode-Schaltung und Cascode-Stromspiegel sind die Ausgänge bzw. Referenzausgänge des Differenzverstärkers realisiert.
Das Einstellen der Ruheströme im Differenzverstärker erfolgt über die von der BIAS-Schaltung bereitgestellten Bezugsspannungen an der mit als Stromquelle fungierenden Cascode-Schaltung.
Durch die Konfiguration des folded-cascode-Differenzverstärkers wird eine sehr hohe Verstärkung bei großem Ansteuerbereich und günstigem Frequenzverhalten mit geringerem Layoutflächenbedarf erreicht. Über den an Ausgängen des Differenzverstärkers angeschlossenen ersten Pegelwandler wird der AB-Arbeitspunkt des Treibers eingestellt. Der über den zweiten Pegelwandler an Referenzausgängen des Differenzverstärkers angeschlossene Stromkomparator bildet mit den beiden steuerbaren Pegelwandlern eine Regelschaltung. Diese verwendet als Eingangsgröße nicht das Potential der den Treiber ansteuernden Ausgänge des Differenzverstärkers, sondern greift die Referenzausgänge ab.
Der Stromkomparator als Regler realisiert einen Vergleich mit den eine Sollwertvorgabe einstellenden Bezugsspannungen, die den Ruhestrom im Stromkomparator selbst einstellen. Als Stellgröße wird eine Regelspannung U_{reg} am Ausgang des Stromkomparators ausgegeben. Diese liegt an den Stromquellentransistoren der als Stellglieder fungierenden Pegelwandler an. Dabei stellt die durch den ersten Pegelwandler gesteuerte Potentialdifferenz zwischen den Eingängen des Treibers dessen Ruhestrom ein. Über den zweiten Pegelwandler erfolgt die notwendige Rückkopplung in der Regelschaltung selbst, analog zum bereits beschriebenen.
Die mit geringem Bauelemente- und damit Layoutflächenbedarf zu realisierende Regelschaltung aus zwei steuerbaren Pegelwandlern und dem Stromkomparator realisiert eine hohe Stabilität des für das Betreiben des Operationsverstärkers im AB-Betrieb erforderlichen Ruhestromes gegenüber technologiebedingten und Schwankungen der Betriebsbedingungen.
In vorteilhafter Ausgestaltung der Erfindung ist am Ausgang des ersten Pegelwandlers und an mindestens einem Ausgang des Differenzverstärkers eine Frequenzgangkorrekturschaltung angeschlossen, deren Ausgang auf den Treiber geführt ist. Die Frequenzgangkorrektur erfolgt üblicherweise vermittels Miller-Kapazitäten und in Reihe nachgeschaltetem Transmissionsgate. Dabei versucht die dynamisch vergrößerte Miller-Kapazität im Zusammenwirken mit dem Augangswiderstand des Differenzverstärkers eine tiefe dominante Polfrequenz innerhalb der Übertragungsfunktion des Operationsverstärkers und verschiebt die Lastfrequenz an seinem Ausgang nach oben. Das Transmissionsgate kompensiert die durch die kapazitive Rückkopplung in der positiven Halbebene auftretende Nullstellenfrequenz.
In weiterer Ausgestaltung der Erfindung enthält der Stromkomparator einen Stromspiegel, wobei in dessen Referenzzweig noch ein Transistor, dessen Gateanschluß den Eingang des Stromkomparators darstellt, und in den Spiegelzweig noch mindestens ein Transistor, an dessen Gateanschluß eine der Bezugsspannungen gelegt ist, geschaltet sind. Dabei ist am Knoten zwischen dem Ausgang des Stromspiegels und dem genannten Transistor der Ausgang des Stromkomparators realisiert. Zur Korrektur des Frequenzganges der Regelschaltung ist in einer nächsten günstigen Ausgestaltung den genannten Transistoren im Spiegelzweig des Stromkomparators eine Kapazität parallel geschaltet.
Da der Ausgang des Stromkomparators einen hohen dynamischen Widerstand aufweist, läßt sich diese Kapazität relativ klein dimensionieren.
In einer ersten Ausgestaltungsvariante des Stromkomparators ist der genannte Stromspiegel in Grundschaltung aus zwei Transistoren eines ersten Leitfähigkeitstyps ausgeführt. Im Spiegelzweig ist noch ein Transistor eines zweiten Leitfähigkeitstyps angeordnet. In einer zweiten Ausgestaltungsvariante des Stromkomparators ist der Stromspiegel als Wilson-Stromspiegel aus drei Transistoren des ersten Leitfähigkeitstyps ausgeführt, wobei im Spiegelzweig noch ein weiterer Transistor des zweiten Leitfähigkeitstyps in Reihe angeordnet ist. Diese Konfiguration realisiert einen erhöhten dynamischen Ausgangswiderstand als die vorab beschriebene und ist insbesondere für den Einsatz bei geringerer Versorgungsspannung geeignet.
Als dritte Ausgestaltungsvariante des Stromkomparators ist der Stromspiegel als Cascode-Stromspiegel aus zwei gegenphasig verschalteten Stromspiegeln in Grundschaltung zu je zwei Transistoren des ersten Leitfähigkeitstyps realisiert. Im Spiegelzweig sind so zwei weitere Transistoren vom zweiten Leitfähigkeitstyp in Reihe angeordnet. Der so ausgeführte Stromkomparator hat einen erhöhten dynamischen Ausgangswiderstand und ist für den Einsatz bei höherer Versorgungsspannung ausgelegt.
In einer ersten Ausgestaltungsvariante des ersten und/oder zweiten Pegelwandlers ist dieser als Sourcefolger aus zwei Transistoren des gleichen Leitfähigkeitstyps ausgeführt, wobei der Gateanschluß des ersten Transistors den am Ausgang bzw. am Referenzausgang des Differenzverstärkers angeschlossenen Eingang sowie der Gateanschluß des zweiten Transistors den Steuereingang des Pegelwandlers darstellen und am Knoten zwischen den beiden Transistoren der Ausgang des Pegelwandlers realisiert ist.
Als zweite Ausgestaltungsvariante des ersten und/oder zweiten Pegelwandlers, insbesondere für höhere Versorgungsspannungen, ist dieser aus zwei Sourcefolgern zu je zwei Transistoren vom gleichen Leitfähigkeitstyp konfiguriert. Dabei stellen der Gateanschluß des ersten Transistors des ersten Sourcefolgers den am Ausgang bzw. am Referenzausgang des Differenzverstärkers angeschlossenen Eingang und die miteinander verbundenen Gateanschlüsse der jeweils zweiten Transistoren den Steuereingang des Pegelwandlers dar.
Der Knoten zwischen den Transistoren des ersten Sourcefolgers ist mit dem Gateanschluß des zweiten Transistors des zweiten Sourcefolgers verbunden. Am Knoten zwischen den beiden Transistoren des zweiten Sourcefolgers ist der Ausgang des Pegelwandlers realisiert.
Ebenfalls ausgelegt für höhere Versorgungsspannungen, sind der erste und/oder zweite Pegelwandler für den Einsatz bei einem Differenzverstärker mit zwei Ausgängen bzw. Referenzausgängen dergestalt konfiguriert, daß der am ersten Ausgang bzw. Referenzausgang des Differenzverstärkers angeschlossene Eingang des Pegelwandlers mit dem Gateanschluß des ersten Transistors eines Sourcefolgers und dem Drainanschluß eines zusätzlichen Transistors, jeweils vom gleichen Leitfähigkeitstyp, verbunden ist. Der Gateanschluß des zweiten Transistors des Sourcefolgers stellt dabei den Steuereingang des Pegelwandlers dar. Der Gateanschluß des genannten zusätzlichen Transistors ist am Knoten zwischen den beiden Transistoren des Sourcefolgers angeschlossen. Der am zweiten Ausgang bzw. Referenzausgang des Differenzverstärkers liegende Eingang des Pegelwandlers ist auf den Sourceanschluß des zusätzlichen Transistors und den Ausgang des Pegelwandlersd geführt. Damit

sind die beiden Ausgänge des Differenzverstärkers direkt auf die beiden Eingänge des Treibers gelegt; der erste Pegelwandler ist zwischen ihnen angeordnet. Beziehungsweise ist der zweite Referenzausgang des Differenzverstärkers direkt auf den Eingang des Stromkomparators gelegt; der zweite Pegelwandler ist zwischen den beiden Referenzausgängen geschaltet.
In weiterer Ausgestaltung der letztgenannten Variante sind die beiden Ausgänge des Differenzverstärkers als geteilter Ausgang bzw. die beiden Referenzausgänge als geteilter Referenzausgang des Differenzverstärkers realisiert.

Ausführungsbeispiel

Die Erfindung ist nachstehend in einem Ausführungsbeispiel mit alternativen Varianten der Realisierung einzelner Baugruppen anhand von vier Zeichnungen näher erläutert. Dabei zeigen

Fig. 1: den erfindungsgemäßen CMOS-Operationsverstärker als Blockschaltbild
Fig. 2: den Stromlaufplan des erfindungsgemäßen CMOS-Operationsverstärkers mit jeweils einer ersten Ausführungsform des Stromkomparators und der Pegelwandler
Fig. 3a: eine zweite Ausführungsform des Stromkomparators
Fig. 3b: eine dritte Ausführungsform des Stromkomparators
Fig. 4a: eine zweite Ausführungsform der Pegelwandler
Fig. 4b: eine dritte Ausführungsform der Pegelwandler.

Wie in Fig. 1 dargestellt, enthält der erfindungsgemäße CMOS-Operationsverstärker (nachstehend als OPV bezeichnet) als wesentliche Funktionsgruppe einen Differenzverstärker 1 mit zwei um 180° zueinander phasenverschobenen Eingängen IN+; IN−, die den invertierten bzw. den nichtinvertierten Eingang des OPV bilden. Der Differenzverstärker 1 wird von einer BIAS-Schaltung 2 mit vier hochkonstanten Bezugsspannungen U1 ... U4 zum Einstellen von Ruheströmen im Differenzverstärker 1 versorgt. Der Differenzverstärker 1 führt einen geteilten Ausgang 01; 02 und einen geteilten Referenzaugang $O_{ref}1$; $O_{ref}2$.
Die Ausgänge 01; 02 sind auf einen ersten steuerbaren Pegelwandler 3a geführt, dessen Ausgang 03 mit einem Eingang IN2 eines Treibers 4 verbunden ist. Ein weiterer Eingang IN1 ist am Ausgang 01 des Differenzverstärkers 1 direkt angeschlossen. Zwischen den genannten Eingängen IN1; IN2 des Treibers ist eine Frequenzgangkorrekturschaltung 5 geschaltet, deren Ausgang ebenfalls auf den Treiber 4 geführt ist. Der Ausgang OUT des Treibers 4 stellt den Ausgang des OPV dar. An den Referenzausgängen $O_{ref}1$; $O_{ref}2$ des Differenzverstärkers 1 ist ein Pegelwandler 3b angeschlossen, der ebenfalls steuerbar ausgeführt ist. Der Ausgang 04 des Pegelwandlers 3b ist auf den Eingang eines Stromkomparators 6 gelegt, der an zwei der Bezugsspannungen U3; U4 angeschlossen ist.
Der Ausgang 05 des Stromkomparators 6, der eine Regelspannung U_{reg} führt, ist mit einem Steuereingang IN_{reg} jedes Pegelwandlers 3a; 3b verbunden. Dabei bilden der Pegelwandler 3b und der Stromkomparator 6 eine Regelschaltung, wobei die Regelspannung U_{reg} als Stellgröße ausgegeben wird.
Fig. 2 zeigt den Stromlaufplan des OPV zum Blockschaltbild nach Fig. 1. Die BIAS-Schaltung 2 enthält dabei einen p-Kanal-Stromspiegel 10 in Grundschaltung aus zwei p-Kanal-Transistoren P1; P2, deren Sourceanschlüsse an eine Betriebsspannung U_{CC} gelegt sind. An den verbundenen Gateanschlüssen der Transistoren P1; P2 wird die erste Bezugsspannung U1 abgegriffen. Im Referenzzweig des genannten Stromspiegels 10 ist ein Widerstand R1, im Spiegelzweig sind zwei n-Kanal-Transistoren N1; N2 in Reihe gegen Masse U_M angeordnet. Diese Transistoren N1; N2 sind jeweils mit einem weiteren n-Kanal-Transistor N3; N4 zu je einem n-Kanal-Stromspiegel 11; 12 in Grundschaltung und diese wiederum zu einem n-Kanal-Cascode-Stromspiegel verschaltet. Dabei bilden die Transistoren N1; N2 den Referenzzweig und die Transistoren N3; N4 den Spiegelzweig des Cascode-Stromspiegels. An den Knoten zwischen den Transistoren N1; N2 bzw. N3; N4 steht jeweils eine weitere Bezugsspannung U4 bzw. U3 generiert. Im Spiegelzweig des Cascode-Stromspiegels ist ein weiterer pMOS-Transistor P3, dessen Gate- und Drainanschluß verbunden sind, in Reihe gegen die Bezugsspannung U_{CC} angeordnet. Die Gatespannung an diesem Transistor P3 stellt die vierte der Bezugsspannungen U2 dar.
Der Differenzverstärker 1 ist als Folded-cascode-Differenzverstärker ausgeführt. Er verwendet eine p-Kanal-Eingangsdifferenzstufe 13 aus zwei sourceseitig verbundenen p-Kanal-Transistoren P5; P6, deren Gateanschlüsse die Eingänge IN+; IN− des Differenzverstärkers 1 darstellen. Die verbundenen Sourceanschlüsse der Transistoren P5; P6 sind über einen weiteren pMOS-Transistor P4 an die Betriebsspannung U_{CC} geführt. Dabei ist der Gateanschluß des Transistors P4 an die Bezugsspannung U1 gelegt. Damit wird die Eingangsdifferenzstufe 13 von der Bezugsspannung U1 gesteuert. Die Drainanschlüsse der Transistoren P5; P6 sind jeweils mit dem Knoten zwischen zwei in Reihe gegen Masse U_M geschalteten nMOS-Transistoren N5; N6 bzw. N7; N8, welche über die Verbindung der Gateanschlüsse der jeweils ersten N5; N7 und zweiten Transistoren N6; N8 zu einer n-Kanal-Cascode-Schaltung 14 konfiguriert sind, verbunden. Auf die Gateanschlüsse der ersten Transistoren N5; N6 ist die Bezugsspannung U3, auf die Gateanschlüsse der zweiten Transistoren N7; N8 ist die Bezugsspannung U4 gelegt.
Der Drainanschluß jedes ersten Transistors N5; N7 der Cascode-Schaltung 14 ist jeweils mit dem Drainanschluß eines pMOS-Transistors P8; P10 verbunden, welche wiederum über je einen weiteren pMOS-Transistor P7; P9 in Reihe gegen die Bezugspannung U_M angeordnet sind. Dabei bilden die genannten Transistoren P7; P8; P9; P10 einen p-Kanal-Cascode-Stromspiegel 15, wozu die Gateanschlüsse der jeweils ersten Transistoren P7; P9 miteinander und mit dem Drainanschluß des Transistors P8 sowie die Gateanschlüsse der jeweils zweiten Transistoren P8; P10 miteinander und mit der Bezugsspannung U2 verbunden sind, in welchem die Transistoren P7; P8 den Referenzzweig und die Transistoren P9; P10 den Spiegelzweig darstellen.
Im weiteren bildet der Drainanschluß des Transistors P8 den ersten Referenzausgang $O_{ref}1$ und der Drainanschluß des Transistors P10 den ersten Ausgang 01 sowie der Drainanschluß des Transistors N5 den zweiten Referenzausgang $O_{ref}2$ und der Drainanschluß des Transistors N7 den zweiten Ausgang 02 des Differenzverstärkers 1. Im dargestellten Beispiel ist er nicht mit geteilten Ausgängen realisiert, so daß über die miteinander verbundenen Gateanschlüsse der Transistoren P8; N5 bzw. P10; N7 die Referenzausgänge $O_{ref}1$; $O_{ref}2$ bzw. die Ausgänge 01; 02 identisch sind und im weiteren nur von einem Referenzausgang $O_{ref}1$ bzw. einem Ausgang 01 gesprochen wird.

Der Ausgang 01 des Differenzverstärkers ist mit dem Gateanschluß eines nMOS-Transistors N9, dessen Drainanschluß an der Betriebsspannung U_{CC} liegt und der in Reihe mit einem weiteren nMOS-Transistor N10 gegen Masse U_M geschaltet ist, verbunden. Die Transistoren N9; N10 realisieren den steuerbaren Pegelwandler 3a, wobei der Gateanschluß des Transistors N10 den Steuereingang IN_{reg} und der Knoten zwischen den beiden Transistoren N9; N10 den Ausgang 03 des Pegelwandlers 3a darstellen. Transistor N10 wirkt dabei als gesteuerte Stromquelle. Der Treiber 4 ist aus einer Reihenschaltung eines pMOS-Transistors P11 mit einem nMOS-Transistor N11 konfiguriert. Dabei stellen der Gateanschluß des Transistors P11, der sourceseitig an der Betriebsspannung U_{CC} liegt, den ersten Eingang IN1 des Treibers 4 dar und ist am Drainanschluß des Transistors P10 des Differenzverstärkers 1 angeschlossen. Der zweite Eingang IN2 des Treibers 4 ist am Gateanschluß des Transistors N11, dessen Sourceanschluß an Masse U_M liegt, realisiert. Dabei bilden die verbundenen Drainanschlüsse der Transistoren P11; N11 den Ausgang OUT des Treibers 4.
Der Pegelwandler 3a bewirkt, daß die Transistoren P11; N11 des Treibers 4 als Gegentaktverstärker, im AB-Betrieb arbeiten. Zwischen den Gateanschlüssen der Transistoren P11; N11 sind zwei Kapazitäten C1; C2 in Reihe geschaltet. Der Knoten zwischen ihnen ist über ein Transmissionsgate auf den Ausgang OUT des Treibers 4 gelegt. Das Transmissionsgate besteht dabei aus einem von der Versorgungsspannung U_{cc} aufgesteuerten nMOS-Transistor N12 und einem von Masse U_M aufgesteuerten pMOS-Transistor P12, deren Source- bzw. Drainanschlüsse jeweils miteinander verbunden sind. Diese Schaltung aus den Kapazitäten C1; C2 und den Transistoren N12; P12 stellt die Frequenzgangkorrekturschaltung 5 dar.
Mit dynamisch vergrößerten Kapazitäten C1; C2 verursachen im Zusammenwirken mit dem Ausgangswiderstand des Differenzverstärkers 1 innerhalb der Übertragungsfunktion des OPV eine tiefliegende dominante Polfrequenz und verschieben gleichzeitig die Lastpolfrequenz am Ausgang OUT des Treibers 4 in höhere Bereiche (Ausnutzung des sog. „Pole-splitting-Effekts"). Das in Reihe zu den Kapazitäten C1; C2 liegende Transmissionsgate wirkt als Widerstand und kompensiert die durch die kapazitive Rückkopplung entstehende, in der positiven Halbebene befindliche Nullstellenfrequenz. Damit wird ein Einsatz des OPV mit einer Verstärkung von Eins ermöglicht.
Der Referenzausgang $O_{ref}1$ des Differenzverstärkers 1 ist in Analogie zum Ausgang 01 mit dem Gateanschluß eines nMOS-Transistors N13, dessen Drainanschluß an der Betriebsspannung U_{CC} liegt und der in Reihe mit einem weiteren nMOS-Transistor N14 gegen Masse U_M geschaltet, verbunden.
Die Transistoren N13; N14 bilden den steuerbaren Pegelwandler 3b. Dabei stellt der Gateanschluß des Transistors N14 den Steuereingang IN_{reg} des Pegelwandlers 3b dar, wobei der Transistor N14 als gesteuerte Stromquelle wirkt; der Knoten zwischen den beiden Transistoren N13; N14 realisiert den Ausgang 04 des Pegelwandlers 3b. Dieser Knoten ist auf den Gateanschluß eines nMOS-Transistors N15 gelegt, welcher in Reihe im Referenzzweig eines in Grundschaltung aus zwei pMOS-Transistoren P13; P14 konfigurierten p-Kanal-Stromspiegels 16 geschaltet ist, wobei sein Sourceanschluß mit Masse U_M verbunden ist.
Im Spiegelzweig des Stromspiegels 16 ist ebenfalls ein nMOS-Transistor N16 in Reihe gegen Masse U_M angeordnet, dessen Gateanschluß an der Bezugsspannung U4 liegt. Dabei bilden die Transistoren N15; N16 und P13; P14 den Stromkomparator 6, der sich mit dem Pegelwandler 3b als Regelschaltung betrachten läßt. Der eine Stellgröße ausgebende Ausgang 05 des Stromkomparators 6 ist am Drainanschluß des Transistors N16 realisiert. Dessen Drainspannung stellt die Regelspannung U_{reg} dar. Der Drainanschluß des Transistors N16 ist jeweils mit dem Gateanschluß der Transistoren N10; N14 verbunden. Zur Frequenzgangkorrektur der Regelschaltung ist am Drainanschluß des Transistors N16 eine Kapazität C3 gegen Masse U_M geschaltet.
In der Fig. 3a und 3b sind zwei weitere Varianten des Stromkomparators 6 dargestellt. Der Stromkomparator 6 nach Fig. 3a enthält einen p-Kanal-Wilson-Stromspiegel 17 aus drei pMOS-Transistoren P15; P16; P17. Im Referenzzweig ist ein nMOS-Transistor N17, dessen Gateanschluß am Ausgang 04 des Pegelwandlers 3b angeschlossen ist, in Reihe gegen Masse U_M angeordnet. Im Spiegelzweig ist gleichfalls ein nMOS-Tranistor N18 in Reihe gegen Masse U_M geschaltet, an dessen Gateanschluß die Bezugsspannung U4 gelegt ist. Der Drainanschluß des Transistors N18 realisiert den die Regelspannung U_{reg} führenden Ausgang des Stromkomparators 6; an ihm ist in bekannter Weise noch eine Kapazität C3 gegen Masse U_M angeschlossen. Durch Einsatz des Wilson-Stromspiegels 17 ergibt sich ein erhöhter dynamischer Ausgangswiderstand des Ausganges 05. Damit kann die Kapazität C3 kleiner dimensioniert werden; die Schaltung ist insbesondere für den Einsatz bei niedrigeren Versorgungsspannungen U_{CC} geeignet.
In der Ausführung nach Fig. 3b erhält der Stromkomparator 6 einen p-Kanal-Cascode-Stromspiegel 18 aus zwei gegenphasig verschalteten p-Kanal-Stromspiegeln in Grundschaltung mit den pMOS-Transistoren P18; P19 und P20; P21. Im Referenzzweig ist in bekannter Weise ein vom Ausgang 04 des Pegelwandlers 3b angesteuerter nMOS-Transistor N19 in Reihe gegen Masse geschaltet; im Spiegelzweig sind zwei nMOS-Transistoren N20; N21, deren Gateanschlüsse an jeweils einer der Bezugsspannungen U3; U4 liegen, ebenfalls in Reihe gegen Masse U_M angeordnet. Der Drainanschluß des Transistors N20 realisiert den Ausgang 05 des Stromspiegels, an welchem wieder eine Kapazität C3 angeschlossen ist. Mit dieser Schaltung ergibt sich eine weitere Erhöhung des dynamischen Ausgangswiderstandes, so daß die Kapazität C3 noch kleiner ausgelegt werden kann. Die Schaltung ist vorzugsweise für den Einsatz bei höherer Versorgungsspannung U_{CC} konfiguriert.
Die Fig. 4a, 4b zeigen noch zwei Ausführungsformen für die Pegelwandler 3a; 3b, welche ebenfalls zur Verwendung bei höherer Versorgungsspannung U_{CC} konzipiert sind. Dabei verwendet der Pegelwandler 3a bzw. 3b nach Fig. 4a zwei zwischen Versorgungsspannung U_{CC} und Masse U_M geschaltete n-Kanal-Sourcefolger zu je zwei nMOS-Transistoren N22; N23 und N24; N25, wobei der Knoten zwischen den Transistoren N22; N23 des ersten Sourcefolgers mit dem Gateanschluß des ersten Transistors N24 des zweiten Sourcefolgers und die Gateanschlüsse der jeweils zweiten Transistoren N23; N25 miteinander verbunden sind. Hierbei stellen der Gateanschluß des Transistors N22 den am Ausgang 01 (für Pegelwandler 3a) bzw. am Referenzausgang $O_{ref}1$ (für Pegelwandler 3b) angeschlossenen Eingang des Pegelwandlers 3a bzw. 3b und die verbundenen Gateanschlüsse der Transistoren N23; N25 den Steuereingang IN_{reg} dar. Der Knoten zwischen den Transistoren N24; N25 realisiert den Ausgang 03 bzw. 04 des Pegelwandlers 3a bzw. 3b.
Der sich dabei ergebende Nachteil zweier paralleler Sourcefolger wird mit der Ausführung nach Fig. 4b beseitigt. Diese Variante ist vorgesehen für einen Differenzverstärker 1 mit zwei Ausgängen 01; 02 bzw. Referenzausgängen $O_{ref}1$; $O_{ref}2$, welche vorzugsweise als geteilter Ausgang bzw. geteilter Referenzausgang realisiert sind. Hierbei sind die beiden an den Ausgängen 01; 02 des Differenzverstärkers 1 angeschlossenen Eingänge des Pegelwandlers 3a unmittelbar auf seine mit den Eingängen IN1; IN2 des Treibers 4 verbundenen Ausgänge geführt; der Pegelwandler 3b ist mit seinen beiden Eingängen an den

Referenzausgängen $O_{ref}1$; $O_{ref}2$ des Differenzverstärkers 1 angeschlossen, wobei der zweite Eingang direkt auf den Ausgang 04 geführt ist. Zwischen den beiden Eingängen des Pegelwandlers 3a bzw. 3b ist ein Transistor N26 angeordnet, dessen Gateanschluß am Knoten der beiden Transistoren N27; N28 eines n-Kanal-Sourcefolgers, der zwischen der Betriebsspannung U_{CC} und Masse U_M geschaltet ist, liegt. Der Gateanschluß des ersten Transistors N27 des Sourcefolgers ist mit am ersten Eingang des Pegelwandlers 3a bzw. 3b angeschlossen, der Gateanschluß des zweiten Transistors N28 stellt den Steuereingang IN_{reg} dar.
In Analogie zu den hier beschriebenen Schaltungen ist ihre Realisierung auch in der Inversion der Leitfähigkeitstypen der genannten MOS-Transistoren P1...P21; N1...N28 und der Polarität der Versorgungsspannung U_{CC} gegeben.
Im übrigen sind durchaus noch andere spezielle Konfigurationen der Pegelwandler 3a; 3b und des Stromkomparators 6 möglich.

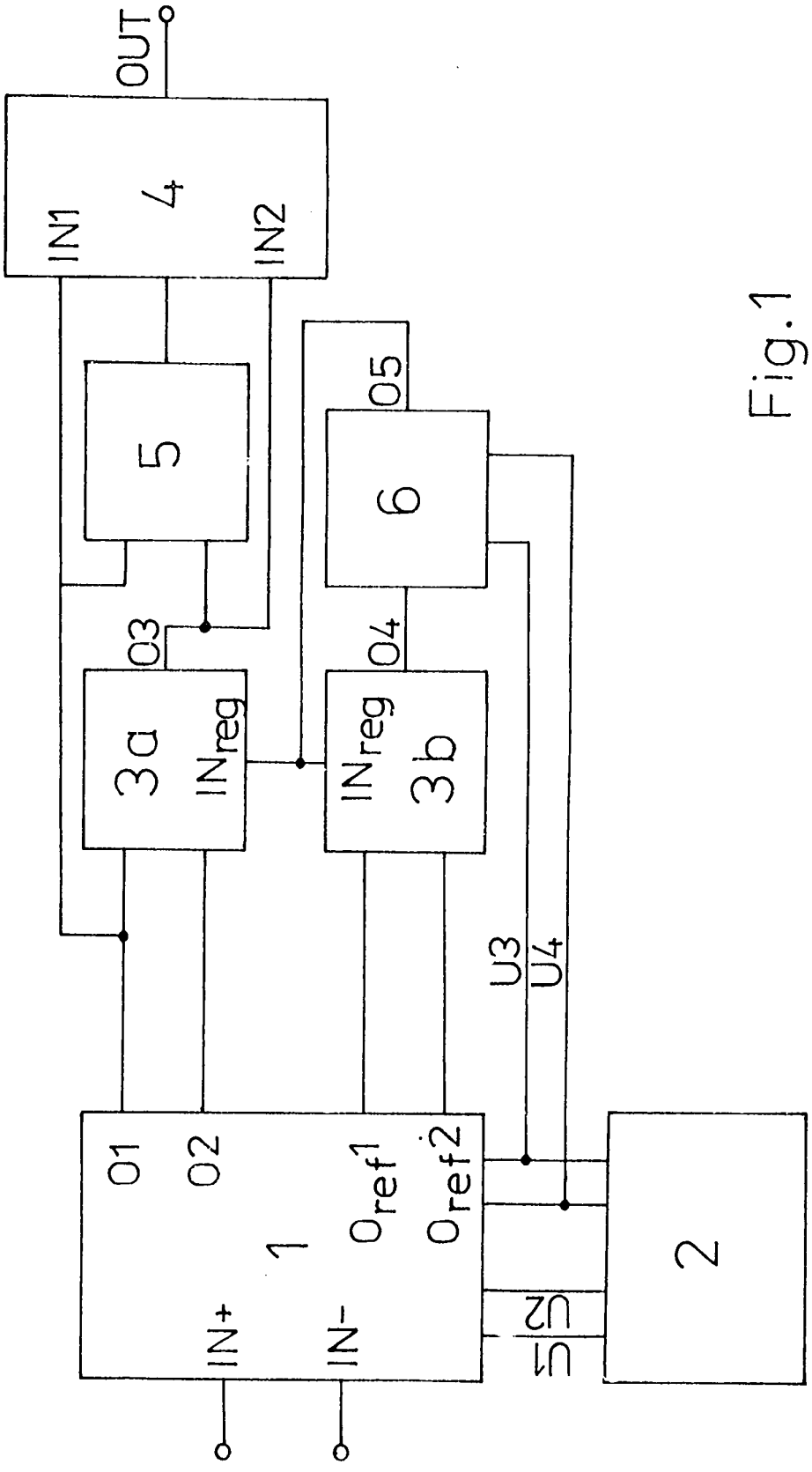

OUT
4
IN1
IN2
5
6
05
03
04
3a
INreg
INreg
3b
U3
U4
01
02
1
Oref1
Oref2
IN+
IN-
U2
U1
2

Fig.1

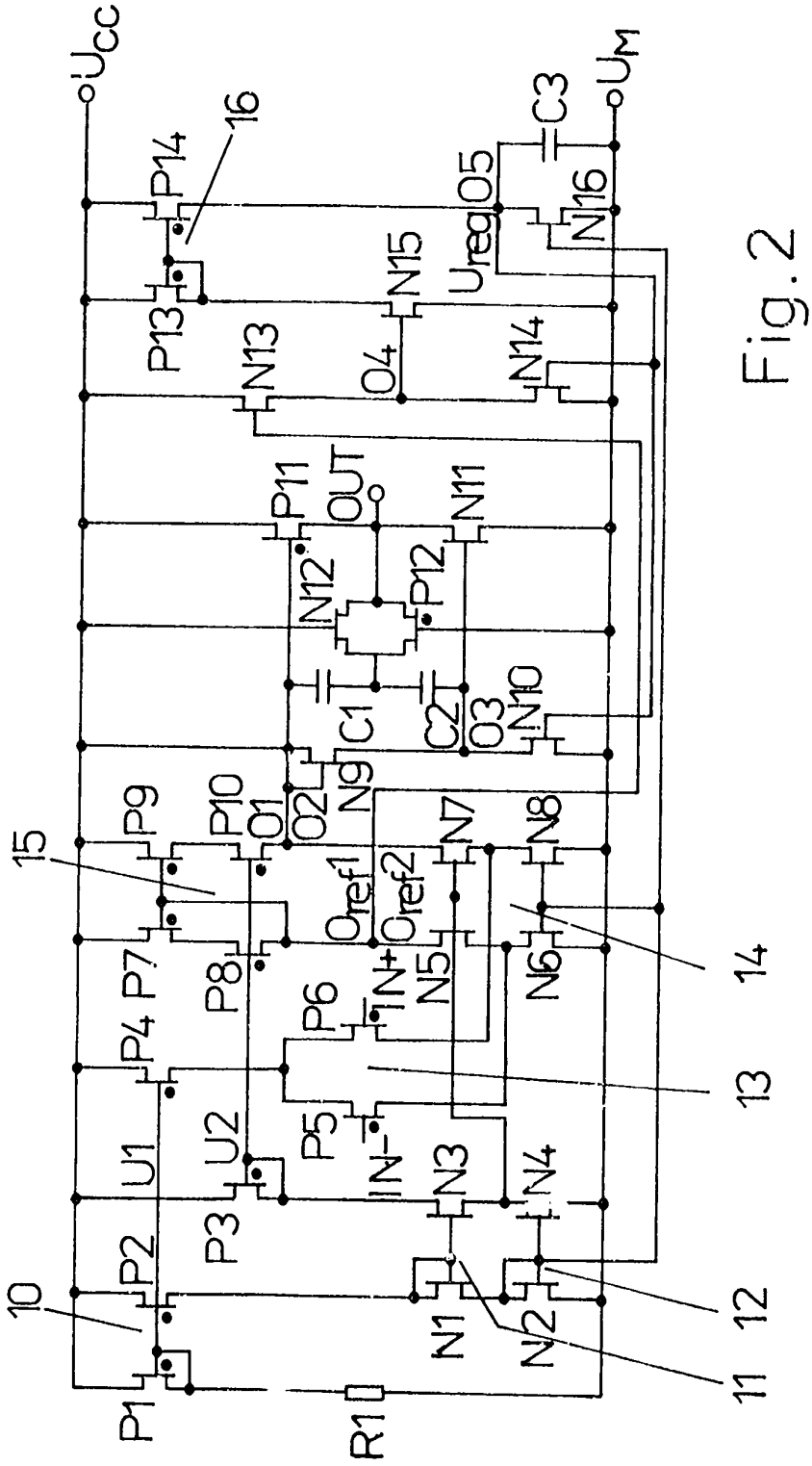

Ucc
UM
C3
P14
16
P13
N15
Ureg05
N16
N13
O4
N14
P11
OUT
N11
N12
P12
C1
C2
O3
N10
P9
P10
O1
O2
N9
N7
N8
15
Oref1
Oref2
P7
P8
IN+
N5
N6
14
P6
P4
13
U1
U2
P5
IN-
N3
N4
P3
P2
10
N1
N2
12
11
P1
R1

Fig. 2

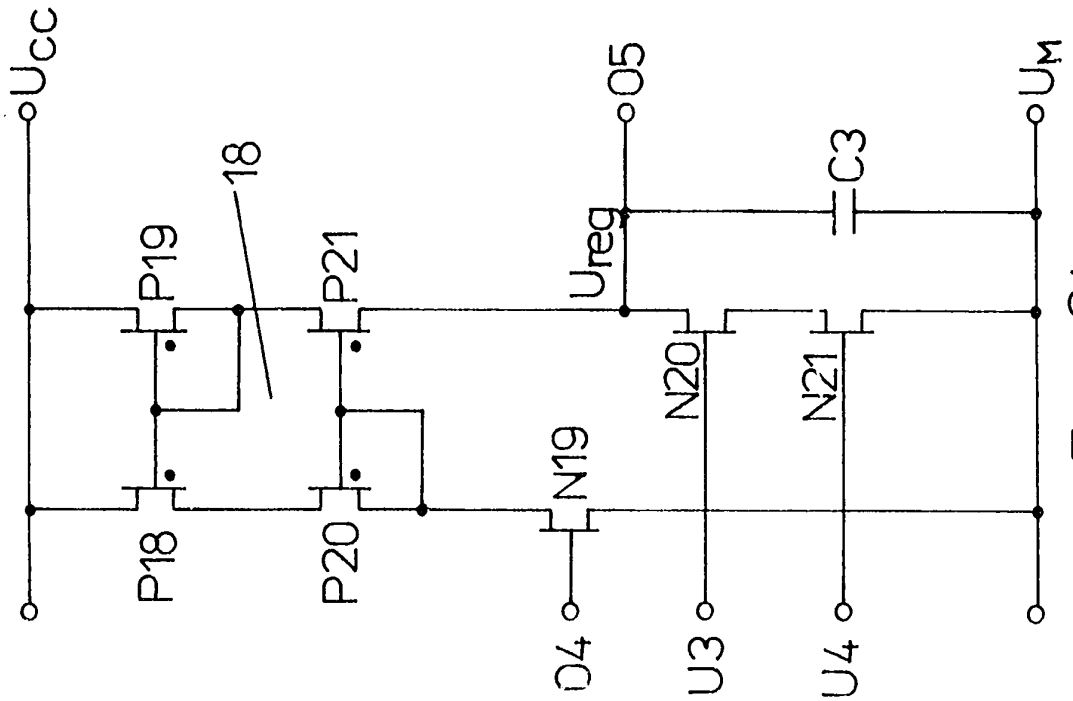

Ucc
P19
18
P21
Ureg
05
C3
UM
P18
P20
N19
N20
N21
04
U3
U4

Fig. 3b

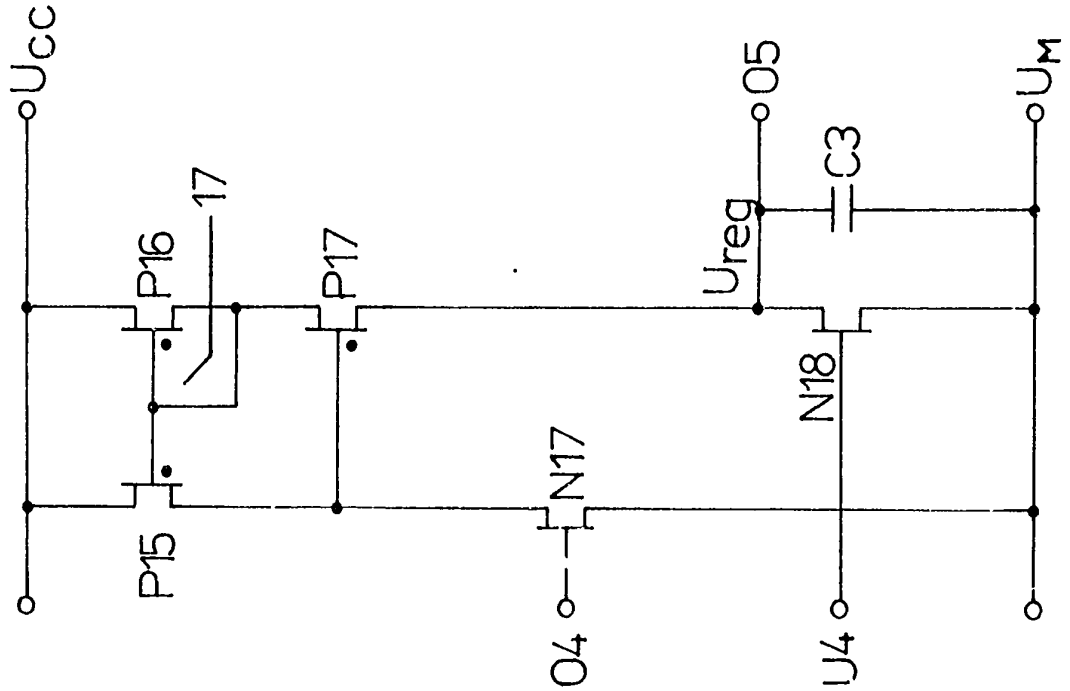

Ucc
P16
17
P17
Ureg
05
C3
UM
P15
N17
N18
04
U4

Fig. 3a

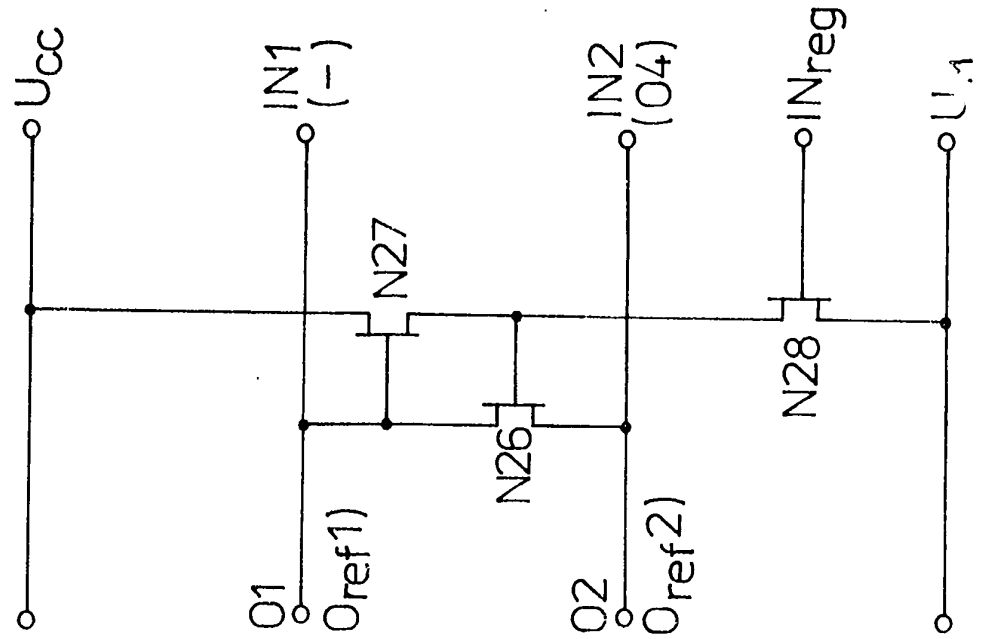

Ucc
IN1
(-)
IN2
(04)
INreg
UM
N27
N26
N28
O1
(Oref1)
O2
(Oref2)

Fig. 4b

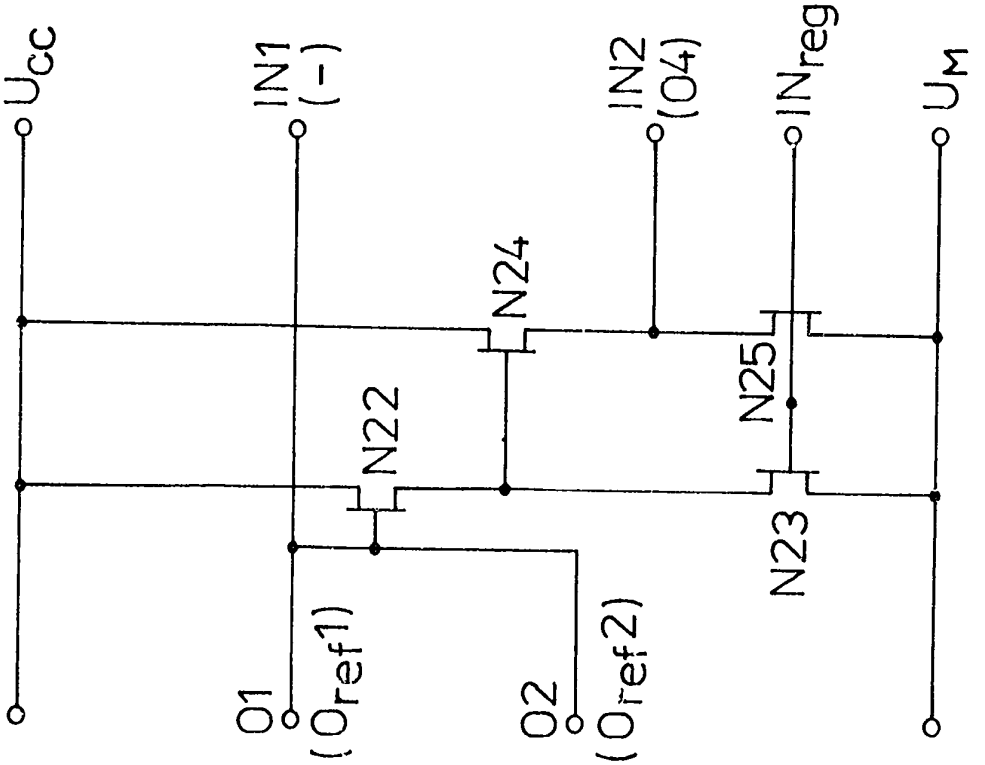

Ucc
IN1
(-)
IN2
(04)
INreg
UM
N24
N22
N25
N23
O1
(Oref1)
O2
(Oref2)

Fig. 4a