



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월09일 10-0691620 2007년02월28일
---	-------------------------------------	--

(21) 출원번호	10-1999-0011675	(65) 공개번호	10-1999-0082905
(22) 출원일자	1999년03월30일	(43) 공개일자	1999년11월25일
심사청구일자	2004년03월29일		

(30) 우선권주장      98-94268      1998년04월07일      일본(JP)

(73) 특허권자      가부시킴가이샤 히타치세이사쿠쇼  
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자      모리이쿠코  
일본국치바켄모바라시하야노1463-9

카이토우타쿠오  
일본국치바켄모바라시시모나가요시460

아베히로노부  
일본국치바켄치바시미도리쿠오유미노3-27-3

에토마시히로  
일본국치바켄모바라시하야노1499-11

사토우토시히로  
일본국치바켄모바라시시모나가요시234-5

이시다카즈히로  
일본국치바켄모바라시야와타바라680-2

쿠도우하지메  
일본국치바켄치바시미도리쿠온다쵸2-23-254

(74) 대리인      이종일

(56) 선행기술조사문헌  
09258266 \*      10078593 \*  
\* 심사관에 의하여 인용된 문헌

심사관 : 임동재

전체 청구항 수 : 총 5 항

(54) 액정표시장치

## (57) 요약

본 발명은 액정표시장치에 관한 것으로, 특히 폴리·실리콘·트랜지스터로 구성되는 TFT방식의 액정표시장치에 적용시킬 수 있는 유효한 기술에 관한 것이다. 종래, TFT방식의 액정표시장치의 액정패널에서는 광원측으로부터 직접 박막트랜지스터에 입사되는 조사광 이외에, 조사광이 반사되어 광원측과는 반대측의 표시면측으로부터 박막트랜지스터에 입사되는 광에 의해, 박막트랜지스터가 오동작하는 문제점이 있었다. 본 발명은 제 1기판, 제 2기판, 상기 제 1기판과 제 2기판과의 사이에 위치되어 지지되는 액정, 상기 제 1기판 상에 형성되고, 매트릭스상으로 배치되는 화소, 상기 화소에 설치되는 반도체 소자, 상기 반도체 소자는 대향하는 제 1 면과 제 2면을 갖는 반도체 층, 상기 반도체 층의 제 1면측에 설치된 제 1 게이트 전극, 상기 반도체 층의 제 2면측에 설치된 제 2 게이트 전극을 포함하며, 상기 제 2 게이트 전극이 상기 반도체 층에 상기 제 2면측에서 입사되는 빛을 차광함으로써, 반도체 소자가 오동작하는 것을 방지할 수 있는 액정표시장치를 제시하고 있다.

## 대표도

도 1

## 특허청구의 범위

### 청구항 1.

제 1 기판과,

제 2 기판과,

상기 제 1 기판과 제 2 기판과의 사이에 끼워지는 액정과,

상기 제 1 기판상에 형성되고 매트릭스 형상으로 배치되는 화소와,

상기 화소에 설치되는 반도체 소자와,

상기 반도체 소자는 대향하는 제 1 면과 제 2 면을 갖는 반도체층과,

상기 반도체층의 제 1 면측에 설치된 제 1 게이트 전극과,

상기 반도체 층의 제 2 면측에 설치된 제 2 게이트 전극과,

상기 제 1 게이트 전극에 접속되어 컨트롤전압을 공급하고, 상기 반도체의 제 1 면측에 설치된 복수의 제 1 주사신호선과,

상기 제 2 게이트 전극에 접속되어 컨트롤전압을 공급하고, 상기 반도체의 제 2 면측에 설치된 복수의 제 2 주사신호선과,

상기 반도체 소자의 소스영역에서 연장되어 상기 제 1 주사신호선과 제 2 주사신호선과의 사이에 끼우도록 설치된 도전층을 갖고,

상기 반도체 소자는 제 1 게이트 전극과 제 2 게이트 전극중 어느 하나에 공급되는 컨트롤전압에 의해 컨트롤 되고,

상기 제 2 게이트 전극은 상기 반도체층에 상기 제 2 면측에서 입사되는 빛을 차광하고,

상기 제 1 주사신호선과 제 2 주사신호선과는, 상기 제 1 주사신호선보다도 상층에 형성되는 도전막을 개입하여 접속되는 것을 특징으로 하는 액정표시장치.

## 청구항 2.

청구항 1에 있어서,

상기 제 1 게이트 전극과 제 2 게이트 전극은 상기 반도체층을 사이에 두고 대향해서 설치된 것을 특징으로 하는 액정표시장치.

## 청구항 3.

청구항 1에 있어서,

상기 반도체 소자는 상기 제 1 게이트 전극과 제 2 게이트 전극에 인가되는 제어신호에 의해 제어되는 것을 특징으로 하는 액정표시장치.

## 청구항 4.

청구항 1에 있어서,

연속해서 설치된 화소의 상기 제 1전극에 제어전압을 인가하는 복수의 제 1주사신호선과,

연속해서 설치된 화소의 상기 제 2전극에 제어전압을 인가하는 복수의 제 2주사신호선을 갖고,

상기 제 1주사신호선과 제 2주사신호선은 상기 반도체층과 동일 공정에서 형성되는 도전층을 사이에 두고 대향해서 설치되며,

상기 제 1주사신호선, 제 2주사신호선 및 도전층으로 용량소자를 형성하는 것을 특징으로 하는 액정표시장치.

## 청구항 5.

청구항 1에 있어서,

상기 제 2 게이트 전극은 고용점 금속실리사이드막을 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 6.

삭제

## 청구항 7.

삭제

## 청구항 8.

삭제

## 청구항 9.

삭제

## 청구항 10.

삭제

## 청구항 11.

삭제

## 청구항 12.

삭제

명세서

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 폴리·실리콘·트랜지스터로 구성되는 TFT(Thin Film Transistor)방식의 액정표시장치에 적용시킬 수 있는 유효한 기술에 관한 것이다.

종래 액정표시장치의 하나로서, 화소마다 능동소자를 갖고, 이 능동소자를 스위칭 동작시키는 액티브 매트릭스형 액정표시장치가 알려져 있다.

상기 액티브 매트릭스형 액정표시장치의 특징은, 예를들면 박막트랜지스터(TFT) 등의 능동소자를 매개로 해서 화소전극에 액정구동전압(계조전압)을 인가하기 때문에, 각 화소간의 크로스토크가 적고, 단순 매트릭스형 액정표시장치와 같이 크로스 토크를 방지하기 위한 특수한 구동방법을 이용할 필요가 없으며, 많은 계조표시가 가능한 것에 있다.

이 액티브 매트릭스형 액정표시장치의 하나에, 능동소자로서 비정질·실리콘·트랜지스터 또는 폴리·실리콘·트랜지스터로 구성되는 박막트랜지스터를 사용하는 TFT 방식의 액티브 매트릭스형 액정표시장치가 알려져 있다.

또한, 이하 본 명세서중에서, 비정질·실리콘·트랜지스터를 a-SiTTr, 폴리·실리콘·트랜지스터를 P-SiTTr, 비정질·실리콘·트랜지스터를 사용한 TFT방식의 액정표시장치를 a-SiTFT액정표시장치, 폴리·실리콘·트랜지스터를 사용한 TFT방식의 액정표시장치를 P-Si-TFT액정표시장치로 칭한다.

상기 a-SiTFT액정표시장치는 퍼스컴 또는 텔레비전의 표시장치로서 널리 사용되고 있다.

따라서, 상기 a-SiTFT액정표시장치에서는 액정을 구동하기 위한 구동회로를 액정표시패널의 주변에 설치할 필요가 있었다.

이것에 대해, 최근 P-SiTTr소자를 사용한 TFT방식의 액정표시장치가 개발되고, 예를들면 액정프로젝터 또는 헤드마운트(안경형) 디스플레이 등에 사용되고 있다.

이 P-SiTFT 액정표시장치의 액정표시패널에서는, a-SiTFT액정표시장치의 액정표시패널, 석영 또는 유리기관상에 P-SiTTr을 매트릭스 상으로 배치·형성한다.

게다가, 상기 P-SiTTr의 동작속도가 a-SiTTr보다도 빠르기 때문에, P-SiTFT액정표시장치의 액정패널에서는, 그 주변회로도 동일기관상에 만들어 넣는 것이 가능하다.

일반적으로, 액정프로젝터에 있어서는, 광원으로부터의 조사광을 액정표시패널에 조사하고, 상기 액정표시패널에 생성되는 화상에 의해, 상기 액정표시패널을 여과하는 조사광을 제어하고, 상기 제어된 조사광을 스크린에 조사해서 화상을 표시한다.

또한, 화소마다 설치되는 박막트랜지스터는 빛이 입사되면 포토콘 등이 발생하고, 박막트랜지스터가 오동작하게 된다.

이 때문에, 종래의 액정표시프로젝터에 사용되는 TFT방식의 액정표시장치의 액정패널에 있어서, 광원측에 조광막을 설치하고, 광원으로부터의 조사광이 직접 박막트랜지스터에 입사되는 것을 방지하고 있다.

따라서, 액정표시프로젝터에 의해 표시되는 화상으로서, 점점 고휘도의 화상이 요구되고, 이를 위해 광원의 조도도 점점 강하게 되어가는 경향이 있다(앞으로는 1000만럭스정도).

### 발명이 이루고자 하는 기술적 과제

그러나, 광원의 조도가 증대함에 따라, 액정표시프로젝터에 사용되는 TFT방식의 액정표시장치의 액정패널에서는 광원측으로부터 직접 박막트랜지스터에 입사되는 조사광이외에, 조사광이 반사되어 광원측과는 반대측의 표시면측으로부터 박막트랜지스터에 입사되는 광에 의해, 박막트랜지스터가 오동작하는 문제점이 있었다.

본 발명은 상기와 같은 문제점을 해결하기 위해 발명한 것으로서, 본 발명의 목적은 액정표시장치에 있어서, 광원측과는 반대측의 표시면측에서 반도체 소자에 입사되는 빛에 의해, 반도체 소자가 오동작하는 것을 방지할 수 있는 기술을 제공하는 것이다.

또한, 본 발명의 다른 목적은 액정표시장치에 있어서, 화소별로 설치되는 반도체 소자의 누설 전류를 낮추고, 또한 온 전류를 증가시킬 수 있는 기술을 제공하는 것이다.

상기한 목적을 달성하기 위한 본 발명의 제 1 기술적 사상으로서, 제 1기판과, 제 2기판과, 상기 제 1기판과 제 2기판과의 사이에 위치되어 지지되는 액정과, 상기 제 1기판 상에 형성되고, 매트릭스상으로 배치되는 화소와, 상기 화소에 설치되는 반도체 소자와, 상기 반도체 소자는 대향하는 제 1 면과 제 2면을 갖는 반도체 층과, 상기 반도체 층의 제 1측면에 설치된 제 1게이트 전극과, 상기 반도체 층의 제 2측면에 설치된 제 2게이트 전극을 포함하고, 상기 제 2게이트 전극은 상기 반도체 층에 상기 제 2측면에서 입사되는 빛을 차광하는 액정표시장치가 제공된다.

본 발명의 제 2기술적 사상으로서, 제 1기판과, 제 2기판과, 상기 제 1기판과 제 2기판과의 사이에 위치되어 지지되는 액정과, 상기 제 1기판 상에 형성되는 복수의 화소와, 상기 화소에 설치되는 반도체 소자 및 화소전극과, 상기 반도체 소자를 형성하는 반도체 층과, 상기 반도체 층을 사이에 두고 대향하는 제 1제어전극 및 제 2제어전극을 포함하고, 상기 반도체 소자는 제 1제어전극과 제 2제어전극에 의해 제어되고, 상기 화소전극에 영상신호를 인가하는 액정표시장치가 제공된다.

본 발명의 제 3기술적 사상으로서, 제 1기판과, 제 2기판과, 상기 제 1기판과 제 2기판과의 사이에 위치되어 지지되는 액정과, 상기 제 1기판 상에 형성되는 복수의 화소와, 상기 화소에 설치되는 반도체 소자 및 화소전극과, 상기 반도체 소자를 형성하는 반도체 층과, 상기 반도체 층에 대해 상기 제 2기판측에 형성된 게이트 전극과, 상기 반도체 층에 대해 상기 제 1기판측에 형성되는 차광막을 포함하고, 상기 반도체 소자는 상기 게이트 전극과 상기 차광막에 인가되는 제어신호에 의해 제어되는 액정표시장치가 제공된다.

### 발명의 구성

이하, 본 발명을 폴리·실리콘·트랜지스터를 사용한 TFT 방식의 액정표시장치에 적용한 실시예를 도면을 참조해서 상세히 설명한다.

또, 실시예를 설명하기 위한 모든 도에 있어서, 동일기능을 갖는 것은 동일부호를 붙여, 그 반복설명은 생략한다.

도 1은 본 발명의 일실시예의 액정표시장치의 액정표시패널의 개략구성을 나타낸 단면도이다.

본 실시예의 액정표시패널은 TFT 전극기판(10)과, 대향전극기판(20)과, TFT전극기판(10)과 대향전극기판(20)과의 사이에 주입·봉해지는 액정(30)으로 구성된다.

또, 도 1에 있어서, 도면부호 (40) 및 (50)은 각각 시일제와 광원을 나타낸다.

상기 대향전극기판(20)은 유리기판(21)을 갖고, 상기 유리기판(21)의 액정(30) 측의 표면에는 차광막(22), 공통전극(ITO2), 배향막(23)이 순차 적층된다.

상기 차광막(22)는 도 2에 도시된 바와 같이, 상기 유리기판(21)의 주위에만 형성되고, 또한 상기 유리기판(21)의 반대측의 표면에는 편광판(24)이 적층된다.

상기 TFT 전극기관(10)은 석영기관(11)을 갖고, 상기 석영기관(11)의 액정(30)측의 표면에는 화소부(12) 및 주변회로부(13), 배향막(14)가 순차 적층된다.

또한, 상기 석영기관(11)의 반대측의 표면에는 편광판(15)가 적층된다.

여기서, 상기 차광막(22)은 광원(50)으로부터의 빛이 주변회로부(13)에 입사하고, 상기 주변회로부(13)이 오동작하는 것을 방지하기 위해 설치되고, 상기 주변회로부(13)은 화소부(12)에 설치된 박막트랜지스터(TFT)를 구동하기 위한 것이며, 상기 주변회로부(13)에는 빛을 조사할 필요가 없기 때문에, 상기 차광막(22)을 이용해서 광이 조사되는 것을 막고 있다.

상기 화소부(12)에서는 빛이 조사되어 여과 또는 반사한 빛으로 상이 형성되기 때문에, 상기 차광막(22)과 같이 차광하고자 하는 부분 전면을 덮을 수가 없다. 화소부(12)에서는 반도체 층을 덮도록 차광막이 설치된다.

이어, 도 3은 도 1에 도시된 TFT전극기관(10)의 화소부(12)의 개략구성을 나타낸 도이다.

도 3에 도시된 바와 같이, 상기 TFT전극기관(10)의 화소부(12)는 매트릭스 상에 배치된 화소를 갖고, 각 화소는 인접하는 2분의 주사신호선(게이트 신호선 또는 수평신호선)(G)와, 인접하는 2분의 영상신호선(드레인 신호선 또는 수직신호선)(D)와의 교차영역(4분의 신호선으로 포함된 영역) 내에 배치된다.

여기서, 각 화소는 박막트랜지스터(TFT)와 화소전극(ITO1) 및 보지용량(Cst)를 포함하고 있다.

매트릭스 상에 배치된 각 화소의 각 열에 있는 박막트랜지스터(TFT)의 드레인 영역은 각각 영상신호선(D)에 접속되고, 또한 매트릭스 상에 배치된 각 화소의 소오스 영역은 화소전극(ITO1)에 접속된다.

또, 상기 드레인 영역 및 소오스 영역은 본래 그 사이의 바이어스 극성에 의해 결정되는 것으로, 본 실시형태의 액정표시장치에서는 그 극성은 동작중 반전하기 때문에, 드레인 영역, 소오스 영역은 동작 중 교체되는 것이지만, 본 명세서에서는 편의상 일방을 드레인 영역, 타방을 소오스 영역이라고 고정해서 설명한다.

또한, 상기 각 주사신호선(G)는 매트릭스 상에 배치된 각 화소의 각 행에 있는 박막트랜지스터(TFT)의 게이트 전극을 구성한다.

게다가, 상기 화소전극(ITO1)의 단부는 용량선(C)와 겹쳐지고, 이것에 의해 보지용량(Cst)가 구성된다.

도 4는 도 3에 도시된 A - A' 선으로 절단된 단면을 나타낸 단면도이다. 또, 도 3은 각 부의 구성을 알기 쉽게 하기 위해, 도 4에 도시된 단면 중에서, 영상신호선(D)를 형성하는 층까지와 화소전극(ITO1)을 기재하고, 영상신호선(D)로부터 화소전극(ITO1)의 접속과 각 층간 절연막은 생략한다.

도 3에 도시된 바와 같이, 박막트랜지스터(TFT)는 영상신호선(D)와 주사신호선(G)와의 교차영역에, 영상신호선(D)와 평행(또는 주사신호선(G)와 직교하는 방향)하게 형성된다.

이 박막트랜지스터(TFT)의 반도체층은 폴리실리콘층(FG)로 구성되고, 이 폴리실리콘층(FG)의 표면(액정측의 면) 측에는, 게이트 절연막을 겹하는 제 2층간절연막(ILA3)(도 3에서는 생략)을 매개로 해서, 게이트 전극을 겹하는 주사신호선(G)가 형성된다.

게다가, 본 실시예에서는 폴리실리콘층(FG)의 이면(석영기관11측의 면) 측에는, 게이트 절연막을 겹하는 제 1층간절연막(ILA2)(도 3에서는 생략)를 매개로 해서, 이면차광막(BS)가 설치된다.

이 이면차광막(BS)은 주사신호선(G)를 따라서, 주사신호선(G)의 폭보다 넓은 폭으로 형성되고, 이것에 의해 예를들면, 석영기관(11)에서 반사되어 박막트랜지스터(TFT)에 입사되는 빛을 차광할 수 있다.

상기 박막트랜지스터(TFT)의 드레인 영역(DFG)은 제 3층간절연막(ILA4)(도 3에서는 생략)에 형성된 스루우홀(through-hole;CH2)을 매개로 해서, 제 1도전막(CVL1)에 접속되고, 게다가 제 1도전막(CVL1) 및 제 2도전막(CVL2)을 매개로 해서, 화소전극(ITO1)에 접속된다.

상기 폴리실리콘층(FG)는 패턴 형성 후, 이온주입에 의해 저저항화되고, 도 4에서 드레인 영역(DFG), 소오스 영역(SFG)도 이온주입에 의해 저저항화되어 전극으로서 작동한다. 또한, 도 3에서 상기 스트루우호울(CH1)이 형성된 영역이 드레인 영역(DFG)에 해당하고, 상기 스트루우호울(CH2)가 형성된 영역이 소오스 영역(SFG)에 해당한다.

이어, 상기 제 1도전막(CVL1)으로부터 화소전극(ITO1)까지의 접속을 도 4를 참조해서 설명한다.

상기 박막트랜지스터(TFT)의 소오스 영역(SFG)는 제 3층간절연막(ILA4)에 형성된 스트루우호울(CH2)를 매개로 해서, 상기 제 3층간절연막(ILA4) 상에 형성된 제 1도전층(CVL1)에 접속되고, 상기 제 1도전층(CVL1)은 제 4층간절연막(ILA5)에 형성된 스트루우호울(CH3)를 매개로 해서, 상기 제 4층간절연막(ILA5) 상에 형성된 제 2도전층(CVL2)에 접속되며, 게다가 상기 제 2도전층(CVL2)는 평탄화막(OC)에 형성된 스트루우호울(CH4)를 매개로 해서, 상기 평탄화막(OC) 상에 형성된 화소전극(ITO1)에 접속된다.

여기서, 상기 제 2도전층(CVL2)는 제 4층간절연막(ILA5) 상에서, 폴리실리콘트랜지스터(FG)의 영역까지 연장되고, 이 제 2도전층(CVL2)은 표면층 차광막을 형성한다.

이어, 도 5는 본 실시예의 화소부의 박막트랜지스터(TFT) 및 종래의 박막트랜지스터(TFT)의 등가회로를 나타낸 도이고, 도 5(a)가 본 실시예의 박막트랜지스터(TFT)의 등가회로, 도 5(b)가 종래의 박막트랜지스터(TFT)의 등가회로이다.

도 5(a)의 등가회로에서 알 수 있듯이, 본 실시예의 박막트랜지스터(TFT)는 소위 백 게이트전극이 붙은 박막트랜지스터(TFT)를 구성한다.

도 6은 본 실시예의 박막트랜지스터(TFT)에 있어서, 백 게이트전극에 인가하는 백 게이트전압( $V_{BS}$ )와 소오스·드레인 간 전류( $I_{DS}$ )의 관계를 나타낸 그래프이다.

도 6(a)는 박막트랜지스터(TFT)가 오프되는 게이트 전압( $V_{goff}$ )를 게이트 전극에 인가한 경우, 백 게이트전압( $V_{BS}$ )와 소오스·드레인 간 전류( $I_{DS}$ )의 관계를 나타낸 그래프이다.

상기 도 6(a)에서 알 수 있듯이, 박막트랜지스터(TFT)가 오프되는 게이트 전압( $V_{goff}$ )을 게이트 전극에 인가한 경우에는, 백 게이트전극에 0V의 백 게이트전압( $V_{BS}$ )을 인가함으로써, 오프전류(소위 리크전류)가 최소가 되도록 한다.

또한, 도 6(b)는 박막트랜지스터(TFT)가 온되는 게이트 전압( $V_{gon}$ )을 게이트 전극에 인가한 경우의, 백 게이트전압( $V_{BS}$ )와 소오스·드레인 간 전류( $I_{DS}$ )의 관계를 나타낸 그래프이다.

상기 도 6(b)에서 알 수 있듯이, 박막트랜지스터(TFT)가 온되는 게이트 전압( $V_{gon}$ )을 게이트 전극에 인가하는 경우에는, 백 게이트전극에 인가하는 전압을 크게 함으로써, 온 전류를 증대시킬 수 있다.

본 실시예에서는 이 백 게이트전극을 구성하는 이면차광막(BS)에 게이트 전극에 인가하는 게이트 전압( $V_g$ )를 인가한다.

이 때문에, 도 3에 도시된 바와 같이, 상기 드레인 영역(DGF)과 소오스 영역(SFG)에는 이면차광막(BS)을 형성하고 있지 않는다.

또한, 도 7에 도시된 바와 같이, 도 1에 도시된 TFT전극기판(10)의 화소부(12)의 주변부에 있어서, 이면차광막(BS)과 주사신호선(G)를 전기적으로 접속한다.

또, 도 7은 이면차광막(BS)과 주사신호선(G)와의 접속방법을 설명하기 위한 요부단면도이고, 도면에 도시된 바와 같이, 상기 주사신호선(G)을 제 3층간절연막(ILA4)에 형성된 스트루우호울(CH5)을 매개로 해서, 상기 제 3층간절연막(ILA4)상에 형성된 Al 등의 제 3도전막(CVL3)에 접속하고, 또 상기 제 3도전막(CVL3)과 이면차광막(BS)을 제 1층간절연막(ILA2) 내지 제 3층간절연막(ILA4)에 형성된 스트루우호울(CH6)를 매개로 접속하고, 상기 이면차광막(BS)과 주사신호선(G)를 전기적으로 접속한다.

이어, 도 8 내지 도 10은 도 1에 도시된 액정표시장치(10)의 화소부(12)의 제조방법을 설명하기 위한 도이다.

이하, 도 8 내지 도 10을 참조하여 도 1에 도시된 액정표시장치(10)의 화소부(12)의 제조방법을 설명한다.

우선, 도 8(a)에 도시된 바와 같이, 석영기판(11) 상에 예를들면, 저압CVD법에 의해  $\text{SiO}_2$  막을 퇴적하고, 버퍼층으로서의 기초절연막(ILA1)을 형성한다.

이어, 도 8(b)에 도시된 바와 같이, 기초절연막(ILA1) 상에, 예를들면 스퍼터법에 의해 금속막을 형성한 후, 패터닝해서 이면차광막(BS)를 형성한다.

여기서, 상기 이면차광막(BS)은 후술하는 폴리실리콘트랜지스터(FG)를 형성하는 공정에 있어서, 고온으로 쪼여지는 관계상, 몰리브덴, 텅스텐, 티탄 등의 고용점 금속재료로 구성하는 것이 바람직하고, 게다가 상기 이면차광막(BS)은  $\text{SiO}_2$  과 접하는 면측의 일부, 또는 전부가 금속실리사이드 막으로 구성된다.

이어, 도 8(c)에 도시된 바와 같이, 상기 이면차광막(BS) 및 기초절연막(ILA1)상에, 예를들면 저압CVD법에 의해  $\text{SiO}_2$  막을 퇴적하고, 게이트 산화막을 겸용하는 제 1층간절연막(ILA2)를 형성한다.

이어, 도 8(d)에 도시된 바와 같이, 상기 제 1층간절연막(ILA2) 상에, 예를들면 CVD법에 의해 폴리·실리콘을 형성한 후, 패터닝해서 폴리실리콘트랜지스터(FG)를 생성한다.

이어, 도 8(e)에 도시된 바와 같이, 상기 폴리실리콘트랜지스터(FG) 및 제 1층간절연막(ILA2) 상에, 예를들면 저압CVD법에 의해  $\text{SiO}_2$  막을 퇴적하고, 게이트 산화막을 겸용하는 제 2층간절연막(ILA3)를 형성한다.

이어, 도 8(f)에 도시된 바와 같이, 상기 제 2층간절연막(ILA3) 상에, 예를들면 폴리·실리콘을 형성한 후, 패터닝해서 주사 신호선(또는 게이트 전극)(G)를 형성한다.

이어, 도 8(g)에 도시된 바와 같이, 상기 주사신호선(G) 및 제 2층간절연막(ILA3)상에, 예를들면 저압CVD법에 의해  $\text{SiO}_2$  막 및 CVD법에 의해 인을 포함한  $\text{SiO}_2$  막을 순차 퇴적하고, 제 3층간절연막(ILA4)를 형성한다.

이어, 도 9(a)에 도시된 바와 같이, 상기 제 3층간절연막(ILA4)에 스루우호울(CH1)과 스루우호울(CH2)를 형성한다.

이어, 도 9(b)에 도시된 바와 같이, 상기 제 3층간절연막(ILA4) 상에, 예를들면 스퍼터법에 의해 Al 등의 금속막을 형성한 후, 패터닝해서, 영상신호선(D)와 제 1도전막(CVL1)을 형성한다.

이어, 도 9(c)에 도시된 바와 같이, 상기 영상신호선(D), 제 1도전막(CVL1) 및 제 3층간절연막(ILA4) 상에, 예를들면 소오스가스로서 TEOS(Tetraethylorthosilicate)가스를 사용하는 CVD법에 의해  $\text{SiO}_2$  막을 퇴적하고, 제 4층간절연막(ILA5)를 형성한다.

이어, 도 9(d)에 도시된 바와 같이, 상기 제 4층간절연막(ILA5)에 스루우호울(CH3)를 형성한다.

이어, 도 9(e)에 도시된 바와 같이, 상기 제 4층간절연막(ILA5) 상에, 예를들면 스퍼터법에 의해 Al, Mo 등의 금속막을 형성한 후, 패터닝해서, 제 2도전막(CVL2)를 형성한다.

이어, 도 10(a)에 도시된 바와 같이, 상기 제 4층간절연막(ILA5) 및 제 2도전막(CVL2) 상에 평탄화막(OC)을 형성한다.

도 10(c)에 도시된 바와 같이, 상기 평탄화막(OC)은 예를들면, 소오스 가스로서 TEOS가스를 사용하는 CVD법에 의해 퇴적된  $\text{SiO}_2$  막, 회전도포법에 의해 형성된 SOG막 및 플라즈마 CVD법에 의해 퇴적된 SiN막으로 구성된다.

그리고, 도 10(b)에 도시된 바와 같이, 상기 평탄화막(OC)에 스루우호울(CH4)를 형성한 후, 예를들면 스퍼터법에 의해 ITO막을 형성한 후, 패터닝해서 화상전극(ITO1)을 형성한다.



도 11은 본 실시예의 Poly-SiTr-TFT액정표시장치의 액정패널의 등가회로를 나타낸 도이다.

또, 도 11은 회로도이지만, 실제의 기하학적 배치에 대응해서 도시되어 있고, 또한 본 실시예의 액정표시패널에서는 주사 신호선(G)이 (m)본으로 구성되며, 영상신호선(D)가 (n)본으로 구성되어 있지만, 도 11에서는 주사신호선(G)는 5본, 영상신호선(D)는 7본만 도시되어 있다.

상기한 바와 같이, 매트릭스 상에 배치된 각 화소의 각 열에 있는 각 박막트랜지스터(TFT)의 드레인 전극은 각각 영상신호선(D)에 접속되고, 상기 영상신호선(D)는 각각 샘플홀드(sample hold) 회로를 구성하는 스위칭 트랜지스터(SH1 - SH7)를 매개로 해서, 대응하는 비디오 신호선(S1 - S6)에 접속되어 있다.

상기 스위칭 트랜지스터(SH1 - SH7)는 6개씩 그룹화되고, 각 그룹을 구성하는 각 스위칭 트랜지스터(SH1 - SH6)(또는 SH7 - SH12; 도시 생략)의 게이트 전극에는 인버터 회로(INV1 - INV4)를 매개로 해서, 수평시프트레지스터(HSR)의 각 출력단자(SG1, SG2)로부터 출력되는 비디오 신호 취출용 신호가 인가된다.

상기 매트릭스 상에 배치된 각 화소의 각 행에 있는 각 박막트랜지스터(TFT)의 게이트 전극을 겸하는 주사신호선(G)는 수직시프트레지스터(VSR)에 접속되어 있다.

여기서, 상기 각 박막트랜지스터(TFT)는 게이트 전극에 정(正)의 바이어스전압을 인가하면 도통하게 되고, 상기 게이트 전극에 부(負)의 바이어스 전압을 인가하면 도통하지 않게 된다.

또한, 상기 화소전극(ITO1)과 공통전극(ITO2)와의 사이에 액정층이 설치되어 있기 때문에, 상기 각 화소전극(ITO1)에는 액정용량( $C_{LC}$ )가 등가적으로 접속되고, 또한 도 11에 도시된 용량선(C)에는 공통 전극(ITO2)에 인가되는( $V_{com}$ )의 전위의 전압이 인가된다.

상기 스위칭 트랜지스터(SH1 - SH7), 수평주사시프트레지스터(HSR), 인버터 회로(INV1 - INV4) 및 수직주사시프트레지스터(VSR)는 액정표시패널에 조합되어 있고, 상기 박막트랜지스터(TFT)와 같이 Poly-SiTr로 구성되며, 동일한 기판 상에 형성된다.

이어, 도 11에 도시된 액정표시패널의 동작을 개략적으로 설명한다.

도 11에 도시된 수직주사시프트레지스터(VSR)은 시작펄스(DY) 및 수직구동용클럭신호(CLY)에 의해 주사신호선(G)를 순차 선택해서, 선택한 주사신호선(G)에 정의 바이어스 전압을 출력한다.

이것에 의해, 선택된 주사신호선(G)을 게이트 전극으로 하는 박막트랜지스터(TFT)가 온 상태가 된다.

또한, 수평주사시프트레지스터(HSR)은 시작신호(DX) 및 수평구동용클럭신호(CLX)에 의해, 순차 각 출력단자로부터 비디오 신호취출용신호를 순차 출력한다.

이 비디오 신호취출용신호는 인버터 회로(INV1 - INV4)에서 순차 전류가 증폭되고, 각 스위칭 트랜지스터(SH1 - SH7)의 게이트 전극에 인가된다.

이것에 의해, 각 그룹을 구성하는 각 스위칭 트랜지스터(SH1 - SH6 또는 SH7 - SH12)가 온 상태가 되고, 그것에 의해 비디오 신호선(S1 - S6)으로부터 6분할된 비디오 신호가 대응하는 6본의 영상신호선(D)에 출력된다.

따라서, 선택된 주사신호선(G)를 게이트 전극으로 하는 박막트랜지스터(TFT)에 대응하는 화소에, 샘플링된 비디오 신호(비디오 신호의 전압)가 기입되고, 액정표시패널에 표시된다.

또한, 상기 수평주사시프트레지스터(HSR)과 인버터 회로(INV1 - INV4)는 수평주사회로를 구성하고, 상기 수평주사시프트레지스터(HSR)은 (n)본의 영상신호선(D)를 분할구동(주사)하는 상수(相數)를 (N)으로 하는 때, (n/N) 개의 출력단자를 갖는다.

또한, 상기 수직주사시프트레지스터(VSR)는 수직주사회로를 구성한다.

또, 도 11에 도시된 액정표시패널에 있어서, SG1 및 SG2는 각각 수평주사시프트레지스터(HSR)의 제 1번째 및 제 2번째의 출력단자를 나타내고 있다.

도 12는 도 11에 도시된 액정표시장치의 주변회로의 개략회로구성을 나타낸 블록도이다.

도면에서, TFT-LCD는 액정표시패널, (301)은 제어IC회로, (302)는 D/A변환기, (304)는 샘플홀드회로, (305)는 구동IC회로, (306)은 신호처리회로이다.

본체측으로부터 송신되는 표시데이터(R(적)·G(녹)·B(청) 중의 하나)는 D/A변환기(302)에서 아날로그 비디오 신호로 된다.

또, 본체측으로부터 비디오 신호가 공급되는 경우에는, 상기 D/A변환기(302)는 필요없다.

도 11에 도시된 액정표시패널에서는 영상신호선(D)를 6상으로 나누어 구동(주사)하기 때문에, 비디오 신호도 그것에 아울러 6상으로 분할할 필요가 있다.

이를 위해, 상기 D/A변환기(302)로부터의 비디오 신호는 수평구동용클럭신호(CLX)와 동기한 샘플홀드(S/H)용 클럭에 기초해서, 샘플홀드회로(304)에서 6상으로 분할된다.

게다가, 이 6상으로 분할된 비디오 신호는 타이밍이 조정되어 동일한 위치가 되고, 상기 샘플홀드(304)에서 출력된다.

또, 상기 6상으로 분할된 비디오 신호는 상기 신호처리회로(306)에서 증폭처리·Y처리·교류화 처리가 행해지고, 액정표시패널(TFT - LCD)의 비디오 신호선(S1 - S6)에 공급된다.

여기서, 상기 Y처리는 액정층의 감마특성을 보정하기 위한 신호처리이고, 교류화 처리는 액정층에 직류전압이 인가되는 것을 방지하기 위한 신호처리이다.

또, 상기 샘플홀드회로(304)와 신호처리회로(306)의 순서를 교체한 회로구성으로 하는 것도 가능하다.

또한, 상기 도 11에 도시된 액정표시패널은 다색표시가능한 칼라액정표시패널이어도 좋고, 그 경우에는 R·G·B의 각 표시데이터를 각각 D/A변환기(302)에서 비디오 신호로 변환하고, 상기 각 비디오 신호를 각각 샘플홀드회로(304)에서 6상으로 분할하고, 액정표시패널의 비디오 신호선(S1 - S6)에 공급되도록 하면 좋다.

단, 다색표시가능한 칼라액정표시패널에 있어서, 상기 도 11에 도시된 액정표시패널에 R·G·B용의 박막트랜지스터(TFT), R·G·B용의 화상신호선(D) 및 칼라필터를 설치, R·G·B의 비디오 신호를 각각의 화상신호선(D)에 공급할 필요가 있다.

또한, 1개의 반도체 집적회로(LSI)로 구성되는 제어IC회로(301)는 본체측으로부터의 수평동기신호(H-SYNC), 수직동기신호(V-SYNC), 클럭펄스(CLK)에 기초해서, 수평구동용클럭신호(CLX), 수직구동용클럭신호(CLY), 샘플홀드(S/H)용 클럭 등을 생성한다.

또한, 상기 구동IC회로(305)는 수평구동용클럭신호(CLX), 수직구동용클럭신호(CLY) 등을 액정표시패널(TFT-LCD)를 동작시키기 위해 필요한 전압까지 증폭한다.

이와 같이, 본 실시예에서는 이면차광막(BS)를 설치하였기 때문에, 광원(도 1의 50) 측과는 반대측의 표시면측으로부터 박막트랜지스터(TFT)에 입사되는 빛에 의해, 박막트랜지스터(TFT)가 오동작하는 것을 방지하는 것이 가능하게 된다.

또한, 상기 이면차광막(BS)에, 주사신호선(G)에 인가하는 게이트 전압을 인가하도록 했기 때문에, 상기 박막트랜지스터(TFT)가 오프인 때의 리크전류를 줄이고, 상기 박막트랜지스터(TFT)가 온인 때의 온전류를 증가시키는 것이 가능하게 된다.

이것에 의해, 각 화소에 영상신호전압을 여유를 갖고 기입할 수 있고, 게다가 각 화소에 기입한 영상신호전압을 장기간 유지할 수 있기 때문에, 양호한 화상을 얻는 것이 가능하게 된다.

또, 백 게이트전극을 구성하는 이면차광막(BS)에, 게이트 전극에 인가하는 게이트 전압( $V_g$ )와 동기한 전압을 인가하도록 하여도 좋다.

도 13은 본 발명의 일실시예에 있어서, TFT전극기관(10)의 화소부(12)의 개략구성을 나타낸 도이고, 도 14는 도 13에 도시된 B - B'선으로 절단한 단면을 나타낸 단면도이며, 도 15는 도 13에 도시된 C - C'선으로 절단한 단면을 나타낸 단면도이다.

또, 도 13 - 15에 있어서, 도 3 및 도 4와 동일한 부호는 도 3 및 도 4와 동일물을 표시하고, 그 설명은 생략한다. 또한, 제 13도에서도 도 3과 동일하도록 각 부의 구성을 알기 쉽게 하기 위해, 도 14에 도시된 단면 중에서, 영상신호선(D)를 형성하는 층까지와 화소전극(ITO1)을 기재하고, 영상신호선(D)로부터 화소전극(ITO1)의 접속과 각 층간절면막은 생략하고 있다.

도 13 - 도 15에 도시된 바와 같이, 본 실시예에서는 기초절연막(ILA1) 상에, 이면차광막(BS)가 우물정자상(井桁)으로 형성되고, 영상신호선(D) 및 주사신호선(G)는 이 우물정자상의 이면차광막(BS) 상의 영역에 형성된다.

또한, 상기 폴리실리콘(FG)의 소오스 영역(SFG)는 제 1층간절연막(ILA2) 상을, 이면차광막(BS) 아래의 영역 및 후단(또는 전단)의 게이트 신호선(G) 아래의 영역까지 연장된다.

그리고, 이 우물정자상의 이면차광막(BS)에는 일정 전압(예를들면, 공통전극(ITO2)에 인가되는  $V_{com}$  전압)이 인가되기 때문에, 상기 영상신호선(D) 아래의 영역 및 후단(또는 전단)의 게이트 신호선(G) 아래의 영역의 소오스 영역(SFG)와, 상기 우물정자상의 이면차광막(BS)로, 보지용량( $C_{add}$ )이 구성된다.

따라서, 본 실시예에서는 용량선(C)가 필요하지 않게 되고, 그 만큼 각 화소의 개구율을 향상시킬 수 있고, 게다가 화소전극(ITO1)을 둘러싸듯이 이면차광막(BS)가 설치되며, 이 부분에서 새는 빛을 차단할 수 있기 때문에, 콘트라스트비를 증대시킬 수 있다.

본 발명자에 의해 실제로 만들어진 액정표시패널에서는, 화소의 개구율을 55% 향상시키는 것이 가능했다.

종래부터 액정표시장치에 있어서, 액정표시패널의 고해상도화가 요구되고 있고, 액정표시패널의 해상도가, 예를들면 VGA표시모드의  $640 \times 480$ 화소에서 SVGA표시모드의  $800 \times 600$ 화소로 확대되어오고 있지만, 최근 액정표시패널의 대화면화의 요구에 따라, XGA표시모드의  $1024 \times 768$ 화소 이상(SXGA표시모드의  $1280 \times 1024$ 화소 또는 UXGA 표시모드의  $1600 \times 1200$  화소)로, 더욱 높은 해상도가 요구되고 있다.

또한, 액정프로젝터에 사용되는 액정표시장치에 있어서도, 이와 같은 고해상도화가 요망되고 있지만, 액정프로젝터에 사용되는 액정표시장치에 있어서는 액정표시패널의 크기가 제한되어 있기 때문에, 이 고해상도화에 의해 각 화소의 크기가 작게 되고, 스크린에 표시되는 화상의 휘도가 부족(표시화상이 어둡다)하다.

이 때문에, 광원에서 조사되는 조사광의 조도를 크게할 필요가 있지만, 이 경우 광원의 소비전력등이 증대하는 문제점이 있었다.

그러나, 본 실시예에서는 용량선(C)이 필요하지 않게 되고, 그 만큼 각 화소의 개구율을 향상시킬 수 있기 때문에, 광원의 소비전력 등을 증대시킬 필요가 없게 된다.

도 16은 본 실시예에 있어서, 우물정자상의 이면차광막(BS)에 일정한 전압이 인가되기 위한 구조의 일례를 나타낸 요부단면도이다.

도 16에 도시된 구조에서는 도 1에 도시된 TFT전극기관(10)의 화소부(12)의 주변부에 Al 등의 금속막으로 구성되는 패드(PAD)부를 설치하고, 상기 패드부를 통해 일정한 전압(예를들면, 공통전압(ITO2)에 인가하는  $V_{com}$  전압)을 인가하도록 한 것이다.

도 17은 본 실시예의 액정표시장치의 액정표시패널의 등가회로를 나타낸 도이다.

또, 본 실시예에서는 이면차광막(BS)을 우물정자상으로 형성했지만, 이것에 한정되지 않고, 도 18에 도시된 바와 같이, 이면차광막(BS)을 게이트 신호선(G)와 평행하게 설치하고, Poly-SiTr(FG)의 소오스 영역(SFG)을 게이트 신호선(G) 아래의 영역까지 연장하여도 좋다.

또한, 도 19에 도시된 바와 같이, 이면차광막(BS)을 영상신호선(D)와 평행하게 설치하고, Poly-SiTr(FG)의 소오스 영역(SFG)을 영상신호선(D) 아래의 영역까지 연장하여도 좋다.

게다가, 본 실시예에서는 폴리실리콘층(FG)의 소오스 영역(SFG)을 연장하고, 상기 소오스 영역(SFG)을 연장한 부분과 이면차광막(BS)과의 사이에서 용량소자를 구성하도록 했지만, 폴리실리콘층(FG)의 소오스 영역(SFG)을 연장하는 대신, 예를들면 Al 또는 고용점금속 등의 금속막을 형성하는 것도 가능하다.

도 20부터 도 25를 참조해서 이면차광막(BS)에 게이트 신호선(G)과 평행한 부분을 설치하고, 게다가 영상신호선(D)와 평행한 부분도 설치한 경우의 화소부의 구성에 대해 설명한다.

도 20에 도시된 바와 같이, 석영기판상에 예를들면, 스퍼터법에 의해 금속막을 형성한 후, 패터닝해서 이면차광막(BS)을 형성한다. 상기 이면차광막(BS)은 게이트 신호선(G)과 평행하게 설치된 용량소자를 구성하는 부분(BSG)와, 영상신호선(D)와 평행하게 설치된 용량소자를 구성하는 부분(BSD)와, 박막트랜지스터의 반도체층인 폴리실리콘층(FG)의 차광막의 동작을 하는 부분(BSFG)로 이루어진다.

또, 도 8B에 도시된 바와 같이 도 20의 각 층은 겹쳐진다.

이어, 도 21에 도시된 바와 같이, 기초절연막(ILA1), 제 1층간절연막(ILA2)를 형성한 후(도에서는 생략), 예를들면 CVD법에 의해 폴리실리콘을 형성한 후, 패터닝해서 폴리실리콘층(FG)을 형성한다.

상기 폴리실리콘층(FG)는 대부분이 이면차광막(BS) 상에 설치되지만, 소오스 영역(SFG)과 드레인 영역(DFG)는 이면차광막(BS) 상을 피해서 설치된다. 단, LDD구조를 형성하는 게이트 전극단면 주변의 이온주입량이 소오스 영역(SFG) 또는 드레인 영역(DFG)보다도 적은 부분, 다시 말하면 포토콘 등, 광의 입사에 의해 오동작이 발생하는 우려가 있는 부분은 이면차광막(BS)로 덮여져 있다.

상기 폴리실리콘층(FG)에는 영상신호선(D)와 평행하게 설치되어 용량소자를 구성하는 부분(FGCD)와, 게이트 신호선(G)와 평행하게 설치되어 용량소자를 구성하는 부분(FGCG)가 형성되어 있다. 또, 도 21의 각 층은 도 8D에 대응된다.

이어, 도 22에 도시된 바와 같이, 제 2층간절연막(ILA3)을 형성한 후(도에서는 생략), 예를들면 CVD법에 의해 제 2폴리실리콘층을 형성한 후, 패터닝해서 주사신호선(G)을 형성한다.

상기 주사신호선(G)에는 게이트 전극(GT)이 형성되고, 또한 영상신호선(D)와 평행하게 설치되어 용량소자를 구성하는 부분(GD)가 형성되어 있다. 또, 도 22의 각 층은 도 8F에 대응된다.

이어, 도 23에 도시된 바와 같이, 제 3층간절연막(ILA4)을 형성한 후(도에서는 생략), 상기 제 3층간절연막(ILA4)에 스루홀(CH1)과 스루홀(CH2)를 형성하고, 상기 제 3층간절연막(ILA4) 상에 예를들면 스퍼터법에 의해 알루미늄 등의 금속막을 형성해서, 영상신호선(D)와 제 1도전막(CVL1)을 형성한다. 또, 도 23의 각 층은 도 9B에 대응된다.

이어, 도 24에 도시된 바와 같이, 제 4층간절연막(ILA5)을 형성한 후(도에서는 생략), 스루홀(CH3)을 형성한 후, 예를들면 스퍼터법에 의해 알루미늄, 몰리브덴 등의 금속막을 형성한 후, 패터닝해서 제 2도전막(CVL2)를 형성한다. 도 24의 각 층은 도 9E에 대응된다.

이어, 도 25에 도시된 바와 같이, 평탄막(OC ; 도시 생략)을 형성한 후, 예를들면 스퍼터법에 의해, ITO막을 형성한 후, 패터닝해서 화소전극(ITO1)을 형성한다. 도 25의 각 층은 도 10B에 대응된다.

도 26은 도 20에서 도 25를 참조해서 설명한 실시예의 등가회로도로서, 용량소자는 이면차광막(BS)와, 주사신호선(G)로 구성되어 있고, 이 용량소자는 보지용량이며, 상기 보지용량은 화소와 병렬로 형성되어 있으며, 화소의 전하를 공통으로 보지한다.

상기 보지용량은 도 21에서 설명한 폴리실리콘층(FG)를 도 20에서 설명한 이면차광막(BS)과 도 22에서 설명한 주사신호선(G)와의 사이에 구성된다.

상기 이면차광막(BS)는 주사신호선(G)와 접속되어 있고, 상기 다른 실시예와 동일하고, 백 게이트 전극으로서 동작시킨다.

도 27은 이면차광막(BS)과 주사신호선(G)에 출력되는 주사신호(VOUT)를 설명하기 위한 도이다. 도 26에 도시된 증가회로 중, 위로부터 아래로 또는 아래로부터 위를 향해서, 각 주사신호선을 순번으로 선택해서, 일정 기간(1H) 정의 전압이 출력된다.

여기서, 상기 각 주사신호의 출력기간의 사이에는 블랭킹 기간이 설치되어 있다.

상기 이면차광막(BS)과 주사신호선(G)로 보지용량을 구성하고, 이면차광막(BS)를 백 게이트전극으로서 동작시키는 경우에는, 위로부터 아래로 또는 아래로부터 위를 향해서 어느 방향으로 주사하여도 노이즈의 발생이 문제없는 정도로 억제되어 있기 때문에, 상하반전구동이 가능하다.

단, 상하반전구동하는 경우, 주사신호(VOUT1)와 다음 주사신호(VOUT2)와의 출력이 겹쳐져 있는 것은, 화소의 박막트랜지스터(TFT)가 충분히 오프되지않기 전, 보지용량을 구성하는 이면차광막(BS)과 주사신호선(G)의 전위가 높게 되어버리는 문제가 생긴다.

이 때문에, 블랭킹 기간에 있어서, 주사신호(VOUT)와 주사신호(VOUT)와의 사이에 충분히 간격을 갖도록, 주사종료신호(VENB)를 설치해서, 상기 주사종료신호(VENB)의 출력중에 주사신호(VOUT)이 출력되지 않도록 하고 있다.

또, 도 27에서 주사신호(VOUT)는 주사종료신호(VENB)와 AND연산한 것을 출력하고 있기 때문에, 상기 주사신호(VOUT)가 출력되지 않는 기간의 주사종료신호(VENB)는 로우레벨로 되어 있다.

도 28은 본 발명의 1실시예에 있어서, TFT전극기간(10)의 화소부(12)의 요부 단면을 나타낸 단면도이다.

또, 도 28에 있어서, 도 3 및 도 4와 동일한 부호는 도 3 및 도 4와 동일물을 표시하고, 그 설명은 생략한다.

도 28에 도시된 바와 같이, 본 실시예에서는 평탄화층(OC) 상에 ITO막으로 구성되는 투명도전막(ITO3)을 형성하고, 상기 투명도전막(ITO3) 상에 제 5층간절연막(ILA6)을 형성하며, 상기 제 5층간절연막(ILA6) 상에 화소전극(ITO1)을 형성한다.

이 경우, 도 29에 도시된 바와 같이, 상기 투명도전막(ITO3)은 화소전극(ITO1)과 제 2도전막(CVL2)를 접속하는 콘택홀(contact hole ; CH4)의 부분을 제거하고, 화소부(21)의 전면에 형성된다.

또한, 상기 투명도전막(ITO3)에는 일정한 전압(예를들면, 공통전극(ITO2)에 인가되는  $V_{com}$ 의 전압)이 인가된다.

이것에 의해, 상기 화소전극(ITO1)과 투명도전막(ITO3)로 보지용량( $C_{add}$ )가 구성된다.

따라서, 본 실시예에서는 용량선(C)가 필요하지 않게 되고, 그 만큼 각 화소의 개구율을 향상시킬 수 있다.

또, 본 실시예에 있어서, 상기 이면차광막(BS)는 상기 다른 실시예와 같이, 백 게이트 전극과 동작시켜도 좋고, 또한 상기 다른 실시예와 같이, 이면차광막(BS)와 폴리실리콘층(FG)의 소오스 영역(SFG)로 용량을 형성하여도 좋다.

또한, 상기 투명도전막(ITO3)은 전면에 형성되는 대신에, 행 또는 열 방향으로 복수의 띠상으로 형성하여도 좋다.

또, 상기 각 실시예에서는 본 발명을 폴리·실리콘·트랜지스터를 사용한 TFT방식의 액정표시장치에 적용한 실시예에 대해 설명하였지만, 본 발명은 이에 한정되지 않고, 본 발명은 비정질·실리콘·트랜지스터를 사용한 TFT방식의 액정표시장치에도 적용가능하다.

이상, 본 발명자에 의해 이루어진 발명을 상기 실시예에 기초해서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고, 그 요지를 벗어나지 않는 범위에서 다양한 변형이 가능한 것은 물론이다.

본 실시예에 의한 하나의 효과는 제 1차광막을 설치하고, 액정표시장치의 표시면측에서 반도체 소자에 입사되는 빛을 차광하도록 하였기 때문에, 반도체 소자의 오동작을 방지하는 것이 가능하게 된다.

본 실시예에 의한 하나의 효과는 제 1차광막에 반도체 소자의 제어전압에 인가되는 전극전압, 또는 그것과 동기한 전압을 인가하도록 하였기 때문에, 반도체 소자가 오프인 때의 리크전류를 낮추고, 또한 반도체 소자가 온인 때의 온전류를 증가시킬 수 있으며, 이것에 의해 양호한 화상을 얻는 것이 가능하게 된다.

### 발명의 효과

상기한 바와 같이, 본 발명의 제 1관점에 의하면, 제 1기판과, 제 2기판과, 상기 제 1기판과 제 2기판과의 사이에 위치되어 지지되는 액정과, 상기 제 1기판 상에 형성되고, 매트릭스상으로 배치되는 화소와, 상기 화소에 설치되는 반도체 소자와, 상기 반도체 소자는 대향하는 제 1 면과 제 2면을 갖는 반도체 층과, 상기 반도체 층의 제 1면측에 설치된 제 1게이트 전극과, 상기 반도체 층의 제 2면측에 설치된 제 2게이트 전극을 포함하고, 상기 제 2게이트 전극은 상기 반도체 층에 상기 제 2면측에서 입사되는 빛을 차광함으로써, 광원측과는 반대측의 표시면측에서 반도체 소자에 입사되는 빛에 의해, 반도체 소자가 오동작하는 것을 방지할 수 있는 효과가 있다.

본 발명의 제 2관점에 의하면, 제 1기판과, 제 2기판과, 상기 제 1기판과 제 2기판과의 사이에 위치되어 지지되는 액정과, 상기 제 1기판 상에 형성되는 복수의 화소와, 상기 화소에 설치되는 반도체 소자 및 화소전극과, 상기 반도체 소자를 형성하는 반도체 층과, 상기 반도체 층을 사이에 두고 대향하는 제 1제어전극 및 제 2제어전극을 포함하고, 상기 반도체 소자는 제 1제어전극과 제 2제어전극에 의해 제어되고, 상기 화소전극에 영상신호를 인가함으로써, 화소별로 설치되는 반도체 소자의 리크 전류를 낮추고, 또한 온 전류를 증가시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

도 1은 본 발명의 일실시예의 액정표시장치의 액정표시패널의 개략구성을 나타낸 단면도이다.

도 2는 도 1에 도시된 차광막이 형성되는 영역을 나타낸 도이다.

도 3은 도 1에 도시된 액정표시장치의 화소부의 개략구성을 나타낸 도이다.

도 4는 도 3에 도시된 A - A' 선으로 절단한 단면을 나타낸 단면도이다.

도 5는 본 발명의 일실시예의 액정표시장치에 있어서, 박막트랜지스터 및 종래의 박막트랜지스터의 등가회로를 나타낸 도이다.

도 6은 본 발명의 일실시예의 액정표시장치에 있어서, 백 게이트전극에 인가하는 백 게이트 전극과 소오스·드레인 간 전류의 관계를 나타낸 그래프이다.

도 7은 본 발명의 일실시예의 액정표시장치에 있어서, 이면차광막과 주사신호선과의 접속방법을 설명하기 위한 요부단면도이다.

도 8은 도 1에 도시된 액정표시장치의 화소부의 제조방법을 설명하기 위한 도이다.

도 9는 도 1에 도시된 액정표시장치의 화소부의 제조방법을 설명하기 위한 도이다.

도 10은 도 1에 도시된 액정표시장치의 화소부의 제조방법을 설명하기 위한 도이다.

도 11은 본 발명의 일시예의 액정표시장치의 등가회로를 나타낸 도이다.

도 12는 도 11에 도시된 액정표시장치의 주변회로의 개략회로구성을 나타낸 블록도이다.

도 13은 본 발명의 일실시예의 액정표시장치의 화소부의 개략구성을 나타낸 도이다.

도 14는 도 13에 도시된 B - B' 선으로 절단한 단면을 나타낸 단면도이다.

도 15는 도 13에 도시된 C - C' 선으로 절단한 단면을 나타낸 단면도이다.

도 16은 본 발명의 일실시예의 액정표시장치에 있어서, 우물 정자 모양의 이면차광막에 일정한 전압을 인가하기 위한 구조의 일례를 나타낸 요부단면도이다.

도 17은 본 발명의 일실시예의 액정표시장치의 등가회로를 나타낸 도이다.

도 18은 본 발명의 일실시예의 액정표시장치에 있어서, 이면차광막의 다른 예를 설명하기 위한 도이다.

도 19는 본 발명의 일실시예의 액정표시장치에 있어서, 이면차광막의 다른 예를 설명하기 위한 도이다.

도 20은 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 구성을 설명하기 위한 도이다.

도 21은 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 구성을 설명하기 위한 도이다.

도 22는 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 구성을 설명하기 위한 도이다.

도 23은 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 구성을 설명하기 위한 도이다.

도 24는 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 구성을 설명하기 위한 도이다.

도 25는 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 구성을 설명하기 위한 도이다.

도 26은 본 발명의 일시예의 액정표시장치의 등가회로를 나타낸 도이다.

도 27은 본 발명의 일실시예의 액정표시장치에 있어서, 주사신호의 출력과형을 설명하기 위한 도이다.

도 28은 본 발명의 일실시예의 액정표시장치에 있어서, 화소부의 단면구성을 설명하기 위한 도이다.

도 29는 본 발명의 일실시예의 액정표시장치에 있어서, 투명도전막을 설명하기 위한 도이다.

〈도면의 주요부분에 대한 부호의 설명〉

10 : TFT전극기관 11 : 석영기관

12 : 화소부 13 : 주변회로부

14 : 배향막 15 : 편광판

20 : 대향전극기관 21 : 유리기관

22 : 차광막 23 : 배향막

24 : 편광판 30 : 액정

40 : 시일제 50 : 광원

301 : 제어IC회로 302 : D/A변환기

304 : 샘플홀드회로 305 : 구동IC회로

306 : 신호처리회로 BS : 이면차광막

C : 용량선  $C_{LC}$  : 액정용량

$C_{st}$  : 보지용량

CH1, CH2, CH3, CH4, CH5, : 스루우 호울

CVL1 : 제 1도전막 CVL2 : 제 2도전막

CVL3 : 제 3도전막 D : 영상신호선

DFG : 드레인 영역 FG : 폴리실리콘층

G : 주사신호선 HSR : 수평시스트레지스터

ILA1 : 기초절연막 ILA2 : 제 1층간절연막

ILA3 : 제 2층간절연막 ILA4 : 제 3층간절연막

ILA5 : 제 4층간절연막 ILA6 : 제 5층간절연막

ITO1 : 화소전극 ITO2 : 공통전극

ITO3 : 투명도전막 SFG : 소오스 영역

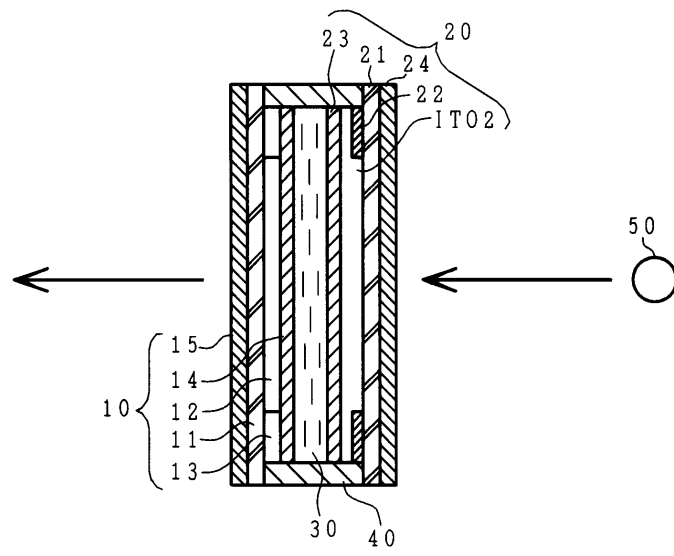
OC : 평탄화막 PAD : 패드

VSR : 수직시스트레지스터

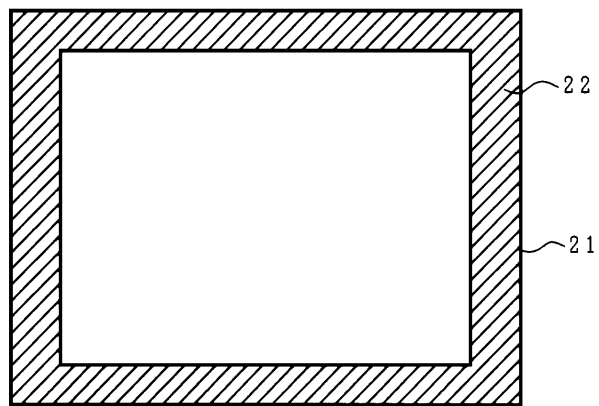
도면



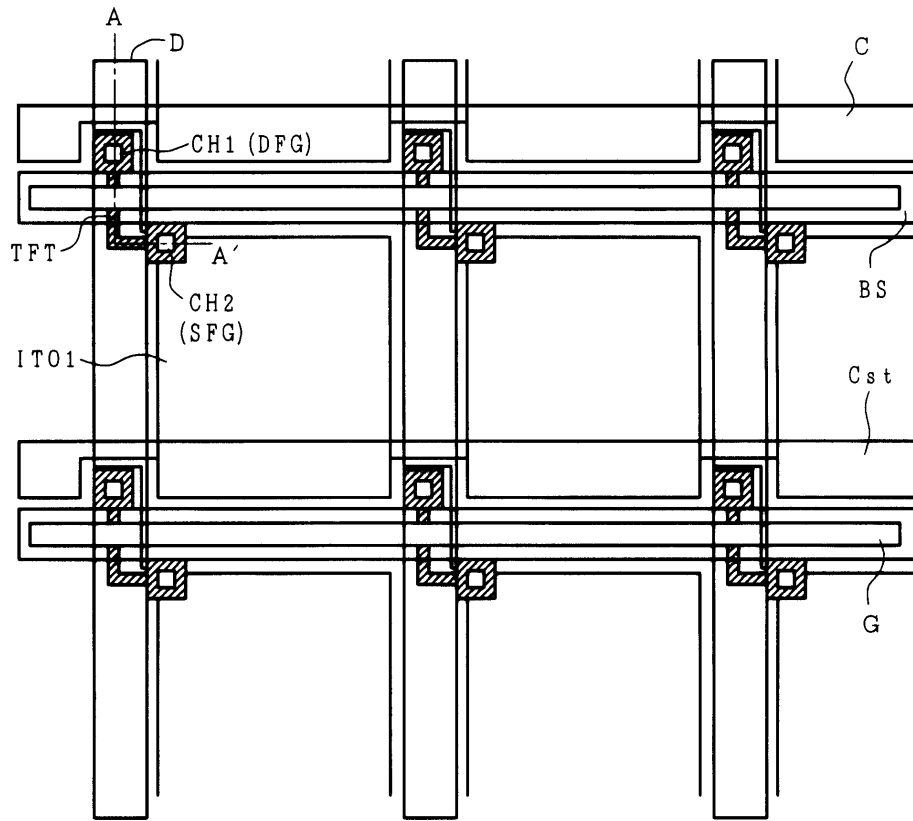
도면1



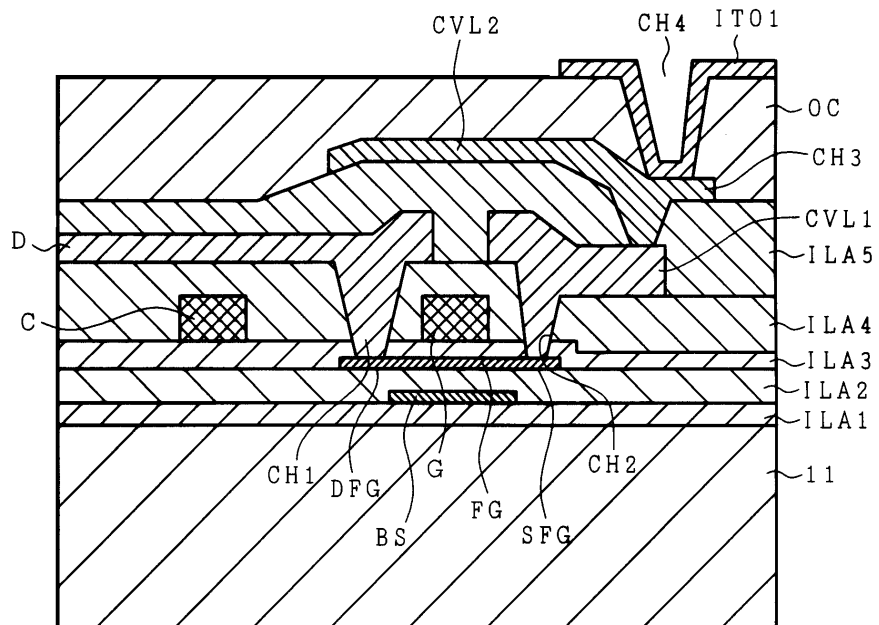
도면2



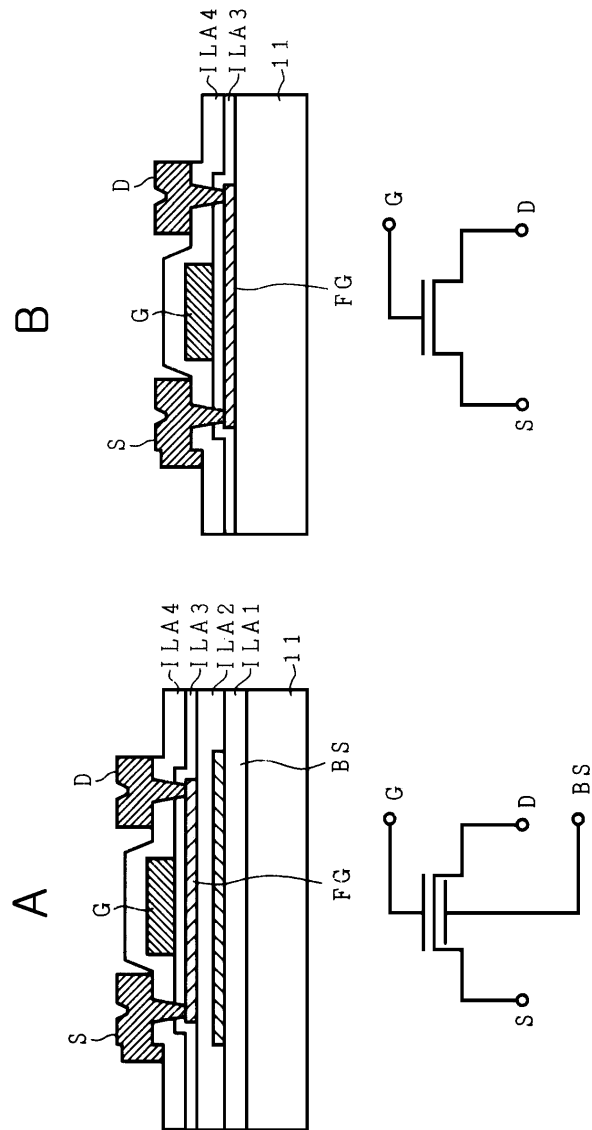
도면3



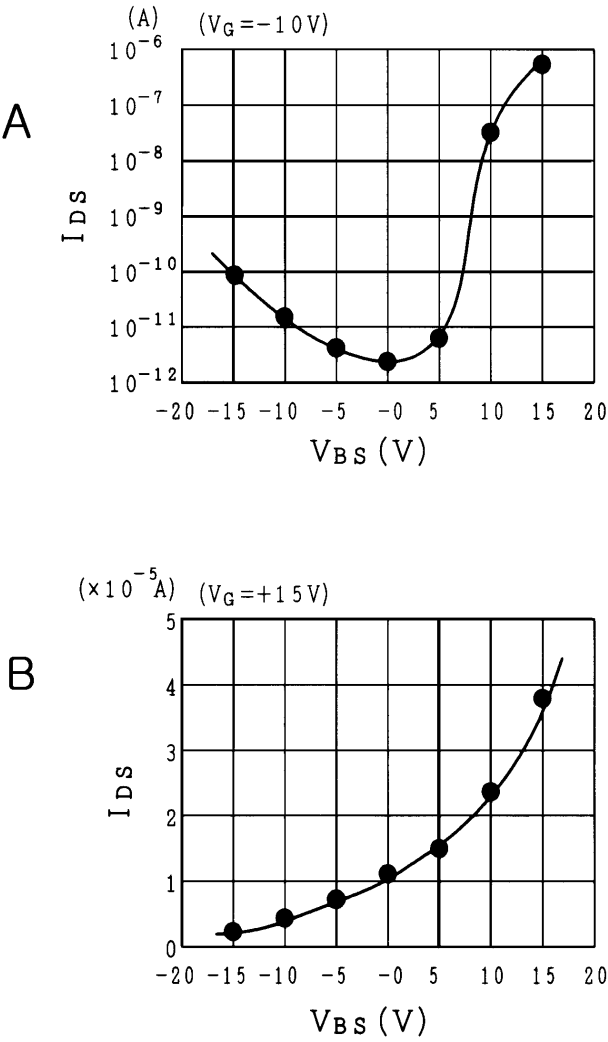
도면4



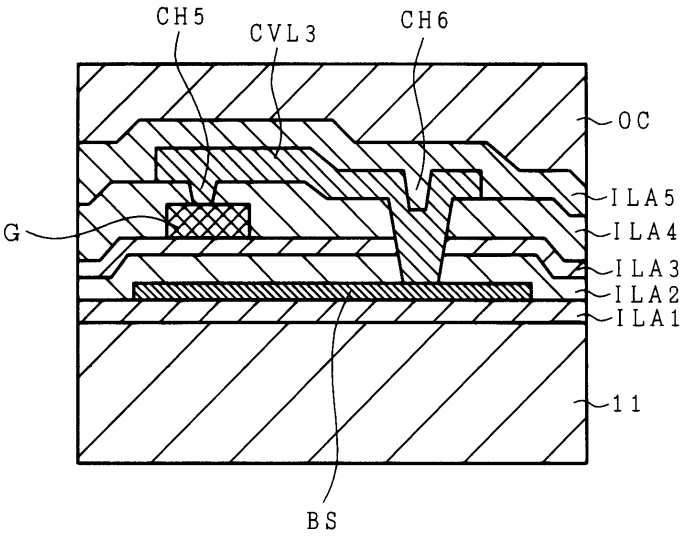
도면5



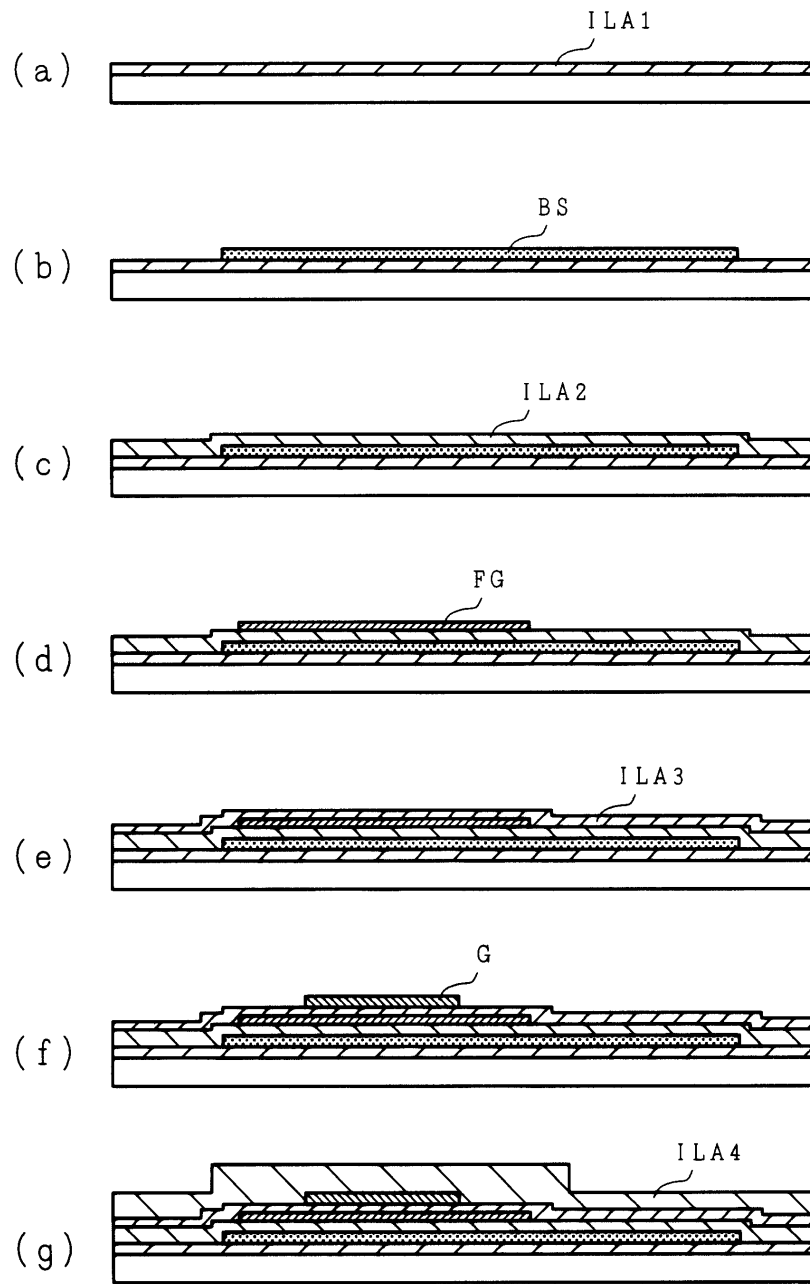
도면6



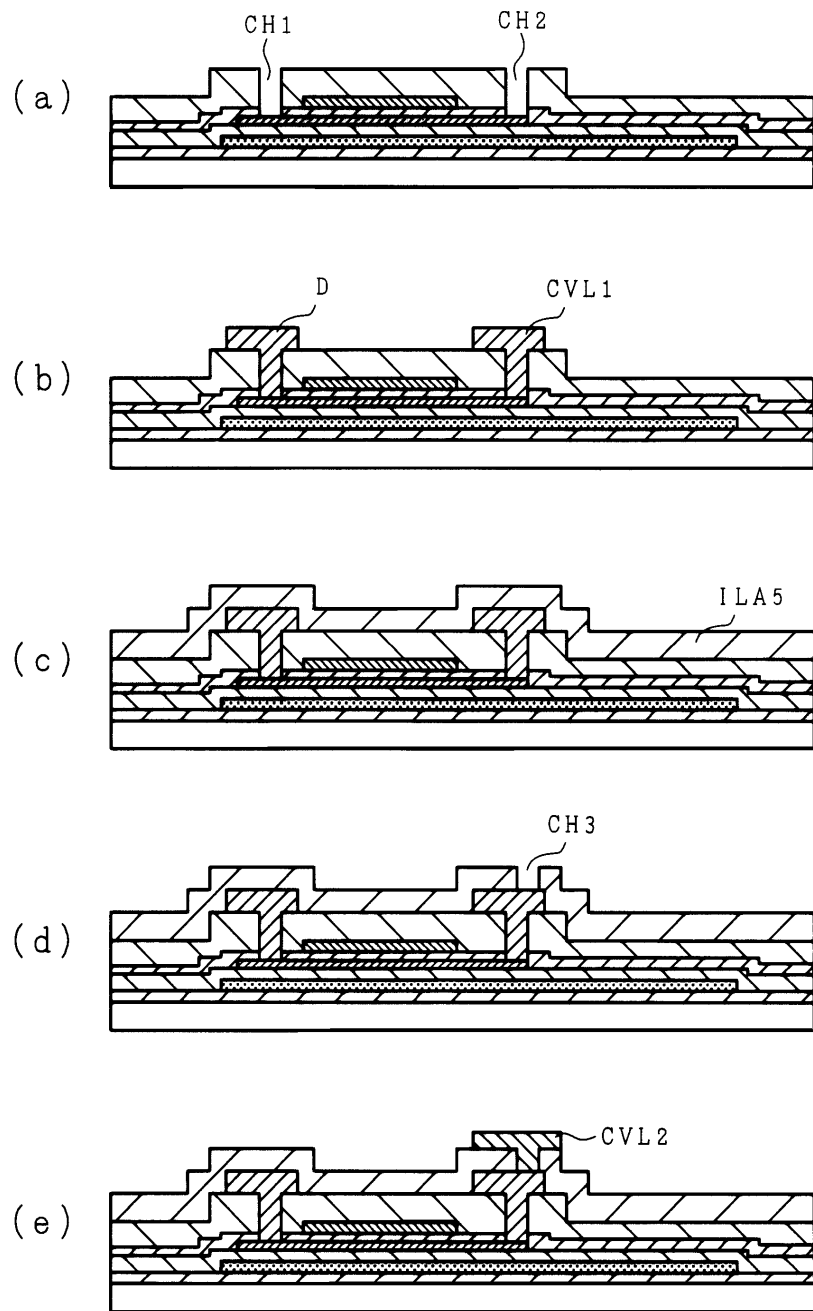
도면7



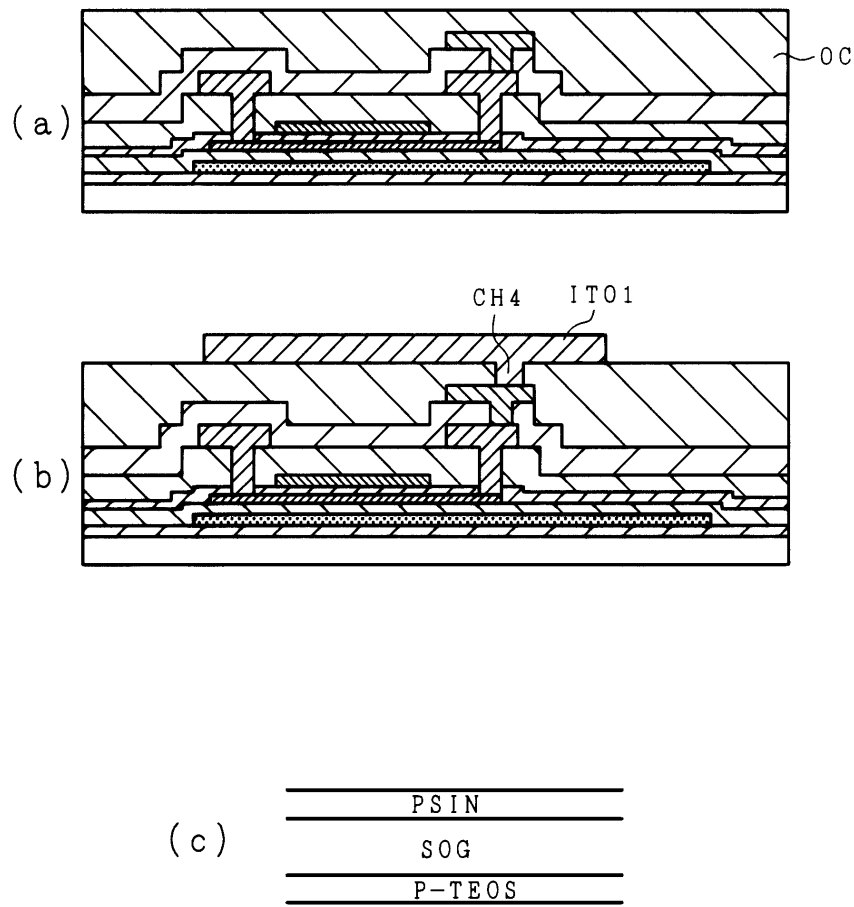
도면8



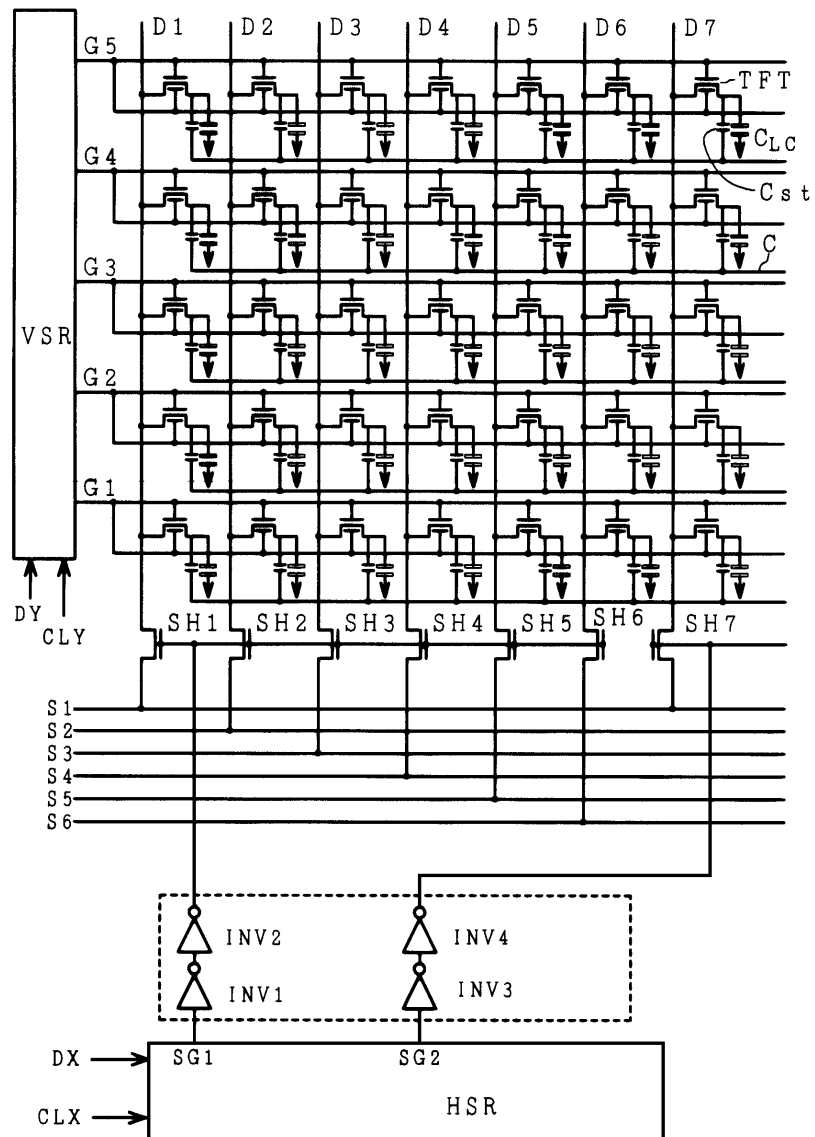
도면9



도면10

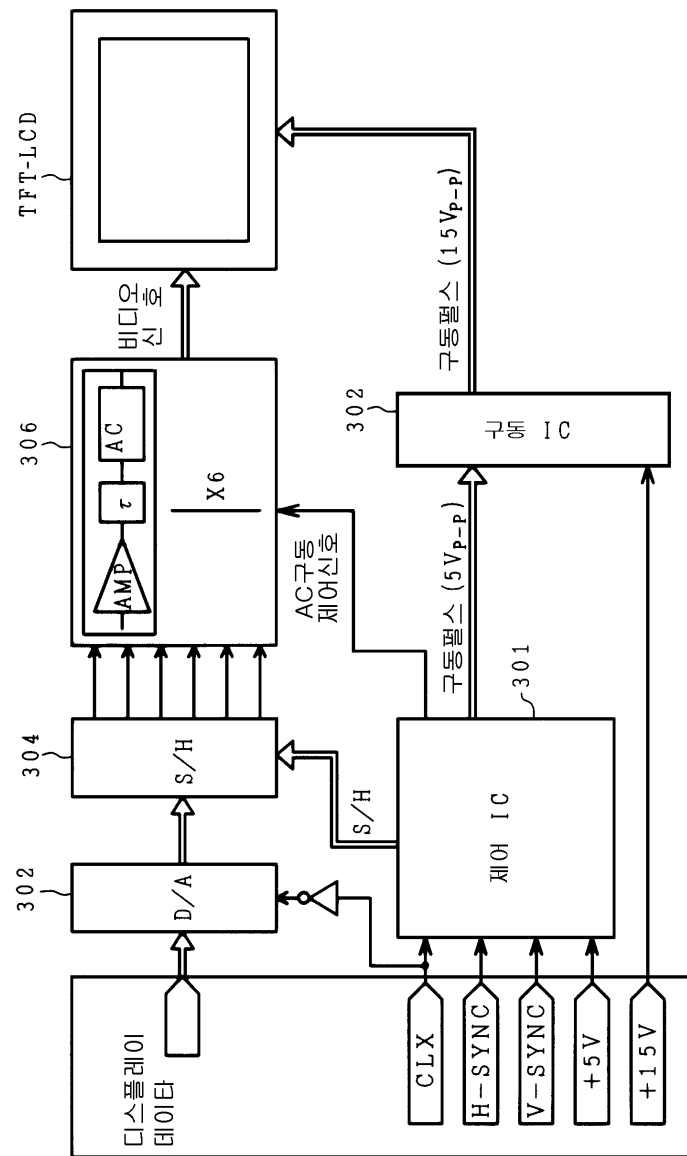


도면11

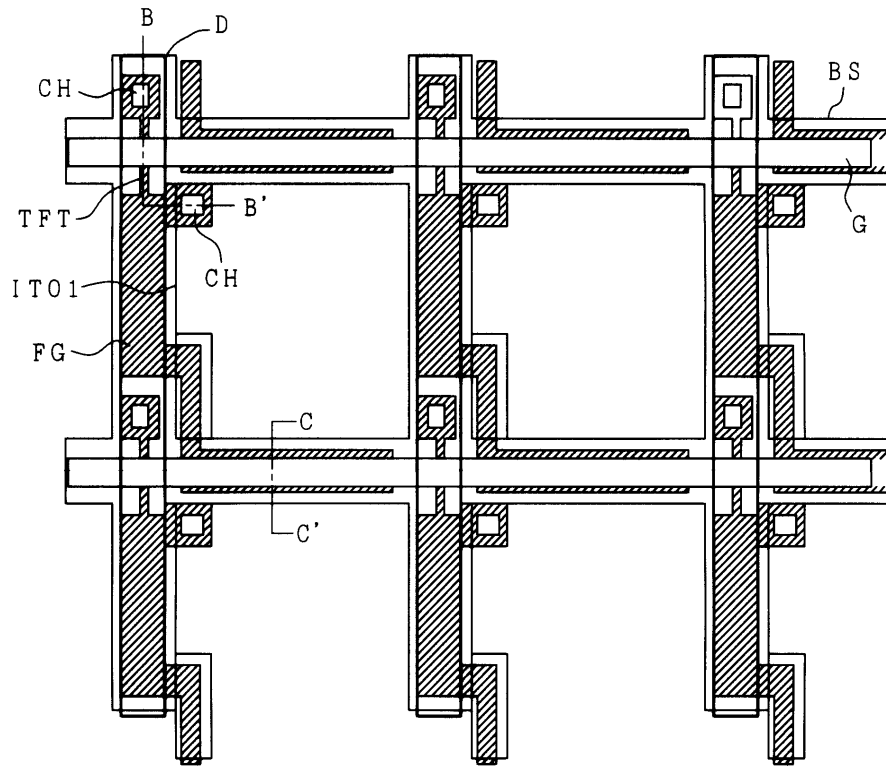




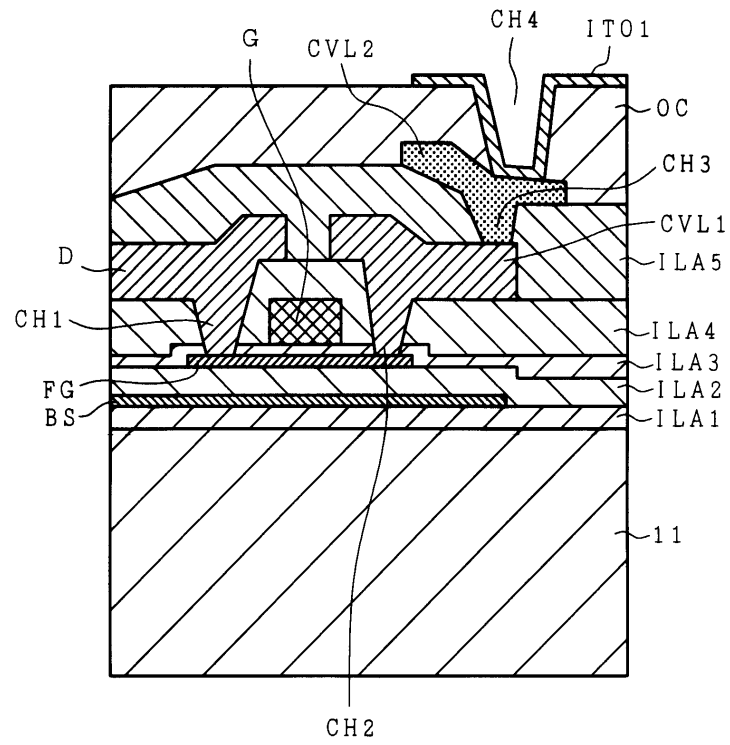
도면12



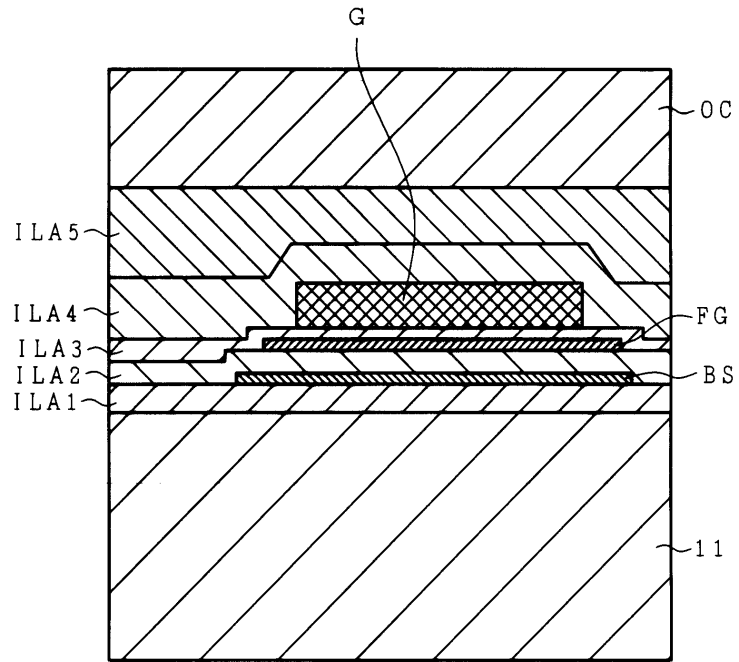
도면13



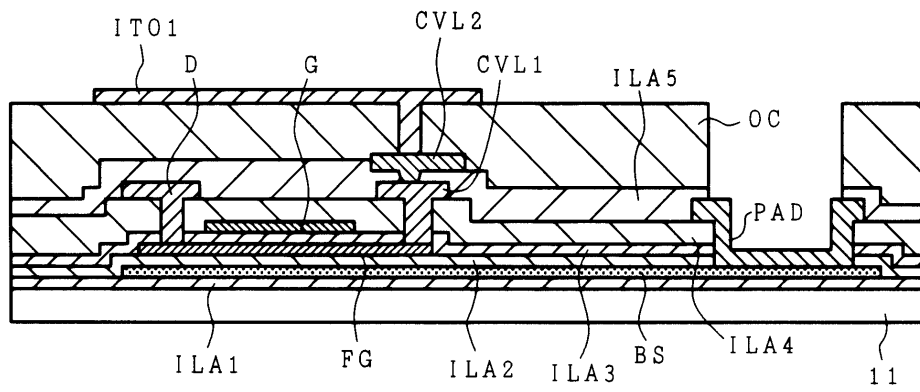
도면14



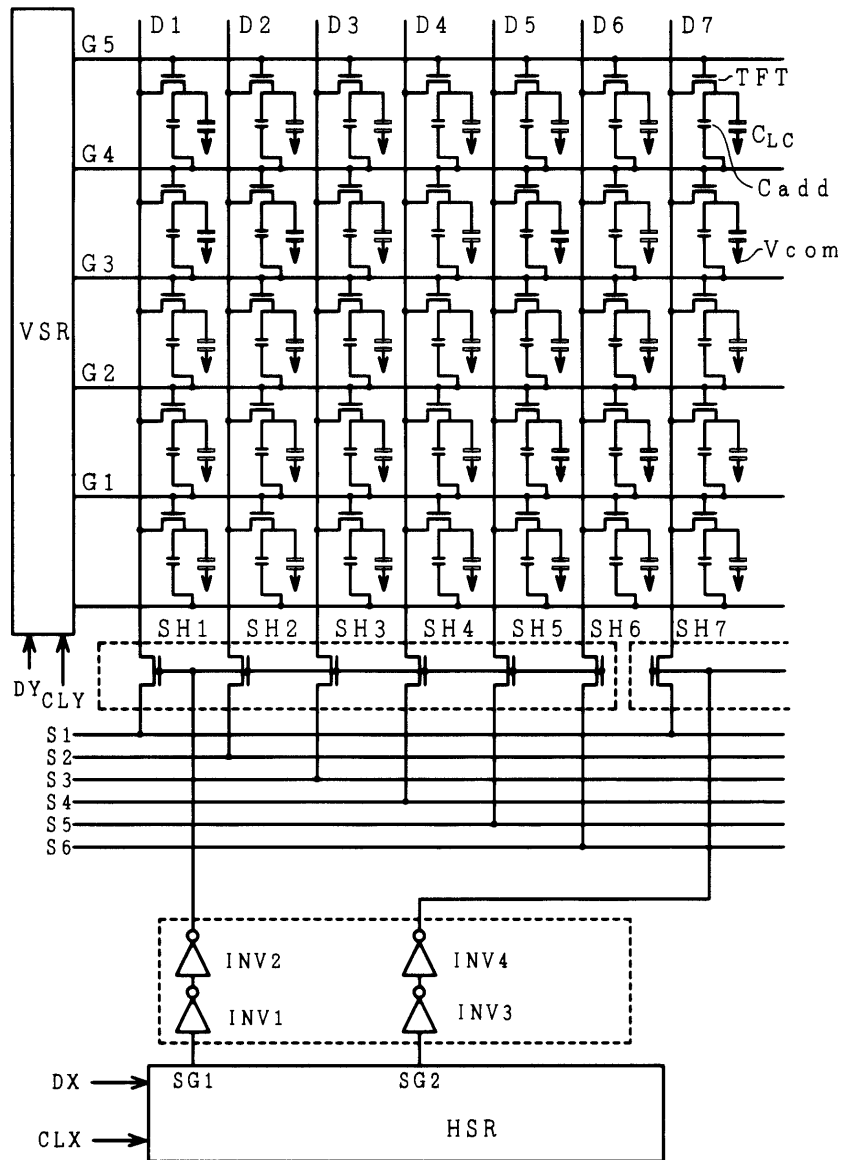
도면15



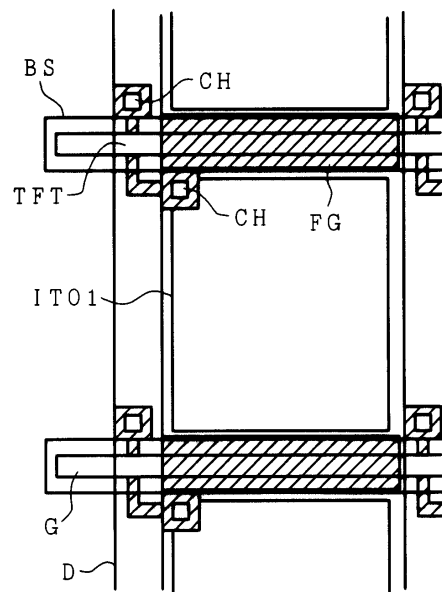
도면16



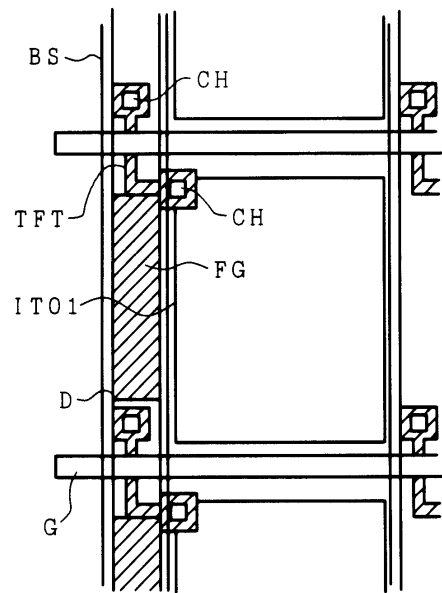
도면17



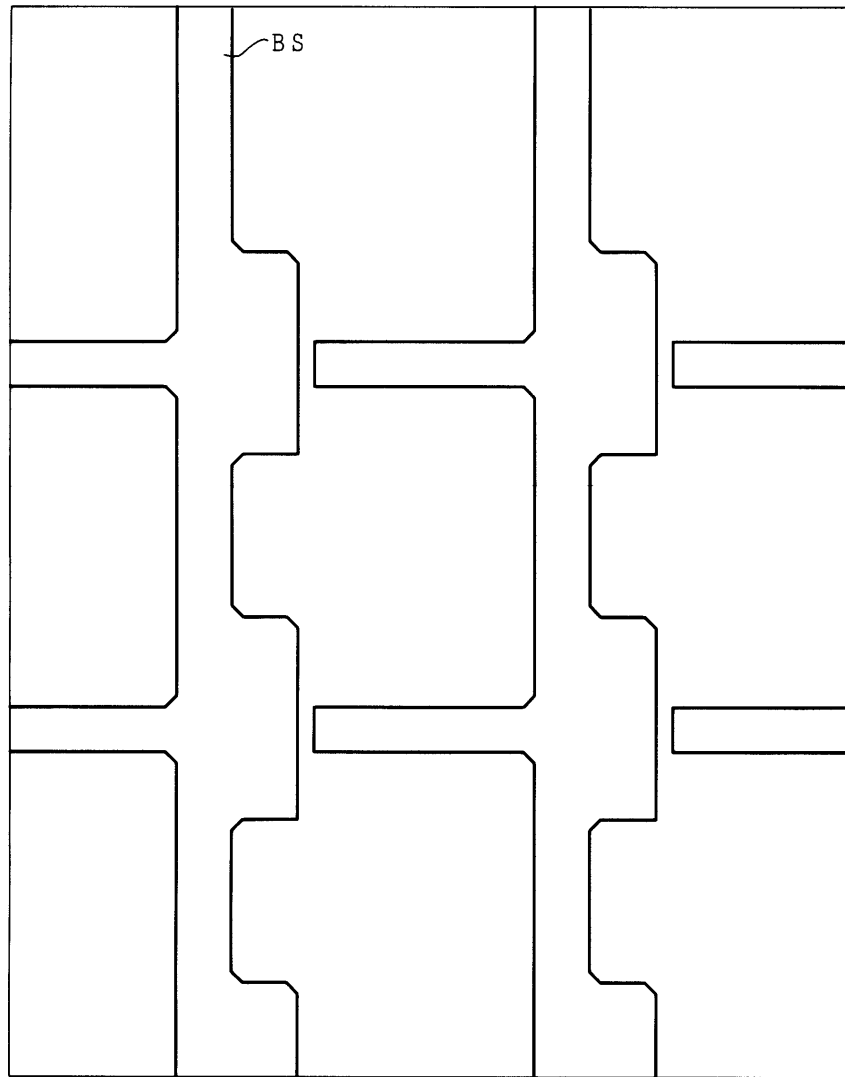
도면18



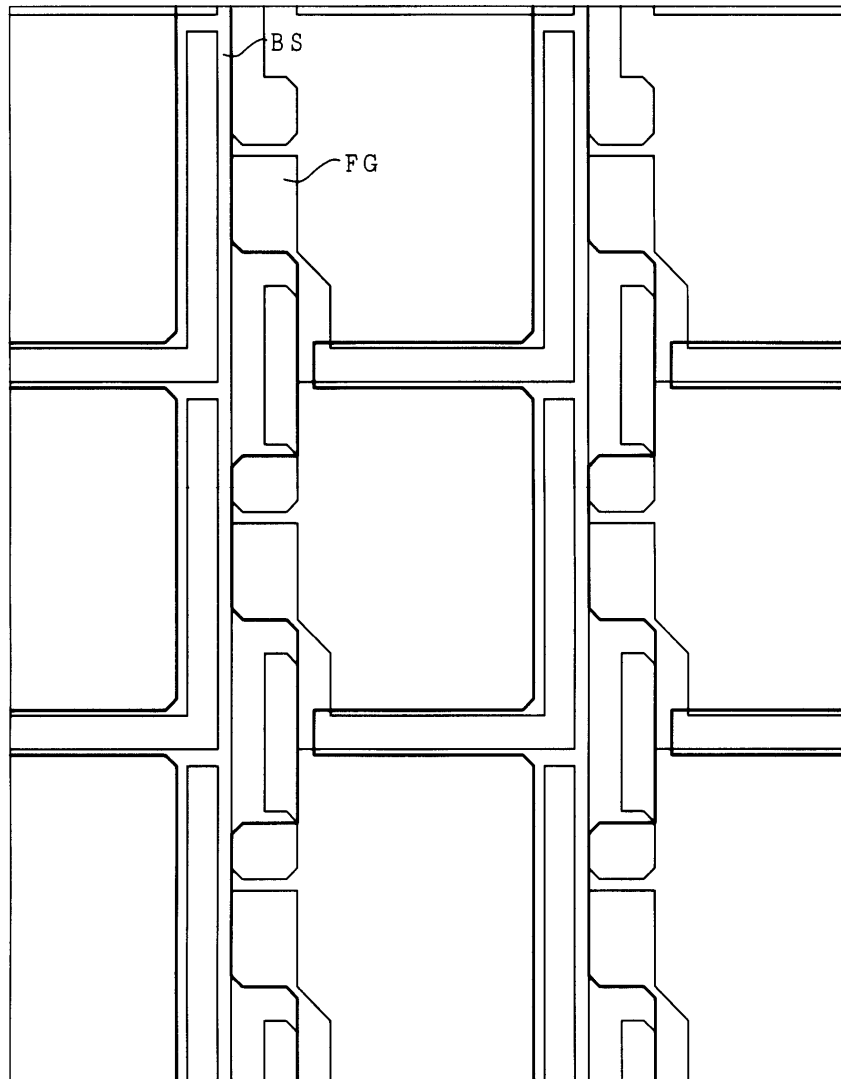
도면19



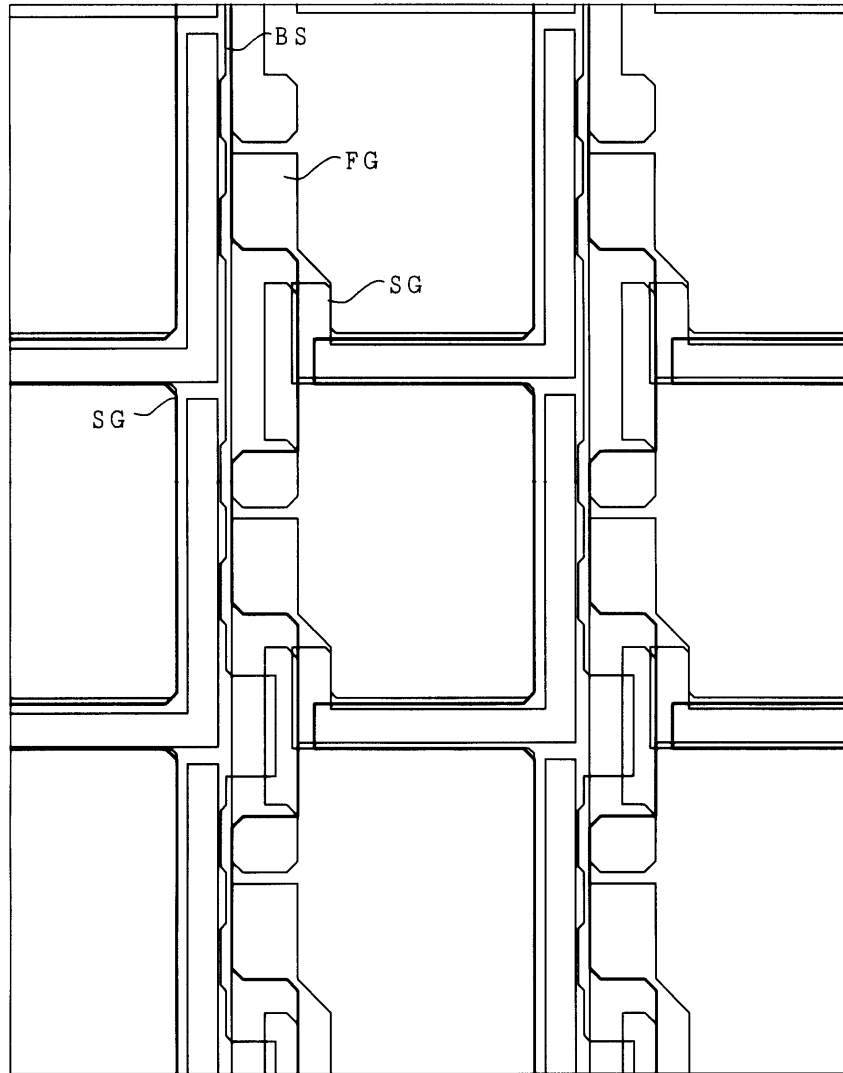
도면20



도면21

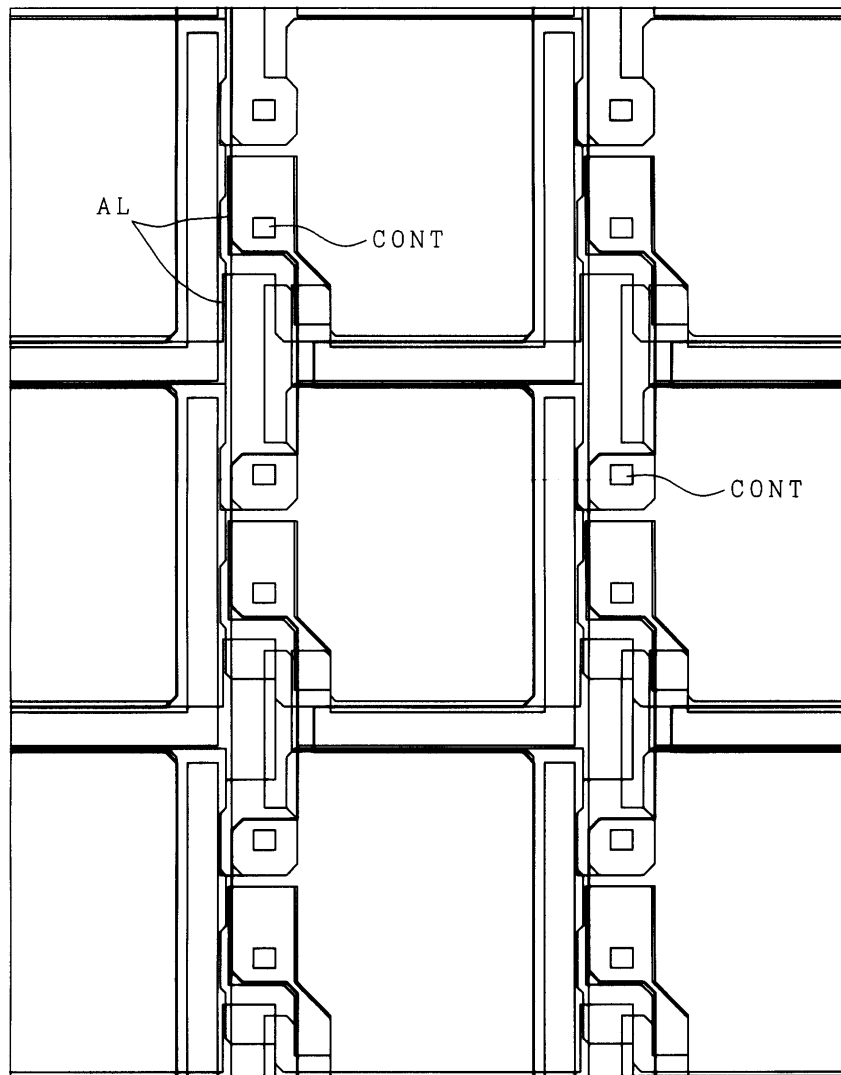


도면22

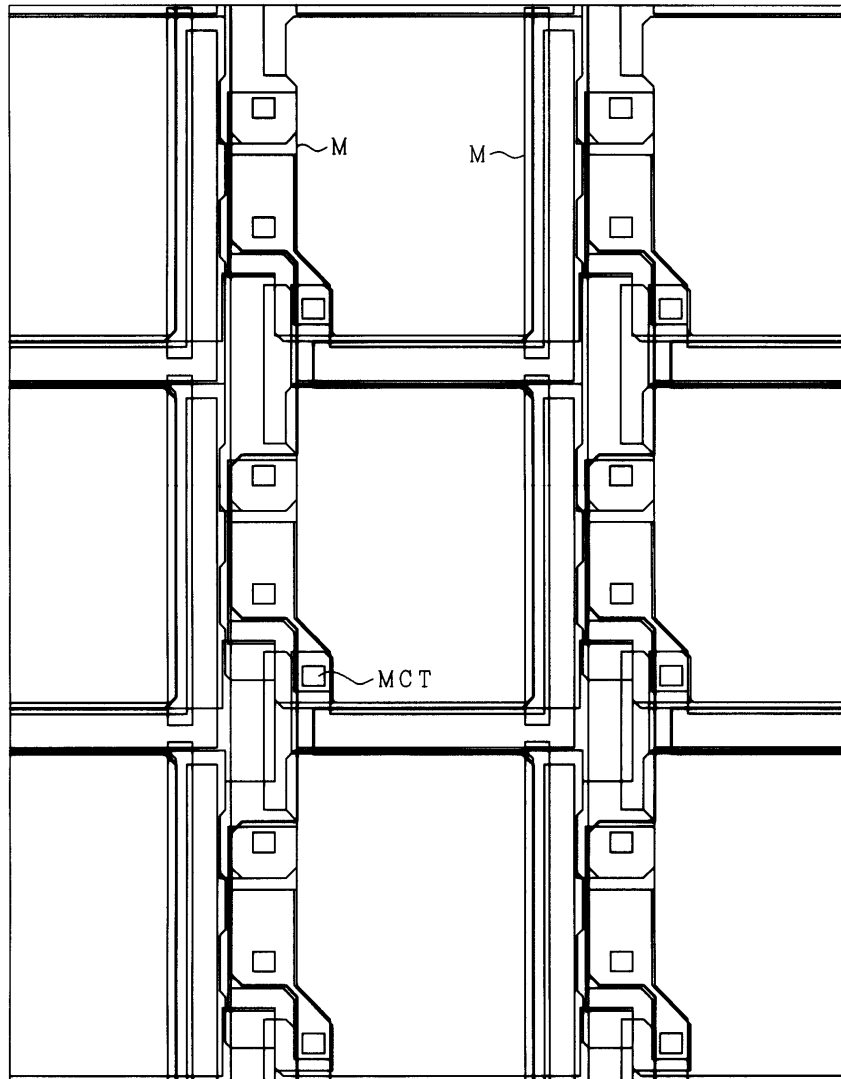




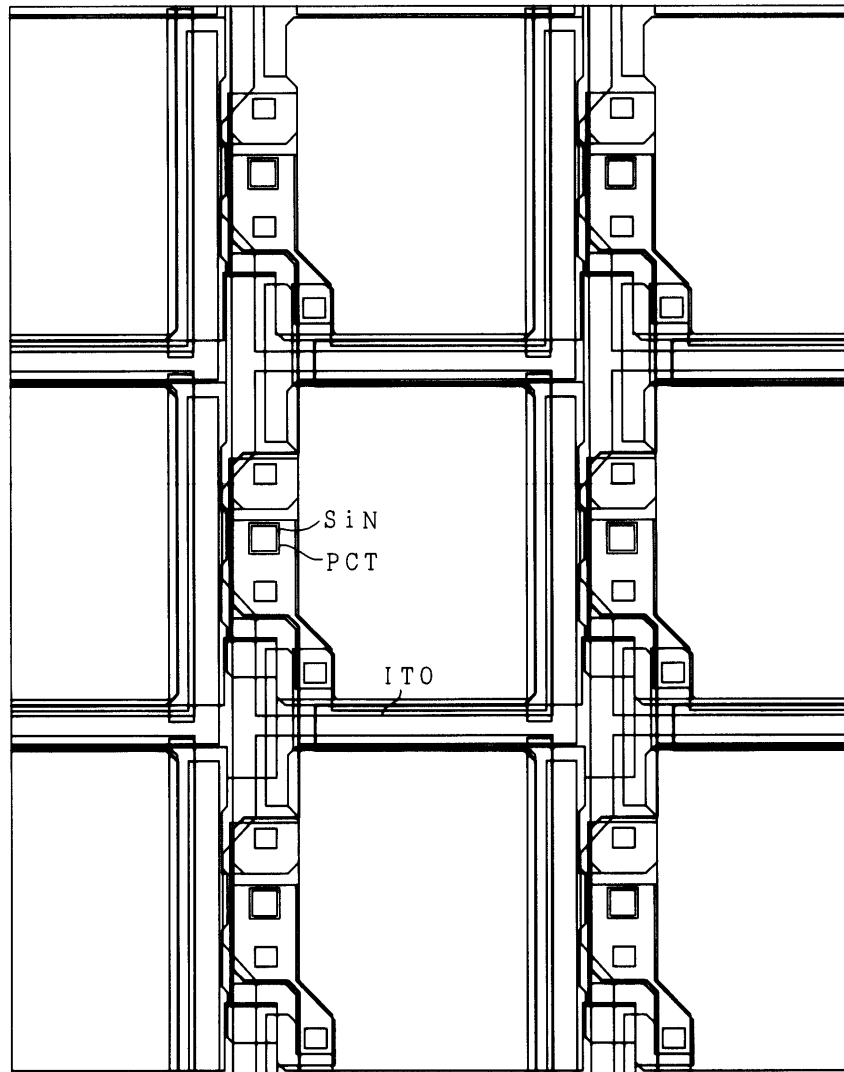
도면23



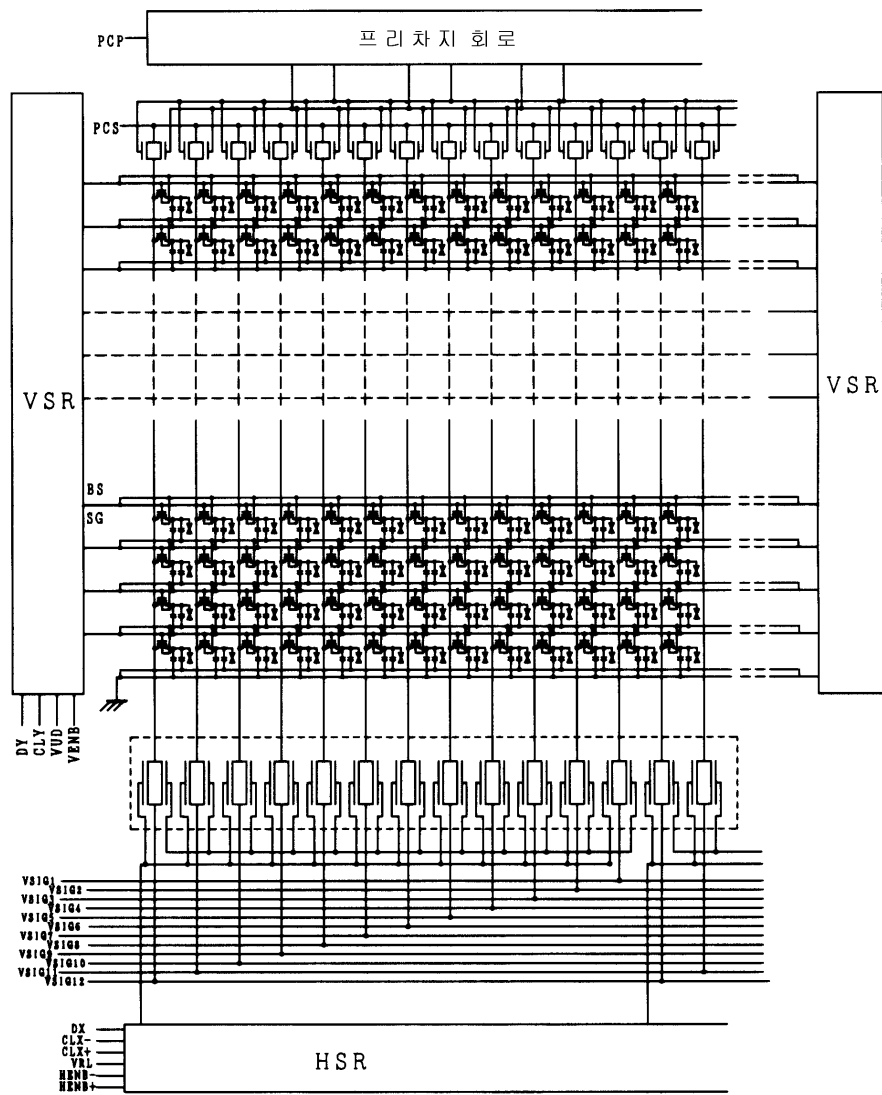
도면24



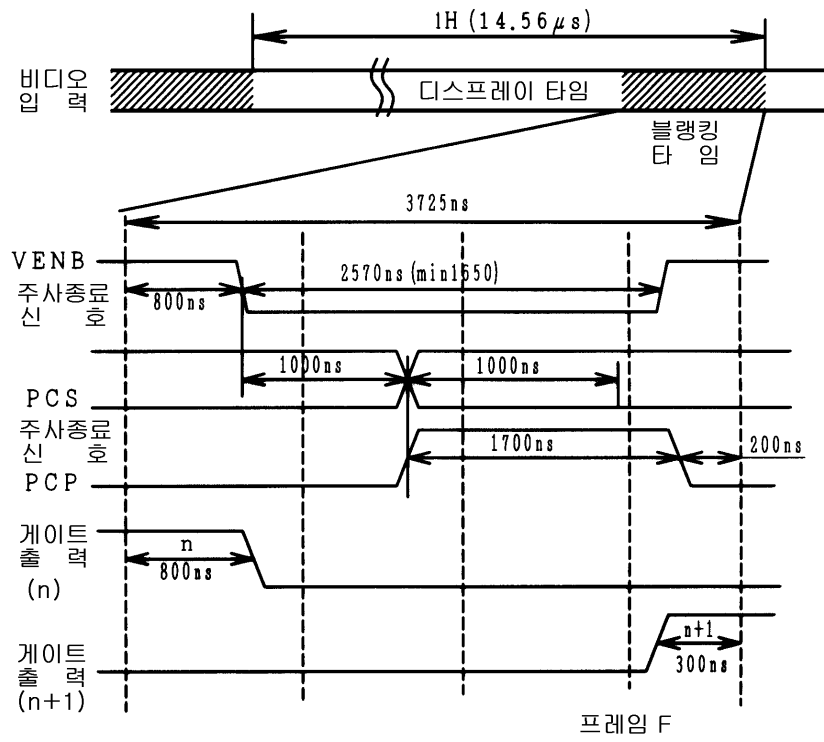
도면25



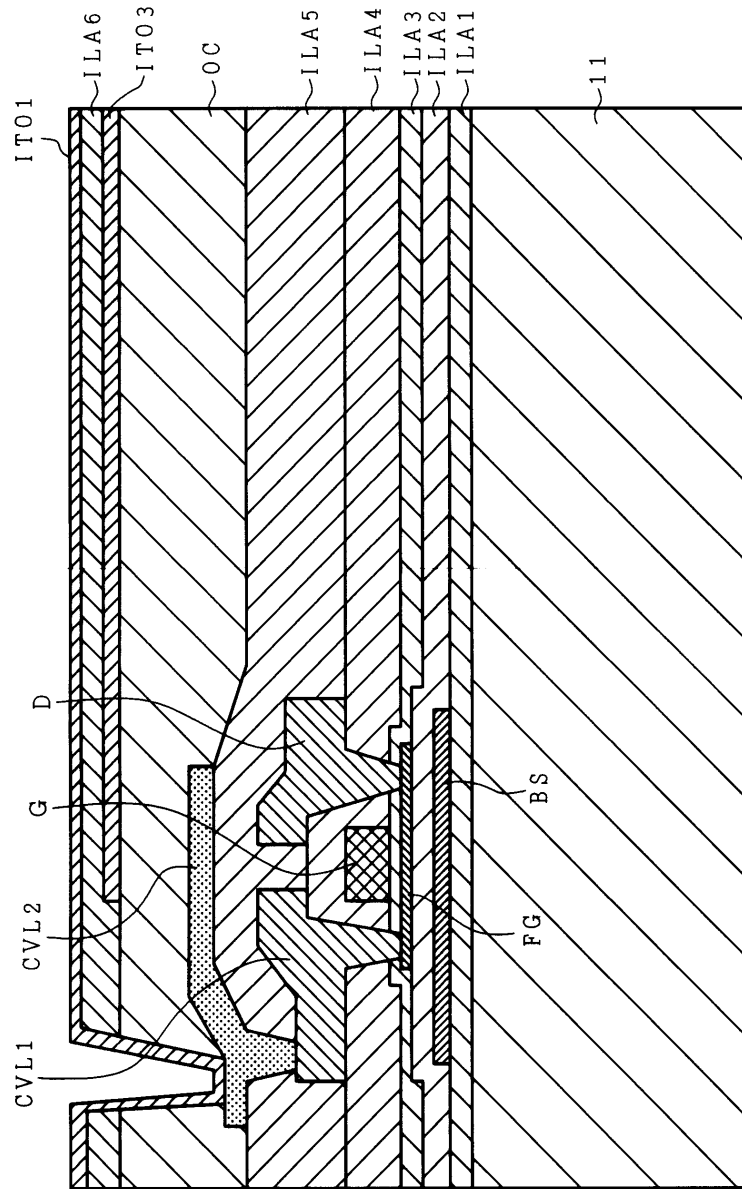
도면26



도면27



도면28



도면29

