(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 633 749**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **88 13894**

(51) Int Cl⁵ : G 06 K 7/00, 19/00; G 06 F 3/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 24 octobre 1988.

(30) Priorité : JP, 30 juin 1988, n° 63-160745.

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 1 du 5 janvier 1990.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : MITSUBISHI DENKI KABUSHIKI KAISHA.* — JP.

(72) Inventeur(s) : Kenichi Takahira ; Atsuo Yamaguchi ; Shigeru Furuta ; Takesi Inoue ; Toshiyuki Matsubara ; Shuzo Fujioka.

(73) Titulaire(s) :

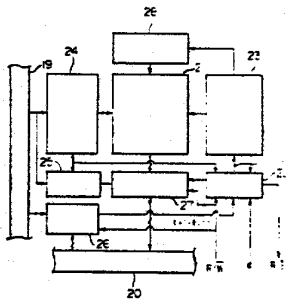
(74) Mandataire(s) : Cabinet Weinstein.

(54) Système microprocesseur avec une mémoire morte programmable effaçable électriquement ayant une fonction de prévention des erreurs d'écriture et circuit de mémoire.

(57) L'invention concerne un système microprocesseur adapté à être incorporé dans une carte à circuit intégré.

Selon l'invention, il comprend une unité centrale de traitement, une mémoire morte programmable effaçable électriquement 21 qui est subdivisée en pages, chacune ayant un nombre prédéterminé de multiplets; un verrouillage de données 27 pour les multiplets; un bus de données 20; un circuit de commande d'écriture extérieure 22 et un circuit de commande d'écriture intérieure 23.

L'invention s'applique notamment aux cartes plastifiées utilisées par exemple pour une identification personnelle avec une machine de guichet automatique.



FR 2 633 749 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

La présente invention se rapporte à des systèmes microprocesseurs comprenant une mémoire qui contient un moyen pour effectuer des écritures de données en mode par page et plus particulièrement à de tels systèmes microprocesseurs adaptés à être incorporés dans un circuit intégré noyé dans une carte en plastique qui est, par exemple, utilisée pour l'identification personnelle par une ATM (machine de guichet automatique) où la mémoire peut de préférence être une mémoire morte programmable effaçable électriquement ou EEPROM.

Récemment, des cartes à circuit intégré, telles que des cartes en plastique contenant une pastille ou des pastilles de circuit intégré pour stocker une information que l'on utilise, par exemple, pour l'identification personnelle au moyen d'une ATM, ont été largement utilisées. Parmi elles, celles contenant un mircoprocesseur et une mémoire morte programmable ou une mémoire morte programmable et effaçable électriquement, en particulier, attirent une large attention, parce que des données non volatiles peuvent y être écrites sans détacher la mémoire de son montage. La vitesse d'écriture de la donnée dans une telle mémoire peut être considérablement améliorée en adoptant l'écriture en mode par page où un certain nombre de multiplets sont écrits dans une page, telle qu'un bloc d'emplacements de multiplets dans l'agencement des cellules de la mémoire, en un cycle d'écriture du microprocesseur. En d'autres termes, l'agencement de cellules de mémoire est divisé en pages dont chacune comprend le même nombre de multiplets, chaque multiplet consistant, par exemple, en 8 bits.

L'écriture de données conventionnelle en mode par page dans une mémoire morte programmable s'effectue comme suit. D'abord, dans l'opération appelée d'écriture extérieure, une séquence des multiplets de données correspondant à une page de l'agencement de cellules de mémoire est verrouillée dans un verrouillage de données dans le circuit de la mémoire morte programmable. Ensuite, lorsque le verrouillage de tous les multiplets de données correspondant

à une page est fini, l'opération d'écriture intérieure s'effectue. En effet, les multiplets de donnéessont transférés du verrouillage de données aux emplacements de multiplet ayant des adresses correspondantes dans une page de l'agencement de cellules de la mémoire.

Les méthodes utilisées de nos jours pour passer de l'opération d'écriture extérieure à celle d'écriture intérieure lors d'écritures de données dans des mémoires mortes programmables peuvent grossièrement être subdivisées en deux. Selon la première des deux, une séquence de multiplets consécutifs de données 1 à N sont verrouillés dans le verrouillage de la mémoire morte programmable pendant un intervalle fixe prédéterminé de temps Tewc, à partir du point dans le temps auquel le verrouillage du premier multiplet (multiplet 1) de la séquence commence, comme le montre la figure 1. Alors, à la fin de l'intervalle de temps Tewc, la mémoire morte programmable commute automatiquement de l'opération d'écriture extérieure à l'opération intérieure, pour finir un cycle d'écriture consistant en un cycle d'écriture extérieure et intérieure Tewc et Tiwc. Selon la seconde méthode, on établit un maximum ou une limite supérieure Tewmax par rapport à l'intervalle de temps Tewc pendant lequel les multiplets de données sont verrouillés dans le verrouillage de données et la mémoire morte programmable commute automatiquement de l'opération d'écriture extérieure à l'écriture intérieure lorsque l'intervalle de temps Tewc dépasse la limite supérieure prédéterminée Tewcmax.

Les dispositifs conventionnels tels que décrits ci-dessus présentent les inconvénients suivants. En effet, lorsqu'une opération est accomplie qui est apparemment l'écriture d'une donnée, mais est en réalité l'écriture erronée d'une donnée erronée, dans une mémoire morte programmable qui a une fonction d'écriture en mode par page, du fait, par exemple, d'un mauvais contact de l'entrée/sortie de la carte à circuit intégré avec le terminal ATM, d'un mauvais fonctionnement de l'unité centrale de traitement

ou d'un fonctionnement incontrôlé d'un programme dans l'unité centrale de traitement, les données verrouillées dans le verrouillage de données sont automatiquement écrites dans l'agencement de cellules à l'intérieur de la mémoire.

Ainsi, la présente invention a pour objectif principal de produire un système microprocesseur pouvant être incorporé dans une carte à circuit intégré, ne présentant pas l'inconvénient ci-dessus mentionné des dispositifs conventionnels. En effet, la présente invention a pour but de produire un tel système microprocesseur, qui soit capable d'empêcher une mémoire morte programmable de passer de l'opération d'écriture extérieure à l'opération intérieure, lorsqu'une opération apparente d'écriture d'une donnée erronée est accomplie dans la mémoire morte programmable ayant une fonction d'écriture en mode par page. La présente invention a également pour but de produire un circuit de mémoire ayant une telle fonction de prévention d'erreurs d'écriture, qui est adapté à faire partie d'un système microprocesseur.

Selon un premier aspect de la présente invention, un système microprocesseur adapté à être incorporé dans une carte à circuit intégré est prévu . Le système comprend : une unité centrale de traitement ; un agencement de cellules de mémoire qui comprend de préférence une EEPROM et qui est subdivisé en pages dont chacune a un nombre prédéterminé de multiplets ; un verrouillage de données pour verrouiller les multiplets de données ; un bus de données pour transmettre les multiplets de données au verrouillage de données ; un circuit de commande d'écriture extérieure comprenant un moyen de validation du verrouillage de données pour valider le verrouillage de données en réponse à un signal de l'unité centrale de traitement de manière qu'une séquence du nombre prédéterminé de multiplets transmis à travers le bus de données soit verrouillée dans ledit verrouillage ; et un circuit de commande d'écriture intérieure qui permet à l'agencement

de cellules de mémoire de transférer les multiplets de données du verrouillage de données à une page de l'agencement de cellules de mémoire. Selon la présente invention, le circuit de commande d'écriture extérieure comprend de plus un moyen de mesure du temps et un moyen de suppression d'écriture intérieure. Le moyen de mesure du temps mesure le temps qui s'écoule à partir du moment auquel le verrouillage d'une séquence du nombre prédéterminé de multiplets dans le verrouillage est amorcé et émet un signal de débordement lorsque le temps dépasse une limite maximale fixe prédéterminée. Le moyen de suppression d'écriture intérieure supprime le circuit de commande d'écriture intérieure, en réponse au signal à la sortie du moyen de mesure du temps, de façon que le transfert de multiplets d'une donnée erronée dans le verrouillage de données à une page de l'agencement de cellules de mémoire soit empêché.

Selon un second aspect de la présente invention, un circuit de mémoire pouvant faire partie d'un système microprocesseur est prévu.

L'invention sera mieux comprise, et d'autres buts, caractéristiques, détails et avantages de celle-ci apparaîtront plus clairement au cours de la description explicative qui va suivre faite en référence aux dessins schématiques annexés donnés uniquement à titre d'exemple illustant plusieurs modes de réalisation de l'invention et dans lesquels :

- la figure 1 est un diagramme des temps montrant les formes d'onde de signaux se présentant dans des systèmes microprocesseurs conventionnels comprenant une mémoire morte programmable ayant une fonction d'écriture en mode par page ;

- la figure 2 donne un schéma-bloc montrant la disposition d'un système microprocesseur selon la présente invention ;

- la figure 3 donne un schéma-bloc montrant les détails de la mémoire morte programmable effaçable électriquement comprise dans le système microprocesseur

de la figure 2 ;

- la figure 4 est un diagramme des temps montrant les formes d'onde de signaux se présentant dans le système microprocesseur de la figure 2 ;

- la figure 5 est un schéma de circuit logique de réalisation du dispositif de contrôle d'écriture extérieure incorporé dans la mémoire morte programmable effaçable électriquement de la figure 3 ; et

- la figure 6 est un diagramme des temps des formes d'onde des signaux que l'on peut utiliser dans un autre mode de réalisation selon la présente invention.

Sur les dessins, des chiffres identiques de référence représentent des pièces ou portions identiques ou correspondantes.

En se référant maintenant aux figures 2 à 5 des dessins, un premier mode de réalisation selon la présente invention est décrit.

La figure 2 montre la disposition d'un système microprocesseur formé par un circuit intégré noyé dans une carte en résine, que l'on peut utiliser comme support de mémoire portable pour une identification personnelle par une ATM (machine de guichet automatique). Tout le système peut être incorporé dans une seule pastille de circuit intégré.

La mémoire principale du système comprend : une mémoire morte programmable effaçable électriquement 1, qui contient un circuit pour empêcher une erreur d'écriture de la donnée selon la présente invention, que l'on décrira en plus de détail ci-dessous ; une mémoire à accès aléatoire 2 d'une multitude de multiplets, chaque multiplet consistant en 8 bits ; et une mémoire morte 3 d'une multitude de multiplets.

L'unité centrale de traitement du système comprend: une unité arithmétique et logique 4 ou ALU pour effectuer des opérations arithmétiques et logiques sur 8 bits en parallèle ; un accumulateur 5, tel qu'un registre spécial pour effectuer l'opération d'addition et pour en stocker

le résultat ; une paire de registres de repérage X et Y, généralement désignée par 6, pour stocker des bits qui sont utilisés pour modifier l'adresse des instructions dans le mode d'adressage repéré ; un registre d'état du processeur 7 pour stocker les résultats d'une opération arithmétique-logique, comme les bits indiquant le report, le zéro, la négative etc., d'une opération ; une paire de compteurs d'instructions 8 d'ordre supérieur (H) et d'ordre inférieur (L),chacun consistant en un registre à 8 bits, qui indiquent ensemble l'emplacement de l'instruction suivante dans le programme qui doit être exécuté ; un indicateur de pile 9 qui est dirigé vers l'adresse de la donnée supérieure dans une pile (une zone de mémoire dernier rentré-premier sorti, c'est-à-dire un groupe d'emplacements consécutifs dans une mémoire principale dans et d'où les données sont stockées et extraites par le principe dernier rentré-premier sorti) ; un temporisateur 11 pour produire des signaux d'horloge dans l'unité centrale de traitement ; un pré-étalonneur 10 pour le temporisateur ; un registre d'instructions 12 pour stocker l'adresse de l'instruction courante ; et un décodeur d'instruction 13 pour décoder l'instruction courante stockée dans le registre d'instructions 12, et pour émettre des signaux de commande tels que des signaux de lecture/écriture $R/\overline{W}$.

Le système microprocesseur comprend de plus un circuit d'horloge 14 et un récepteur-émetteur asynchrone universel ou UART 15, qui est interposé entre l'entrée/sortie et les bus d'adresses et de données 19 et 20, et effectue la conversion de la transmission série en parallèle et parallèle en série des bits d'adresse et de donnée. Le bus d'adresses 19 est un bus unidirectionnel à 16 bits en parallèle pour envoyer 16 bits en parallèle d'adresse de l'unité centrale de traitement à la mémoire principale ou à l'UART 15 du système ; le bus de données 20 est un bus bidirectionnel à 8 bits en parallèle pour transmettre 8 bits parallèles de donnée et des codes de fonctionnement de l'unité centrale de traitement à la

mémoire et au UART et de la mémoire et du UART 15 à l'unité centrale de traitement ou CPU.

Le montage montré à la figure 2 est conventionnel à l'exception de la mémoire morte programmable effaçable électriquement 1 qui est décrite en plus de détail ci-dessous.

La figure 3 montre les détails de la mémoire morte programmable effaçable électriquement 1 de la figure 2. La portion centrale de la mémoire 1 comprend un agencement 21 de cellules de mémoire morte programmable effaçable électriquement consistant en cellules non volatiles de mémoire dans lesquelles de nouvelles données peuvent être inscrites par un moyen électrique, par exemple, par application d'une haute tension produite par un circuit générateur de haute tension 28. L'agencement de cellules de mémoire 21, qui lui-même est conventionnel, est divisé en un certain nombre M de pages, chaque page comprenant le même nombre N de multiplets. Le multiplet dans ce système microprocesseur se compose de 8 bits, comme on l'a mentionné ci-dessus. Chaque emplacement de multiplet dans l'agencement de cellules de mémoire 21 a une adresse consistant en m + n bits ; les m premiers bits indiquent la page dans laquelle le multiplet est placé et les n bits restants indiquent l'emplacement dans la page. Ainsi, les nombres M et N sont égaux à la mième et la nième puissance de 2 respectivement : $M = 2^m$, $N = 2^n$.

Les 16 bits d'adresse transmis parallèlement à travers le bus d'adresses 19 sont décodés par le premier décodeur d'adresse /verrouillage 24 en m bits indiquant la page dans l'agencement de cellules de mémoire 21 et les m bits obtenus y sont verrouillés pour en être émis vers l'agencement de cellules de mémoire 21. Le second décodeur d'adresse /verrouillage 25, par ailleurs, produit n bits indiquant l'emplacement dans la page, à la réception des 16 bits d'adresse du bus d'adresses 19 ; les n bits ainsi obtenus y sont verrouillés pour en être émis vers le verrouillage de données/amplificateur

de détection 27. Ainsi, la somme m + n des nombres m et n est plus faible que le nombre de bits 16 du bus d'adresses 19. Le verrouillage de données/amplificateur de détection 27 comprend, en plus d'un amplificateur de détection pour amplifier les signaux binaires de donnée, des registres pour stocker un groupe de multiplets correspondant à une page dans l'agencement de cellules de mémoire 21. Ainsi, lorsqu'une opération d'écriture en mode par page est accomplie dans la mémoire morte programmable effaçable électriquement 1, une séquence de n multiplets transmis par le bus de données 20 peut être verrouillée, c'est-à-dire temporairement stockée, dans le verrouillage de données/amplificateur de détection 27 avant transfert à l'agencement de cellules de mémoire 21, où chaque multiplet compris dans la séquence de n multiplets est stocké en un emplacement indiqué par la sortie du second décodeur d'adresse /verrouillage 25.

L'opération d'écriture en mode par page est divisée en opérations d'écriture extérieure et intérieure, qui sont contrôlées par le circuit de commande d'écriture extérieure 22 et le circuit de commande d'écriture intérieure 23, respectivement. L'opération d'écriture est accomplie en réponse aux ordres et aux signaux de commande de l'unité centrale de traitement. Le verrouillage d'ordre 26 de la mémoire morte programmable effaçable électriquement 1 a sa propre adresse, et lorsque l'unité centrale de traitement du système émet un ordre vers la mémoire morte 1 par le bus de données 20 avec un groupe de bits associés d'adresse du verrouillage 26 par le bus d'adresses 19, le verrouillage d'ordre 26 interprète l'ordre et émet un signal correspondant pour le circuit de commande d'écriture extérieure 22.

L'opération d'écriture extérieure dans la mémoire morte 1 est accomplie comme suit.

La figure 4 montre les formes d'onde des signaux se présentant dans le montage de la figure 3 dans un mode de l'opération d'écriture extérieure selon la présente

invention. Le signal de lecture/écriture R/$\overline{W}$ à la sortie de l'unité de commande dans l'unité centrale de traitement du système, vers le circuit de commande d'écriture extérieure 22, a une forme de créneau d'une période fixe T1, le niveau bas L du signal R/$\overline{W}$ correspondant aux périodes d'écriture, comme cela est montré en haut de la figure 4. Les multiplets de donnée 1 à N, qui sont montrés au bas de la figure 4 sous une forme schématique par une séquence de N carrés, dont chacun représente 8 bits en parallèle, sont transmis en succession à travers le bus de données 20, d'un dispositif externe au verrouillage de données/amplificateur de détection 27. Une séquence de N groupes de bits d'adresse, qui est montrée sous une forme schématique par une séquence de carrés au milieu de la figure 4, est transmise par le bus d'adresse 19, d'un dispositif externe aux premier et second décodeurs d'adresse /verrouillage 24 et 25, où chaque groupe de bits d'adresse se compose de 16 bits en parallèle qui indiquent l'emplacement de mémoire d'un multiplet associé de donnée.

Dans une opération d'écriture extérieure en écriture en mode par page dans la mémoire morte programmable effaçable électriquement de la figure 3 utilisant les signaux montrés à la figure 4, le circuit de commande d'écriture extérieure 22 est d'abord validé en réponse à un ordre de l'unité centrale de traitement, l'ordre étant interprété par le verrouillage d'ordre 26 et étant fourni par celui-ci au circuit de commande d'écriture extérieure 22. Alors, lorsque le premier niveau bas L du signal de lecture/écriture R/$\overline{W}$ arrive au circuit 22 de commande d'écriture extérieure qui a déjà été validé par le signal d'ordre ci-dessus mentionné de verrouillage d'ordre 26, le circuit 22 de commande d'écriture extérieure émet un signal de commande d'écriture extérieure EXT-BUSY (occupé) pour le verrouillage de données/amplificateur de détection 27. Le verrouillage de données/amplificateur de détection 27, en réponse au signal EXT-BUSY , verrouille les multiplets de données 1 à N aux intervalles de temps où

le signal de lecture/écriture R/$\overline{W}$ qui y est introduit est au niveau bas , où les emplacements des multiplets de donnée sont déterminés par les bits fournis par le second décodeur d'adresse /verrouillage 25. Ainsi, chaque multiplet de donnée est verrouillé dans le verrouillage de données/amplificateur de détection 27 dans un emplacement indiqué par un groupe de bits d'adresse qui se produit au même intervalle au niveau bas du signal de lecture/ écriture R/$\overline{W}$ que le multiplet de donnée.

Dans une opération normale, un cycle d'écriture intérieure Tiwc suit le cycle d'écriture extérieure Tewc lorsque les multiplets 1 à N qui doivent être stockés dans une page de l'agencement de cellules de mémoire 21 sont verrouillés dans le verrouillage de données/amplificateur de détection 27 et un ordre d'écriture WR-CMD est émis par l'unité centrale de traitement au verrouillage d'ordre 26 à la fin du cycle d'écriture extérieure Tewc, comme le montre la forme d'onde du bas de la figure 4. En effet, en réponse au signal d'ordre correspondant au signal WR-CMD du verrouillage d'ordre 26, le circuit de commande d'écriture extérieure 22 émet un signal de commande d'écriture intérieure INT-BUSY pour le circuit de commande d'écriture intérieure 23. Par suite, le circuit 23 valide l'agencement de cellules de mémoire 21 de manière que les multiplets 1 à N verrouillés dans le verrouillage de données/amplificateur de détection 27 soient transférés à la page indiquée par les bits fournis par le premier décodeur/verrouillage 24, les emplacement des multiplets dans la page étant déterminés par leur emplacement dans le verrouillage de données/amplificateur de détection 27. Ainsi, un cycle complet d'écriture Twc, consistant en cycle d'écriture extérieure Tewc et cycle d'écriture intérieure Tiwc,est accompli. Les cycles d'écriture Twc sont répétés pour stocker un certain nombre de multiplets qui ne peuvent être contenus dans une seule page de l'agencement 21. Par ailleurs, le signal prêt/occupé R/$\overline{B}$ émis par le circuit de commande d'écriture extérieure 22 pour l'unité

centrale de traitement, etc., indique si une opération d'écriture (comprenant l'opération d'écriture intérieure aussi bien qu'extérieure) est accomplie dans la mémoire morte programmable effaçable électriquement ou non.

Selon la présente invention, le circuit de commande d'écriture extérieure 22 comprend un moyen qui supprime le signal de commande d'écriture intérieure INT-BUSY si le temps requis pour accomplir le cycle d'écriture extérieure Tewc dépasse une valeur fixe prédéterminée. Plus précisément, le signal INT-BUSY est supprimé par le circuit de commande 22 si le temps, qui s'écoule à partir du début du cycle d'écriture extérieure Tewc jusqu'au point dans le temps auquel la transmission de tous les multiplets 1 à N à stocker dans une seule page de l'agencement de cellules de mémoire 21 est terminée, dépasse un temps fixe maximum prédétérminé. Ainsi, le circuit de commande d'écriture extérieure 22 comprend un compteur qui commence le comptage du nombre d'impulsions d'horloge ϕ qui lui sont fournies au moment où commence un cycle d'écriture extérieure Tewc. Si le nombre de comptes des impulsions d'horloge ϕ dépasse une limite supérieure prédéterminée pendant le temps où une opération d'écriture extérieure est accomplie, l'émission du signal de commande d'écriture intérieure INT-BUSY pour le circuit de commande d'écriture intérieure 23 est supprimée, empêchant ainsi le transfert des multiplets dans le verrouillage de données/amplificateur de détection 27 vers l'agencement de cellules de mémoire 21.

La figure 5 montre une forme de réalisation du circuit de commande d'écriture extérieure 22 de la figure 4. Le montage montré à la figure 5 comprend une première section de circuit A pour mesurer le temps qui s'écoule à partir du début du cycle d'écriture extérieure Tewc et une seconde section de circuit B qui émet le signal de commande d'écriture extérieure EXT-BUSY. La seconde section de circuit B réduit le signal EXT-BUSY au niveau bas L (logique 0) pour interrompre l'opération

d'écriture extérieure en réponse à un signal de débordement émis par la première section de circuit A. Lorsque le signal EXT-BUSY est réduit au niveau bas L, la production du signal de commande d'écriture intérieure INT-BUSY est supprimée, comme on l'expliquera en détail ci-dessous. Dans le circuit logique de la figure 5, le niveau H des signaux correspond au 1 logique et leur niveau bas L au 0 logique.

La seconde section de circuit B du circuit de commande d'écriture extérieure comprend une porte OU 101 dans laquelle sont introduits un signal de sélection d'écriture intérieure CMD-SEL et un signal de sélection de mémoire MEM-SEL, du dehors du circuit de commande d'écriture extérieure 22, par exemple du verrouillage d'ordre 26. Le signal de sélection d'écriture intérieure CMD-SEL et le signal de sélection de mémoire MEM-SEL sont émis par le verrouillage d'ordre 26 en réponse aux ordres qui sont émis par l'unité centrale de traitement aux points dans le temps auxquels les opérations d'écriture intérieure et extérieure doivent être amorcées, respectivement. Une porte ET 102, recevant la sortie de la porte OU 101 et l'inversion du signal de lecture/écriture R/$\overline{W}$, émet un signal impulsionnel W :

$$W = (CMD\text{-}SEL + MEM\text{-}SEL) \cdot R/\overline{W}. \qquad (1)$$

Ainsi, le signal impulsionnel W est un signal qui est émis, c'est-à-dire élevé au niveau haut H, lorsqu'une opération d'écriture extérieure ou intérieure doit être amorcée, c'est-à-dire lorsque soit le signal MEM-SEL ou le signal CMD-SEL est introduit à la porte OU 101 et que le signal de lecture/écriture R/$\overline{W}$ est au niveau bas L. La seconde section de circuit B comprend de plus une bascule R-S 104 pour émettre le signal de commande d'écriture extérieure EXT-BUSY. L'entrée de restauration R et l'entrée de positionnement S de la bascule 104 sont formées par la combinaison d'une porte ET 110 et d'une porte OU 111 et par une porte ET 103 qui reçoivent les signaux INT-BUSY,

DEBORDEMENT (qui sort du temporisateur/compteur 106 de la première section de circuit A comme on l'expliquera ci-dessous), W et $R/\overline{B}$ comme le montre la figure 5, c'est-à-dire

$$\text{(Entrée R)} = \text{INT-BUSY} + (\text{DEBORDEMENT} \cdot \overline{W}), \text{ et} \quad \ldots(2)$$

$$\text{(Entrée S)} = R/\overline{B} \cdot W \quad \ldots\ldots(3)$$

Par ailleurs, la porte NON-OU 105 de la seconde section de circuit B forme le signal prêt/occupé $R/\overline{B}$ à partir des signaux EXT-BUSY et INT-BUSY :

$$R/\overline{B} = \text{EXT-BUSY} + \text{INT-BUSY} \quad \ldots\ldots (4)$$

La première section de circuit A du circuit de commande d'écriture extérieure comprend une porte ET 109 et un temporisateur/compteur 106 ayant une entrée T couplée à la sortie de la porte ET 109. La porte ET 109 reçoit le signal EXT-BUSY et le signal impulsionnel d'horloge ϕ, et émet des impulsions d'horloge ϕ pendant le temps où le signal EXT-BUSY est au niveau haut H. Ainsi, l'entrée T du temporisateur/compteur 106 est donnée comme suit :

$$\text{(Entrée T)} = \text{EXT-BUSY} \cdot \phi \quad \ldots\ldots (5)$$

Le temporisateur/compteur 106 compte le nombre d'impulsions d'horloge ϕ fournies par la porte ET 109 et émet un signal de DEBORDEMENT lorsque le nombre de comptes dépasse un nombre fixe prédéterminé. L'entrée de remise à l'état initial R du temporisateur/compteur 106 est formée par une porte ET 108 et une porte OU 107 qui reçoivent les signaux $R/\overline{B}$, W et EXT-BUSY, comme le montre la figure 5 :

$$\text{(Entrée R)} = R/\overline{B} + (W \cdot \text{EXT-BUSY}) \quad \ldots\ldots (6)$$

Le signal de commande d'écriture intérieure INT-BUSY est émis par une bascule 116 du type R-S. La borne d'entrée de positionnement S de la bascule 116 est couplée à la sortie d'une porte ET 115 ayant deux entrées EXT-BUSY et WR-CMD. Ainsi, l'entrée de positionnement S de la bascule 116 est donnée comme suit :

$$\text{(Entrée S)} = \text{EXT-BUSY} \cdot \text{WR-CMD} \quad \ldots\ldots(7)$$

où le signal WR-CMD est émis par le verrouillage d'ordre 26 en réponse à un ordre d'écriture de l'unité centrale de traitement. L'entrée de restauration R de la bascule 116

est formée d'un signal écriture terminée WR-COMPLETE qui est émis par le circuit de commande d'écriture intérieure 23 lorsque l'écriture intérieure , c'est-à-dire le transfert du contenu du verrouillage de données/amplificateur de détection 27 dans une page de l'agencement de cellules de mémoire 21, est terminé.

Le fonctionnement du circuit logique de la figure 5 est comme suit.

Lorsqu'aucune écriture ni extérieure ni intérieure n'est accomplie, les signaux de commande d'écriture extérieure et intérieure EXT-BUSY et INT-BUSY sont tous deux à des niveaux bas L. Ainsi, ces signaux EXT-BUSY et INT-BUSY sont aux niveaux bas L à l'état initial, auxquels l'unité centrale de traitement amorce l'écriture de la donnée dans la EEPROM de la figure 3. Par suite, le signal prêt/occupé $R/\overline{B}$ formé par la porte OU 105 selon l'équation (4) ci-dessus est au niveau haut H (logique 1) à l'état initial.

Au premier stade de l'opération d'écriture extérieure, un signal impulsionnel W est émis par la porte ET 102 comme suit. En effet, le signal de sélection de mémoire MEM-SEL introduit à la seconde borne d'entrée de la porte OU 101 monte au niveau haut H, donc la sortie de la porte OU passe au niveau haut H. Ainsi, lorsque le premier niveau bas L du signal de lecture/écriture $R/\overline{W}$ se produit, la sortie W de la porte ET 102, qui est donnée par l'équation (1) ci-dessus, atteint le niveau haut H, et retourne au niveau bas L lorsque le signal de lecture/écriture $R/\overline{W}$ atteint le niveau haut H.

En réponse à la production du signal impulsionnel W, un signal de commande d'écriture extérieure EXT-BUSY est émis par la bascule 104 comme suit. La première borne d'entrée de la porte ET 103 reçoit le signal prêt/occupé $R/\overline{B}$ qui est au niveau haut H à ce stade initial comme on l'a expliqué ci-dessus. Par ailleurs, la seconde borne d'entrée de la porte ET 103 reçoit le signal impulsionnel W qui est au niveau haut comme on l'a expliqué ci-dessus.

Ainsi, la sortie de la porte ET 103, donnée par l'équation (3) ci-dessus, atteint le niveau haut H pour positionner la bascule 104. Ainsi, la sortie Q de la bascule 104, c'est-à-dire le signal EXT-BUSY, atteint le niveau haut H. Alors, la sortie de la porte NON-OU 105, c'est-à-dire le signal prêt/occupé $R/\overline{B}$, donnée par l'équation (4) ci-dessus, se trouve réduite au niveau bas L.

Le contenu du temporisateur/compteur 106 est zéro avant que l'opération d'écriture ne commence, parce que le niveau haut H du signal prêt/occupé $R/\overline{B}$ auquel le signal $R/\overline{B}$ reste avant le commencement de l'opération d'écriture, remet le temporisateur/compteur 106 à l'état initial selon l'équation (6) ci-dessus. Lorsque le signal de commande d'écriture extérieure EXT-BUSY est émis par la bascule 104 à ce stade initial, la porte ET 109 commence à fournir les signaux d'horloge ϕ à l'entrée T du temporisateur/compteur 106 selon l'équation (5) ci-dessus. En conséquence, le temporisateur/compteur 106 commence à compter le nombre d'impulsions d'horloge ϕ et émet un signal de DEBORDEMENT lorsque le nombre d'impulsions d'horloge ϕ dépasse une limite maximale fixe prédéterminée.

Si l'écriture extérieure s'effectue normalement, l'opération d'écriture extérieure est suivie par l'opération d'écriture intérieure. Ainsi, un signal de sélection d'écriture intérieure CMD-SEL et un signal d'ordre d'écriture WR-CMD sont introduits à la porte OU 101 et à la porte ET 115, respectivement, au moment où le verouillage des multiplets de données 1 à N dans le verrouillage de données/amplificateur de détection 27 est terminé. Par suite, le signal impulsionnel W est émis par la porte ET 102 au premier niveau bas L du signal de lecture écriture $R/\overline{W}$ selon l'équation (1) ci-dessus et la bascule 116 est positionnée selon l'équation (7) ci-dessus . Ainsi, le temporisateur/compteur 106 est remis à l'état initial en réponse à la production du signal impulsionnel W selon l'équation (6) ci-dessus et la bascule 116 émet le signal

de commande d'écriture intérieure INT-BUSY. Par conséquent, l'opération d'écriture intérieure est débutée par le circuit de commande d'écriture intérieure 23. En même temps, la bascule 104 est restaurée par le signal INT-BUSY selon l'équation (2) ci-dessus et le signal EXT-BUSY retourne au niveau bas L. Ainsi, l'impulsion d'horloge à la sortie de la porte ET 109 cesse selon l'équation (5) ci-dessus et le comptage des impulsions d'horloge par le temporisateur/compteur 106 est arrêté pendant l'opération d'écriture intérieure.

Lorsque l'opération d'écriture intérieure telle que décrite ci-dessus est terminée, le signal d'écriture terminée WR-COMPLETE est introduit à la borne de restauration R de la bascule 116 et le signal INT-BUSY retourne au niveau bas L. Ainsi, le signal prêt/occupé $R/\overline{B}$ atteint le niveau haut H selon l'équation (4) ci-dessus, pour ainsi terminer tout le cycle d'écriture Twc.

Si l'opération d'écriture extérieure est anormale, le temporisateur/ compteur 106 émet un signal de débordement DEBORDEMENT avant que les signaux CMD-SEL et WR-CMD ne soient introduits aux portes 101 et 115 respectivement. Dans un tel cas, la production du niveau haut H du signal de débordement DEBORDEMENT restaure la bascule 104 selon l'équation (2) ci-dessus, donc le signal de commande d'écriture extérieure EXT-BUSY retourne au niveau bas L. Ainsi, le niveau bas L du signal EXT-BUSY supprime la production du signal de commande d'écriture intérieure INT-BUSY selon l'équation (7) ci-dessus. En effet, le signal INT-BUSY n'est pas émis par la bascule 116, même lorsque le signal WR-CMD est introduit dans la porte ET 115 et le transfert des multiplets erronés du verrouillage de données/amplificateur de détection 27 à l'agencement de cellules de mémoire 21 est empêché. Lorsque le signal EXT-BUSY retourne au niveau bas L, le signal prêt/occupé $R/\overline{B}$ atteint le niveau haut H selon l'équation (4) ci-dessus, pour remettre le temporisateur/compteur 106 à zéro. Ainsi, la mémoire 1 retourne à son état initial et est placée à

un état prêt à la réception de données pour les inscrire dans l'agencement de cellules de mémoire 21.

Dans le premier mode de réalisation décrit ci-dessus, l'ordre d'écriture WR-CMD est fourni par l'unité centrale à la fin de chaque cycle d'écriture extérieure Tewc, comme le montre la figure 4. Cependant, il est possible de fournir l'ordre d'écriture WR-CMD au début de chaque cycle d'écriture extérieure Tewc avant que les multiplets de donnée 1 à N soient verrouillés dans l'opération d'écriture extérieure, comme le montre la figure 6. Par ailleurs, il est également possible d'omettre la fourniture de l'ordre d'écriture en préétablissant le nombre de multiplets qui doivent être verrouillés dans chaque cycle d'écriture extérieure.

REVENDICATIONS

1.- Système microprocesseur adapté à être incorporé dans une carte à circuit intégré, caractérisé en ce qu'il comprend :

une unité centrale de traitement ;

un agencement de cellules de mémoire (21) divisé en un certain nombre de sections de zone de mémoire, chacune ayant un nombre prédéterminé de multiplets ;

un moyen de verrouillage de données pour verrouiller le nombre prédéterminé de multiplets qui doivent être écrits dans une section dudit agencement de cellules de mémoire ;

un moyen formant bus de données (20) pour transmettre les multiplets de données audit moyen de verrouillage de données ;

un moyen de validation de verrouillage de données pour valider ledit moyen de verrouillage de données en réponse à un signal de ladite unité centrale de traitement de manière qu'une séquence du nombre prédéterminé de multiplets transmis par ledit moyen formant bus de données soit verrouillée dans ledit moyen de verrouillage de données ;

un moyen d'écriture intérieure (22) pour transférer les multiplets verrouillés dans ledit moyen de verrouillage de données à l'une des sections de l'agencement de cellules de mémoire ;

un moyen de mesure du temps pour mesurer un temps qui s'écoule à partir du moment auquel un verrouillage d'une séquence du nombre prédéterminé de multiplets dans ledit moyen de verrouillage de données est amorcé, ledit moyen de mesure du temps comprenant un moyen pour émettre un signal lorsque ledit temps mesuré par ledit moyen de mesure du temps dépasse une limite fixe maximale prédéterminée ; et

un moyen de suppression d'écriture intérieure pour supprimer ledit moyen d'écriture intérieur en réponse audit

signal à la sortie dudit moyen émettant un signal de manière qu'un transfert des multiplets dudit moyen de verrouillage de données à une section dudit agencement de cellules de mémoire soit empêché.

2.- Système selon la revendication 1, caractérisé en ce que l'agencement de cellules de mémoire (21) comprend un agencement de cellules de mémoire morte programmable effaçable électriquement.

3.- Système selon la revendication 1, caractérisé en ce qu'il comprend de plus :

un moyen formant bus d'adresse (19) pour transmettre les bits correspondant à une adresse d'un emplacement d'un multiplet dans ledit agencement de cellules de mémoire ;

un premier moyen décodeur d'adresse (24) pour décoder les bits transmis par ledit moyen formant bus d'adresses en une adresse d'une section dudit agencement de cellules de mémoire ; et

un second moyen décodeur d'adresse (25) pour décoder les bits transmis à travers ledit moyen formant bus d' en une adresse d'un multiplet de donnée dans une section dudit agencement de cellules de mémoire,

ledit moyen d'acriture intérieure transférant les multiplets verrouillés dans ledit moyen de verrouillage de données à une section dudit agencement de cellules de mémoire indiquée par une sortie dudit premier moyen décodeur d'adresse, et ledit moyen de verrouillage de données verrouillant chaque multiplet d'une séquence du nombre prédéterminé de multiplets à un emplacement indiqué par une sortie dudit second moyen décodeur d'adresse.

4.- Système selon la revendication 1, caractérisé en ce que le moyen de mesure du temps comprend un générateur d'impulsions d'horloge (14), un compteur pour compter un nombre d'impulsions d'horloge produites par ledit générateur et un moyen pour fournir les impulsions d'horloge dudit générateur audit compteur pendant un temps pendant lequel des multiplets de donnée sont verrouillés

dans ledit moyen de verrouillage de données.

5.- Système selon l'une quelconque des revendications 1, 3 ou 4, caractérisé en ce que ledit moyen de validation de verrouillage de données comprend un moyen pour inhiber ledit moyen de verrouillage de données en réponse audit signal à la sortie dudit moyen produisant des signaux pour arrêter un verrouillage d'une séquence de multiplets transmis à travers ledit moyen formant bus de données (20).

6.- Système selon la revendication 1, caractérisé en ce que le moyen de validation de verrouillage de données comprend un moyen de signaux de validation d'écriture intérieure (23) pour émettre un signal de validation d'écriture intérieure et ledit moyen d'écriture intérieure est validé en réponse audit signal.

7.- Système selon la revendication 6, caractérisé en ce que ledit moyen de suppression d'écriture intérieure comprend un moyen pour supprimer une production dudit signal de validation d'écriture intérieure par ledit moyen de signaux d'écriture intérieure en réponse audit signal à la sortie du moyen de production de signaux.

8.- Système selon la revendication 1, caractérisé en ce qu'il comprend de plus un moyen de verrouillage d'ordre (26) pour verrouiller un ordre transmis à travers ledit moyen formant bus de données, de ladite unité centrale de traitement.

9.- Système selon la revendication 6, caractérisé en ce que le moyen de signaux de validation d'écriture intérieure (23) émet un signal de validation d'écriture intérieure en réponse à un ordre de ladite unité centrale de traitement.

10.- Circuit de mémoire adapté à faire partie d'un système microprocesseur, caractérisé en ce qu'il comprend :

un agencement de cellules de mémoire (21) divisé en un certain nombre de sections de zone de mémoire, chacune ayant un nombre prédéterminé de multiplets;

un moyen de verrouillage de données (27) pour verrouiller le nombre prédéterminé de multiplets transmis par un bus de données dudit système microprocesseur;

un moyen de validation de verrouillage de données pour valider ledit moyen de verrouillage de données en réponse à un signal d'une unité centrale de traitement dudit système microprocesseur de manière qu'une séquence du nombre prédéterminé de multiplets transmis à travers ledit bus de données soit verrouillée dans ledit moyen de verrouillage de données;

un moyen d'écriture intérieure (23) pour transférer les multiplets verrouillés dans ledit moyen de verrouillage de données à l'une des sections dudit agencement de cellules de mémoire ;

moyen de mesure du temps pour mesurer un temps qui s'écoule à partir du moment auquel un verrouillage d'une séquence du nombre prédéterminé de multiplets dans ledit moyen de verrouillage de données commence, ledit moyen de mesure du temps comprenant un moyen émettant un signal lorsque ledit temps dépasse un limite maximale fixe prédéterminée ; et

un moyen de suppression d'écriture intérieure pour supprimer ledit moyen d'écriture intérieure en réponse au signal à la sortie dudit moyen émettant un signal de manière qu'un transfert des multiplets dudit moyen de verrouillage de données à une section de l'agencement de cellules de mémoire soit empêché.

11.- Circuit de mémoire selon la revendication 10, caractérisé en ce que l'agencement comprend un agencement de cellules de mémoire morte programmable effaçable électriquement (21).

12.- Circuit de mémoire selon la revendication 10, caractérisé en ce qu'il comprend de plus :

un premier moyen décodeur d'adresse (24) pour décoder les bits d'adresse transmis par un bus d'adresses du système microprocesseur en une adresse d'une section dans ledit agencement de cellules de mémoire ; et

un second moyen décodeur d'adresse (25) pour décoder les bits transmis par ledit bus d'adresses en une adresse d'un multiplet de donnée dans une section dudit agencement de cellules de mémoire,

ledit moyen d'écriture intérieure transférant les multiplets verrouillés dans ledit moyen de verrouillage de données à une section dudit agencement de cellules de mémoire indiquée par une sortie dudit premier moyen décodeur d'adresse et ledit moyen de verrouillage de données verrouillant chaque multiplet d'une séquence du nombre prédéterminé de multiplets à un emplacement indiqué par une sortie dudit second moyen décodeur d'adresse.

13.- Circuit de mémoire selon la revendication 10, caractérisé en ce que le moyen de mesure du temps comprend un générateur d'impulsions d'horloge, un compteur pour compter le nombre d'impulsions d'horloge produites par ledit générateur, et un moyen pour fournir les impulsions d'horloge dudit générateur audit compteur pendant un temps où les multiplets de données sont verrouillés dans ledit moyen de verrouillage de données.

14.- Circuit de mémoire selon la revendication 10, caractérisé en ce que le moyen de validation de verrouillage de données comprend un moyen pour inhiber le moyen de verrouillage de données en réponse audit signal à la sortie dudit moyen de transmission des signaux pour arrêter un verrouillage d'une séquence de multiplets transmis par ledit bus de données (20).

FIG. 1

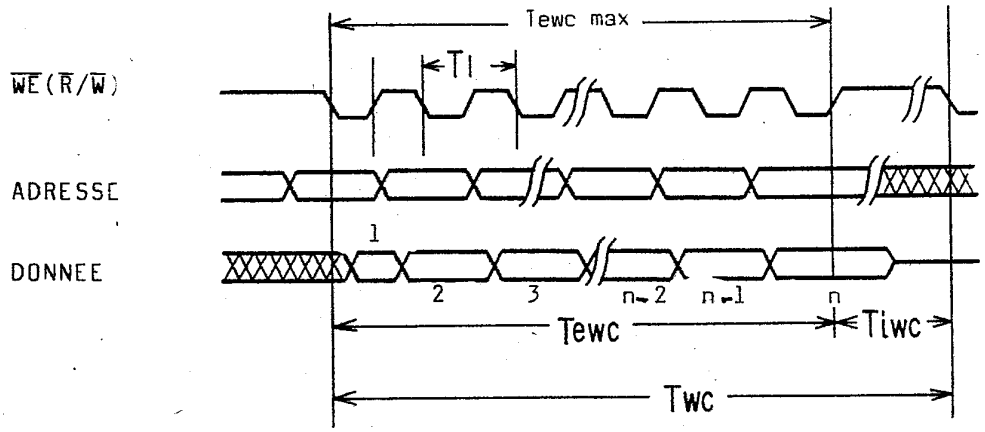


FIG. 4

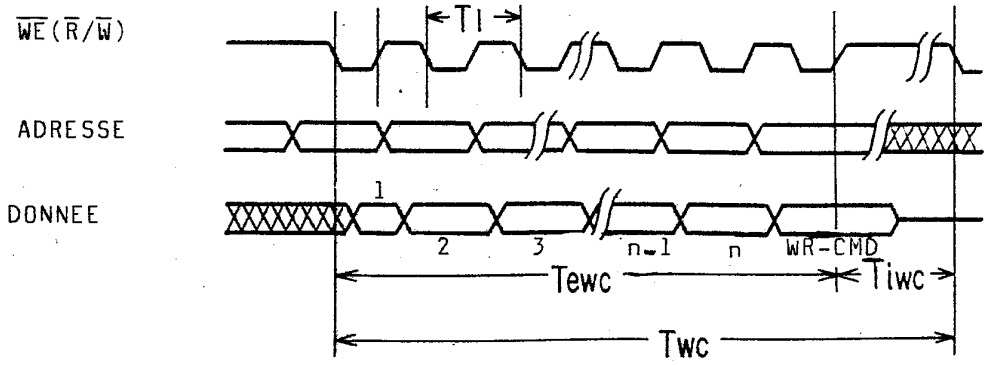


FIG. 6

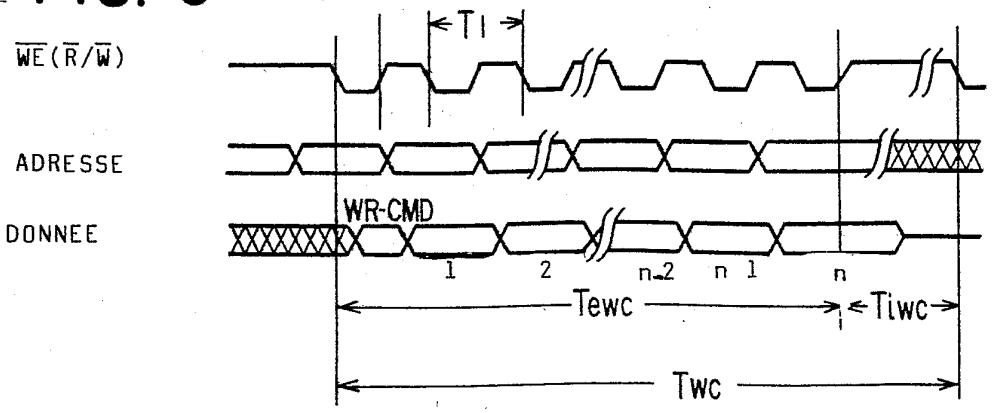


FIG. 2

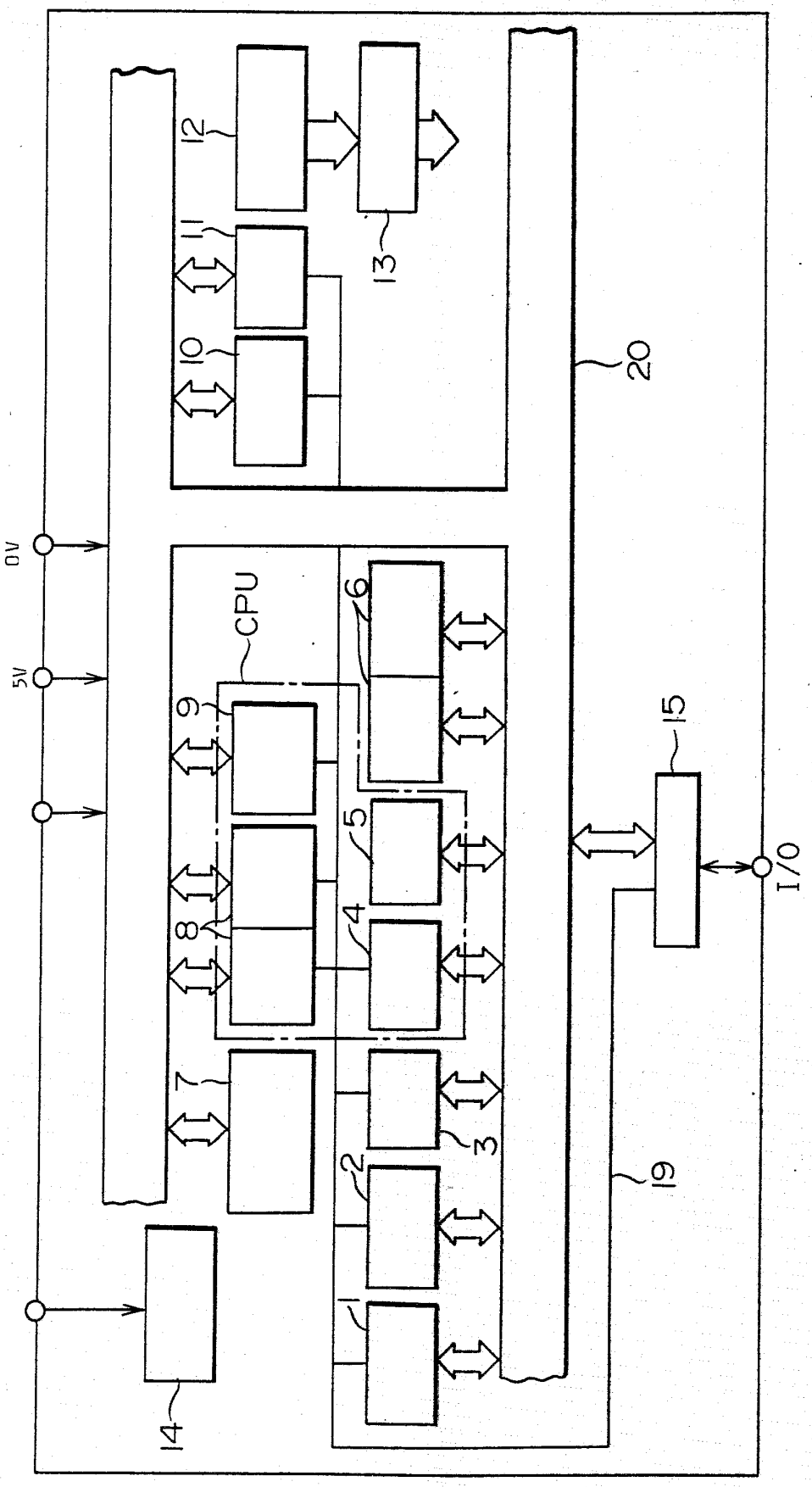


FIG. 3

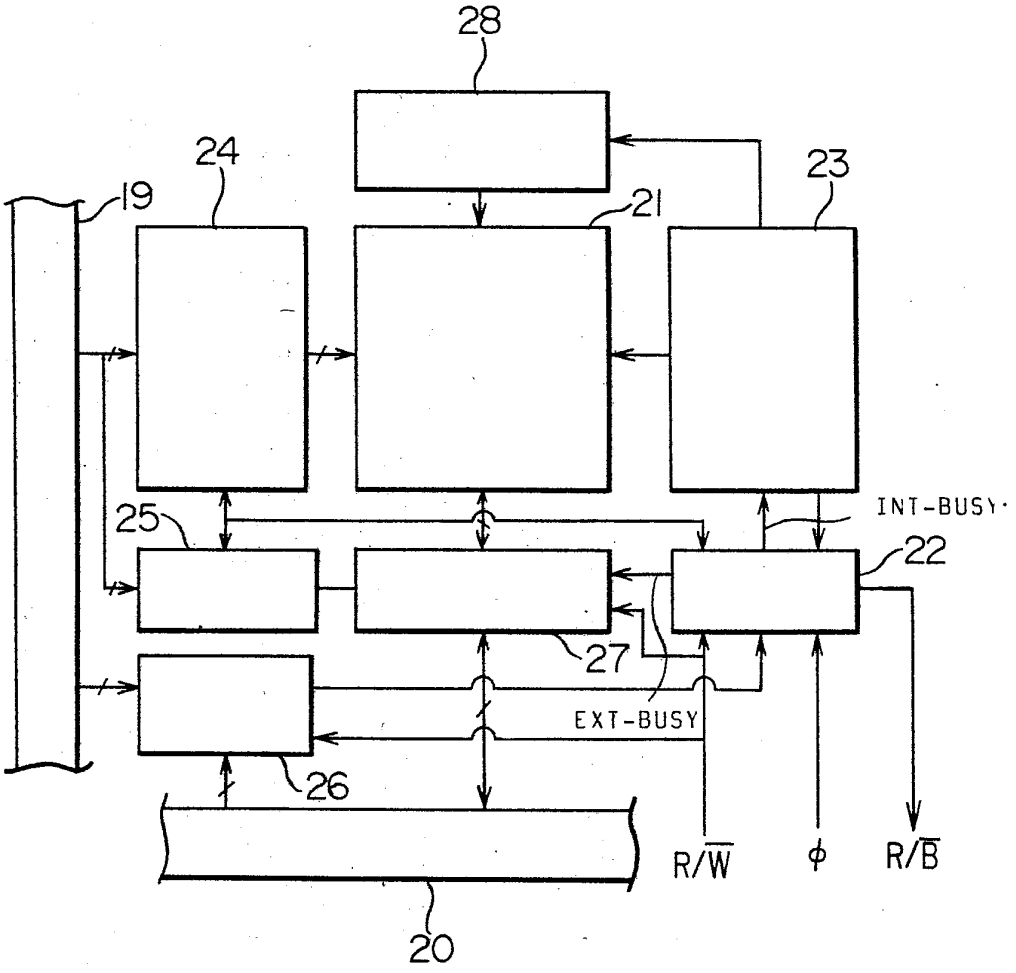
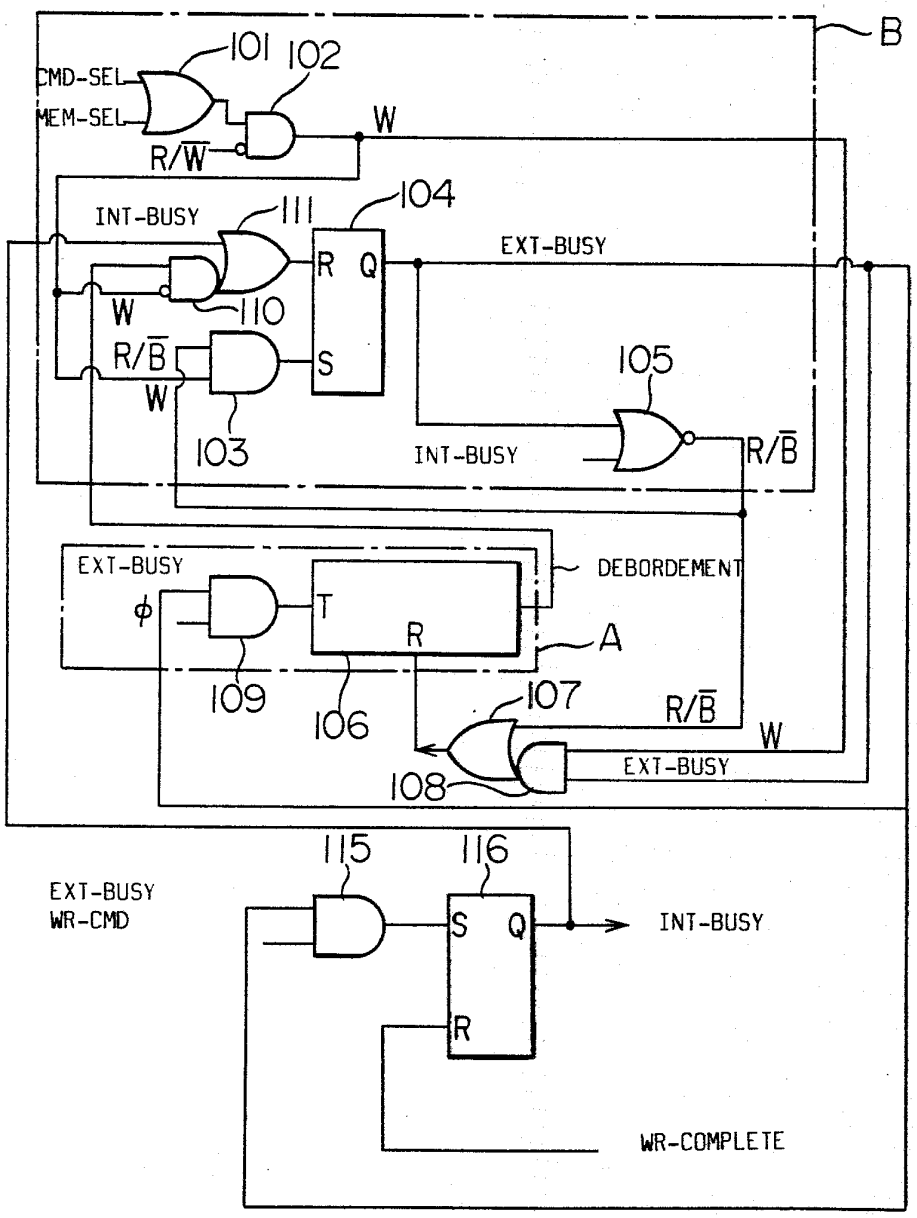


FIG. 5


B
101
102
CMD-SEL
MEM-SEL
R/W
W
104
INT-BUSY
111
R Q
EXT-BUSY
W
110
R/B
S
105
W
103
INT-BUSY
R/B
EXT-BUSY
DEBORDEMENT
φ
T
R
A
109
106
107
R/B
W
EXT-BUSY
108
115
116
EXT-BUSY
WR-CMD
S Q
INT-BUSY
R
WR-COMPLETE