

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年2月12日(2010.2.12)

【公開番号】特開2007-282183(P2007-282183A)

【公開日】平成19年10月25日(2007.10.25)

【年通号数】公開・登録公報2007-041

【出願番号】特願2006-351009(P2006-351009)

【国際特許分類】

H 03K 19/173 (2006.01)

【F I】

H 03K 19/173 101

【手続補正書】

【提出日】平成21年12月24日(2009.12.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プログラマブルロジックデバイス上のシリアルデータ受信回路網であって、

受信回路網の複数の第一のチャネルであって、該第一のチャネルのそれぞれは、第一の比較的低い最大ビットレートまでのシリアルビットレートを有するシリアルデータ信号を受信するように適合してあり、該複数の第一のチャネルのそれぞれは、第一のクロックデータリカバリ回路を含んでいる、複数の第一のチャネルと、

受信回路網の第二のチャネルであって、第二の比較的高い最大ビットレートまでのシリアルビットレートを有するシリアルデータ信号を受信するように適合してあり、該第二のチャネルは、該第一のクロックデータリカバリ回路とは異なっている第二のクロックデータリカバリ回路を含む、第二のチャネルと、

複数の第一の位相ロックループ回路を含むクロック乗算回路網であって、該第一の位相ロックループ回路のそれぞれは、該第一の最大ビットレートまでのビットレートでは動作しているが該第一の最大ビットレートよりも有意に上かつ該第二の最大ビットレートまででは動作していない該チャネルのうちの任意のチャネルによって使用するのに適切なクロック信号を供給し得る、複数の第一の位相ロックループ回路と、

該第二の最大ビットレートまでのビットレートで動作している該チャネルのうちの任意のチャネルによる使用に適切なクロック信号を供給し得る第二の位相ロックループ回路と、

該第一および第二の位相ロックループ回路によって供給される該クロック信号を該第一のチャネルの全てに分配するための回路網であって、該第一のチャネル内の該第一のクロックデータリカバリ回路を含む、回路網と、

該第二の位相ロックループ回路によって供給される該クロック信号を該第二のチャネルに伝達することに専用の回路網と

を備える、回路網。

【請求項2】

前記第一の最大ビットレートは、約6Gbpsである、請求項1に記載の回路網。

【請求項3】

前記第二の最大ビットレートは、約10Gbpsである、請求項1に記載の回路網。

【請求項4】

前記第一のチャネルのそれぞれは、10ビット - 8ビットデコーダ回路網を含む、請求項1に記載の回路網。

【請求項5】

前記第二のチャネルは、66ビット - 64ビットデコーダ回路網を含む、請求項1に記載の回路網。

【請求項6】

前記第一のチャネルは、いずれも、66ビット - 64ビットデコーダ回路網を含まない、請求項4に記載の回路網。

【請求項7】

プログラマブルロジックデバイスであって、
トランシーバ回路網の複数のチャネルであって、

第一の比較的低い最大ビットレートまでの複数の異なるシリアルビットレートのうちの任意のビットレートを有するシリアルデータ信号動作に適合した少なくとも1つの第一のチャネルであって、該少なくとも1つの第一のチャネルは、第一のクロックデータリカバリ回路を含む、少なくとも1つの第一のチャネルと、

第二の比較的高い最大ビットレートまでの複数の異なるシリアルビットレートのうちの任意のビットレートを有するシリアルデータ信号動作に適合した少なくとも1つの第二のチャネルと

を含み、該少なくとも1つの第二のチャネルは、該第一のクロックデータリカバリ回路とは異なる第二のクロックデータリカバリ回路を含む、トランシーバ回路網の複数のチャネルと、

該第一のチャネルの該動作をサポートするために使用するのに適切な第一の最大周波数までの複数の異なる周波数のうちの任意の周波数を有する第一のクロック信号を供給するための第一の位相ロックループ回路と、

該第二のチャネルの該動作をサポートするために使用するのに適切な第二の最大周波数までの複数の異なる周波数のうちの任意の周波数を有する第二のクロック信号を供給するための第二の位相ロックループ回路と、

該第一のクロックデータリカバリ回路を含む該第一のチャネルが、そのチャネルによって使用するために、該第一または該第二のクロック信号のいずれかを選択できるようにする回路網と

を備える、デバイス。

【請求項8】

前記第二の位相ロックループ回路から前記第二のチャネルに、前記第二のクロック信号を付与するための専用接続をさらに備える、請求項7に記載のデバイス。

【請求項9】

前記第一のチャネルは、複数の同様な第一のチャネルのうちの1つであり、

前記選択できるようにする回路網は、前記第一のチャネルのそれぞれが、そのチャネルによって使用するために、前記第一または前記第二のクロック信号のいずれかを選択できるようにする、請求項8に記載のデバイス。

【請求項10】

前記第一の位相ロックループ回路は、複数の同様な第一の位相ロックループ回路のうちの1つであり、該回路のそれぞれが、複数の第一のクロック信号のそれぞれの1つの信号を供給し、

前記選択できるようにする回路網は、前記第一のチャネルが、そのチャネルによって使用するために、前記第一のクロック信号または前記第二のクロック信号のうちの任意の1つを選択できるようにする、請求項8に記載のデバイス。

【請求項11】

前記第一および第二のチャネルのそれぞれは、シリアルライザ回路網を含む、請求項7に記載のデバイス。

【請求項12】

前記第一のチャネルは、8B/10Bデコーダ回路網を含むが、64/66Bデコーダ回路網を含まず、

前記第二のチャネルは、64/66Bデコーダ回路網を含むが、8B/10Bデコーダ回路網を含まない、請求項7に記載のデバイス。

【請求項13】

前記第一の最大ビットレートは、約6Gbpsであり、前記第二の最大ビットレートは、約10Gbpsである、請求項7に記載のデバイス。

【請求項14】

プログラマブルロジックデバイスであって、

受信回路網の複数のチャネルであって、

第一の比較的低い最大ビットレートまでの複数の異なるシリアルビットレートのうちの任意のビットレートを有するシリアルデータ信号を受信するための少なくとも1つの第一のチャネルであって、該少なくとも1つの第一のチャネルは、第一のクロックデータリカバリ回路を含む、少なくとも1つの第一のチャネルと、

第二の比較的高い最大ビットレートまでの複数の異なるシリアルビットレートのうちの任意のビットレートを有するシリアルデータ信号を受信するための少なくとも1つの第二のチャネルであって、該少なくとも1つの第二のチャネルは、該第一のクロックデータリカバリ回路とは異なる第二のクロックデータリカバリ回路を含む、少なくとも1つの第一のチャネルと

を含む、受信回路網の複数のチャネルと、

該第一および第二の最大ビットレートをサポートするためにそれぞれ適切である第一および第二の最大周波数のそれぞれまでの複数の周波数のうちの任意の周波数を有する第一および第二のクロック信号をそれぞれ供給するための第一および第二の位相ロックループ回路と、

該第一のクロックデータリカバリ回路を含む該第一のチャネルが、そのチャネルによって使用するために、該第一または該第二のクロック信号のいずれかを選択できるようになるが、該第二のチャネルはそのようにしない回路網と

を備える、デバイス。

【請求項15】

前記第二のクロック信号を前記第二のチャネルに付与する回路網をさらに備える、請求項14に記載のデバイス。

【請求項16】

前記複数の第一のチャネルのそれぞれは、前記第一の比較的低い最大ビットレートへの使用に適する第一のデコーダを含み、

前記第二のチャネルは、該第一のデコーダとは異なる第二のデコーダを含み、該第二のデコーダは、前記第二の比較的高い最大ビットレートへの使用に適する、請求項1に記載の回路網。

【請求項17】

前記クロック信号を分配するための前記回路網は、

前記複数の第一の位相ロックループ回路によって供給される該クロック信号のうちの異なる1つにそれぞれ結合される複数の第一のコンダクタと、

前記第二の位相ロックループ回路によって供給される該クロック信号に結合される第二のコンダクタと、

複数の第一のチャネルのうちの第一の1つに関連した第一のプログラム可能な要素であって、該第一のプログラム可能な要素は、該複数の第一のチャネルのうちの該第一の1つを(1)該複数の第一のコンダクタのうちの1つ、または、(2)該第二のコンダクタのいずれかに結合するように動作可能である、第一のプログラム可能な要素と、

複数の第一のチャネルのうちの第二の1つに関連した第二のプログラム可能な要素であって、該第二のプログラム可能な要素は、該複数の第一のチャネルのうちの該第二の1つを(1)該複数の第一のコンダクタのうちの1つ、または、(2)該第二のコンダクタの

いずれかに結合するように動作可能である、第二のプログラム可能な要素と
を含む、請求項 1 に記載の回路網。

【請求項 1 8】

前記少なくとも 1 つの第一のチャネルは、前記第一の比較的低い最大ビットレートへの
使用に適する第一のデコーダを含み、

前記少なくとも 1 つの第二のチャネルは、前記第二の比較的高い最大ビットレートへの
使用に適する、第一のデコーダとは異なる第二のデコーダを含む、請求項 7 に記載のデバ
イス。

【請求項 1 9】

前記回路網は、

前記第一の位相ロックループ回路によって供給される前記第一のクロック信号に結合さ
れる第一のコンダクタと、

前記第二の位相ロックループ回路によって供給される前記第二のクロック信号に結合さ
れる第二のコンダクタと、

前記少なくとも 1 つの第一のチャネルに関連するプログラム可能な要素であって、該プ
ログラム可能な要素は、前記少なくとも 1 つの第一のチャネルを該第一および第二のコン
ダクタのうちの 1 つに結合するように動作可能である、請求項 7 に記載のデバイス。

【請求項 2 0】

前記少なくとも 1 つの第一のチャネルは、前記第一の比較的低い最大ビットレートへの
使用に適する第一のデコーダを含み、

前記少なくとも 1 つの第二のチャネルは、該第一のデコーダとは異なる第二のデコーダ
を含み、該第二のデコーダは、前記第二の比較的高い最大ビットレートへの使用に適する
、請求項 1 4 に記載のデバイス。

【請求項 2 1】

前記回路網は、

前記第一の位相ロックループ回路によって供給される前記第一のクロック信号に結合さ
れる第一のコンダクタと、

前記第二の位相ロックループ回路によって供給される前記第二のクロック信号に結合さ
れる第二のコンダクタと、

前記少なくとも 1 つの第一のチャネルに関連するプログラム可能な要素であって、該プ
ログラム可能な要素は、前記少なくとも 1 つの第一のチャネルを該第一および第二のコン
ダクタのうちの 1 つに結合するように動作可能である、請求項 1 4 に記載のデバイス。