



(12) 发明专利申请

(10) 申请公布号 CN 112331663 A

(43) 申请公布日 2021. 02. 05

(21) 申请号 202010756097.4

H01L 27/11568 (2017.01)

(22) 申请日 2020.07.31

(30) 优先权数据

10-2019-0095029 2019.08.05 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金熙中 安泰炫 李基硕 金根楠
黄有商

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 张波

(51) Int. Cl.

H01L 27/11551 (2017.01)

H01L 27/11521 (2017.01)

H01L 27/11578 (2017.01)

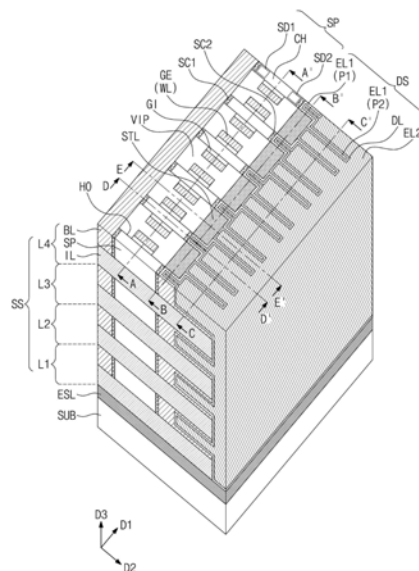
权利要求书3页 说明书11页 附图52页

(54) 发明名称

半导体存储器器件

(57) 摘要

一种半导体存储器器件包括：堆叠，包括垂直地堆叠在衬底上的多个单元层，每个单元层包括在第一方向上延伸的位线和在与第一方向交叉的第二方向上从位线延伸的半导体图案；栅电极，沿着垂直地堆叠的半导体图案中的每个；垂直绝缘层，在栅电极上；停止物层；以及数据存储元件，分别电连接到半导体图案中的每个。数据存储元件中的每个包括：第一电极，电连接到半导体图案中的相应半导体图案；在第一电极上的第二电极；以及电介质层，在第一电极与第二电极之间。停止物层在垂直绝缘层与第二电极之间。



1. 一种半导体存储器器件,包括:

堆叠,包括垂直地堆叠在衬底上的多个单元层,所述多个单元层中的每个包括在第一方向上延伸的位线和在与所述第一方向交叉的第二方向上从所述位线延伸的半导体图案;

栅电极,沿着垂直地堆叠的所述半导体图案中的每个;

垂直绝缘层,在所述栅电极上;

停止物层;以及

数据存储元件,分别电连接到所述半导体图案中的每个,

其中所述数据存储元件中的每个包括:

第一电极,电连接到所述半导体图案中的相应半导体图案;

第二电极,在所述第一电极上;以及

电介质层,在所述第一电极与所述第二电极之间,以及

所述停止物层在所述垂直绝缘层与所述第二电极之间。

2. 根据权利要求1所述的半导体存储器器件,还包括:

第一硅化物图案,在所述半导体图案中的每个与对应的位线之间;以及

第二硅化物图案,在所述半导体图案中的每个与对应的第一电极之间。

3. 根据权利要求1所述的半导体存储器器件,其中所述半导体图案中的每个包括:

第一杂质区域,电连接到所述位线;

第二杂质区域,电连接到所述第一电极;以及

沟道区域,在所述第一杂质区域与所述第二杂质区域之间并且邻近所述栅电极。

4. 根据权利要求1所述的半导体存储器器件,其中所述栅电极包括:

第一栅电极,邻近所述半导体图案的第一侧;以及

第二栅电极,邻近所述半导体图案的第二侧,所述半导体图案的所述第二侧在所述第一方向上与所述半导体图案的所述第一侧相反。

5. 根据权利要求1所述的半导体存储器器件,其中所述停止物层相对于所述垂直绝缘层具有蚀刻选择性。

6. 根据权利要求1所述的半导体存储器器件,其中所述停止物层沿着所述垂直绝缘层垂直于所述衬底的上表面延伸。

7. 根据权利要求1所述的半导体存储器器件,其中所述第一电极包括:

第一部分,邻近所述停止物层;以及

第二部分,在所述第二方向上从所述第一部分延伸,

其中所述第一部分在所述第一方向上的最大宽度小于所述第二部分在所述第一方向上的最大宽度。

8. 根据权利要求1所述的半导体存储器器件,还包括导电焊盘,所述导电焊盘在所述半导体图案中的每个与对应的第一电极之间,

其中所述停止物层在所述导电焊盘中的相邻的导电焊盘之间,以及

所述导电焊盘在所述第一方向上的最大宽度小于所述第一电极在所述第一方向上的最大宽度。

9. 根据权利要求1所述的半导体存储器器件,其中所述电介质层在所述停止物层与所述第二电极之间。

10. 根据权利要求1所述的半导体存储器器件, 其中所述多个单元层中的每个还包括绝缘层, 所述绝缘层在所述位线和所述半导体图案之下。

11. 一种半导体存储器器件, 包括:

堆叠, 包括垂直地堆叠在衬底上的多个单元层, 所述多个单元层中的每个包括在第一方向上延伸的位线和在与所述第一方向交叉的第二方向上从所述位线延伸的半导体图案;

栅电极, 沿着垂直地堆叠的所述半导体图案中的每个;

第一电极, 电连接到所述半导体图案中的相应半导体图案;

停止物层, 邻近所述第一电极; 以及

第二电极, 与所述第一电极间隔开并且电介质层在所述第一电极与所述第二电极之间,

其中所述第一电极中的每个包括:

第一部分, 邻近所述停止物层; 以及

第二部分, 在所述第二方向上从所述第一部分延伸, 以及

所述第一部分在所述第一方向上的最大宽度小于所述第二部分在所述第一方向上的最大宽度。

12. 根据权利要求11所述的半导体存储器器件, 其中所述半导体图案中的每个包括:

第一杂质区域, 电连接到所述位线;

第二杂质区域, 电连接到所述第一电极; 以及

沟道区域, 在所述第一杂质区域与所述第二杂质区域之间并且邻近所述栅电极。

13. 根据权利要求11所述的半导体存储器器件, 其中所述第一部分在所述第二方向上的长度等于所述停止物层在所述第二方向上的宽度。

14. 根据权利要求11所述的半导体存储器器件, 其中所述电介质层在所述停止物层与所述第二电极之间。

15. 根据权利要求11所述的半导体存储器器件, 还包括覆盖所述栅电极的垂直绝缘层, 其中所述停止物层在所述垂直绝缘层与所述第二电极之间。

16. 一种半导体存储器器件, 包括:

堆叠, 包括垂直地堆叠在衬底上的多个单元层, 所述多个单元层中的每个包括在第一方向上延伸的位线和在与所述第一方向交叉的第二方向上从所述位线延伸的半导体图案;

栅电极, 沿着垂直地堆叠的所述半导体图案中的每个;

第一电极, 电连接到所述半导体图案中的相应半导体图案;

导电焊盘, 在所述半导体图案中的每个与所述第一电极中的相应第一电极之间;

停止物层, 在所述导电焊盘中的相邻的导电焊盘之间; 以及

第二电极, 与所述第一电极间隔开并且电介质层在所述第一电极与所述第二电极之间,

其中所述导电焊盘在所述第一方向上的最大宽度小于所述第一电极在所述第一方向上的最大宽度。

17. 根据权利要求16所述的半导体存储器器件, 其中所述半导体图案中的每个包括:

第一杂质区域, 电连接到所述位线;

第二杂质区域, 电连接到所述第一电极; 以及

沟道区域,在所述第一杂质区域与所述第二杂质区域之间并且邻近所述栅电极。

18.根据权利要求16所述的半导体存储器器件,其中所述导电焊盘在所述第二方向上的长度等于所述停止物层在所述第二方向上的宽度。

19.根据权利要求16所述的半导体存储器器件,其中所述电介质层在所述停止物层与所述第二电极之间。

20.根据权利要求16所述的半导体存储器器件,还包括覆盖所述栅电极的垂直绝缘层,其中所述停止物层在所述垂直绝缘层与所述第二电极之间。

半导体存储器器件

技术领域

[0001] 本公开涉及半导体器件,具体地,涉及高度集成的三维半导体存储器器件。

背景技术

[0002] 需要半导体器件的更高的集成度以满足对优异的性能和便宜的价格的消费者需求。就半导体器件而言,由于集成度是决定产品价格的重要因素,因此特别期望提高的集成度。在二维或平面半导体器件的情况下,因为它们的集成度主要由单位存储器单元所占据的面积决定,所以集成度极大地受到精细图案形成技术的水平影响。然而,提高图案精细度所需的极其昂贵的工艺设备对提高二维或平面半导体器件的集成度设定了实际限制。为了克服这样的限制,近来已提出了包括三维布置的存储器单元的三维半导体存储器器件。

发明内容

[0003] 本发明构思的一些示例实施方式提供了具有改善的电特性和可靠性特性的三维半导体存储器器件。

[0004] 根据本发明构思的一些示例实施方式,一种半导体存储器器件可以包括:堆叠,包括垂直地堆叠在衬底上的多个单元层,所述多个单元层中的每个包括在第一方向上延伸的位线和在与第一方向交叉的第二方向上从位线延伸的半导体图案;栅电极,沿着垂直地堆叠的半导体图案中的每个;垂直绝缘层,在栅电极上;停止物层;以及数据存储元件,分别电连接到半导体图案中的每个。数据存储元件中的每个可以包括:第一电极,电连接到半导体图案中的相应半导体图案;在第一电极上的第二电极;以及电介质层,在第一电极与第二电极之间。停止物层可以在垂直绝缘层与第二电极之间。

[0005] 根据本发明构思的一些示例实施方式,一种半导体存储器器件可以包括:堆叠,包括垂直地堆叠在衬底上的多个单元层,所述多个单元层中的每个包括在第一方向上延伸的位线和在与第一方向交叉的第二方向上从位线延伸的半导体图案;栅电极,沿着垂直地堆叠的半导体图案中的每个;第一电极,电连接到半导体图案中的相应半导体图案;停止物层,邻近第一电极;以及第二电极,与第一电极间隔开并且电介质层在第一电极与第二电极之间。第一电极中的每个可以包括邻近停止物层的第一部分和在第二方向上从第一部分延伸的第二部分。第一部分在第一方向上的最大宽度可以小于第二部分在第一方向上的最大宽度。

[0006] 根据本发明构思的一些示例实施方式,一种半导体存储器器件可以包括:堆叠,包括垂直地堆叠在衬底上的多个单元层,所述多个单元层中的每个包括在第一方向上延伸的位线和在与第一方向交叉的第二方向上从位线延伸的半导体图案;栅电极,沿着垂直地堆叠的半导体图案中的每个;第一电极,电连接到半导体图案中的相应半导体图案;导电焊盘,在半导体图案中的每个与第一电极中的相应第一电极之间;停止物层,在导电焊盘中的相邻的导电焊盘之间;以及第二电极,与第一电极间隔开并且电介质层在第一电极与第二电极之间。导电焊盘在第一方向上的最大宽度可以小于第一电极在第一方向上的最大宽

度。

附图说明

[0007] 示例实施方式将由以下结合附图的简要描述被更清楚地理解。附图表示如这里描述的非限制性示例实施方式。

[0008] 图1是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的单元阵列的示意性电路图。

[0009] 图2是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的透视图。

[0010] 图3是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的透视图,其中三维半导体存储器器件的最上部未被示出以便更清楚地显示内部结构。

[0011] 图4A至图4E是分别沿图3的线A-A'、B-B'、C-C'、D-D'和E-E'截取的剖视图,并且示出了在图3中没有示出的最上部。

[0012] 图5、图7、图9、图11、图13、图15、图17、图19和图21是示出根据本发明构思的一些示例实施方式的制造三维半导体存储器器件的方法并且与图3的透视图对应的俯视图。

[0013] 图6、图8A、图10A、图12A、图14A、图16A、图18A、图20A和图22A分别是沿图5、图7、图9、图11、图13、图15、图17、图19和图21的线A-A'截取的剖视图。

[0014] 图8B、图10B、图12B、图14B、图16B、图18B、图20B和图22B分别是沿图7、图9、图11、图13、图15、图17、图19和图21的线B-B'截取的剖视图。

[0015] 图23是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的透视图,其中三维半导体存储器器件的最上部未被示出以便更清楚地显示内部结构。

[0016] 图24A和图24B是分别沿图23的线A-A'和B-B'截取的剖视图,并且示出了在图23中没有示出的最上部。

[0017] 图25、图27、图29、图31和图33是示出根据本发明构思的一些示例实施方式的制造三维半导体存储器器件的方法并且与图23的透视图对应的俯视图。

[0018] 图26A、图28A、图30A、图32A和图34A分别是沿图25、图27、图29、图31和图33的线A-A'截取的剖视图。

[0019] 图26B、图28B、图30B、图32B和图34B分别是沿图25、图27、图29、图31和图33的线B-B'截取的剖视图。

[0020] 应注意,这些附图旨在示出在某些示例实施方式中利用的方法、结构和/或材料的一般特性并对下面提供的书面描述进行补充。然而,这些附图不是按比例绘制的,并且可以不精确地反映任何给定实施方式的精确的结构特性或性能特性,并且不应被解释为限定或限制示例性实施方式所涵盖的值或性质的范围。例如,为清楚起见,分子、层、区域和/或结构元件的相对厚度和定位可以被减小或夸大。相似或相同的附图标记在各个附图中的使用旨在指示相似或相同的元件或特征的存在。

具体实施方式

[0021] 图1是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的单元阵列的示意性电路图。

[0022] 参照图1,根据本发明构思的一些示例实施方式的三维半导体存储器器件的单元阵列可以包括多个子单元阵列SCA。子单元阵列SCA可以在第二方向D2上布置。

[0023] 子单元阵列SCA中的每个可以包括多个位线BL、多个字线WL和多个存储器单元晶体管MCT。存储器单元晶体管MCT中的每个可以置于字线WL中的对应字线与位线BL中的对应位线之间。

[0024] 位线BL可以是与衬底间隔开或堆叠在衬底上的导电图案(例如金属线)。位线BL可以在第一方向D1上延伸。每个子单元阵列SCA中的位线BL可以在垂直方向(例如第三方向D3)上彼此间隔开。

[0025] 字线WL可以是在垂直方向上(例如在第三方向D3上)从衬底延伸的导电图案(例如金属线)。每个子单元阵列SCA中的字线WL可以在第一方向D1上彼此间隔开。

[0026] 存储器单元晶体管MCT的栅电极可以连接到字线WL,并且存储器单元晶体管MCT的源电极可以连接到位线BL。存储器单元晶体管MCT中的每个可以包括数据存储元件DS。例如,数据存储元件DS可以是电容器,并且存储器单元晶体管MCT的漏电极可以连接到该电容器。

[0027] 图2是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的透视图。

[0028] 参照图1和图2,参照图1描述的子单元阵列SCA中的一个可以提供在衬底SUB上。衬底SUB可以是硅衬底、锗衬底或硅锗衬底。

[0029] 详细地,包括第一至第三单元层L1、L2和L3的堆叠SS可以提供在衬底SUB上。堆叠SS的第一至第三单元层L1、L2和L3可以被堆叠为在垂直方向上(即在第三方向D3上)彼此间隔开。第一至第三单元层L1、L2和L3中的每个可以包括多个半导体图案SP、多个数据存储元件DS以及位线BL。

[0030] 半导体图案SP中的每个可以是在第二方向D2上延伸的线形图案、条形图案或柱形图案。在一些示例实施方式中,半导体图案SP可以由硅、锗或硅锗形成,或者包括硅、锗或硅锗。半导体图案SP中的每个可以包括沟道区域CH、第一杂质区域SD1和第二杂质区域SD2。沟道区域CH可以插置在第一杂质区域SD1与第二杂质区域SD2之间。沟道区域CH可以对应于参照图1描述的存储器单元晶体管MCT的沟道区域。第一杂质区域SD1和第二杂质区域SD2可以分别对应于参照图1描述的存储器单元晶体管MCT的源电极和漏电极。

[0031] 第一杂质区域SD1和第二杂质区域SD2可以是半导体图案SP的掺有杂质的区域。在一些示例实施方式中,第一杂质区域SD1和第二杂质区域SD2的导电类型可以是n型或p型。

[0032] 数据存储元件DS可以分别连接到半导体图案SP的端部。数据存储元件DS可以分别连接到半导体图案SP的第二杂质区域SD2。数据存储元件DS可以是配置为存储数据的存储器元件。数据存储元件DS中的每个可以是使用电容器的存储器元件、使用磁隧道结图案的存储器元件或使用可变电阻材料(例如相变材料)的存储器元件。在一些示例实施方式中,数据存储元件DS中的每个可以是电容器。

[0033] 位线BL中的每个可以是在第一方向D1上延伸的线形图案或条形图案。位线BL可以被堆叠为在第三方向D3上彼此间隔开。位线BL可以由导电材料形成或者包括导电材料。例如,所述导电材料可以是掺杂的半导体材料(掺杂的硅、掺杂的锗等)、导电的金属氮化物(钛氮化物、钽氮化物等)、金属性材料(钨、钛、钼等)和金属-半导体化合物(钨硅化物、钴硅

化物、钛硅化物等)中的一种。位线BL可以是参照图1描述的位线BL。

[0034] 在下文中,第一单元层L1将作为第一至第三单元层L1、L2和L3的典型示例被更详细地描述。第一单元层L1中的半导体图案SP可以被布置为在第一方向D1上彼此间隔开。第一单元层L1中的半导体图案SP可以定位在相同的高度(level)(例如第一高度)处。第一单元层L1中的位线BL可以连接到第一单元层L1中的半导体图案SP的端部。在一些示例实施方式中,位线BL可以直接连接到第一杂质区域SD1。在某些示例实施方式中,位线BL可以通过金属硅化物图案电连接到第一杂质区域SD1。第二单元层L2和第三单元层L3可以被配置为具有与上述第一单元层L1的特征基本相同的特征。

[0035] 栅电极GE可以提供在衬底SUB上以穿透堆叠SS。栅电极GE可以是在第三方向D3上延伸的线形图案或柱形图案。栅电极GE可以在第一方向D1上布置。当在俯视图中看时,垂直堆叠的半导体图案SP可以插置在一对栅电极GE之间。栅电极GE中的每个可以垂直地延伸以面对垂直堆叠的半导体图案SP的侧表面。

[0036] 在一些示例实施方式中,第一对栅电极GE可以邻近第一单元层L1中的半导体图案SP中的第一半导体图案、第二单元层L2中的半导体图案SP中的第一半导体图案以及第三单元层L3中的半导体图案SP中的第一半导体图案。第二对栅电极GE可以邻近第一单元层L1中的半导体图案SP中的第二半导体图案、第二单元层L2中的半导体图案SP中的第二半导体图案以及第三单元层L3中的半导体图案SP中的第二半导体图案。

[0037] 栅电极GE可以邻近半导体图案SP的沟道区域CH设置。栅电极GE可以设置在沟道区域CH的侧表面上并且可以在第三方向D3上延伸。栅极绝缘层GI可以插置在栅电极GE与沟道区域CH之间。栅极绝缘层GI可以是单层结构或多层结构,该单层结构或多层结构由高k电介质材料、硅氧化物、硅氮化物和硅氮氧化物中的至少一种形成或者包括高k电介质材料、硅氧化物、硅氮化物和硅氮氧化物中的至少一种。在一些示例实施方式中,所述高k电介质材料可以包括钪氧化物、钪硅氧化物、镧氧化物、锆氧化物、锆硅氧化物、钽氧化物、钛氧化物、钽铌钛氧化物、钽钛氧化物、铌钛氧化物、锂氧化物、铝氧化物、铅铋钽氧化物和铅铋铌酸盐中的至少一种。

[0038] 栅电极GE可以由导电材料形成或者包括导电材料,所述导电材料可以是掺杂的半导体材料、导电的金属氮化物、金属性材料和金属-半导体化合物中的一种。栅电极GE可以是参照图1描述的字线WL。

[0039] 绝缘结构ISS可以提供在衬底SUB上以沿着堆叠SS的侧表面且在第一方向D1上延伸。半导体图案SP的与数据存储元件DS所连接到的端部相反的端部可以邻近绝缘结构ISS。绝缘结构ISS可以由硅氧化物、硅氮化物和硅氮氧化物中的至少一种形成,或者包括硅氧化物、硅氮化物和硅氮氧化物中的至少一种。

[0040] 尽管未示出,但是堆叠SS的空的空间可以用绝缘材料填充。例如,该绝缘材料可以由硅氧化物、硅氮化物和硅氮氧化物中的至少一种形成,或者包括硅氧化物、硅氮化物和硅氮氧化物中的至少一种。

[0041] 图3是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的透视图,其中三维半导体存储器器件的最上部未被示出以便更清楚地显示内部结构。图4A至图4E是分别沿图3的线A-A'、B-B'、C-C'、D-D'和E-E'截取的剖视图,并且示出了在图3中没有示出的最上部。为了简洁的描述,先前参照图1和图2描述的元件将由相同的附图标记表示

而不重复其重叠描述,并且下面将更详细地描述与先前实施方式的特征不同的特征。

[0042] 参照图3和图4A至图4E,堆叠SS可以提供在衬底SUB上。堆叠SS可以在第一方向D1上延伸。尽管未示出,但是多个堆叠SS可以在第二方向D2上布置。

[0043] 堆叠SS可以包括顺序地堆叠在衬底SUB上的第一至第四单元层L1、L2、L3和L4。第一至第四单元层L1、L2、L3和L4中的每个可以包括绝缘层IL、半导体图案SP和位线BL。堆叠SS还可以包括插置在衬底SUB与第一单元层L1之间的蚀刻停止层ESL。尽管在本实施方式中示例性地示出了第一至第四单元层L1、L2、L3和L4,但是可以在第四单元层L4上进一步堆叠一个或更多个单元层。尽管图4A至图4E中未示出,但是将理解,第四单元层L4可以在其上提供有另外的层。

[0044] 半导体图案SP和位线BL可以提供在绝缘层IL上。半导体图案SP和位线BL可以在绝缘层IL上并排设置(例如,在每个单元层中,半导体图案SP在绝缘层IL上在第一方向D1上布置,并且位线BL在绝缘层IL上邻近半导体图案SP在第一方向D1上延伸)。绝缘层IL可以在垂直方向上(即在第三方向D3上)将上单元层中的半导体图案SP和位线BL与下单元层中的半导体图案SP和位线BL分开。

[0045] 第一至第四单元层L1、L2、L3和L4中的每个中的位线BL可以在第一方向D1上延伸。位线BL可以定位在与半导体图案SP相同的高度处。位线BL的侧表面可以面对半导体图案SP的侧表面。位线BL的侧表面可以与半导体图案SP的侧表面接触。

[0046] 半导体图案SP可以由半导体材料(例如硅、锗或硅锗)形成,或者包括半导体材料(例如硅、锗或硅锗)。绝缘层IL可以由选自自由硅氧化物、硅氮化物、硅氮氧化物、含碳的硅氧化物、含碳的硅氮化物和含碳的硅氮氧化物构成的组的至少一种材料形成。例如,绝缘层IL可以是硅氮化物(SiN)层。

[0047] 在一些示例实施方式中,多个半导体图案SP可以提供在第一至第四单元层L1、L2、L3和L4中的每个中。第一至第四单元层L1、L2、L3和L4中的每个中的半导体图案SP可以是在第二方向D2上从位线BL延伸的条形图案。每个半导体图案SP可以包括沟道区域CH、第一杂质区域SD1和第二杂质区域SD2。沟道区域CH可以插置在第一杂质区域SD1与第二杂质区域SD2之间。位线BL可以电连接到半导体图案SP的第一杂质区域SD1。

[0048] 孔H0可以被限定在堆叠SS中以穿透堆叠SS。孔H0可以位于半导体图案SP之间。栅电极GE可以提供在穿透堆叠SS的孔H0中以在垂直方向上(即在第三方向D3上)延伸。换言之,栅电极GE可以被提供为穿透堆叠SS。

[0049] 栅电极GE可以包括分别提供在半导体图案SP的沟道区域CH的两侧的第一栅电极GE1和第二栅电极GE2。在一些示例实施方式中,第一栅电极GE1和第二栅电极GE2可以构成单个字线WL。在某些示例实施方式中,第一栅电极GE1可以是字线WL,第二栅电极GE2可以是背栅(back gate)。

[0050] 栅极绝缘层GI可以插置在栅电极GE中的每个与半导体图案SP中的对应半导体图案之间。栅极绝缘层GI可以是单层结构或多层结构,该单层结构或多层结构由高k电介质材料、硅氧化物、硅氮化物和硅氮氧化物中的至少一种形成或者包括高k电介质材料、硅氧化物、硅氮化物和硅氮氧化物中的至少一种。

[0051] 垂直绝缘层VIP可以被提供为填充孔H0。垂直绝缘层VIP可以覆盖栅电极GE。在一些示例实施方式中,在孔H0中,垂直绝缘层VIP可以插置在相邻的一对栅电极GE之间。垂直

绝缘层VIP可以插置在相邻的一对半导体图案SP之间。垂直绝缘层VIP可以由硅氧化物、硅氮化物和硅氮氧化物中的至少一种形成,或者包括硅氧化物、硅氮化物和硅氮氧化物中的至少一种。例如,垂直绝缘层VIP可以包括相对于绝缘层IL具有蚀刻选择性的硅氧化物层。

[0052] 数据存储元件DS可以被提供为分别电连接到半导体图案SP。数据存储元件DS中的每个可以包括第一电极EL1、电介质层DL和第二电极EL2。堆叠SS中的数据存储元件DS可以共用单个电介质层DL和单个第二电极EL2。例如,多个第一电极EL1可以提供在堆叠SS中,并且第一电极EL1的表面可以用单个电介质层DL覆盖。单个第二电极EL2可以提供在单个电介质层DL上。在一些实施方式中,电介质层DL和第二电极EL2可以不被共用,而是可以被分开提供,如图2所示。虽然第一电极EL1、电介质层DL和第二电极EL2在图3中被示出为在第一方向D1上的两端是不完整的,但是它们实际上可以被形成为是完整的。

[0053] 第一电极EL1和第二电极EL2中的每个可以由金属性材料(例如钛、钽、钨、铜和/或铝)、导电的金属氮化物(例如钛氮化物和/或钽氮化物)和掺杂的半导体材料(例如掺杂的硅和/或掺杂的锗)中的至少一种形成,或者包括金属性材料(例如钛、钽、钨、铜和/或铝)、导电的金属氮化物(例如钛氮化物和/或钽氮化物)和掺杂的半导体材料(例如掺杂的硅和/或掺杂的锗)中的至少一种。电介质层DL可以由高k电介质材料(例如钪氧化物、钪硅氧化物、镧氧化物、锆氧化物、锆硅氧化物、钽氧化物、钛氧化物、钽锆钛氧化物、钽钛氧化物、锆钛氧化物、锂氧化物、铝氧化物、铅钪钽氧化物和/或铅铋钽酸盐)中的至少一种形成,或者包括高k电介质材料(例如钪氧化物、钪硅氧化物、镧氧化物、锆氧化物、锆硅氧化物、钽氧化物、钛氧化物、钽锆钛氧化物、钽钛氧化物、锆钛氧化物、锂氧化物、铝氧化物、铅钪钽氧化物和/或铅铋钽酸盐)中的至少一种。

[0054] 还可以提供停止物层STL以填充孔H0。换言之,孔H0中的每个可以用垂直绝缘层VIP和停止物层STL填充。停止物层STL可以插置在垂直绝缘层VIP与第二电极EL2之间。停止物层STL可以是提供在孔H0中以穿透堆叠SS的柱形图案。停止物层STL可以沿着垂直绝缘层VIP垂直地延伸。电介质层DL可以插置在停止物层STL与第二电极EL2之间。电介质层DL可以覆盖停止物层STL的侧表面。

[0055] 停止物层STL可以由选自由硅氧化物、硅氮化物、硅氮氧化物、含碳的硅氧化物、含碳的硅氮化物和含碳的硅氮氧化物构成的组的材料形成,或者包括选自由硅氧化物、硅氮化物、硅氮氧化物、含碳的硅氧化物、含碳的硅氮化物和含碳的硅氮氧化物构成的组的材料。停止物层STL可以相对于垂直绝缘层VIP和绝缘层IL具有蚀刻选择性。

[0056] 第一电极EL1中的每个可以是具有敞开的端部的两个中空柱连接在一起的图案。第一电极EL1可以包括第一部分P1和第二部分P2,第一部分P1插置在停止物层STL中的相邻的停止物层之间,第二部分P2在第二方向D2上从第一部分P1延伸。第一部分P1可以电连接到半导体图案SP的第二杂质区域SD2。停止物层STL可以插置在第一部分P1中的相邻的第一部分之间。

[0057] 第一部分P1在第一方向D1上的最大宽度可以是第一宽度W1。第二部分P2在第一方向D1上的最大宽度可以是第二宽度W2。第二宽度W2可以大于第一宽度W1。第一部分P1在第二方向D2上的长度可以基本上等于停止物层STL在第二方向D2上的宽度。

[0058] 第一硅化物图案SC1可以插置在位线BL与半导体图案SP之间。第二硅化物图案SC2可以插置在半导体图案SP与第一电极EL1之间。位线BL可以通过第一硅化物图案SC1电连接

到第一杂质区域SD1。第一电极EL1可以通过第二硅化物图案SC2电连接到第二杂质区域SD2。第一硅化物图案SC1和第二硅化物图案SC2可以由金属硅化物(例如钴硅化物)中的至少一种形成,或者包括金属硅化物(例如钴硅化物)中的至少一种。

[0059] 根据本发明构思的一些示例实施方式,堆叠的半导体图案SP的端部可以通过停止物层STL彼此垂直地对准。换言之,堆叠的半导体图案SP的长度上的一致性可以由于停止物层STL而改善。由于停止物层STL,分别连接到半导体图案SP的第一电极EL1可以形成为具有相同的尺寸和相同的形状。结果,可以改善三维半导体存储器器件的电特性和可靠性特性。

[0060] 图5、图7、图9、图11、图13、图15、图17、图19和图21是示出根据本发明构思的一些示例实施方式的制造三维半导体存储器器件的方法并且与图3的透视图对应的俯视图。图6、图8A、图10A、图12A、图14A、图16A、图18A、图20A和图22A分别是沿图5、图7、图9、图11、图13、图15、图17、图19和图21的线A-A'截取的剖视图。图8B、图10B、图12B、图14B、图16B、图18B、图20B和图22B分别是沿图7、图9、图11、图13、图15、图17、图19和图21的线B-B'截取的剖视图。

[0061] 参照图5和图6,蚀刻停止层ESL可以形成在衬底SUB上。堆叠SS可以形成在蚀刻停止层ESL上。堆叠SS的形成可以包括形成堆叠在蚀刻停止层ESL上的第一至第四单元层L1、L2、L3和L4。

[0062] 第一至第四单元层L1、L2、L3和L4中的每个可以包括绝缘层IL和半导体层SL。绝缘层IL和半导体层SL可以被顺序地形成。半导体层SL可以由半导体材料(例如硅、锗或硅锗)形成,或者包括半导体材料(例如硅、锗或硅锗)。绝缘层IL可以由选自硅氧化物、硅氮化物、硅氮氧化物、含碳的硅氧化物、含碳的硅氮化物和含碳的硅氮氧化物构成的组的至少一种材料形成。例如,绝缘层IL可以由硅氮化物(SiN)层形成。

[0063] 堆叠SS可以被图案化以形成穿透堆叠SS的孔H0。孔H0可以不穿透衬底SUB上的蚀刻停止层ESL。由于蚀刻停止层ESL,衬底SUB的顶表面可以不通过孔H0暴露。

[0064] 孔H0中的每个可以是在第二方向D2上延伸的线形的空的区域或条形的空的区域。孔H0可以形成为在第一方向D1上彼此间隔开。由于孔H0,初步半导体图案SP1可以被限定在半导体层SL中的每个中。例如,初步半导体图案SP1可以被限定在相邻的一对孔H0之间,除了在第一方向D1上位于两端的初步半导体图案SP1之外。初步半导体图案SP1可以是在第二方向D2上延伸的条形图案。

[0065] 参照图7、图8A和图8B,栅电极GE和栅极绝缘层GI可以形成在孔H0中的每个中。详细地,栅极绝缘层和栅电极层可以形成在孔H0中,并且可以被图案化以形成栅电极GE和栅极绝缘层GI。栅电极GE和栅极绝缘层GI可以沿着堆叠SS的由孔H0暴露的内侧表面且在第三方向D3上延伸。栅电极GE可以包括提供在初步半导体图案SP1的两侧的第一栅电极GE1和第二栅电极GE2。

[0066] 在栅电极GE的形成之后,垂直绝缘层VIP可以被形成以填充孔H0。垂直绝缘层VIP可以由硅氧化物、硅氮化物和硅氮氧化物中的至少一种形成,或者包括硅氧化物、硅氮化物和硅氮氧化物中的至少一种。例如,垂直绝缘层VIP可以包括相对于绝缘层IL具有蚀刻选择性的硅氧化物层。

[0067] 参照图9、图10A和图10B,第一沟槽TR1可以形成在堆叠SS中在第一方向D1上不连续地延伸。详细地,第一沟槽TR1的形成可以包括在堆叠SS上形成掩模图案(未示出)以限

定第一沟槽TR1、以及使用该掩模图案作为蚀刻掩模选择性地蚀刻垂直绝缘层VIP。例如，第一沟槽TR1可以通过在第一方向D1上选择性地图案化垂直绝缘层VIP而形成。

[0068] 当形成第一沟槽TR1时，初步半导体图案SP1和绝缘层IL可以不被蚀刻。在某些示例实施方式中，初步半导体图案SP1的一部分可以通过第一沟槽TR1暴露。

[0069] 参照图11、图12A和图12B，初步半导体图案SP1的暴露部分可以被选择性地去除。换言之，初步半导体图案SP1的通过第一沟槽TR1暴露的部分可以被选择性地去除。因为初步半导体图案SP1的所述部分被去除，所以除了形成半导体图案SP之外，还可以形成与半导体图案SP间隔开的剩余半导体图案SP_r。剩余半导体图案SP_r可以在第二方向D2上与半导体图案SP间隔开。

[0070] 因为初步半导体图案SP1中的每个的由第一沟槽TR1暴露的部分被去除，所以最终的半导体图案SP的端部EN可以在第三方向D3上彼此对准。换言之，半导体图案SP可以具有基本相同的长度。

[0071] 停止物层STL可以被形成以填充第一沟槽TR1。停止物层STL还可以填充从其去除了初步半导体图案SP1的所述部分的区域。换言之，停止物层STL可以插置在半导体图案SP与剩余半导体图案SP_r之间。

[0072] 在根据本发明构思的一些示例实施方式的制造方法中，通过形成停止物层STL，可以使堆叠的半导体图案SP的端部EN彼此垂直地对准。换言之，停止物层STL的形成可以改善堆叠的半导体图案SP的长度上的一致性。

[0073] 参照图13、图14A和图14B，半导体层SL的除半导体图案SP和剩余半导体图案SP_r以外的部分可以用位线BL替换。例如，可以对堆叠SS的侧表面执行湿蚀刻工艺以选择性地蚀刻半导体层SL。半导体层SL的所述部分可以通过蚀刻工艺被去除。位线BL可以通过沉积导电材料以填充从其去除了半导体层SL的所述部分的区域而形成。位线BL可以在第一方向D1上延伸。位线BL可以电连接到半导体图案SP。

[0074] 第一硅化物图案SC1可以形成在位线BL与每个半导体图案SP之间。第一硅化物图案SC1的形成可以包括在位线BL的形成之前对通过去除半导体层SL的所述部分而暴露的半导体图案SP执行硅化工艺。

[0075] 第一杂质区域SD1可以分别形成在半导体图案SP中。第一杂质区域SD1的形成可以包括在位线BL的形成之前将杂质注入到通过去除半导体层SL的所述部分而暴露的半导体图案SP中。

[0076] 参照图15、图16A和图16B，堆叠SS可以被图案化以形成穿透堆叠SS的第二沟槽TR2。第二沟槽TR2可以形成暴露剩余半导体图案SP_r的侧表面、绝缘层IL的侧表面和垂直绝缘层VIP的侧表面。第二沟槽TR2可以在第一方向D1上延伸。剩余半导体图案SP_r的一部分和绝缘层IL的一部分可以被去除。

[0077] 参照图17、图18A和图18B，通过第二沟槽TR2暴露的剩余半导体图案SP_r可以被去除以形成凹陷RS。凹陷RS的形成可以包括通过第二沟槽TR2执行湿蚀刻工艺以选择性地蚀刻剩余半导体图案SP_r。可以执行湿蚀刻工艺以完全去除剩余半导体图案SP_r并暴露停止物层STL。

[0078] 凹陷RS可以从第二沟槽TR2朝向位线BL水平地延伸。凹陷RS可以由绝缘层IL、停止物层STL和垂直绝缘层VIP围绕。凹陷RS可以在第一方向D1上具有第一宽度W1。

[0079] 参照图19、图20A和图20B,通过凹陷RS暴露的停止物层STL可以被选择性地蚀刻。因此,半导体图案SP的端部可以通过凹陷RS暴露。半导体图案SP的暴露的端部可以被掺以杂质以形成第二杂质区域SD2。可以对半导体图案SP的暴露的端部执行硅化工艺以形成第二硅化物图案SC2。

[0080] 接着,垂直绝缘层VIP可以通过凹陷RS被选择性地蚀刻,以在第一方向D1上扩展凹陷RS。因为垂直绝缘层VIP被选择性地蚀刻,所以垂直绝缘层VIP的邻近凹陷RS的部分可以被去除。凹陷RS可以被扩展为在第一方向D1上具有第二宽度W2。第二宽度W2可以大于图18A中的第一宽度W1。

[0081] 参照图21、图22A和图22B,第一电极EL1可以分别形成在凹陷RS中。详细地,第一电极EL1的形成可以包括在凹陷RS中共形地形成第一电极层、以及对第一电极层执行湿蚀刻工艺以形成彼此分离的多个第一电极EL1。因此,第一电极EL1可以形成为具有拥有敞开的端部的两个中空柱连接在一起的形状。

[0082] 参照图3和图4A至图4E,电介质层DL可以共形地形成在第一电极EL1上。电介质层DL可以覆盖第一电极EL1的暴露表面。第二电极EL2可以形成在电介质层DL上。第二电极EL2可以形成为完全填充第二沟槽TR2和凹陷RS。第一电极EL1、电介质层DL和第二电极EL2可以构成数据存储元件DS。

[0083] 在根据本发明构思的一些示例实施方式的制造方法中,停止物层STL可以用于将凹陷RS形成至基本相同的深度(例如凹陷RS在第二方向D2上的长度)。堆叠的半导体图案SP的端部可以通过相同尺寸的凹陷RS暴露。因为第一电极EL1分别形成在凹陷RS中,所以第一电极EL1可以形成为具有基本相同的尺寸和相同的形状。结果,可以制造具有改善的电特性和可靠性特性的三维半导体存储器器件。

[0084] 图23是示出根据本发明构思的一些示例实施方式的三维半导体存储器器件的透视图,其中三维半导体存储器器件的最上部未被示出以便更清楚地显示内部结构。图24A和图24B是分别沿图23的线A-A'和B-B'截取的剖视图,并且示出了在图23中没有示出的最上部。为了简洁的描述,先前参照图3和图4A至图4E描述的元件将由相同的附图标记表示而不重复其重叠描述,并且下面将更详细地描述与先前实施方式的特征不同的特征。

[0085] 参照图23、图24A和图24B,导电焊盘PAD可以分别插置在半导体图案SP与第一电极EL1之间。导电焊盘PAD可以在第一方向D1上布置。导电焊盘PAD中的每个可以是在第二方向D2上延伸的条形图案。换言之,导电焊盘PAD可以平行于半导体图案SP的长轴延伸。半导体图案SP和导电焊盘PAD可以沿着半导体图案SP的长轴以对准的方式布置。导电焊盘PAD在第一方向D1上的宽度W3可以基本上等于半导体图案SP在第一方向D1上的宽度。

[0086] 导电焊盘PAD的端部可以与第二硅化物图案SC2直接接触。导电焊盘PAD的与直接接触第二硅化物图案SC2的端部相反的端部可以与第一电极EL1直接接触。停止物层STL可以覆盖导电焊盘PAD的彼此相反的侧表面。导电焊盘PAD在第二方向D2上的长度可以基本上等于停止物层STL在第二方向D2上的宽度。

[0087] 导电焊盘PAD在第一方向D1上的最大宽度可以是第三宽度W3。第一电极EL1在第一方向D1上的最大宽度可以是第二宽度W2。第二宽度W2可以大于第三宽度W3。导电焊盘PAD可以由金属性材料和导电的金属氮化物中的至少一种形成,或者包括金属性材料和导电的金属氮化物中的至少一种。

[0088] 图25、图27、图29、图31和图33是示出根据本发明构思的一些示例实施方式的制造三维半导体存储器器件的方法并且与图23的透视图对应的俯视图。图26A、图28A、图30A、图32A和图34A分别是沿图25、图27、图29、图31和图33的线A-A'截取的剖视图。图26B、图28B、图30B、图32B和图34B分别是沿图25、图27、图29、图31和图33的线B-B'截取的剖视图。为了简洁的描述,先前参照图5至图22B描述的元件将由相同的附图标记表示而不重复其重叠描述,并且下面将更详细地描述与先前实施方式的特征不同的特征。

[0089] 参照图25、图26A和图26B,可以执行蚀刻工艺以从参照图9、图10A和图10B描述的所得结构选择性地去除初步半导体图案SP1的暴露部分。因为初步半导体图案SP1的所述部分被去除,所以除了半导体图案SP之外,还可以形成与半导体图案SP间隔开的剩余半导体图案SPr。

[0090] 半导体图案SP的端部和剩余半导体图案SPr的端部可以由第一沟槽TR1暴露。可以对半导体图案SP的端部和剩余半导体图案SPr的端部执行硅化工艺,以分别形成第二硅化物图案SC2和第三硅化物图案SC3。

[0091] 在第二硅化物图案SC2和第三硅化物图案SC3的形成之前,第二杂质区域SD2可以分别形成在半导体图案SP中。第二杂质区域SD2的形成可以包括将杂质掺入半导体图案SP中的每个的暴露的端部。

[0092] 导电层PAL可以被形成以填充第一沟槽TR1。导电层PAL可以填充从其去除了初步半导体图案SP1的所述部分的区域。换言之,导电层PAL可以插置在半导体图案SP与剩余半导体图案SPr之间。

[0093] 参照图27、图28A和图28B,可以执行各向异性蚀刻工艺以选择性地去除导电层PAL,结果,可以形成导电焊盘PAD。导电焊盘PAD可以使用绝缘层IL作为蚀刻掩模以自对准方式形成。例如,导电焊盘PAD可以具有与在其上的绝缘层IL的宽度相同的宽度。

[0094] 在导电焊盘PAD的形成之后,停止物层STL可以被形成以填充第一沟槽TR1。停止物层STL可以形成为填充导电焊盘PAD中的相邻的导电焊盘之间的空间。换言之,停止物层STL可以插置在导电焊盘PAD中的相邻的导电焊盘之间。

[0095] 参照图29、图30A和图30B,半导体层SL的除半导体图案SP和剩余半导体图案SPr以外的部分可以用位线BL替换。位线BL可以在第一方向D1上延伸。位线BL可以电连接到半导体图案SP。第一杂质区域SD1可以分别形成在半导体图案SP中。第一硅化物图案SC1可以形成在位线BL与每个半导体图案SP之间。位线BL、第一杂质区域SD1和第一硅化物图案SC1可以通过与参照图13、图14A和图14B描述的方法相同的方法形成。

[0096] 参照图31、图32A和图32B,堆叠SS可以被图案化以形成穿透堆叠SS的第二沟槽TR2。第二沟槽TR2可以形成为暴露剩余半导体图案SPr的侧表面、绝缘层IL的侧表面和垂直绝缘层VIP的侧表面。第二沟槽TR2可以在第一方向D1上延伸。

[0097] 参照图33、图34A和图34B,通过第二沟槽TR2暴露的剩余半导体图案SPr可以被去除以形成凹陷RS。凹陷RS的形成可以包括通过第二沟槽TR2执行湿蚀刻工艺以选择性地蚀刻剩余半导体图案SPr。可以执行湿蚀刻工艺以完全去除剩余半导体图案SPr和第三硅化物图案SC3并暴露导电焊盘PAD。

[0098] 参照图23、图24A和图24B,后续工艺可以以与先前参照图19至图22B描述的方式相同的方式来执行。例如,可以扩展凹陷RS中的每个。第一电极EL1可以分别共形地形成在

扩展的凹陷RS中。第一电极EL1可以与导电焊盘PAD直接接触。电介质层DL可以共形地形成在第一电极EL1上。第二电极EL2可以形成在电介质层DL上。

[0099] 根据本发明构思的一些示例实施方式,三维半导体存储器器件可以包括停止物层,该停止物层用于减小堆叠的半导体图案的长度上的图案至图案差异(pattern-to-pattern variation)。停止物层的使用可以改善分别连接到半导体图案的第一电极的尺寸和形状上的一致性。结果,可以改善三维半导体存储器器件的电特性和可靠性特性。

[0100] 虽然已经具体显示和描述了本发明构思的示例实施方式,但是本领域普通技术人员将理解,在不背离所附权利要求的精神和范围的情况下可以在其中进行形式和细节上的变化。

[0101] 本申请要求享有2019年8月5日在韩国知识产权局提交的韩国专利申请第10-2019-0095029号的优先权,该韩国专利申请的全部内容通过引用合并于此。

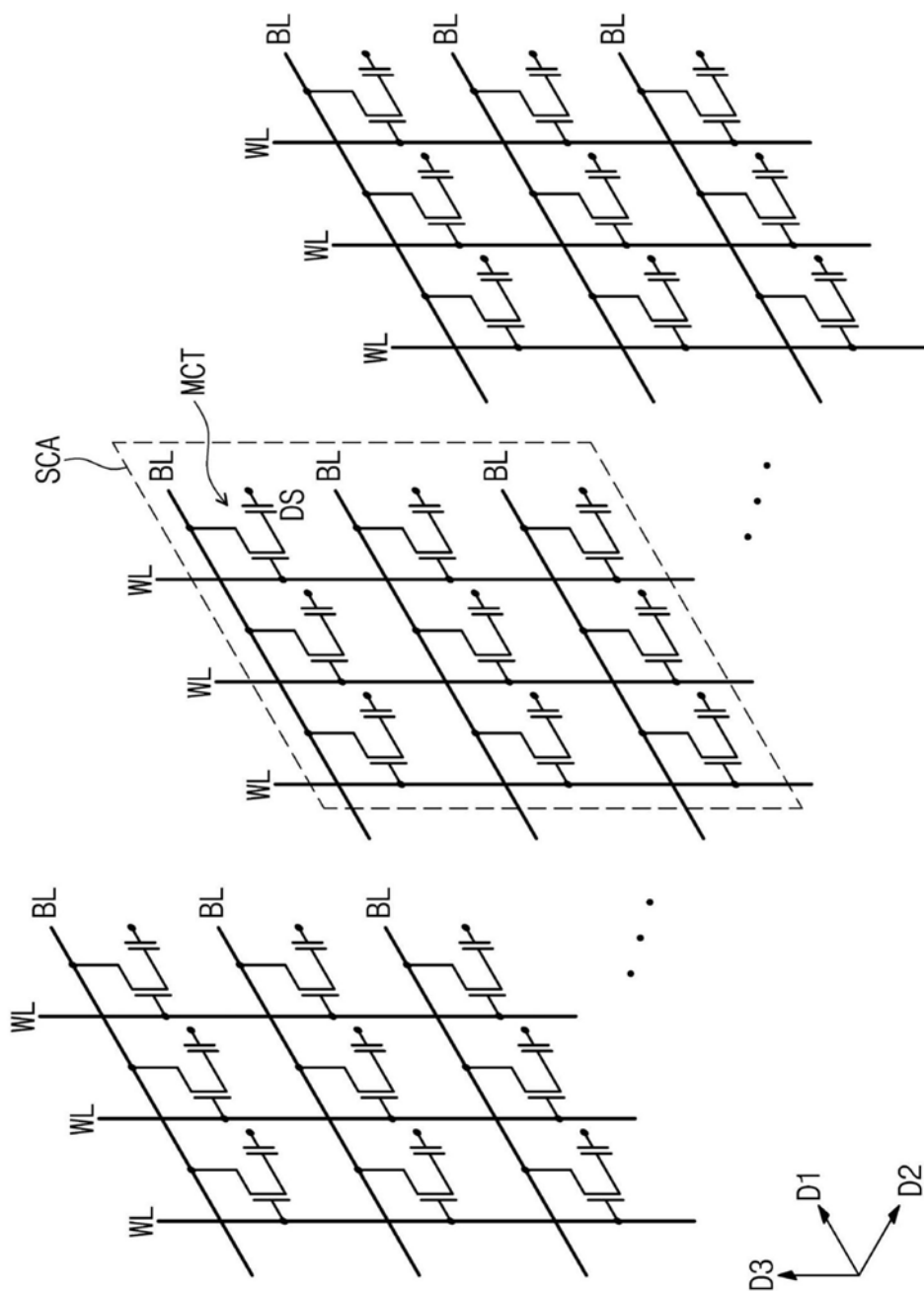


图1

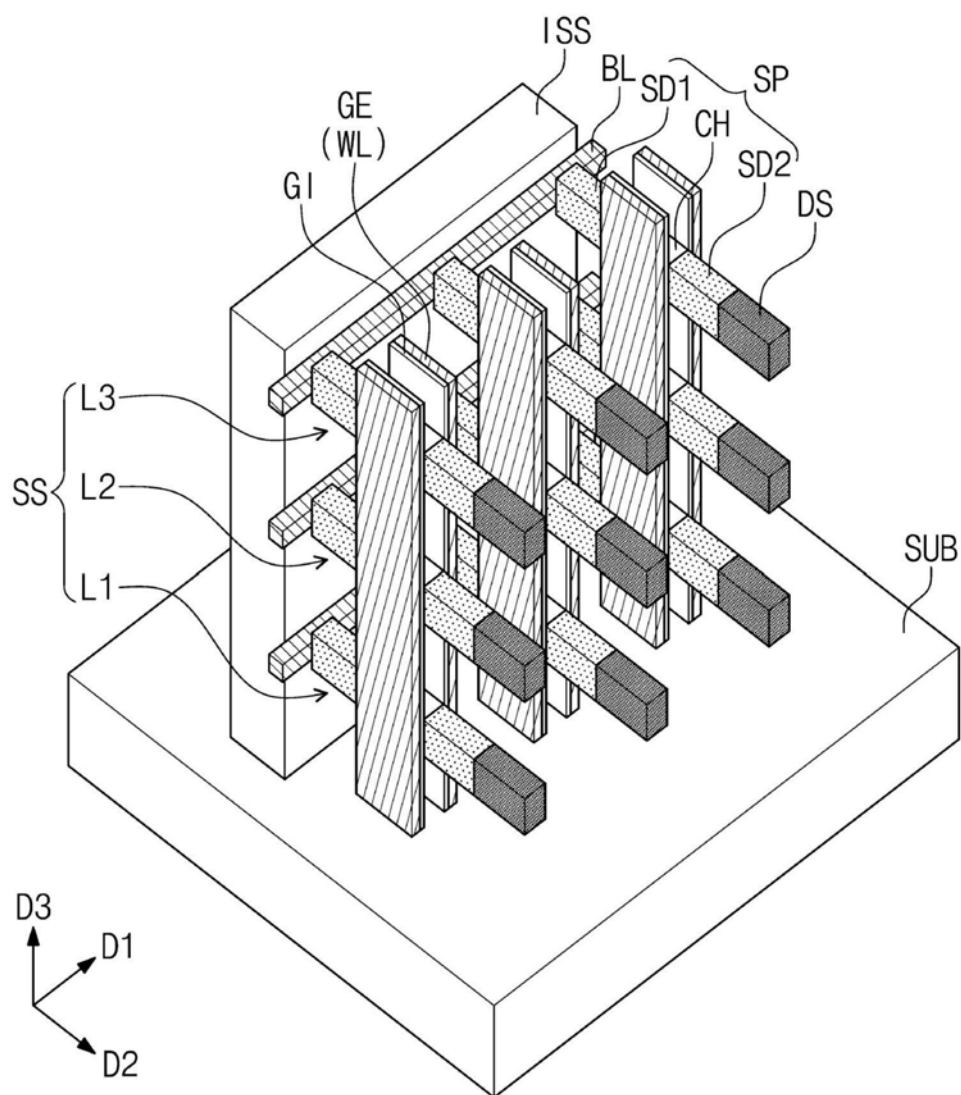


图2

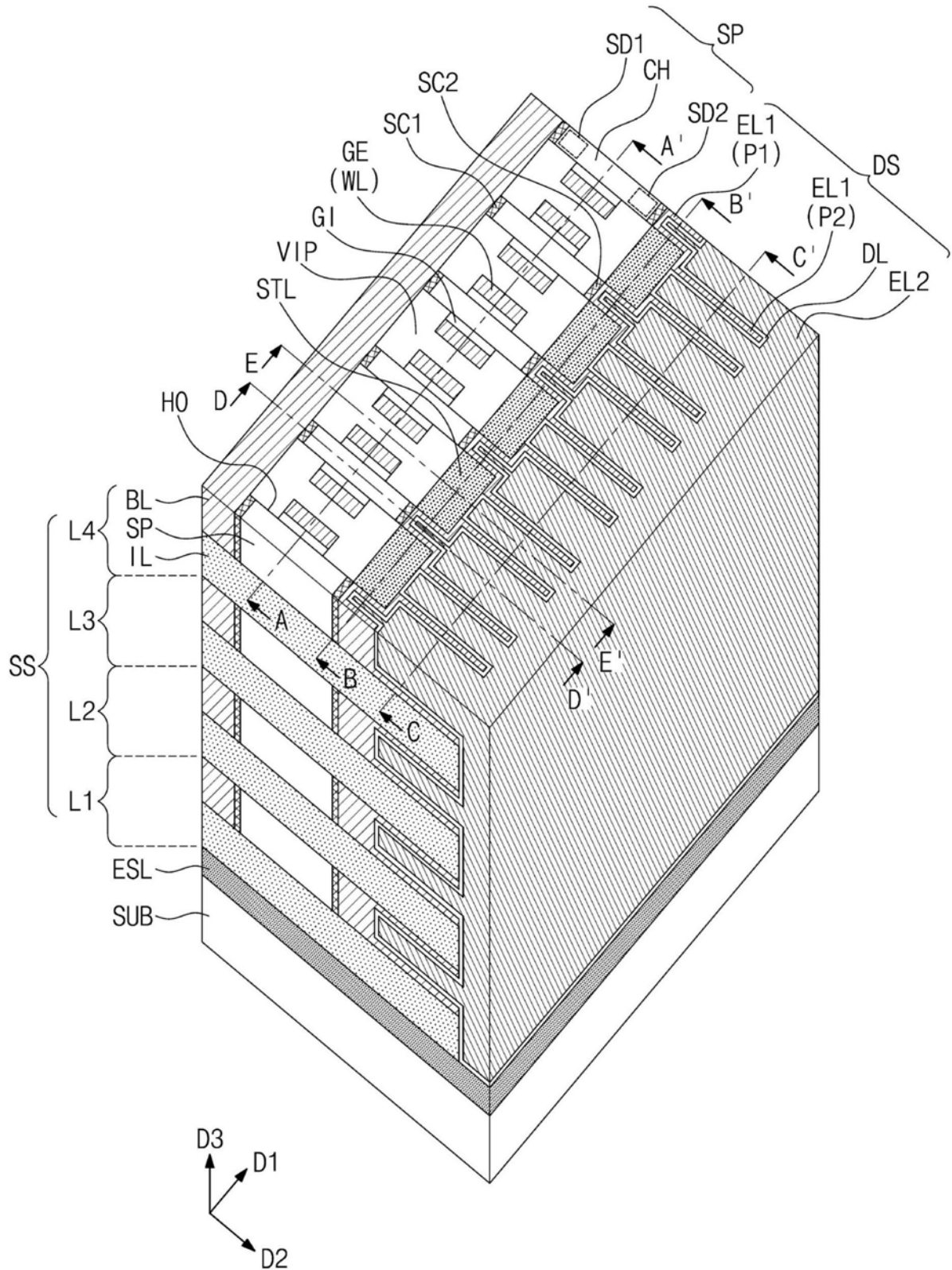


图3

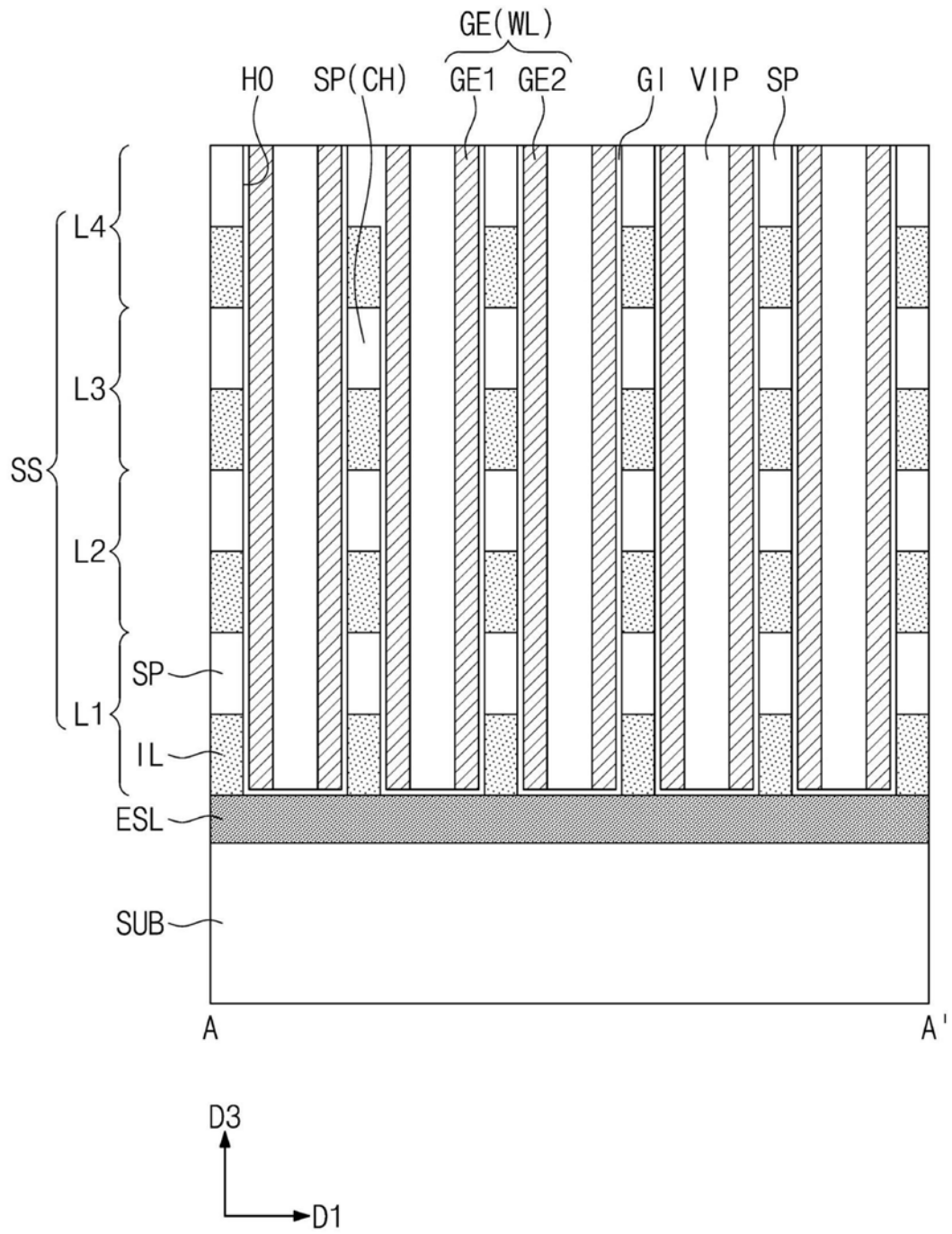


图4A

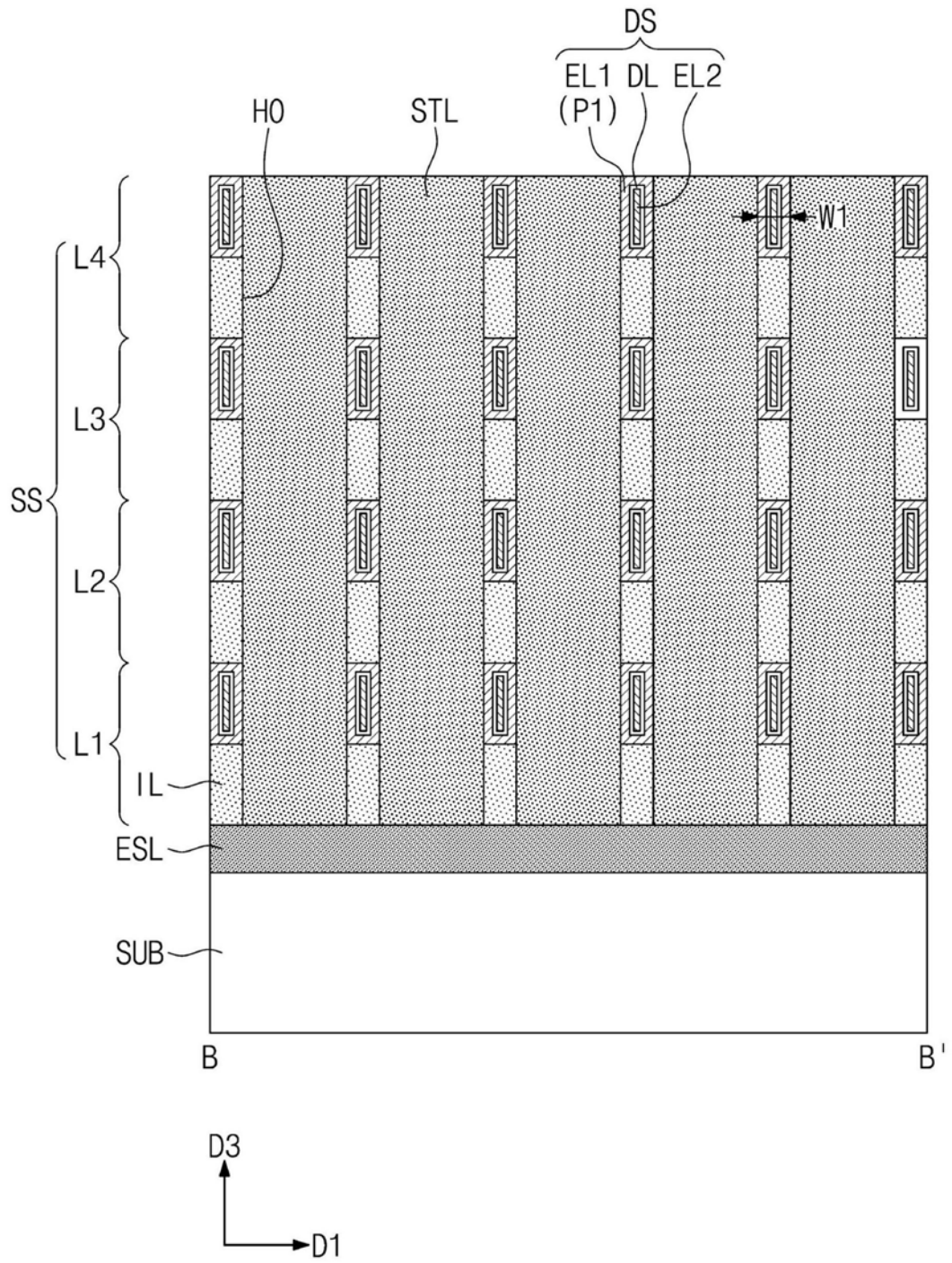


图4B

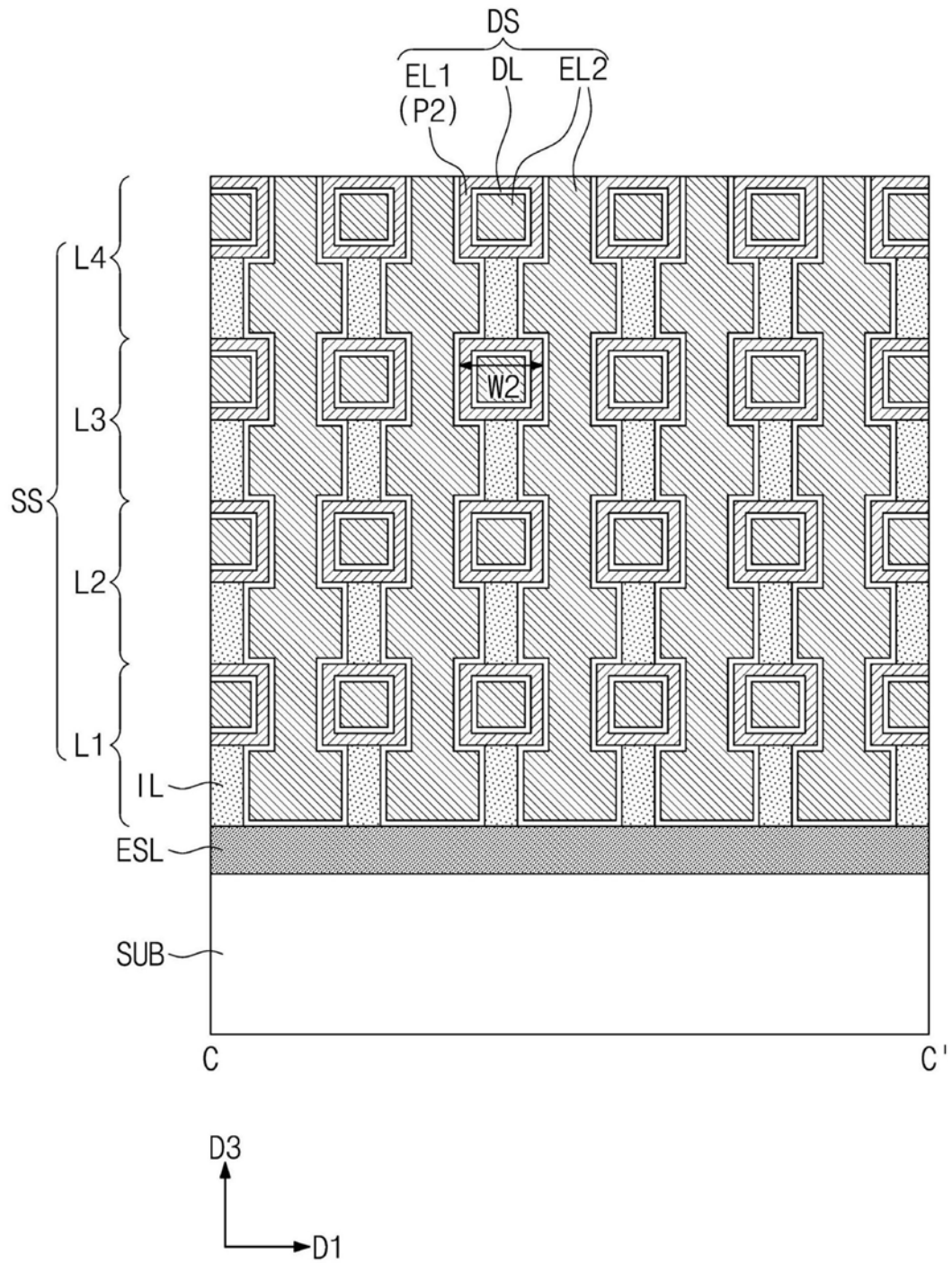


图4C

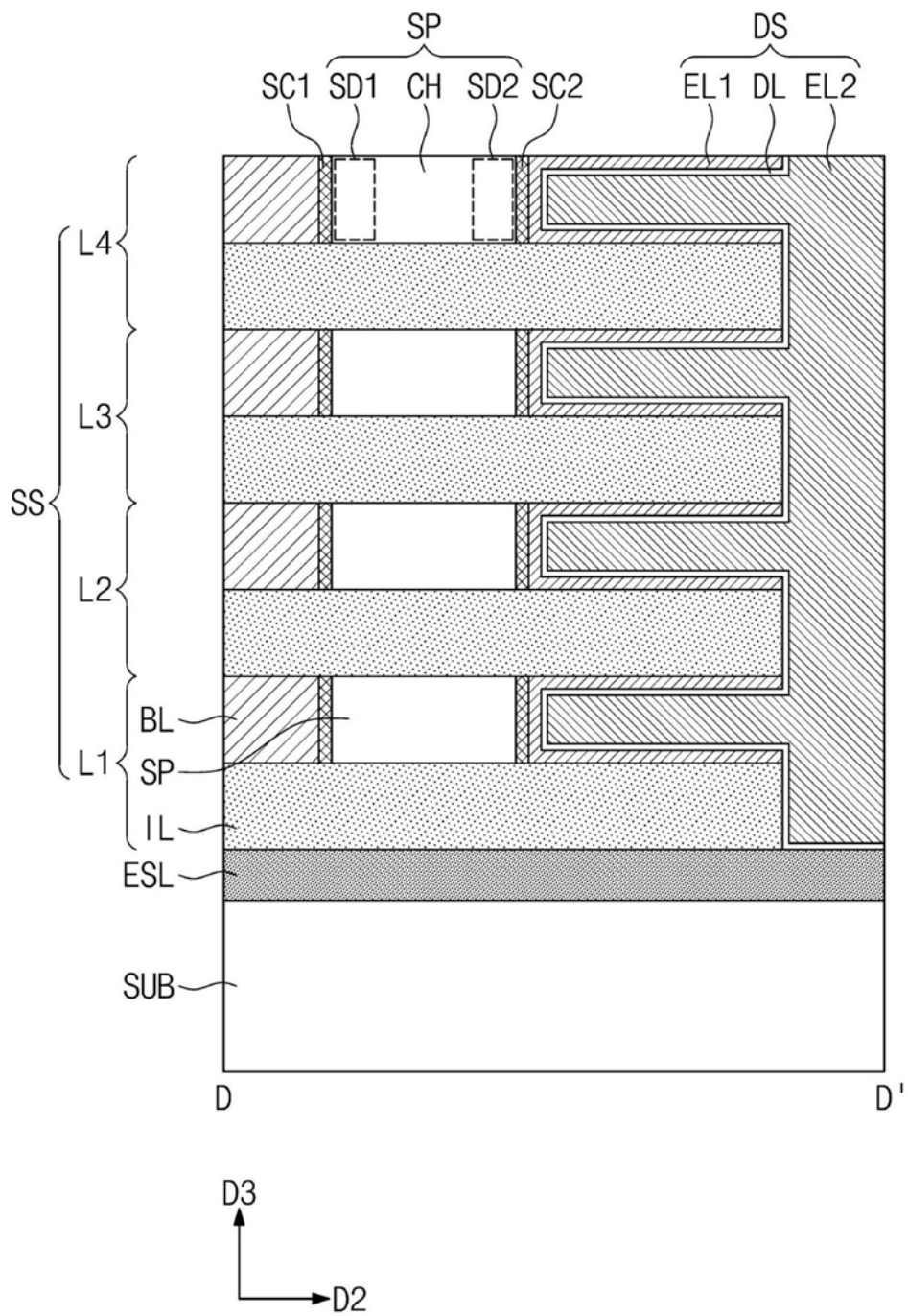


图4D

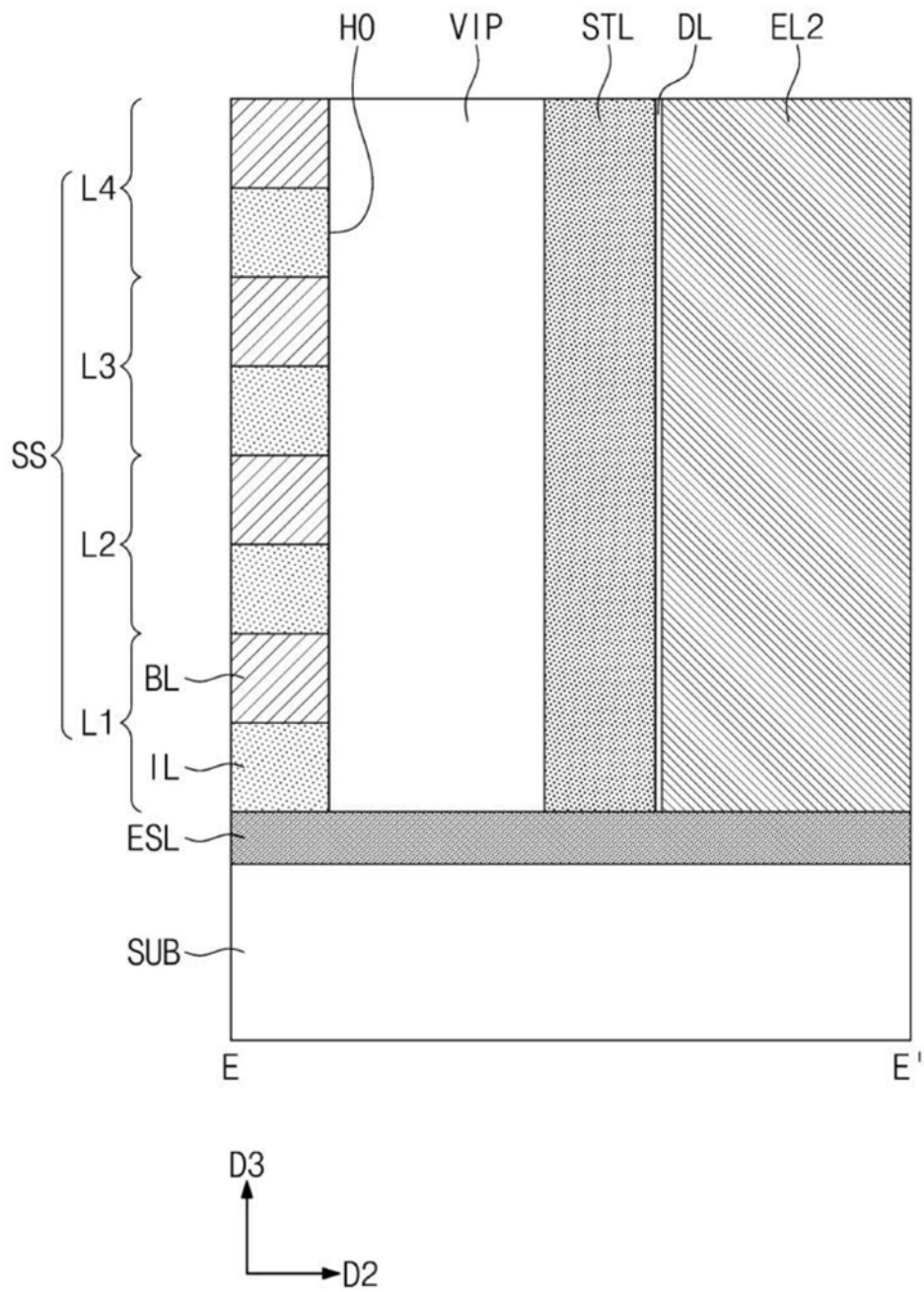


图4E

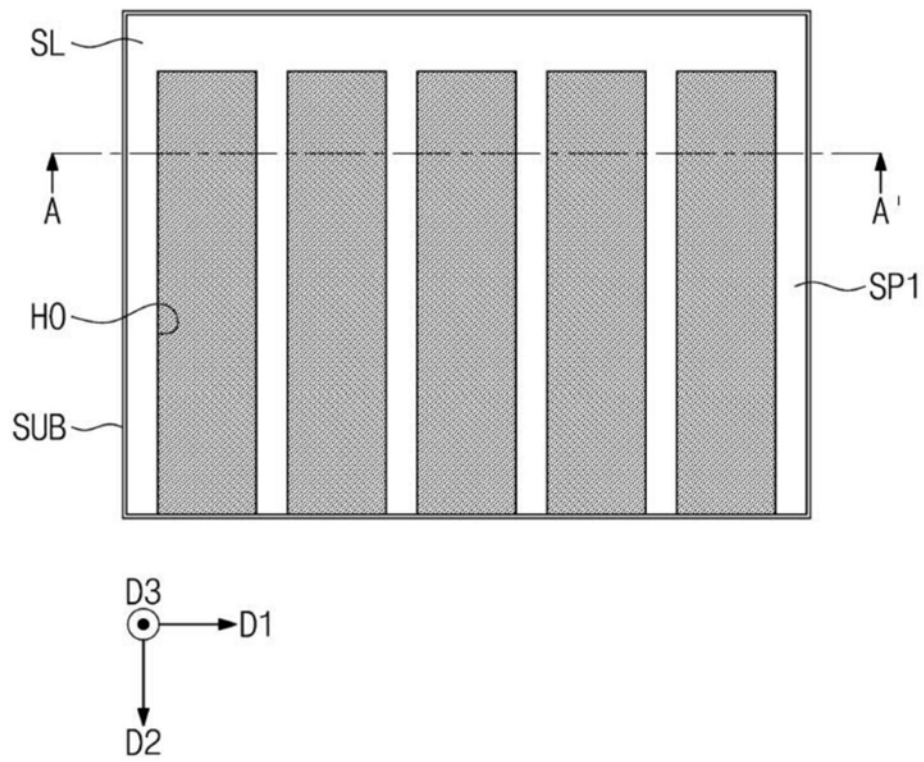


图5

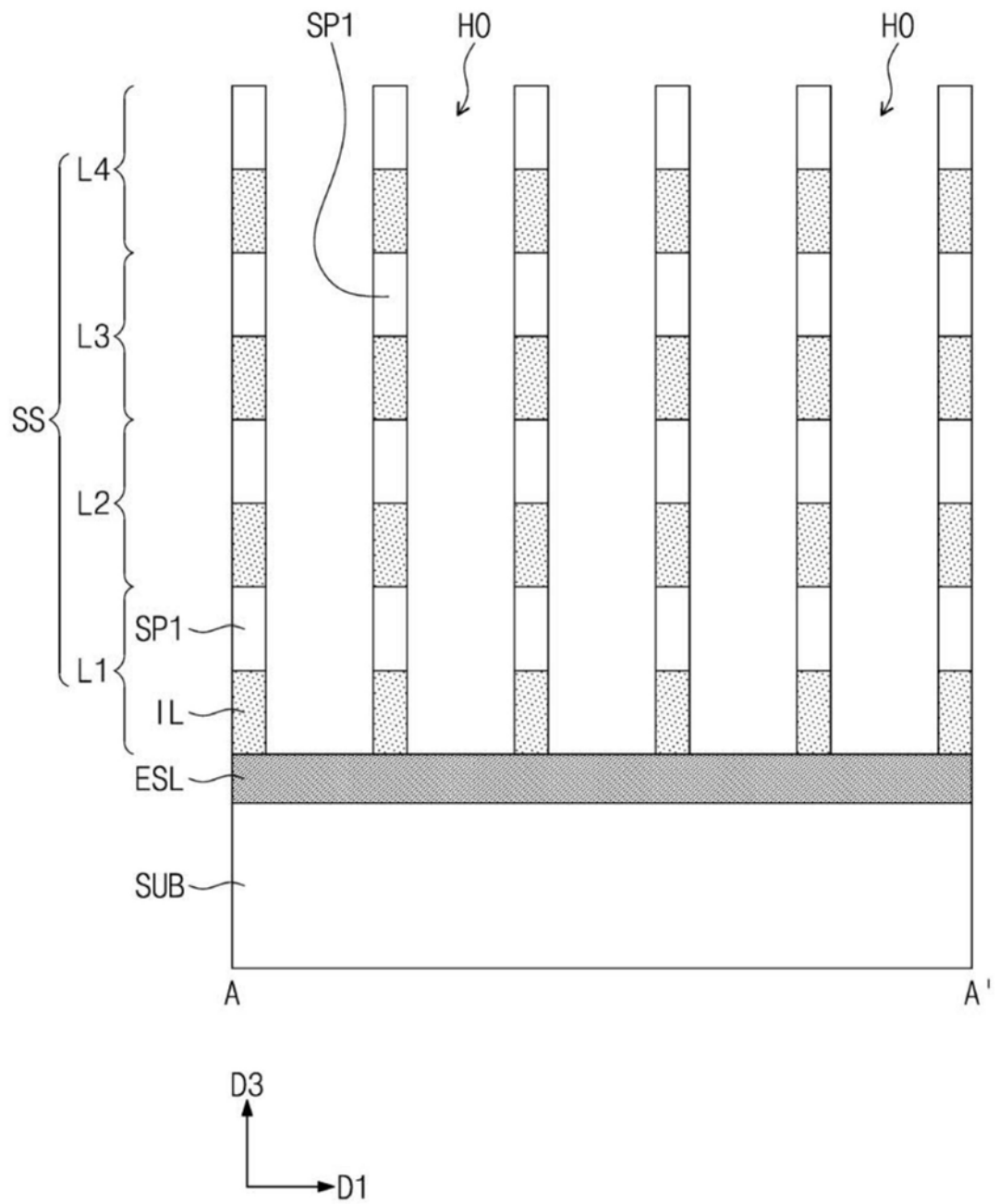


图6

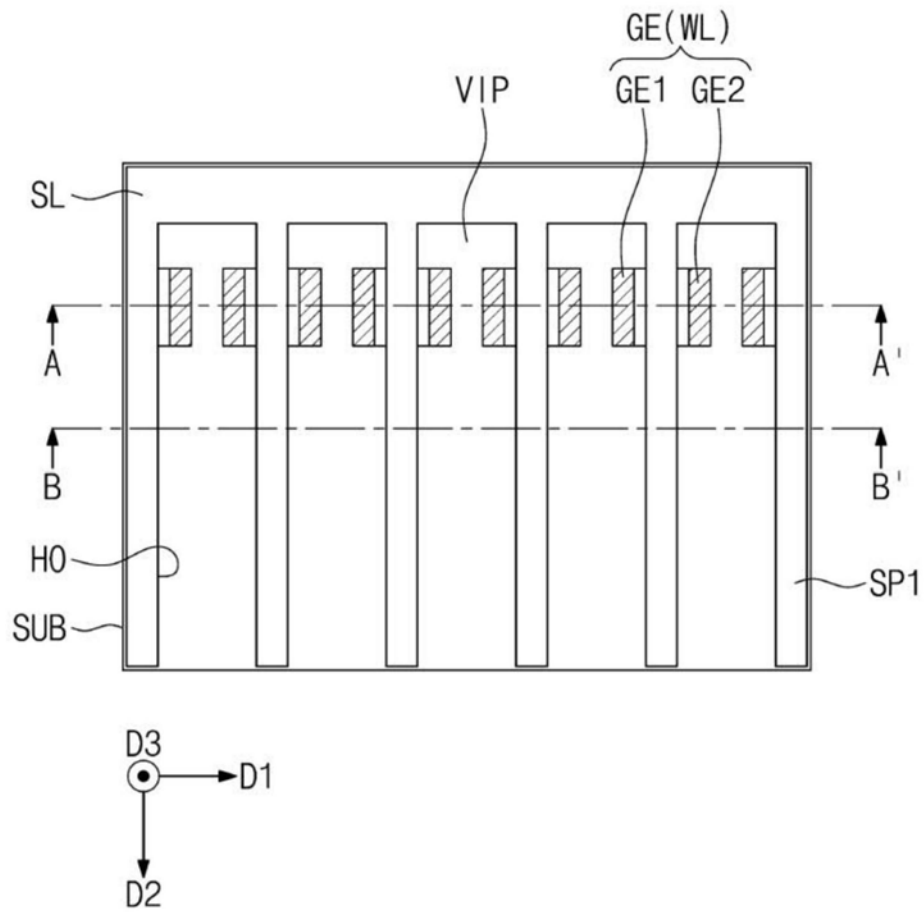


图7

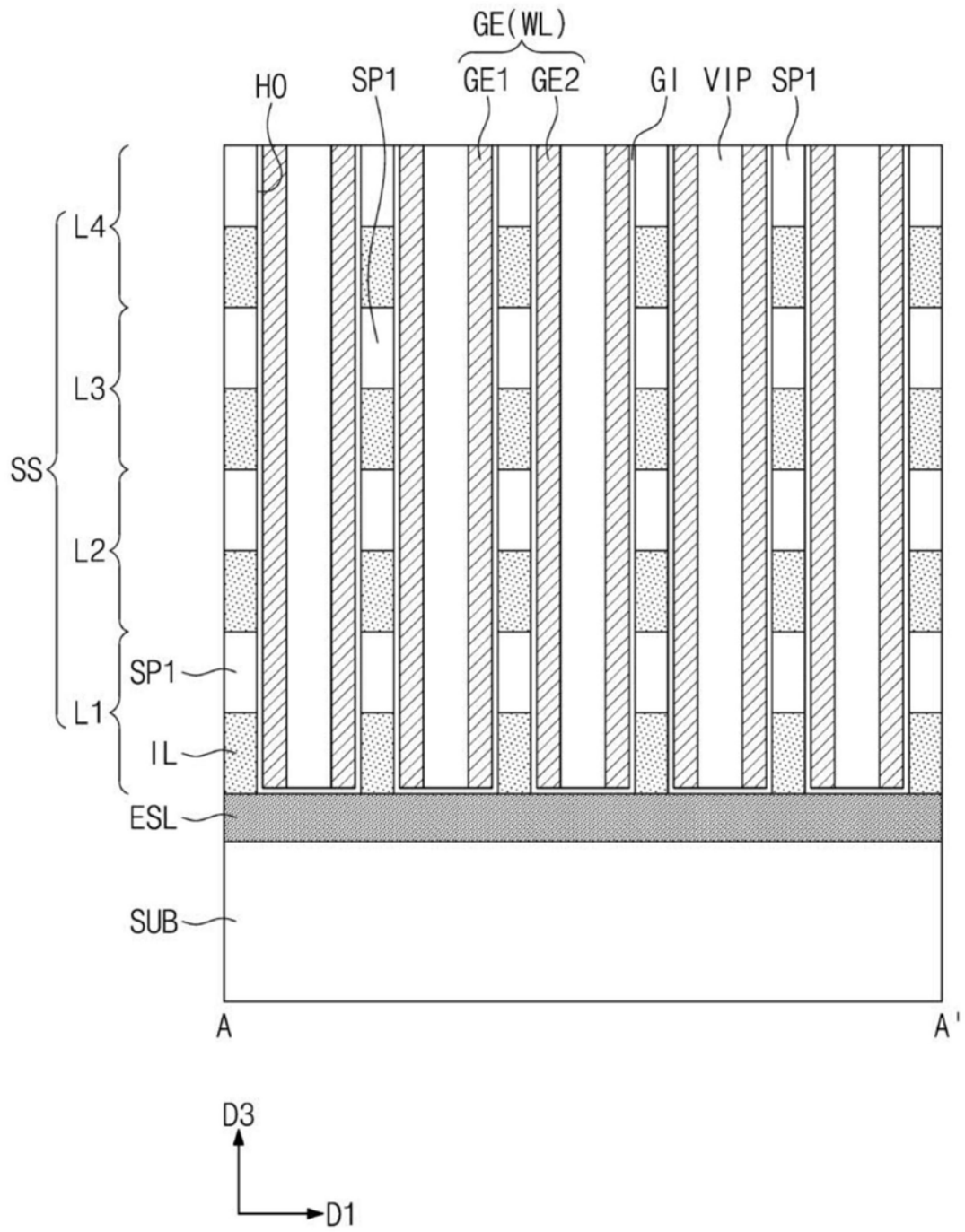


图8A

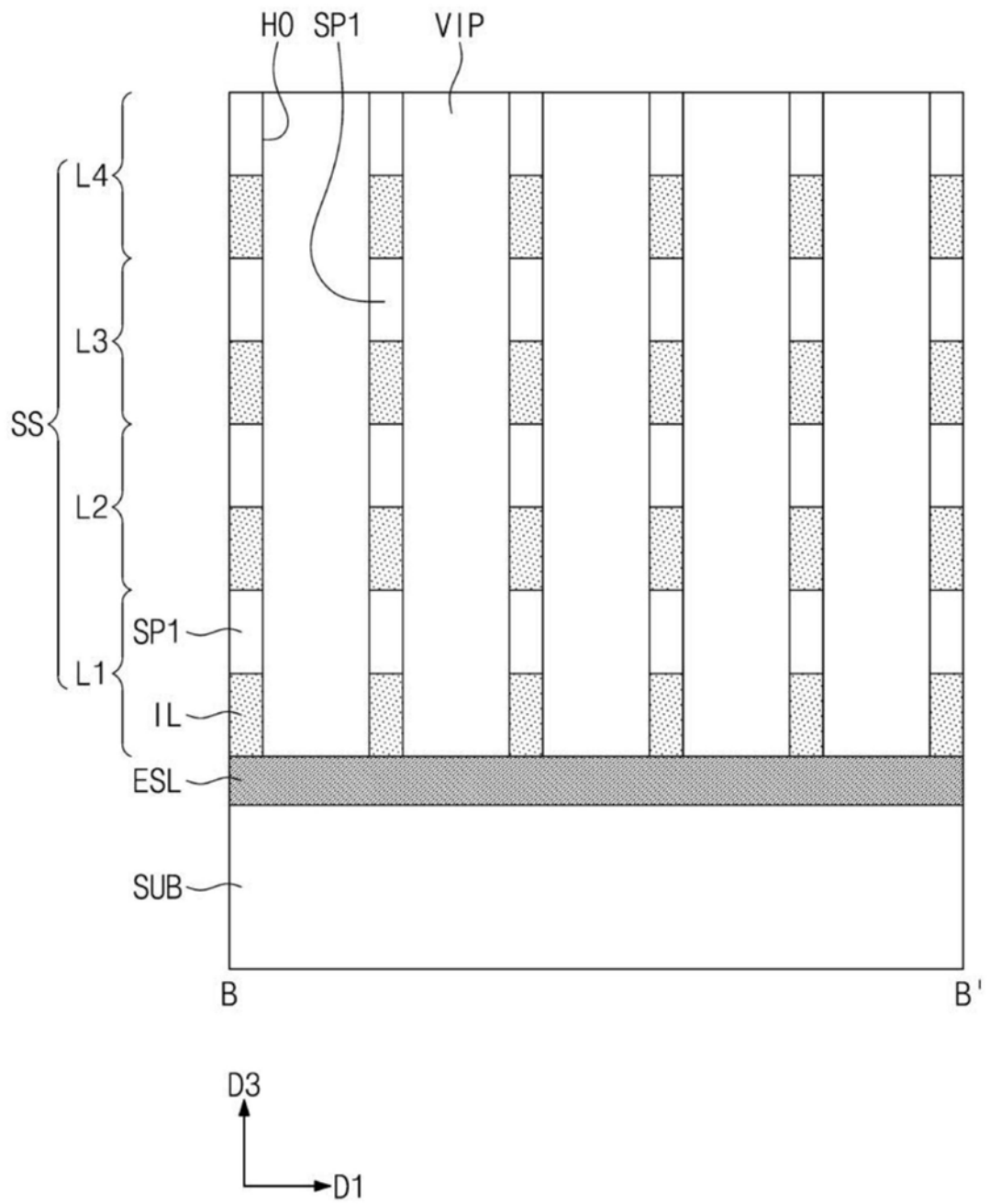


图8B

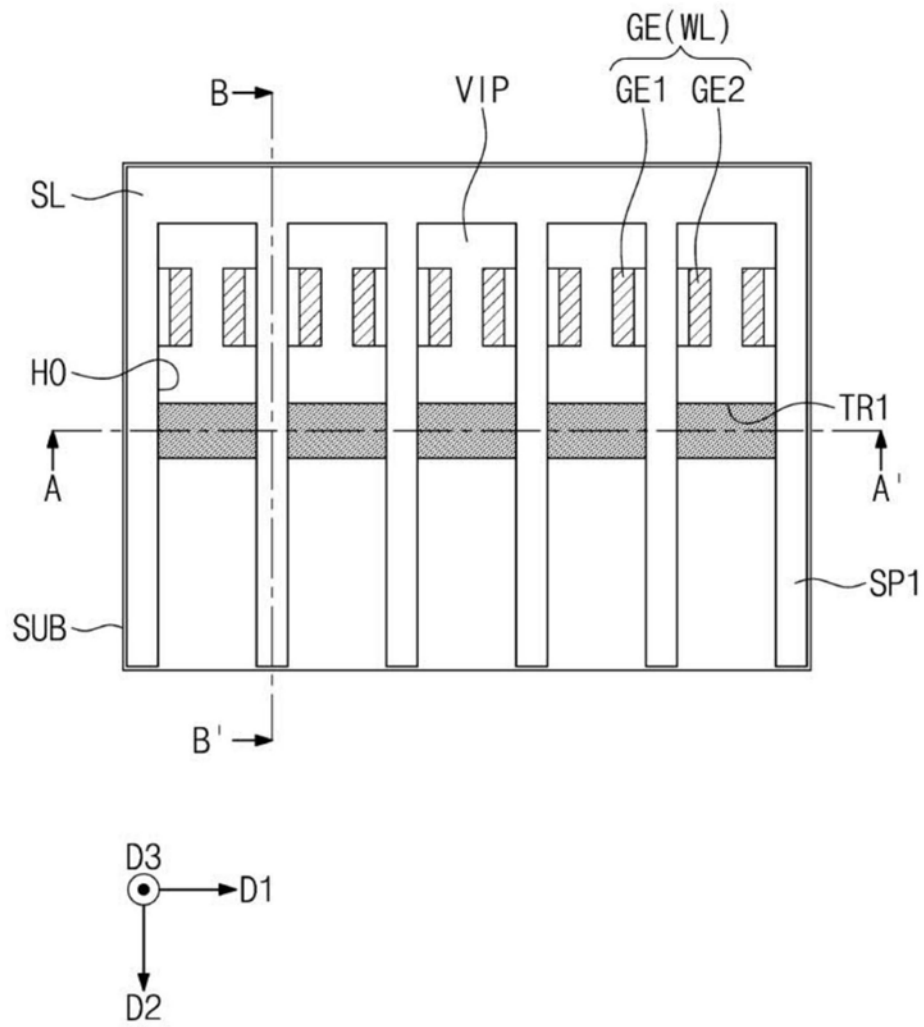


图9

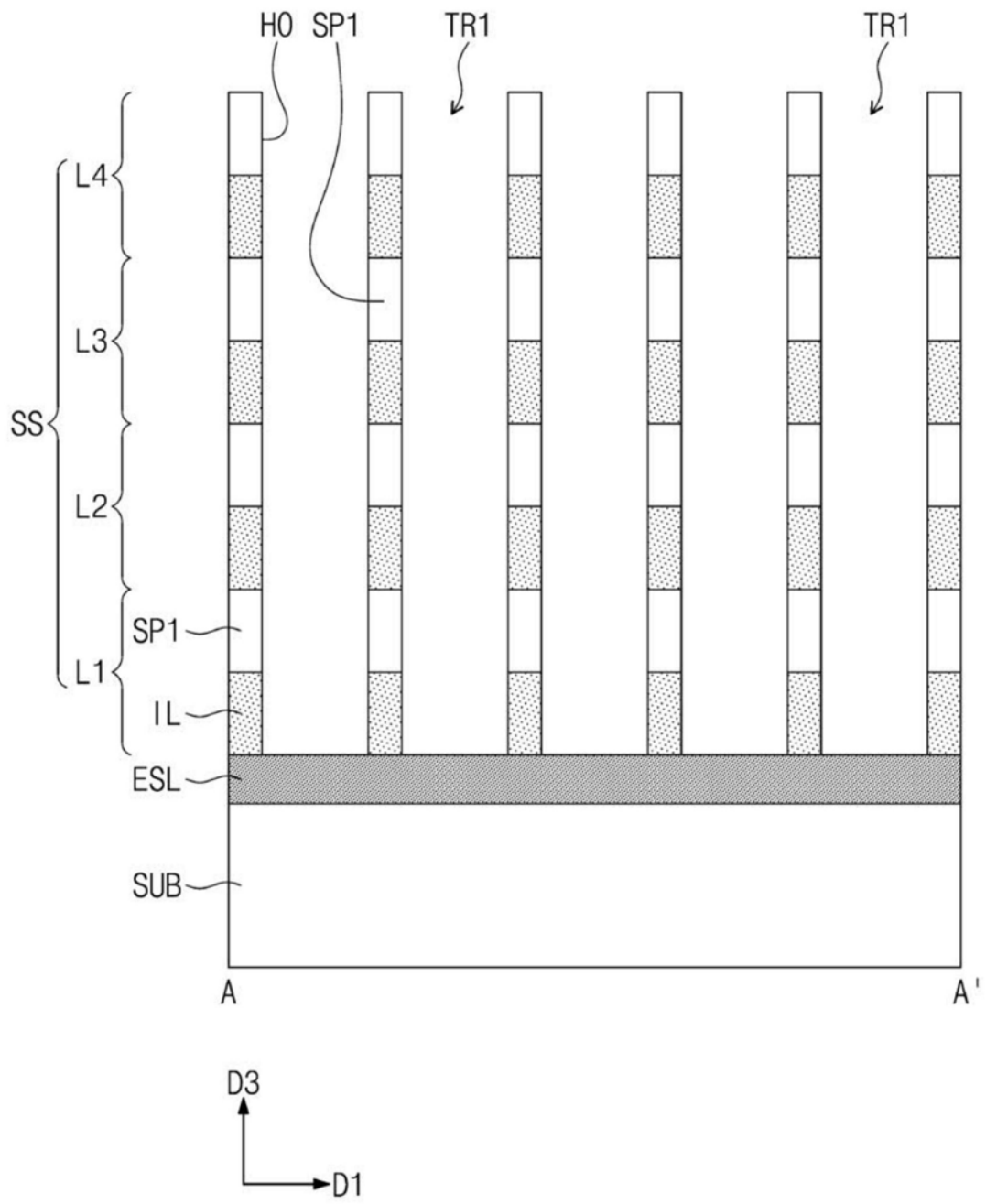


图10A

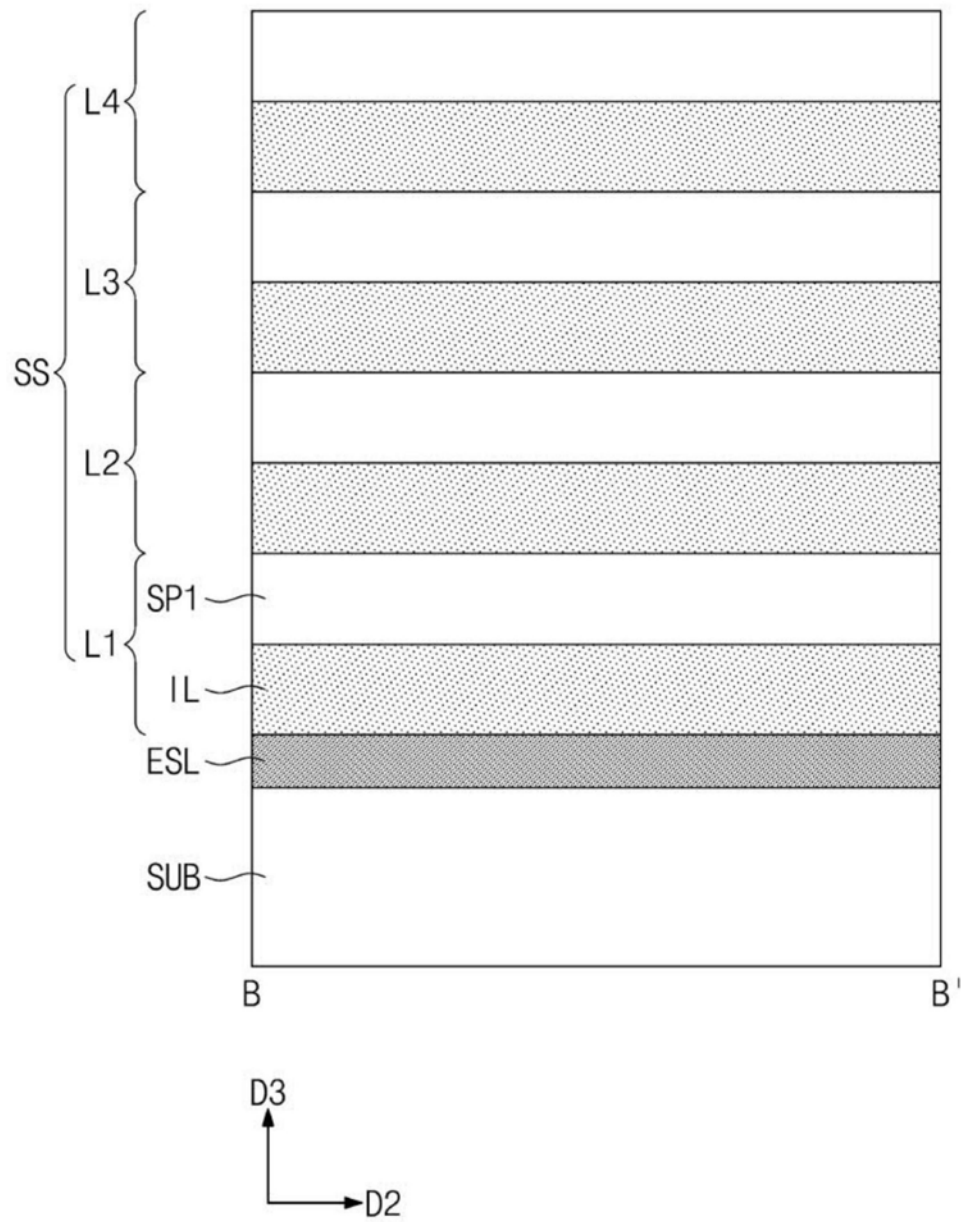


图10B

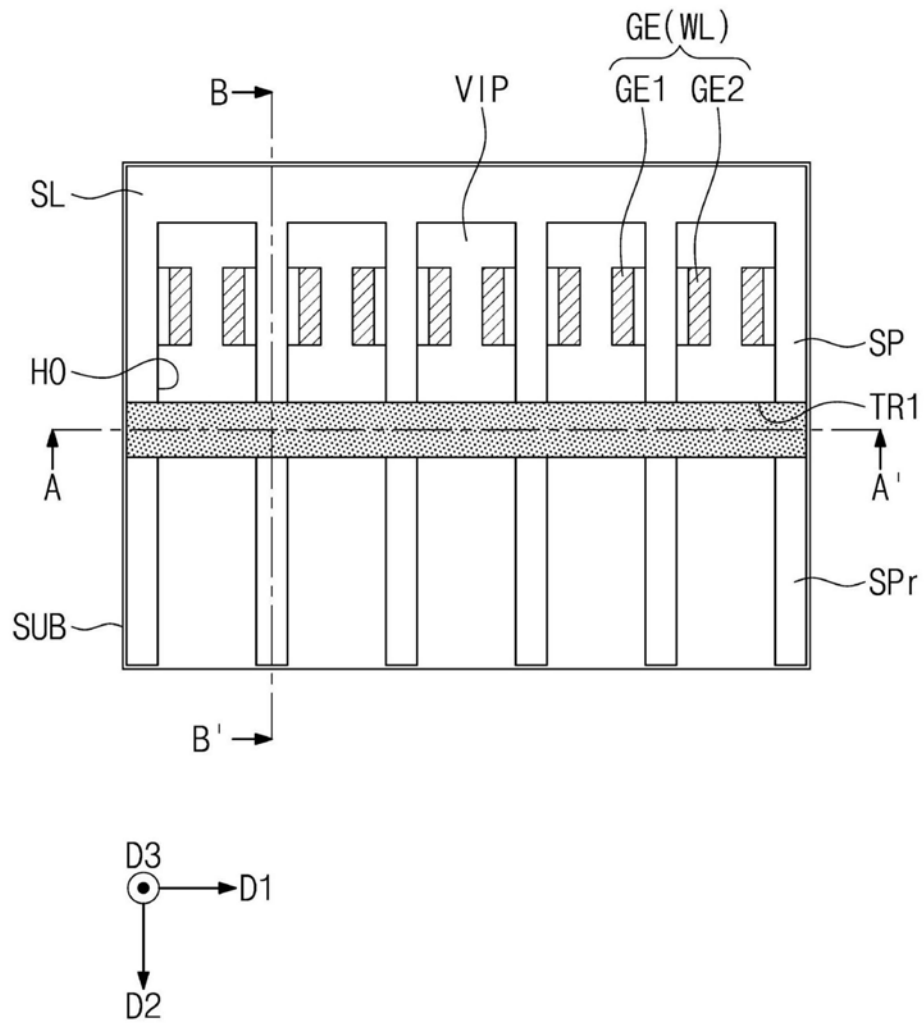


图11

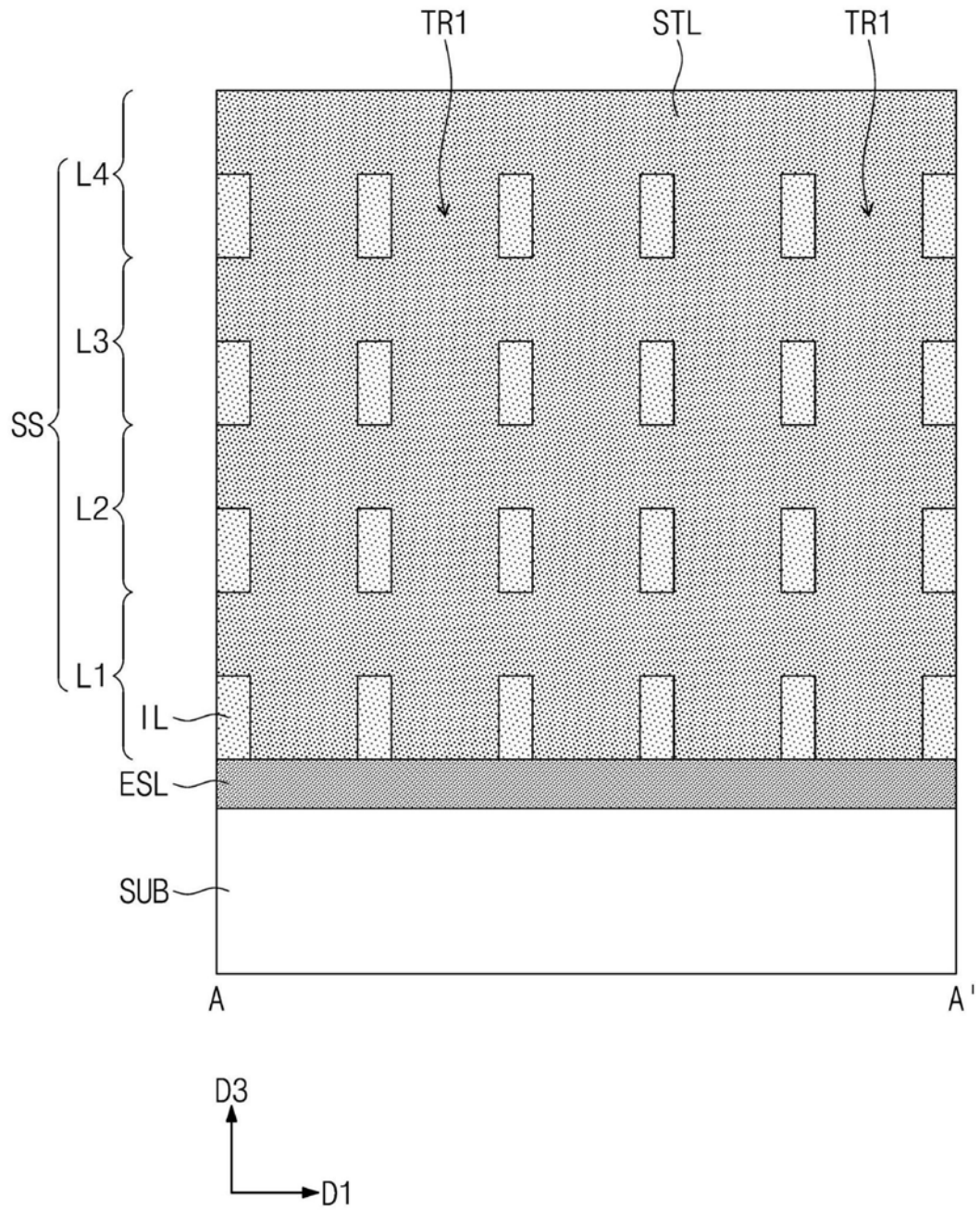


图12A

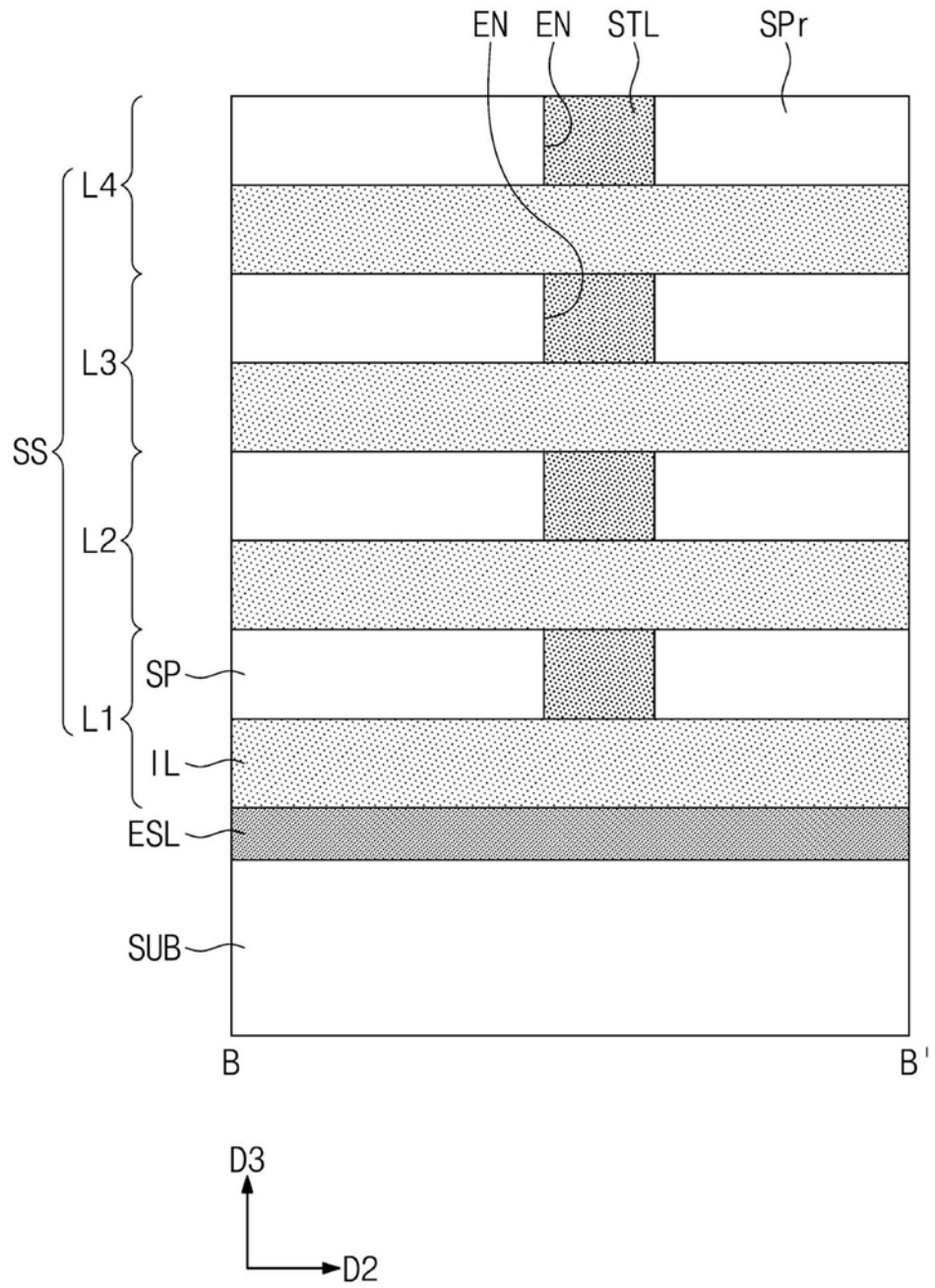


图12B

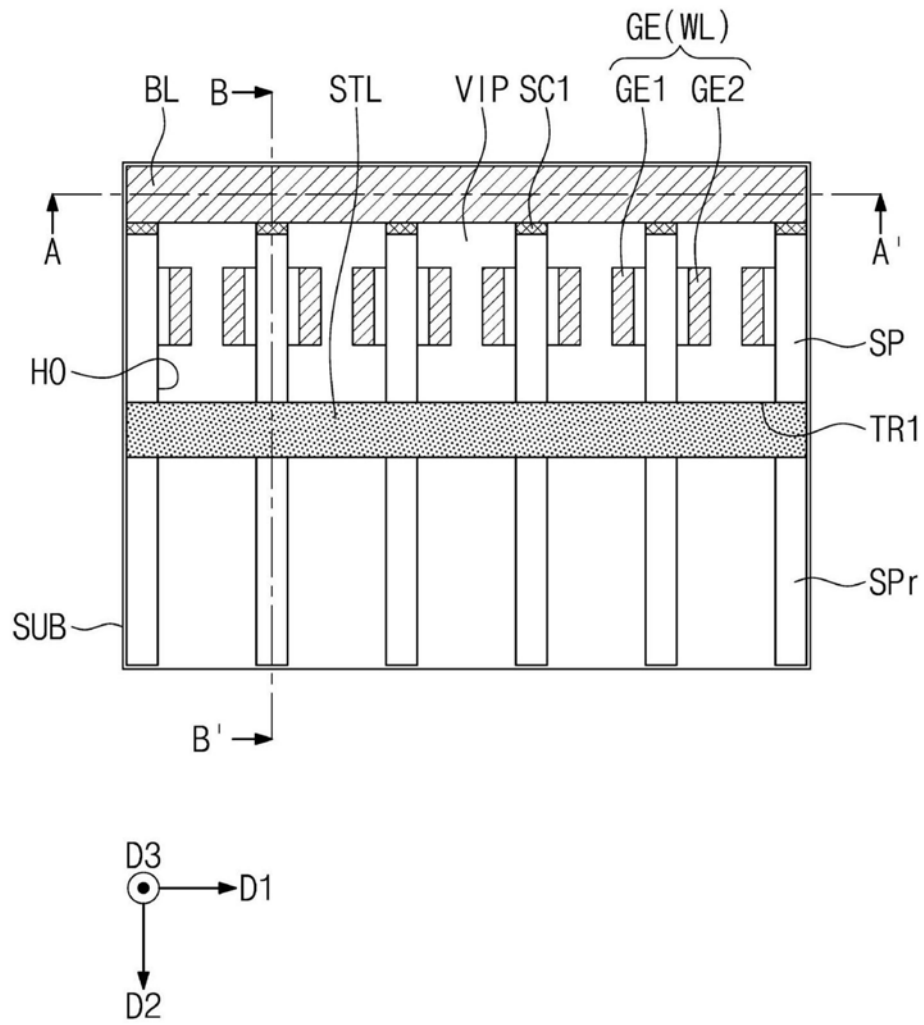


图13

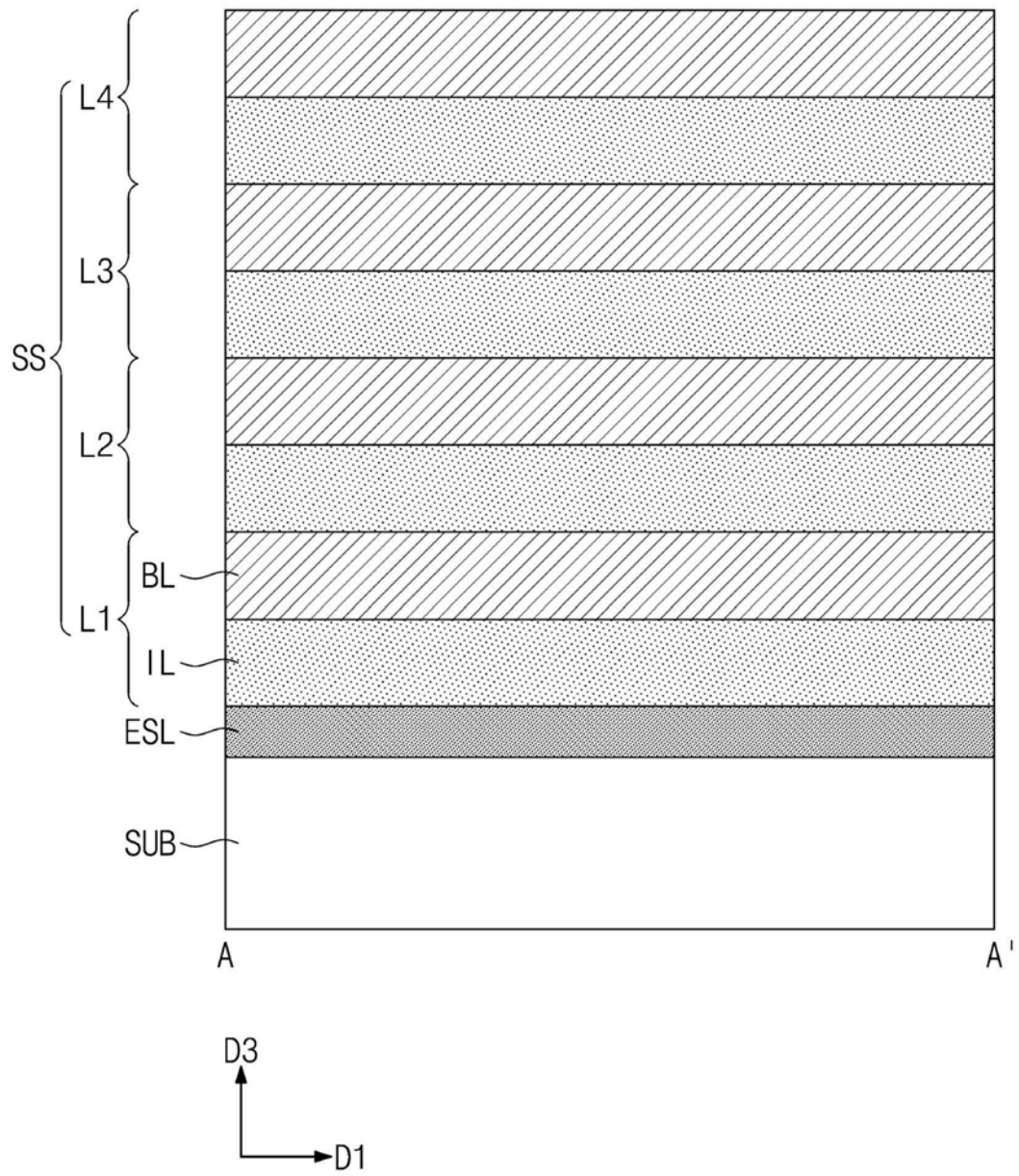


图14A

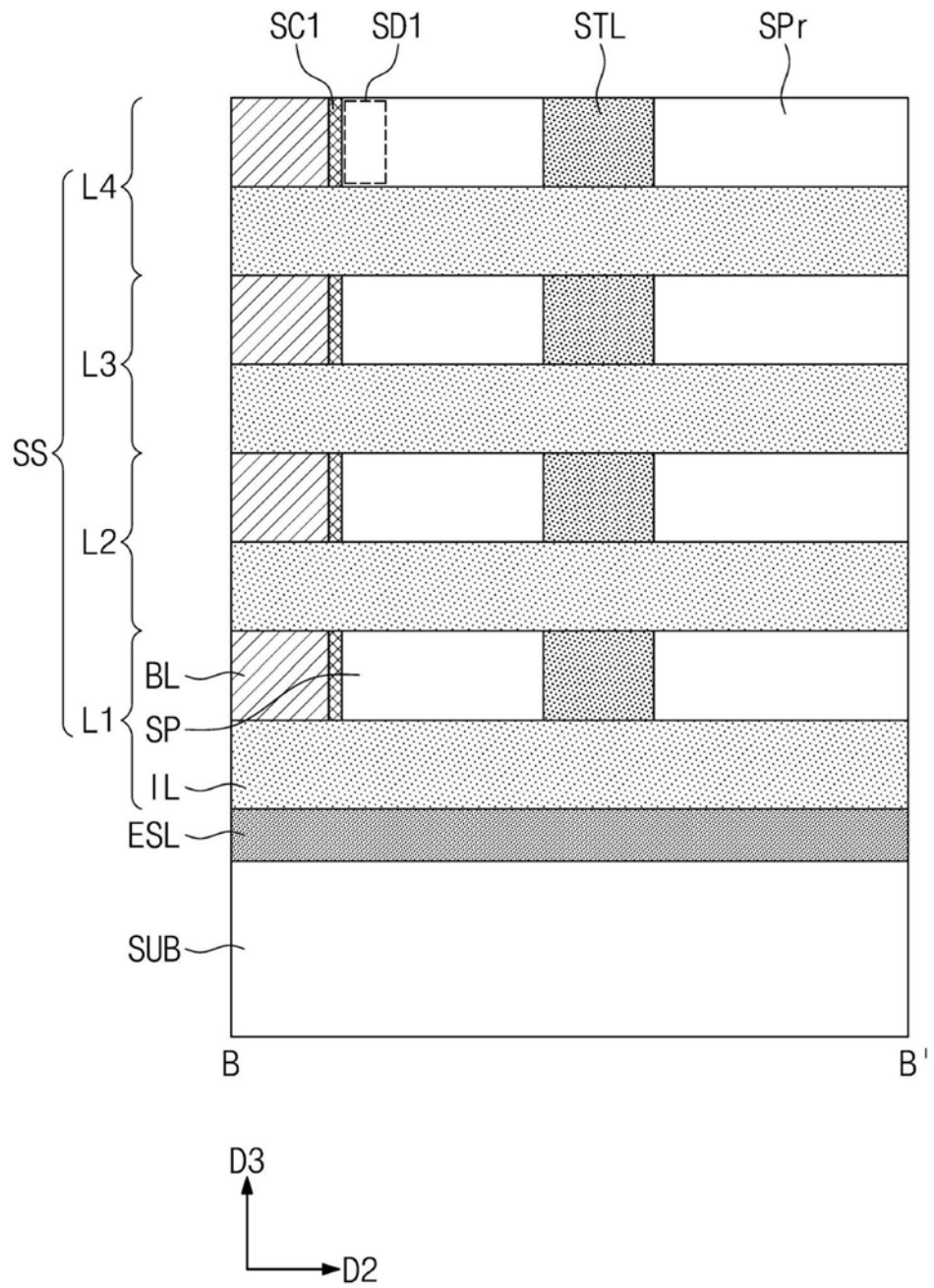


图14B

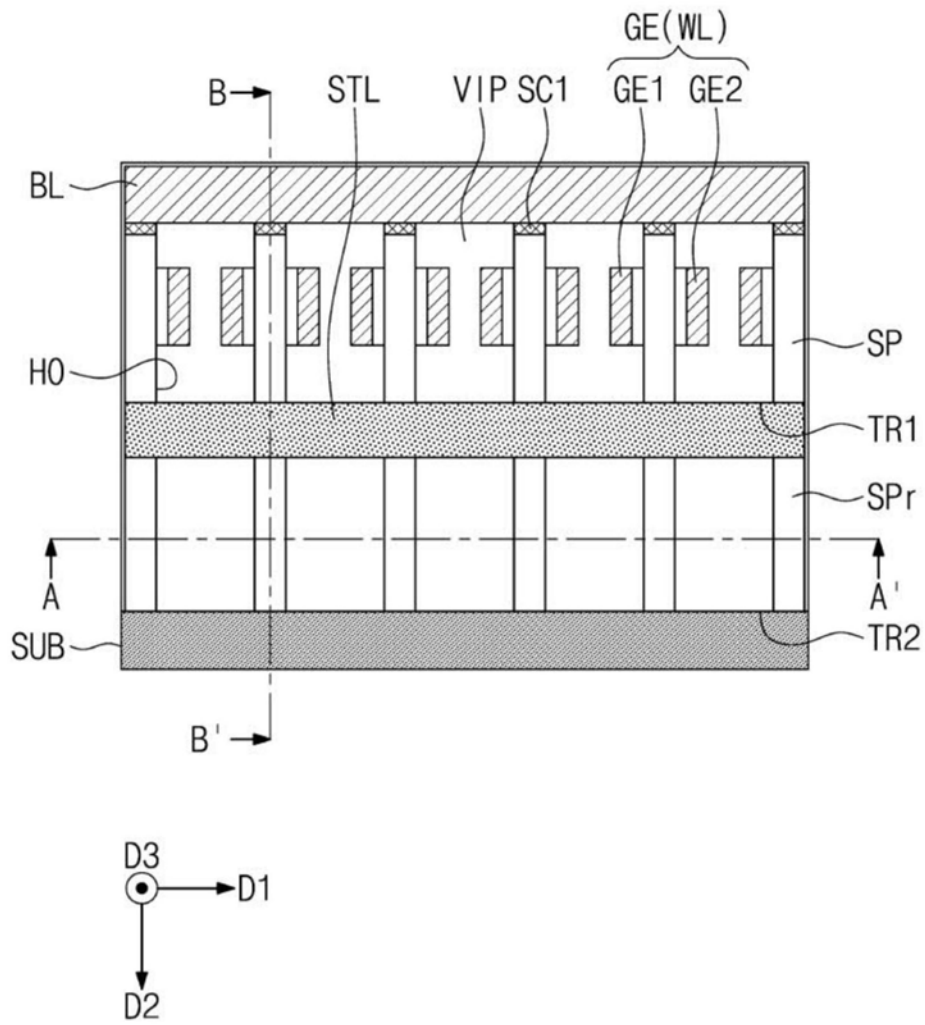


图15

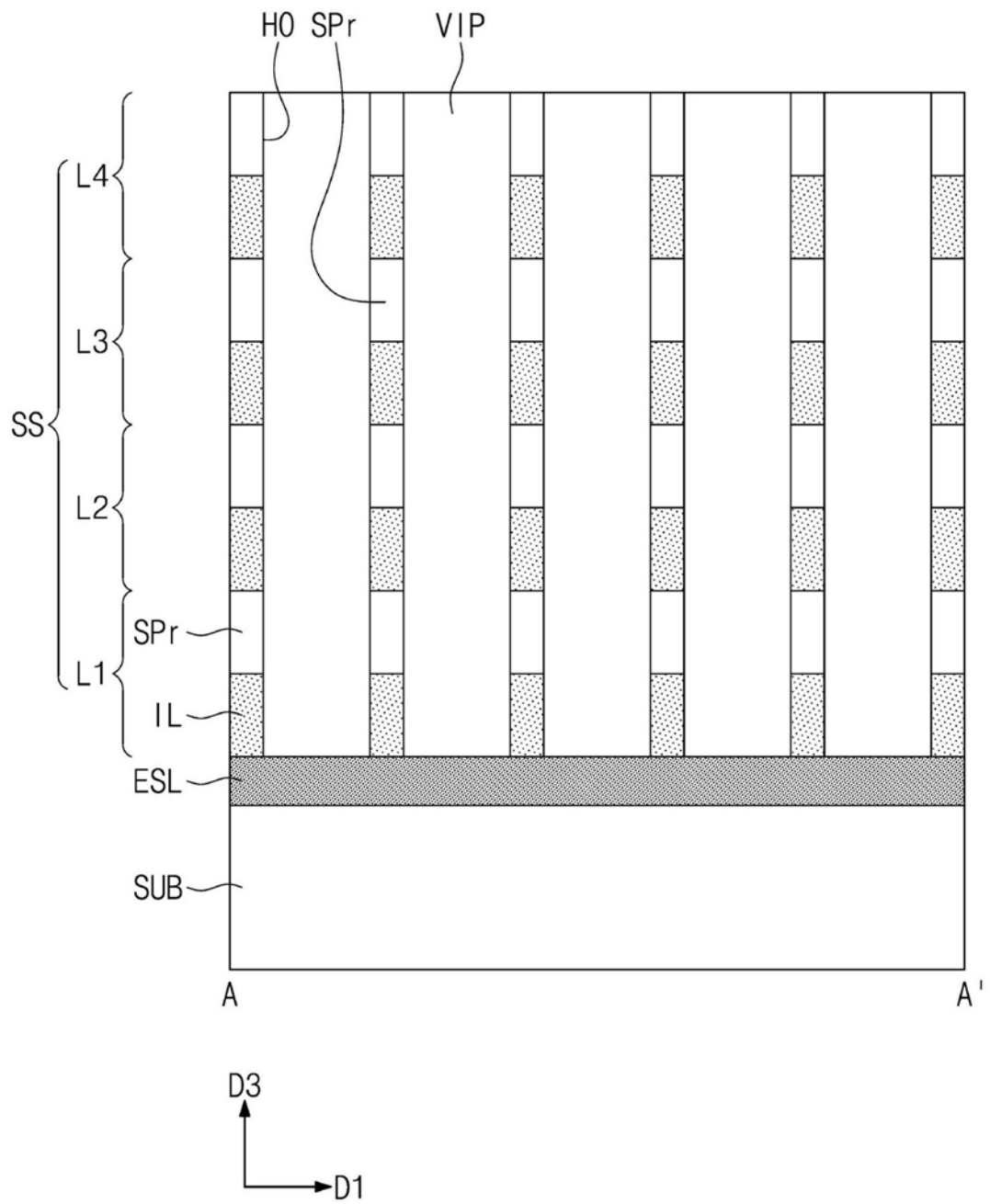


图16A

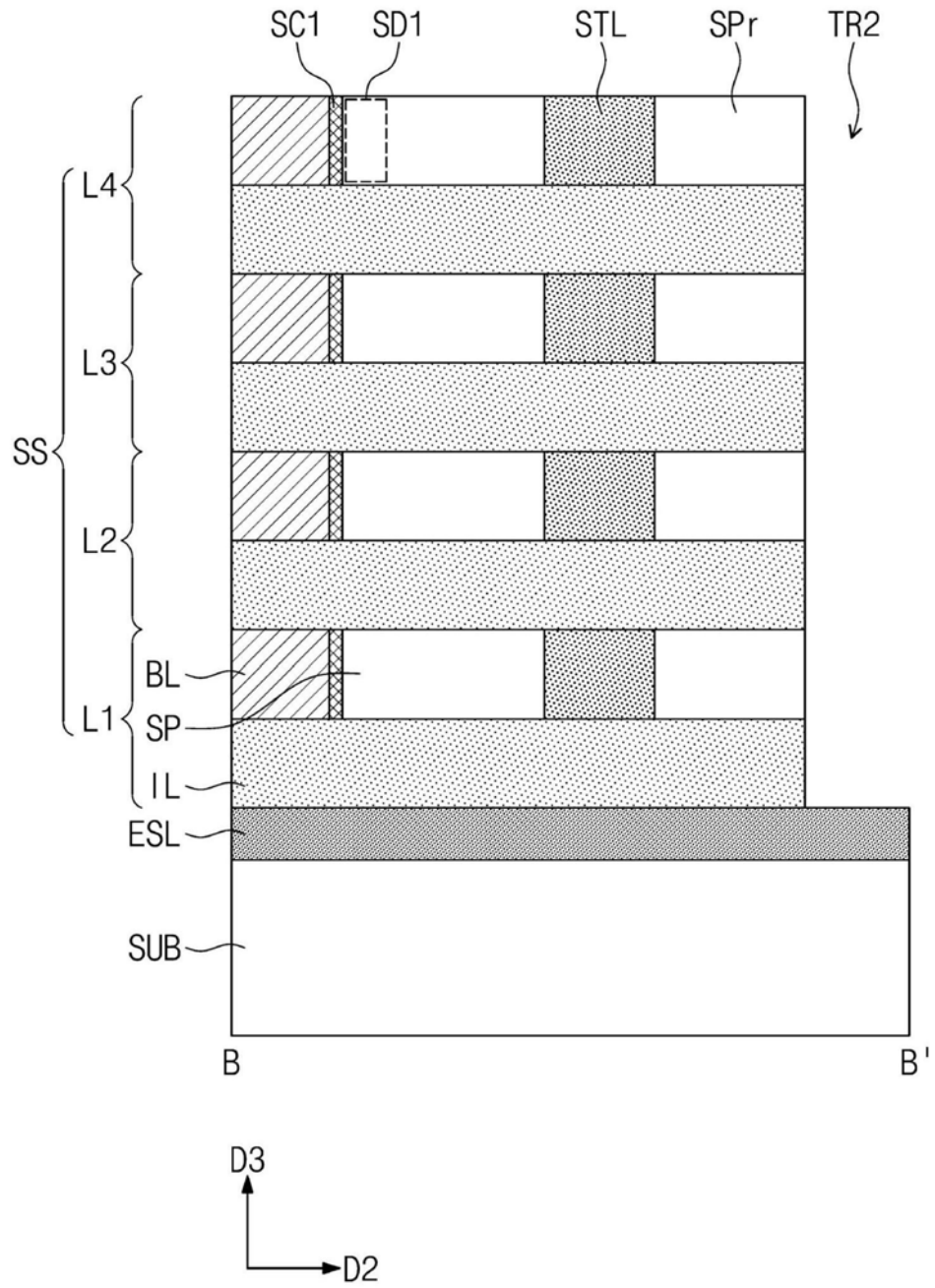


图16B

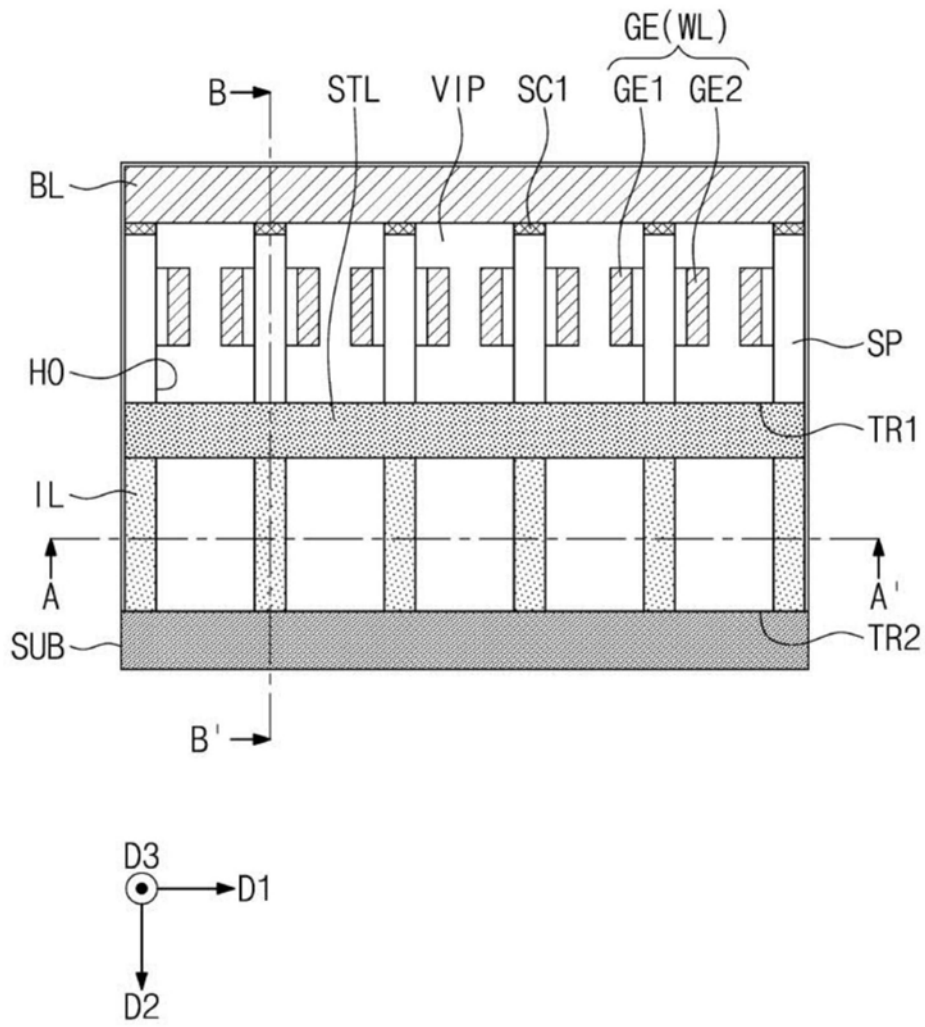


图17

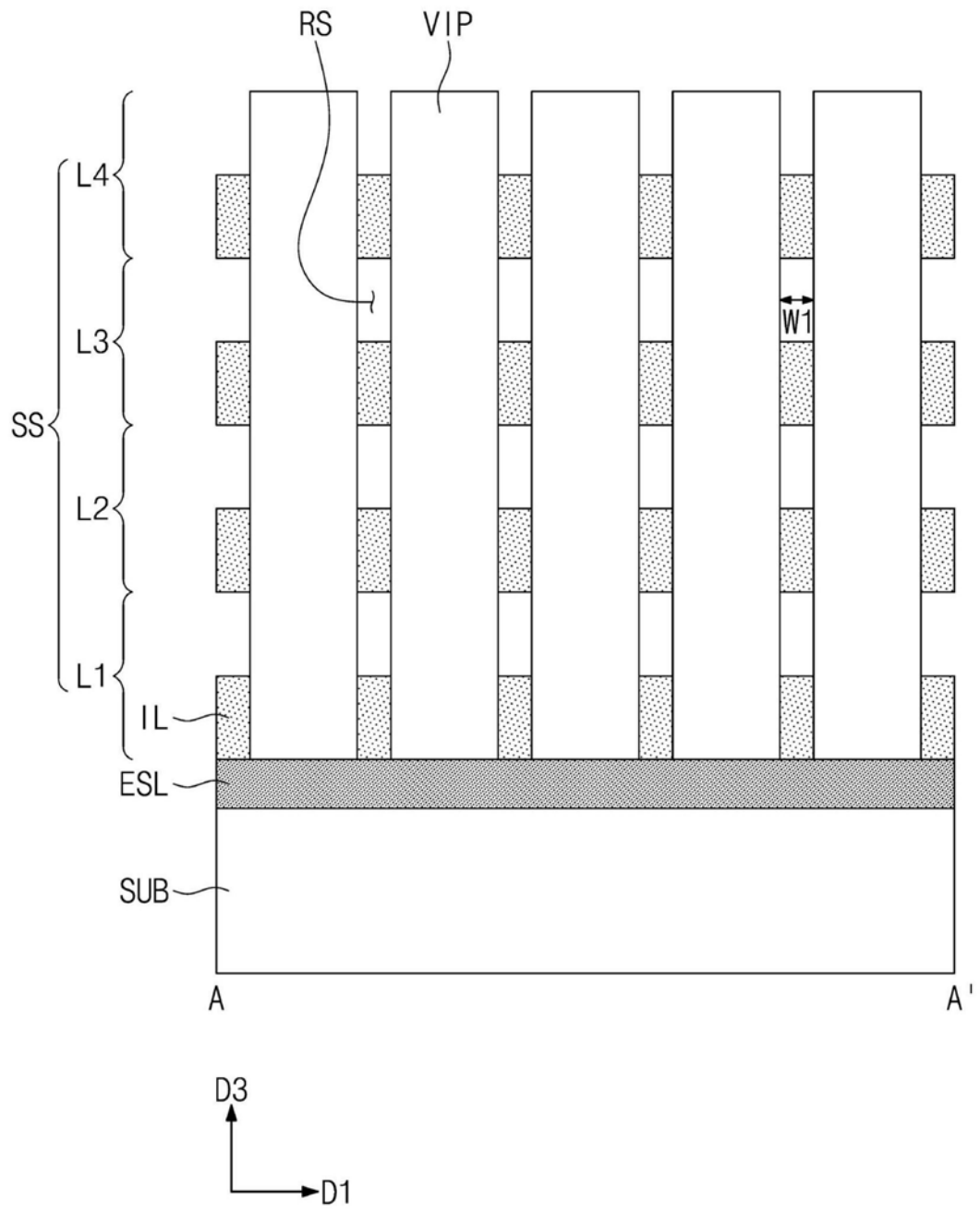


图18A

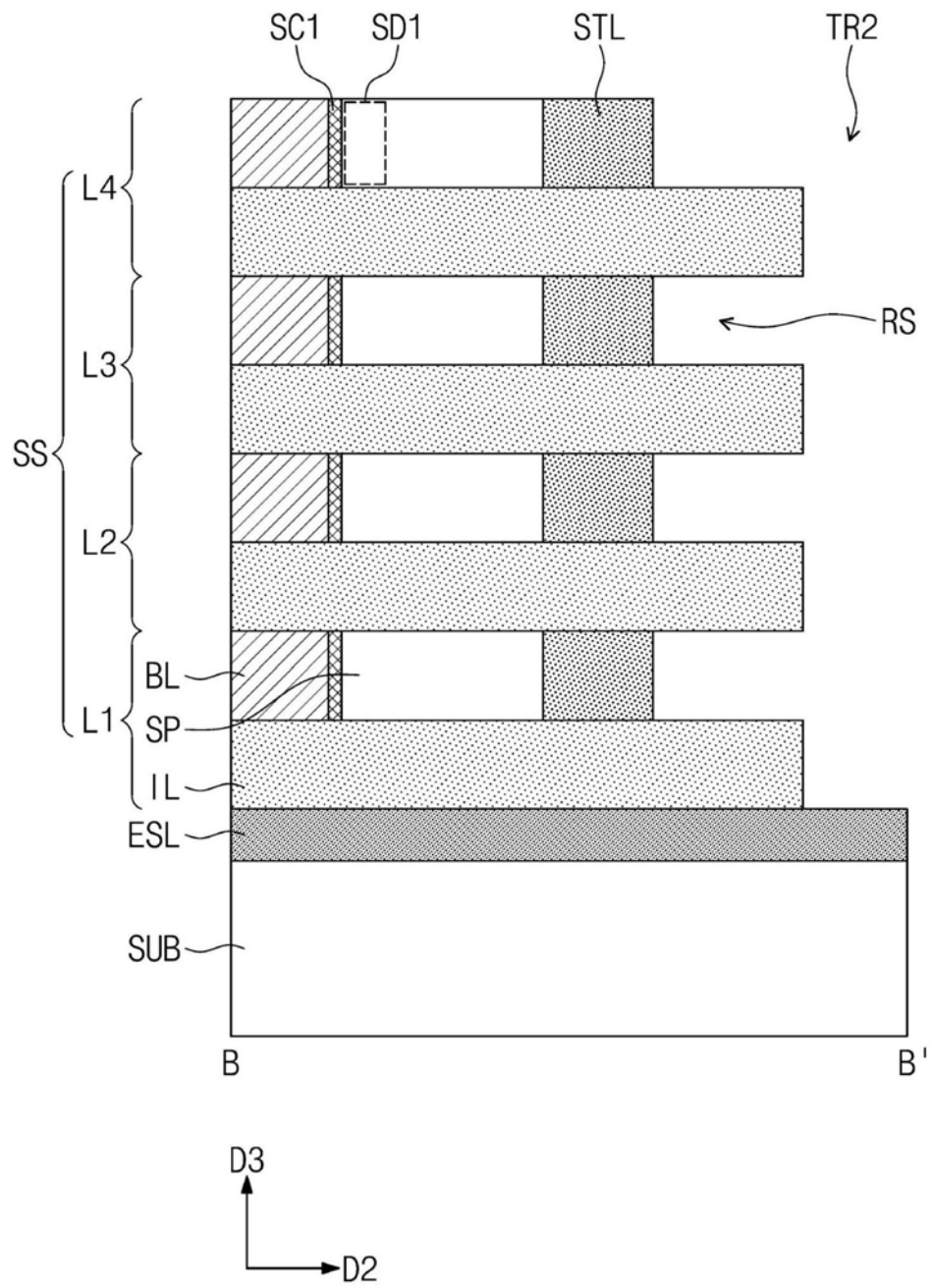


图18B

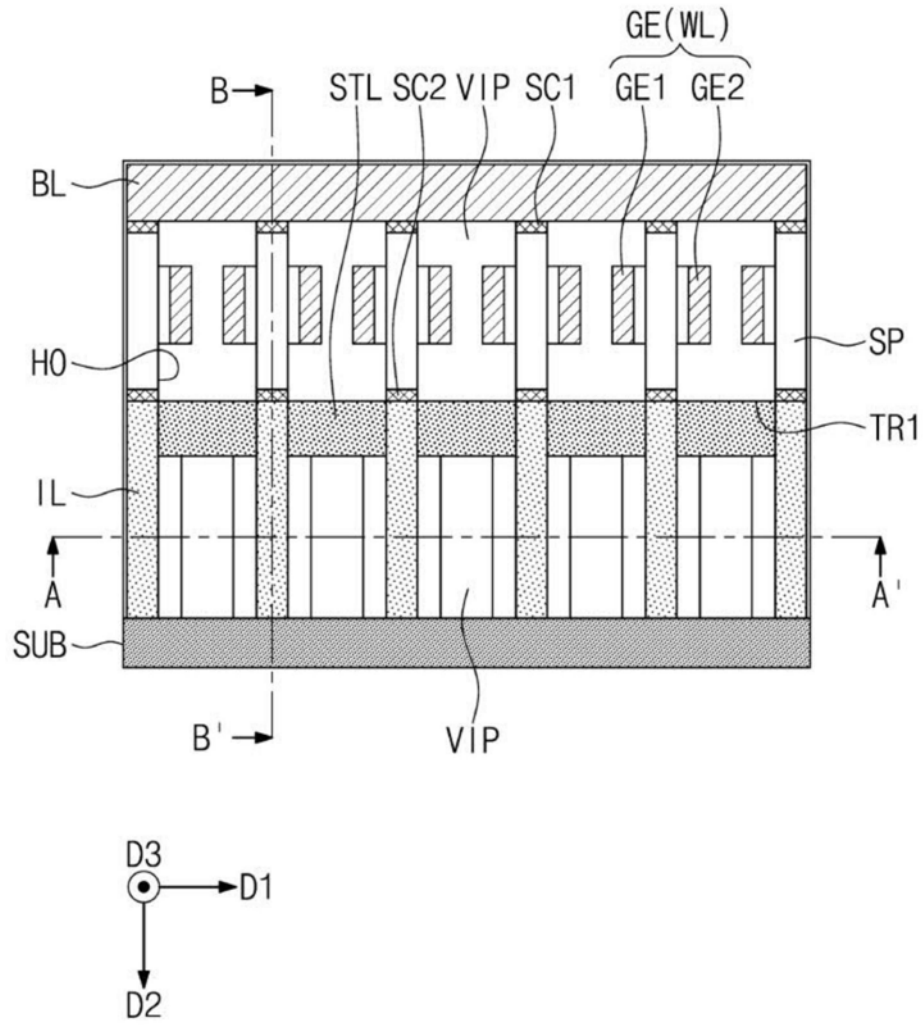


图19

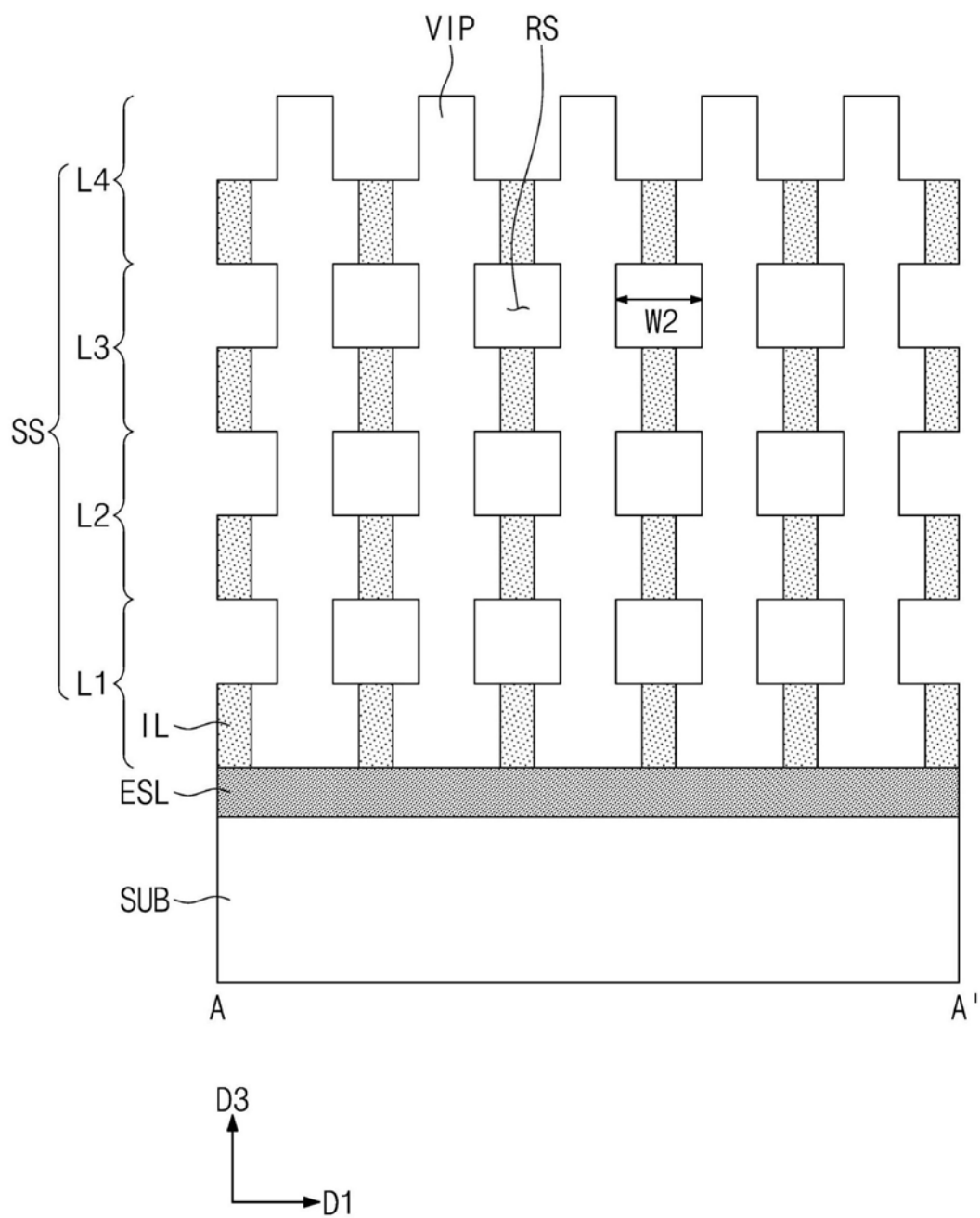


图20A

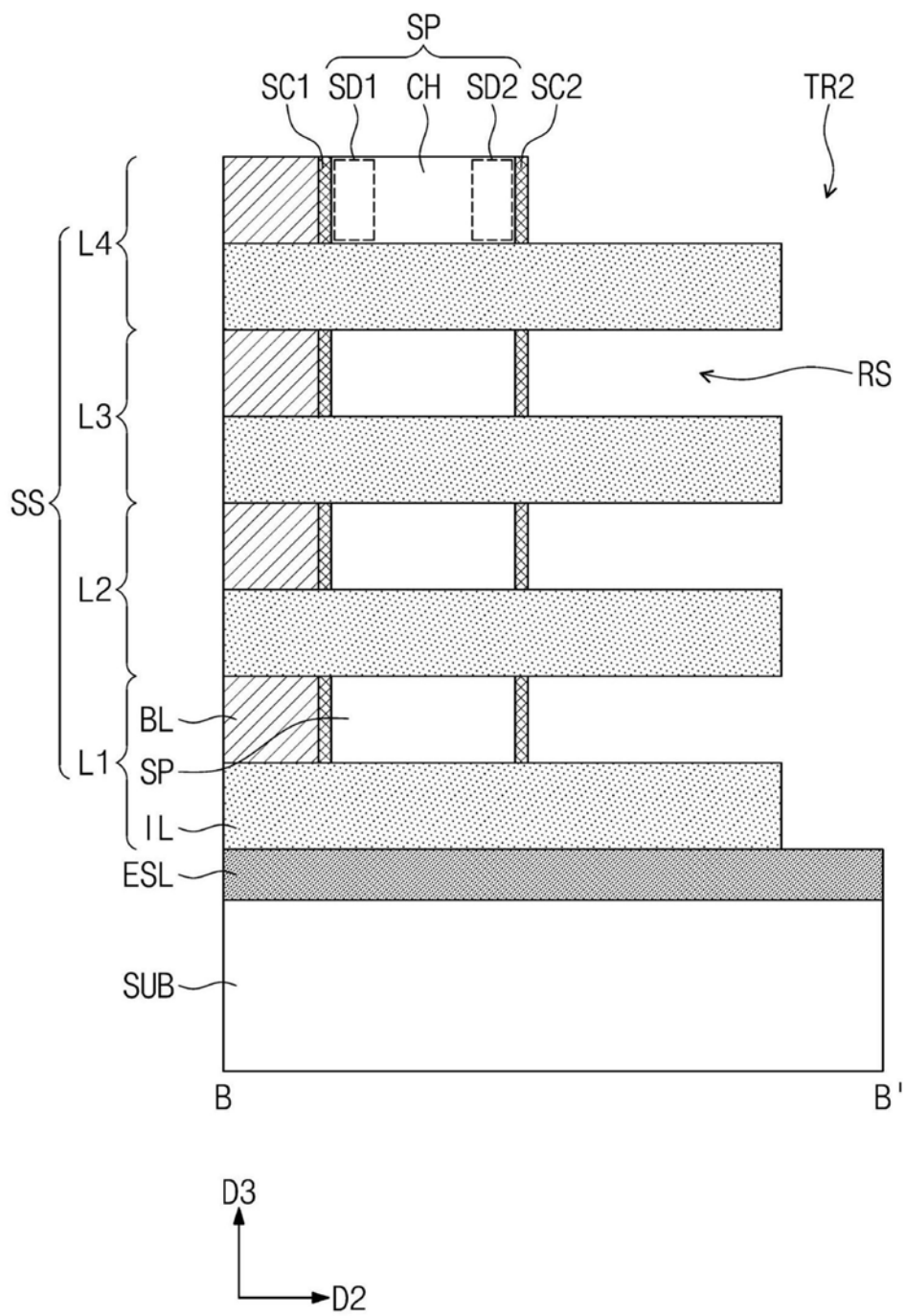


图20B

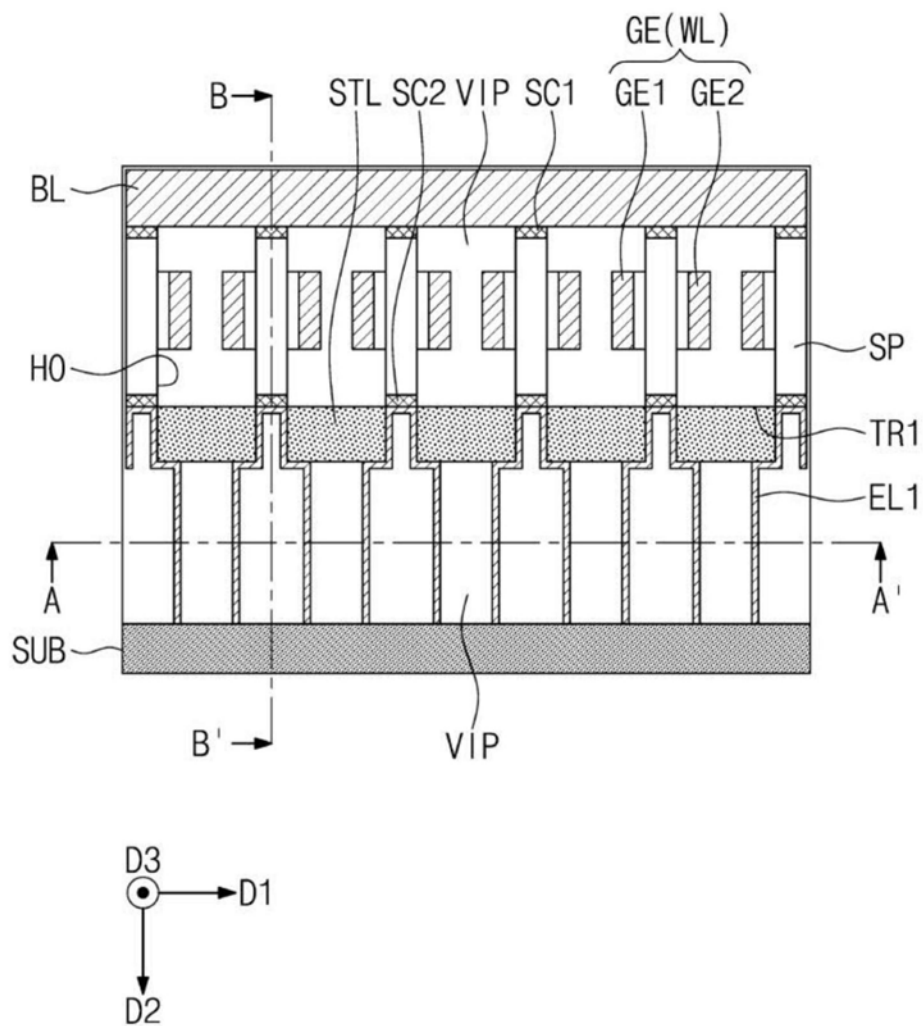


图21

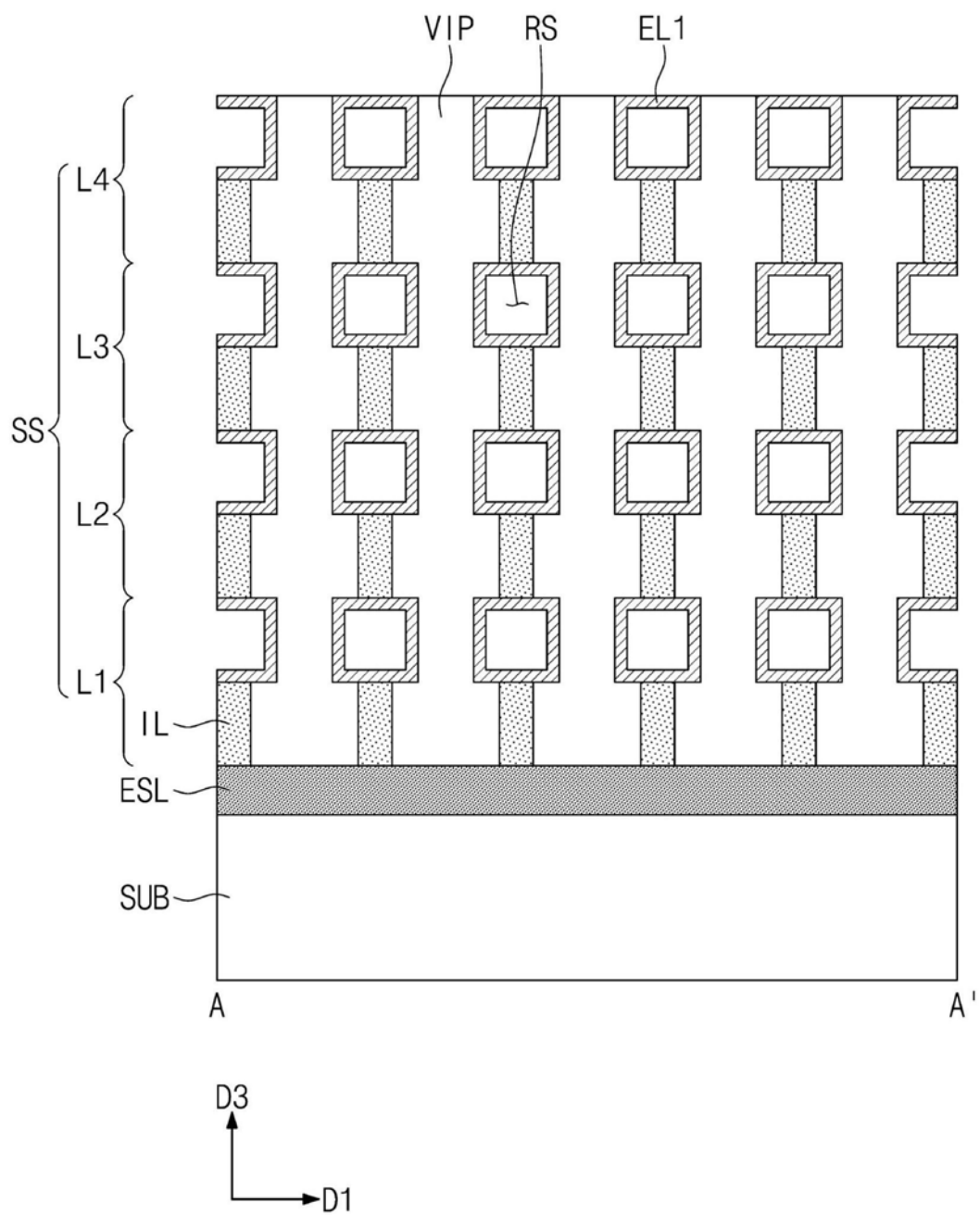


图22A

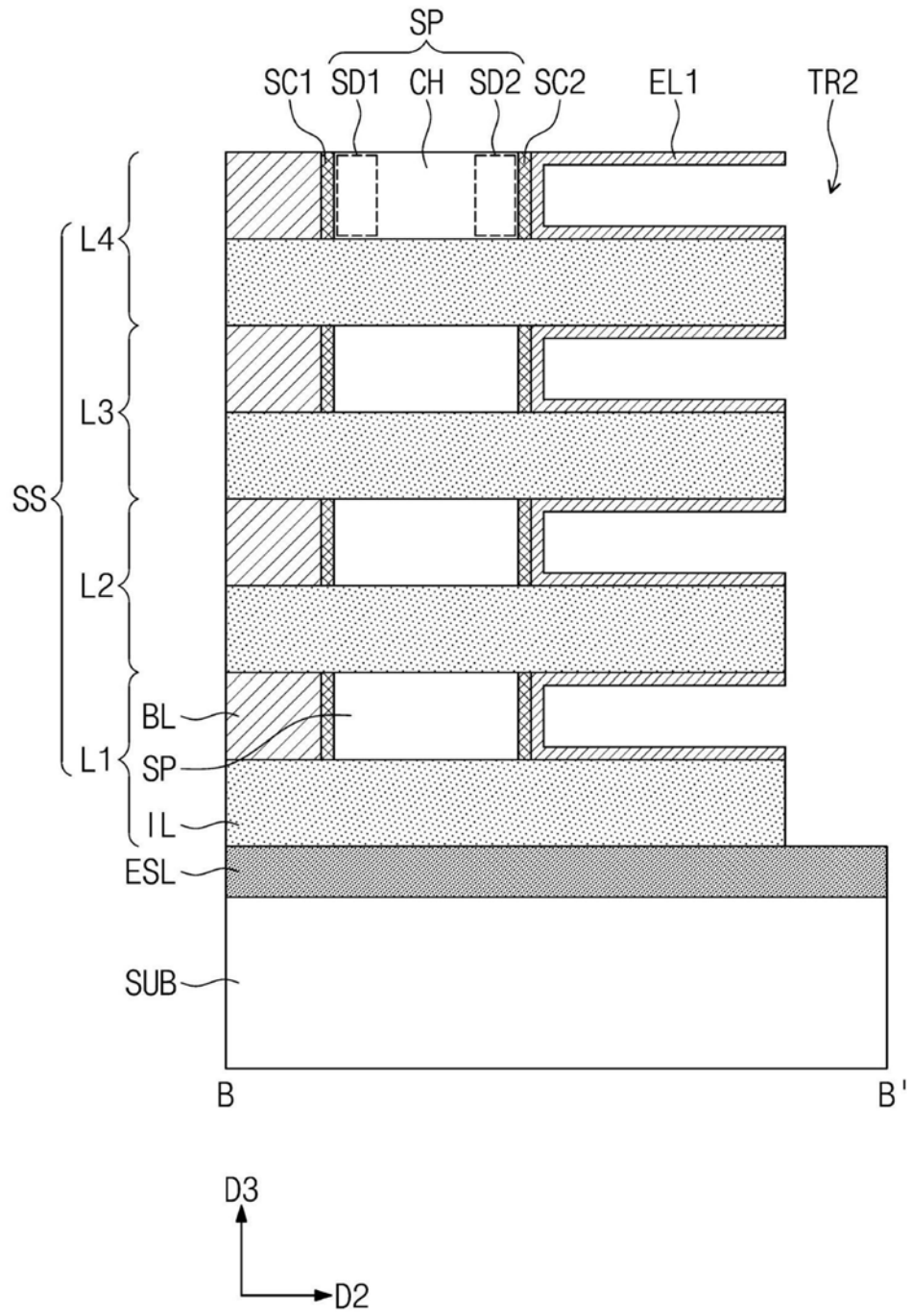


图22B

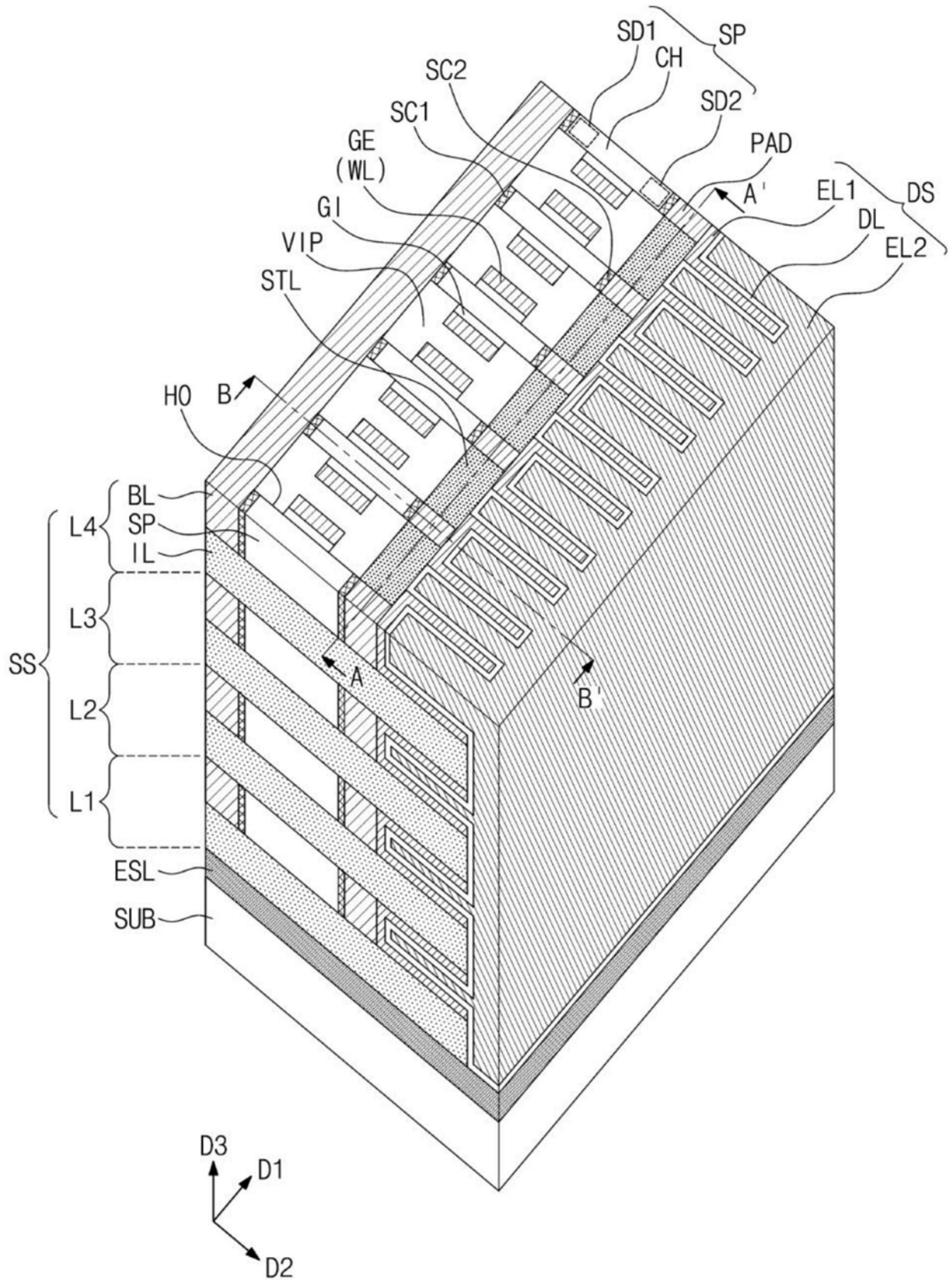


图23

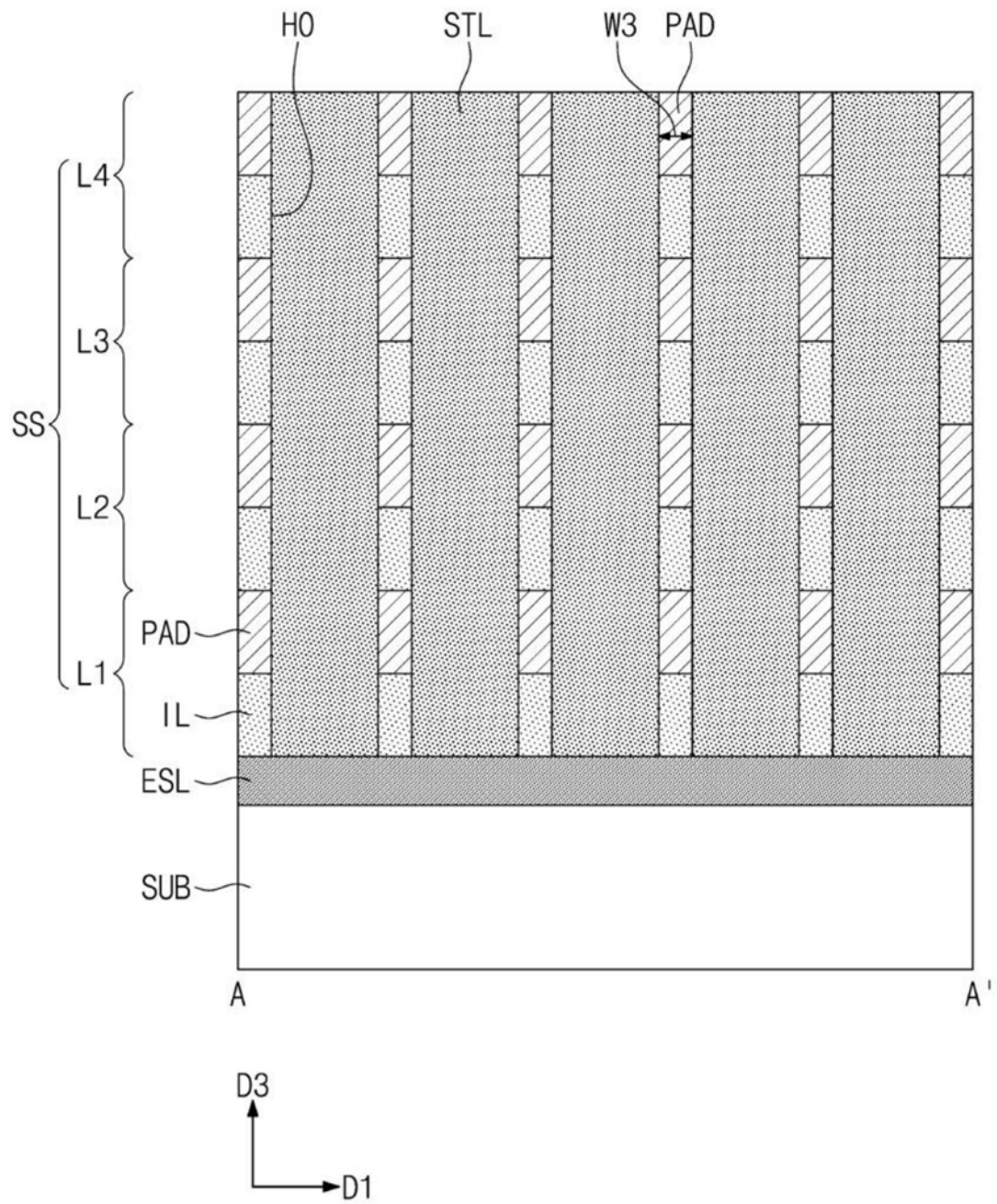


图24A

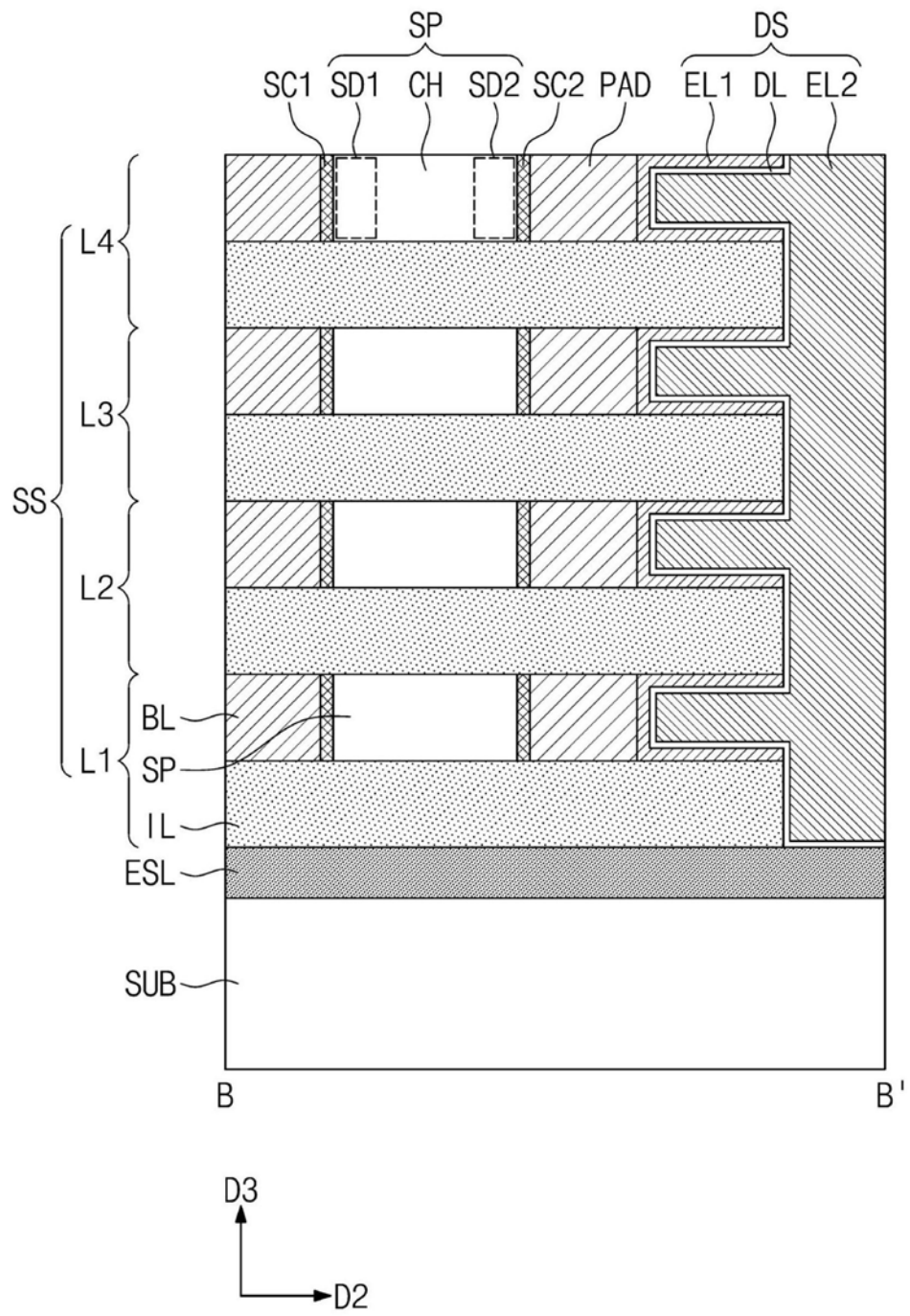


图24B

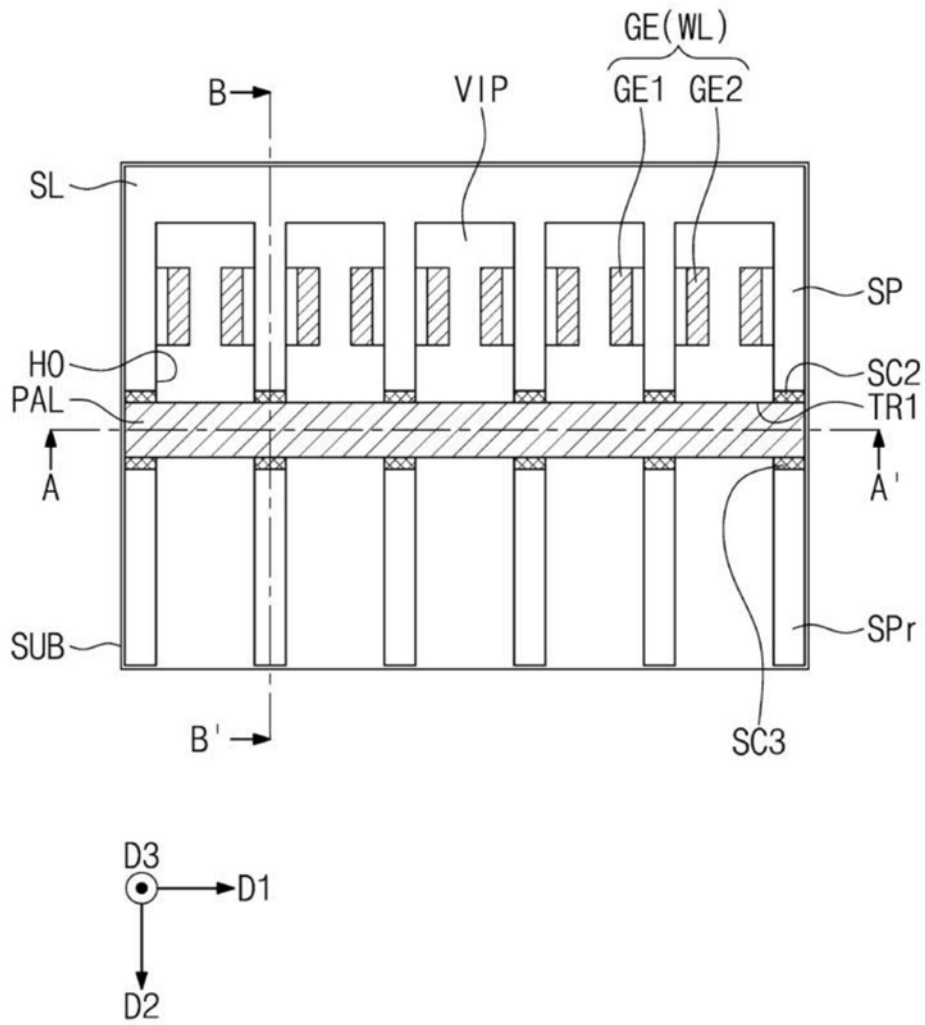


图25

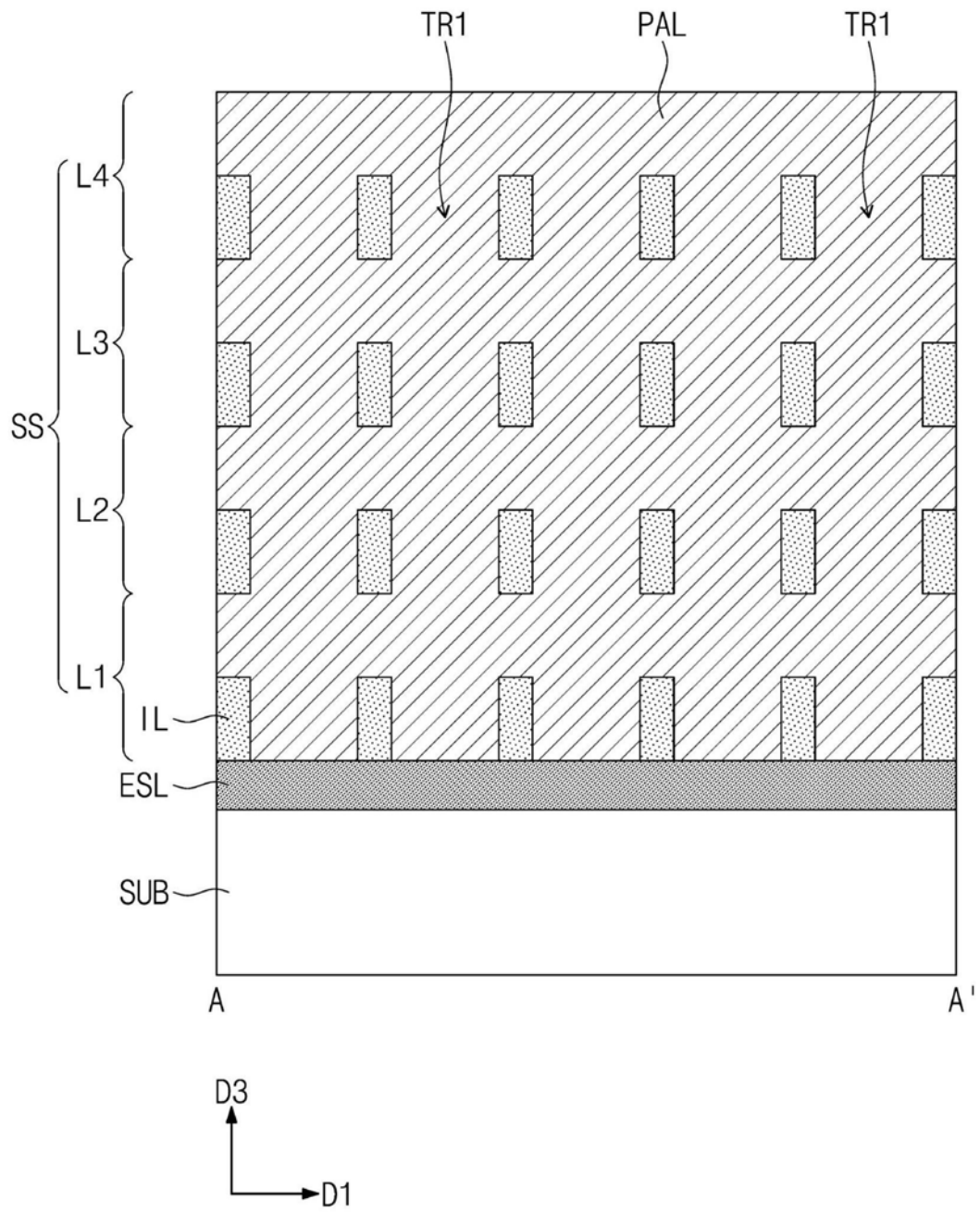


图26A

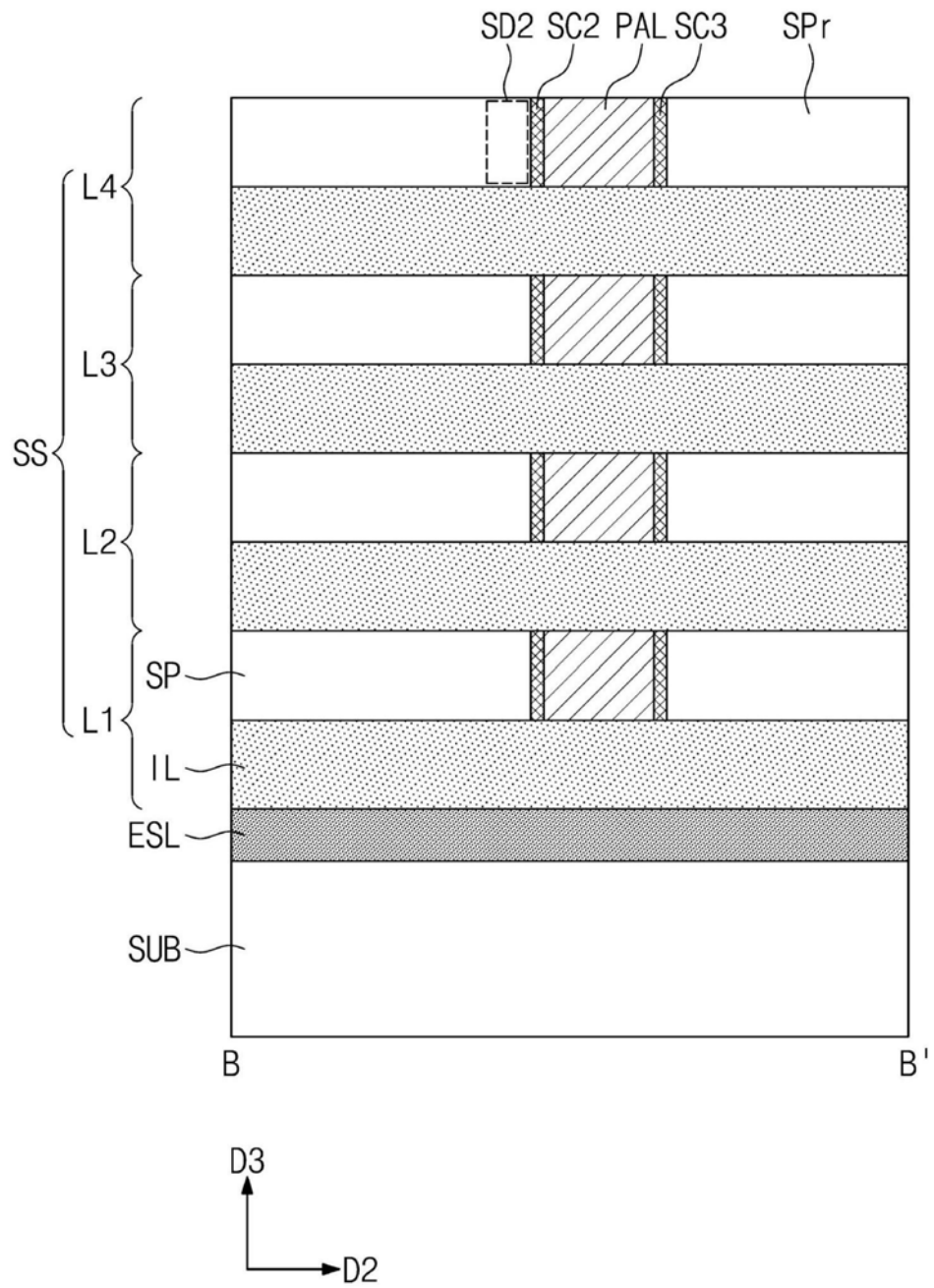


图26B

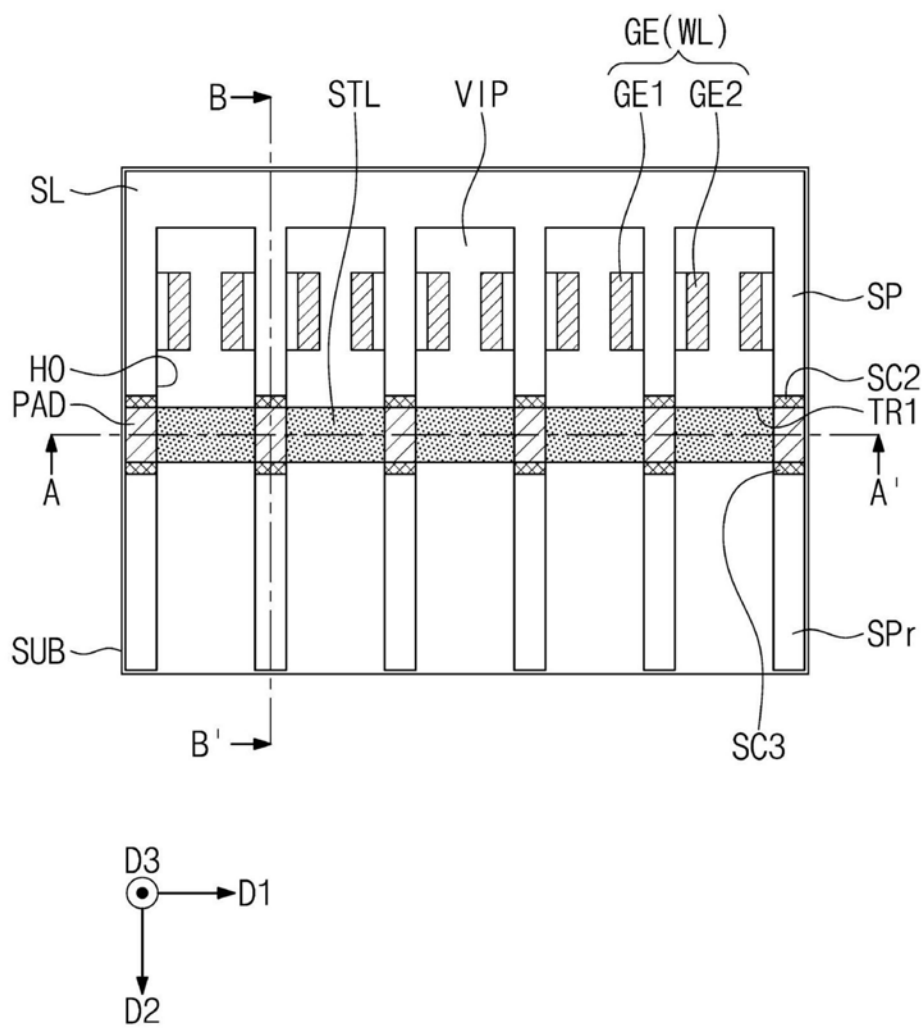


图27

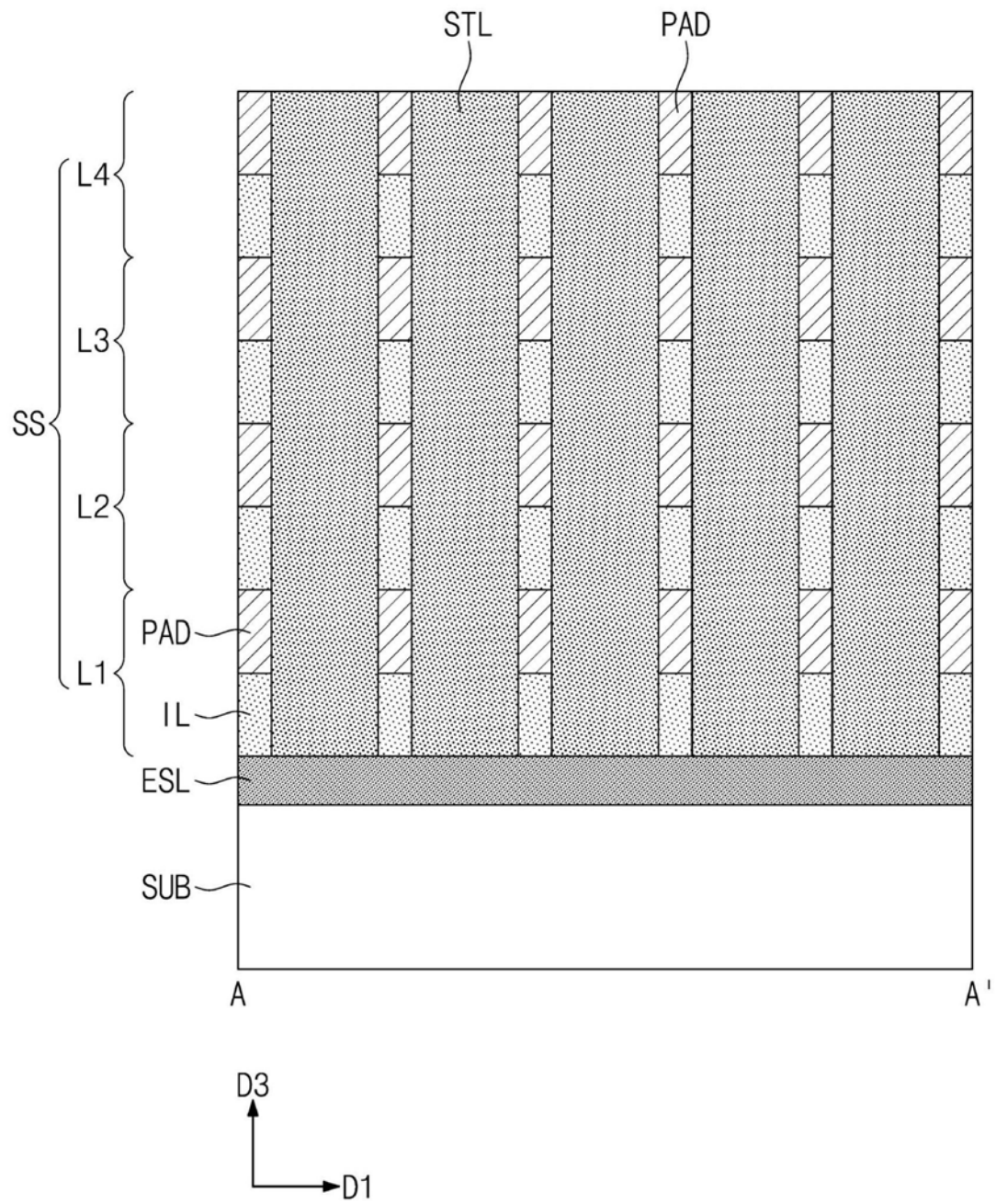


图28A

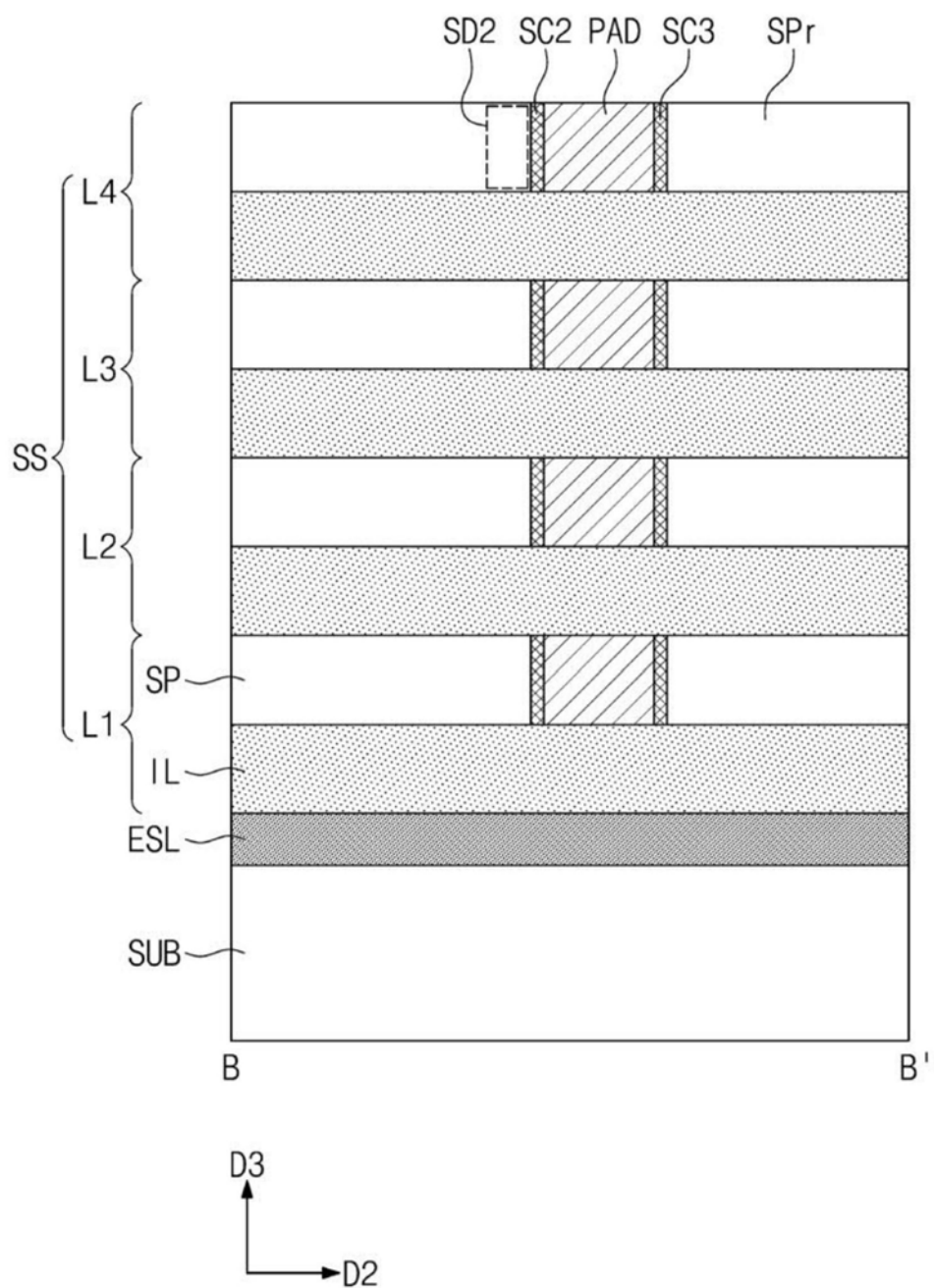


图28B

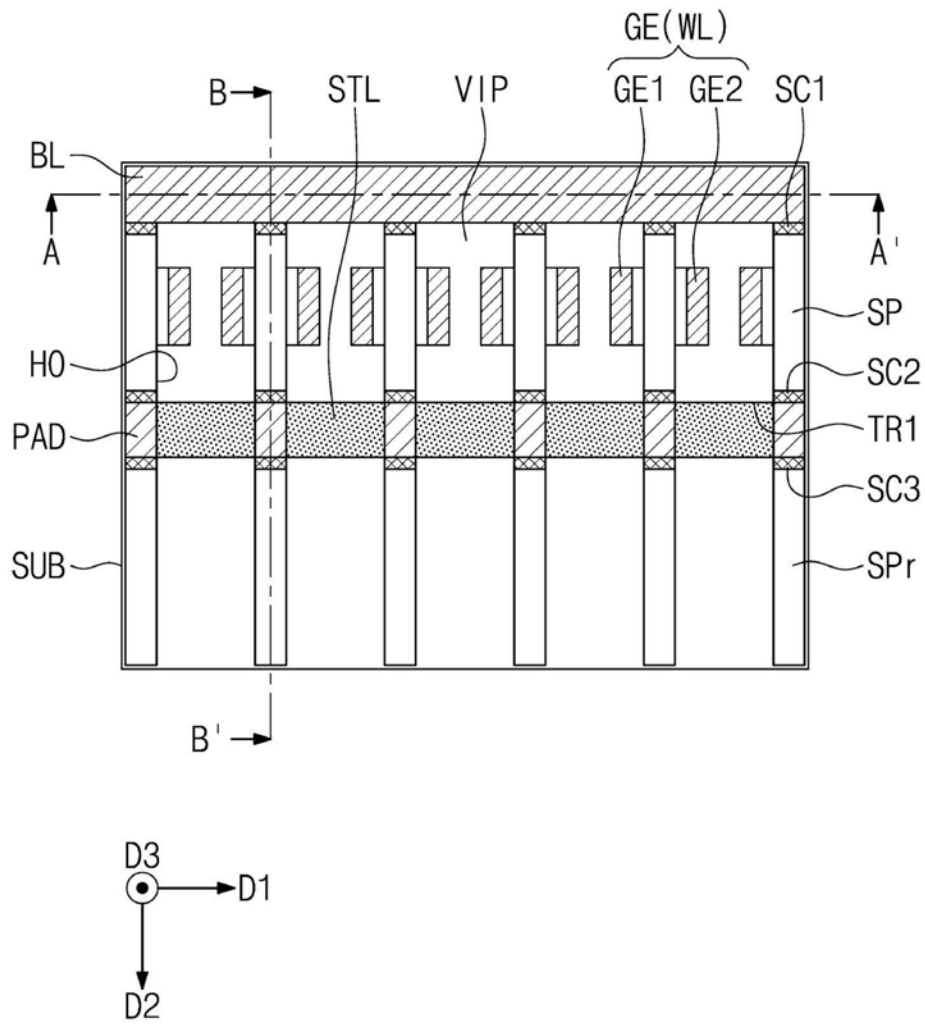


图29

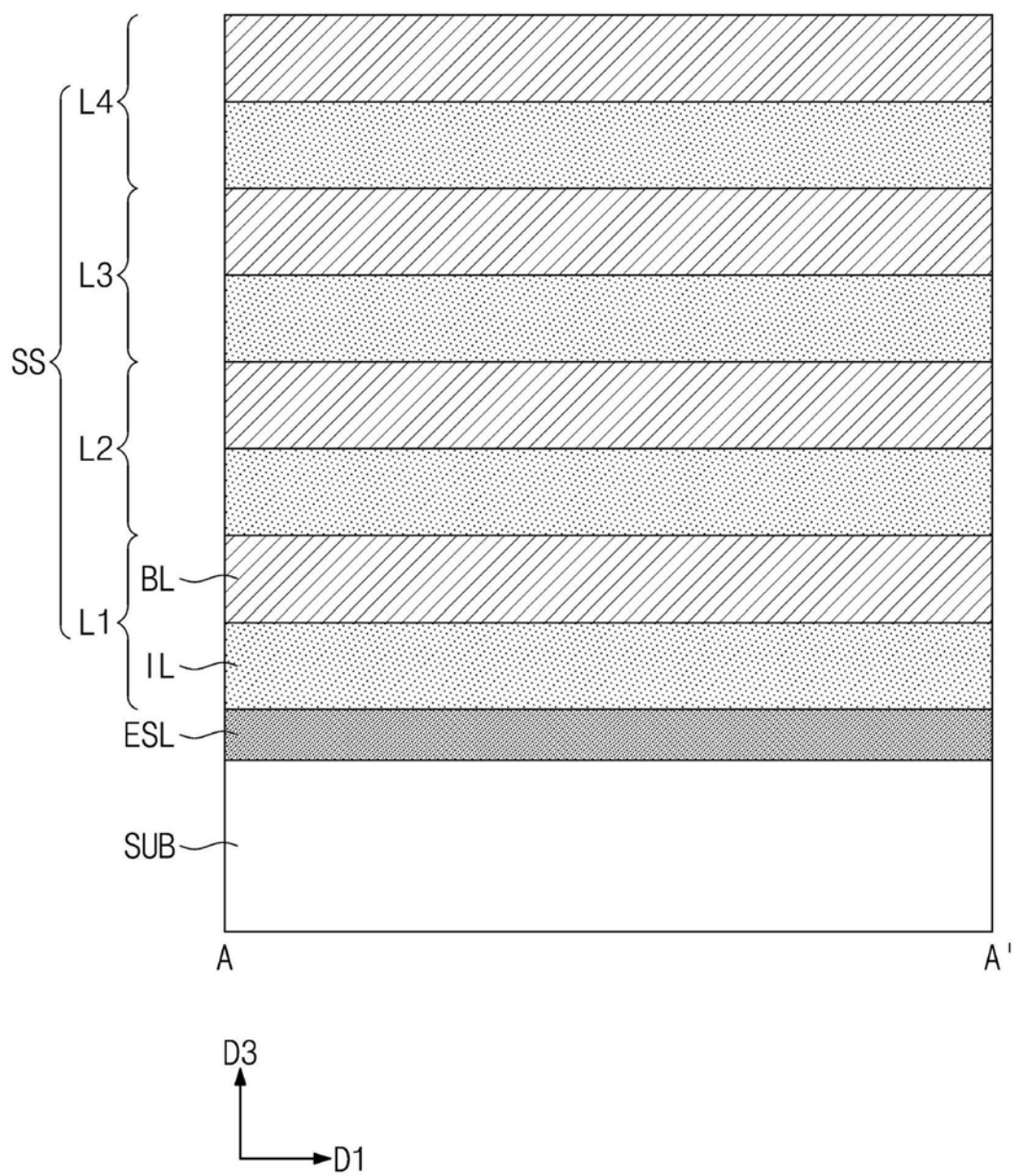


图30A

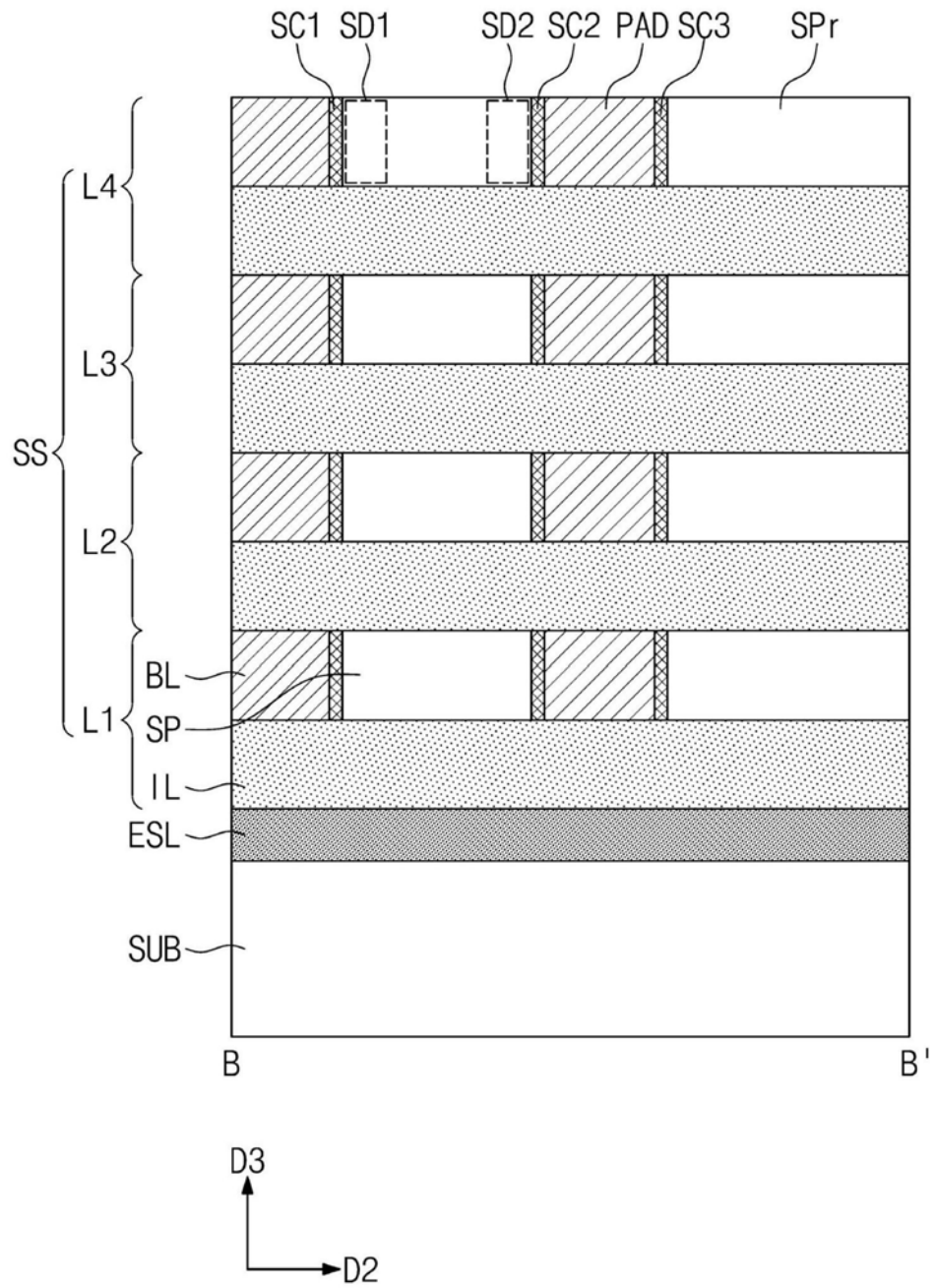


图30B

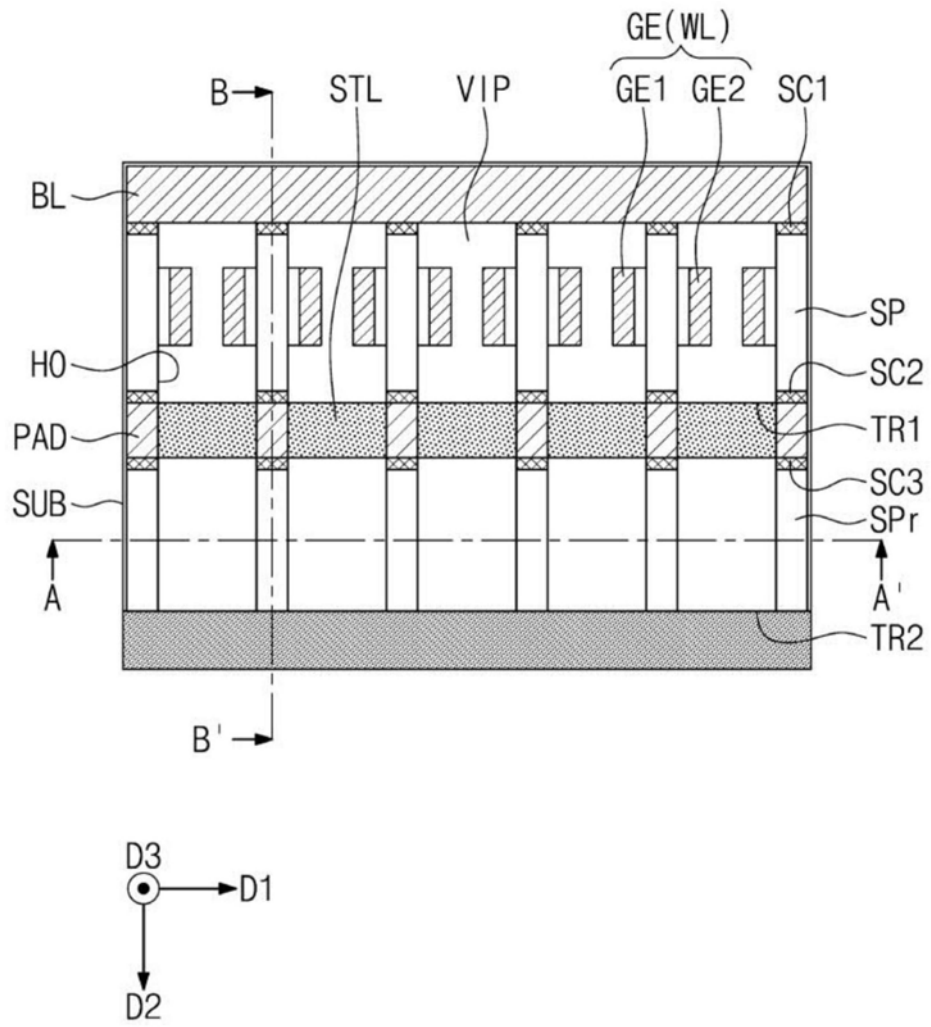


图31

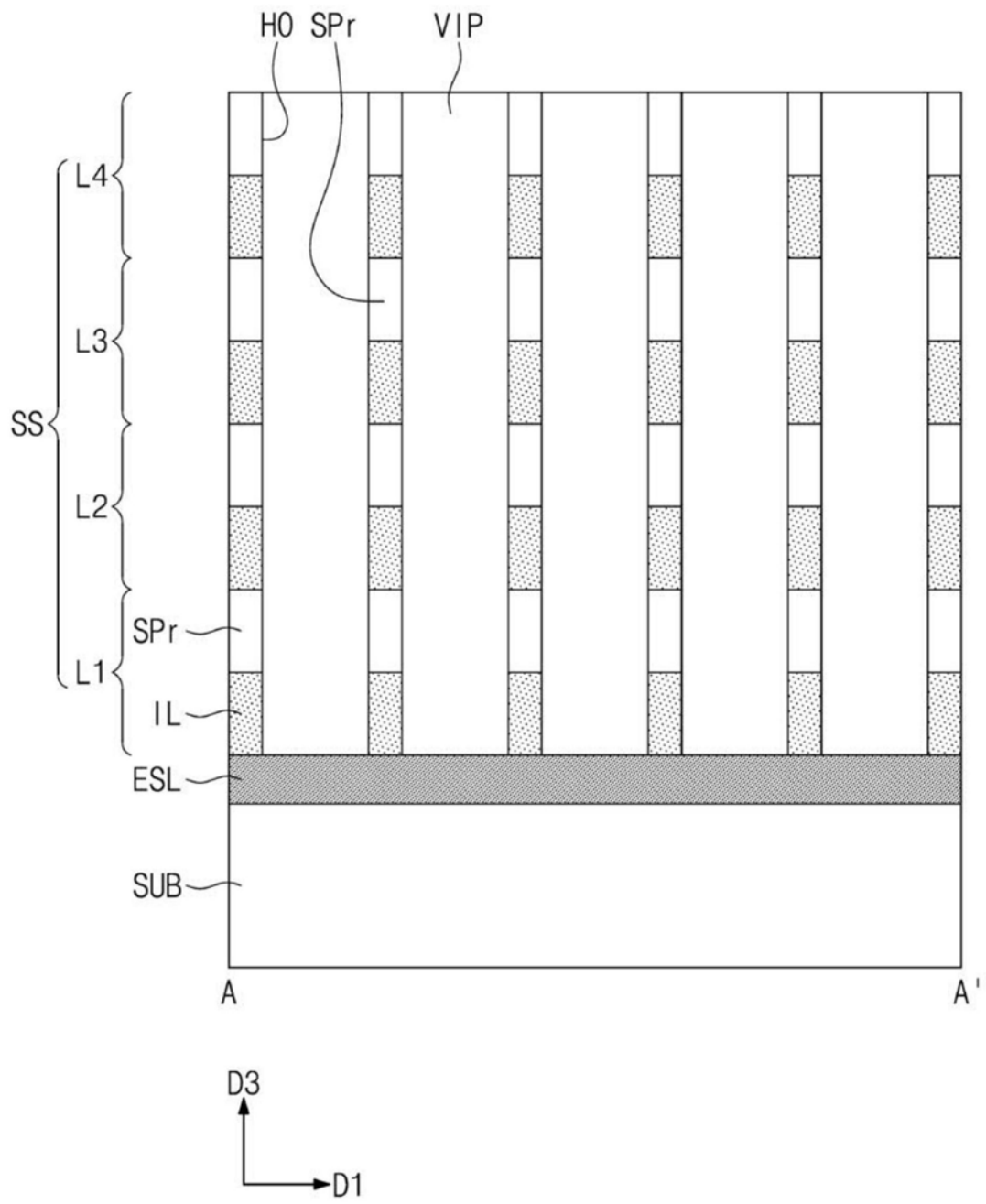


图32A

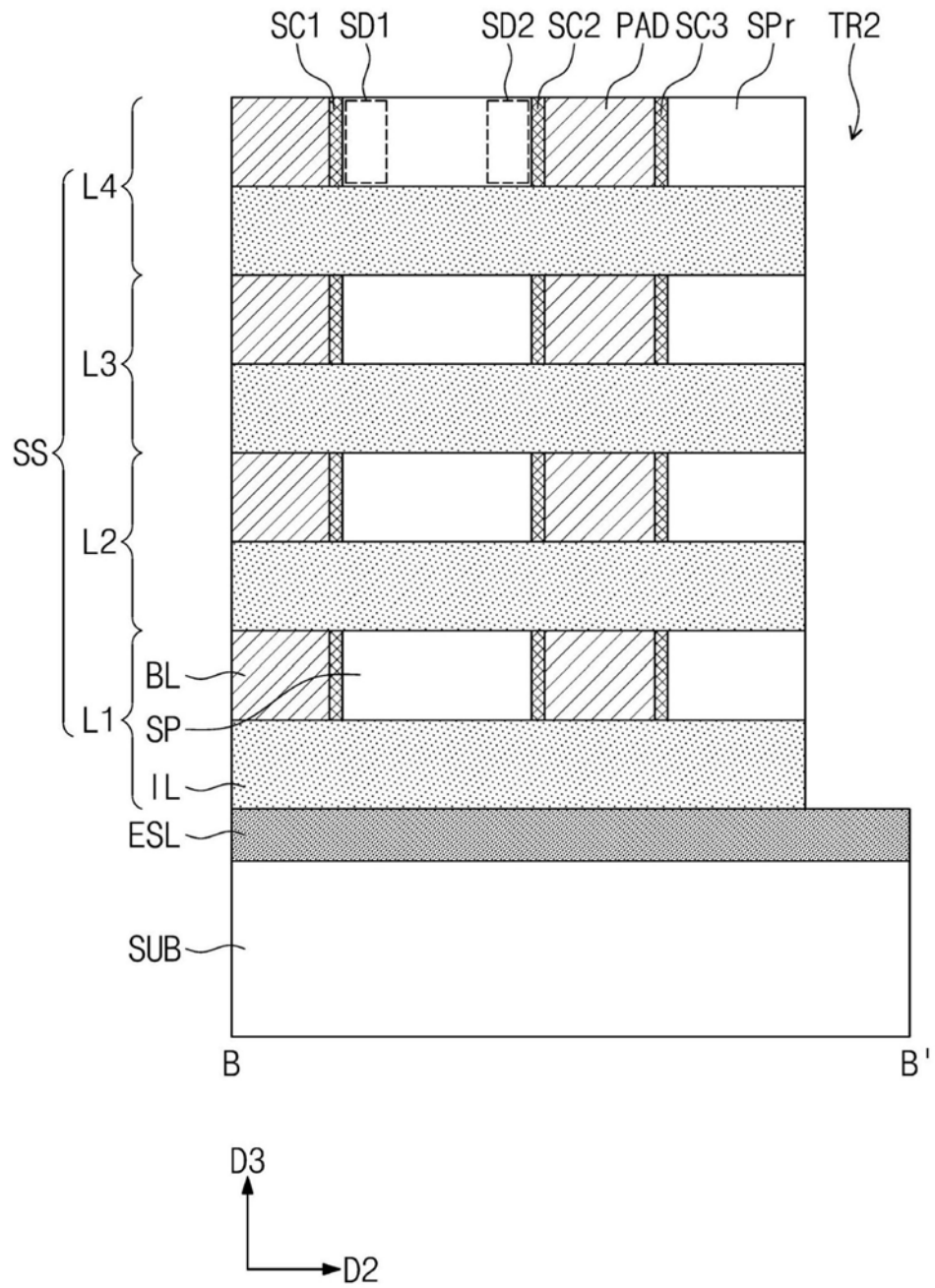


图32B

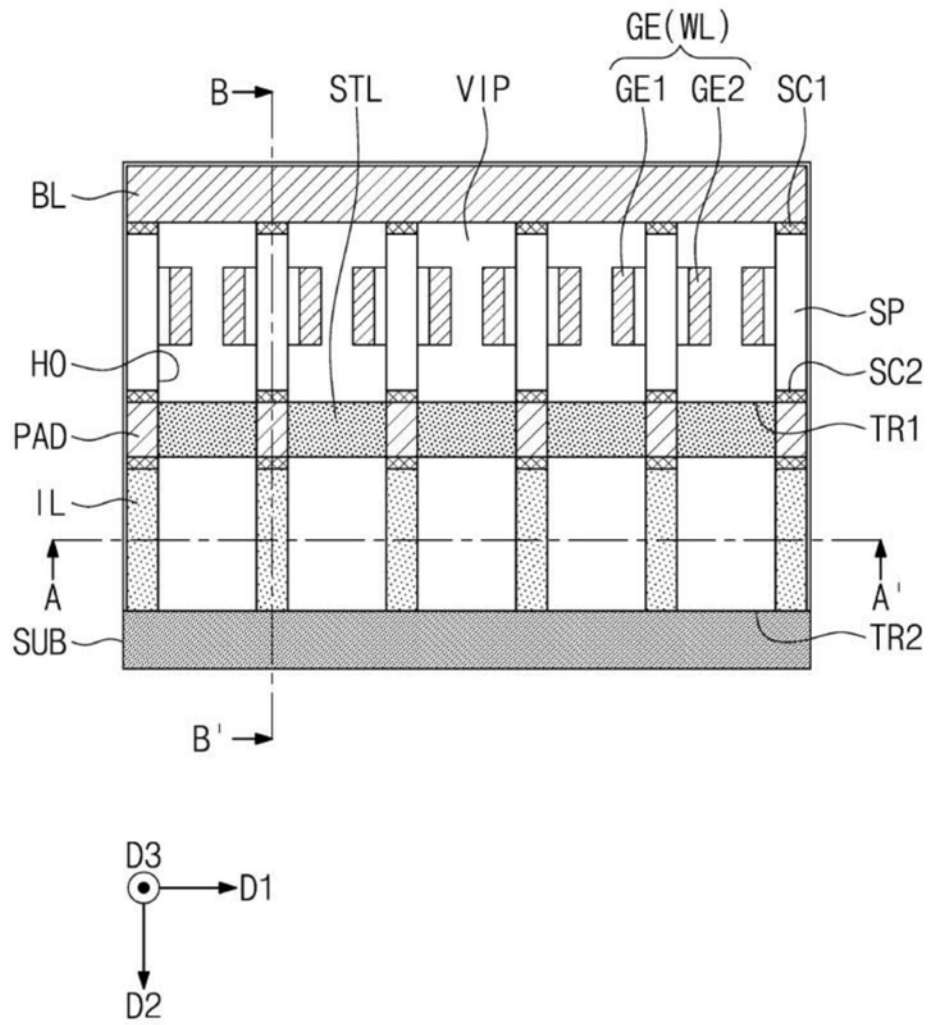


图33

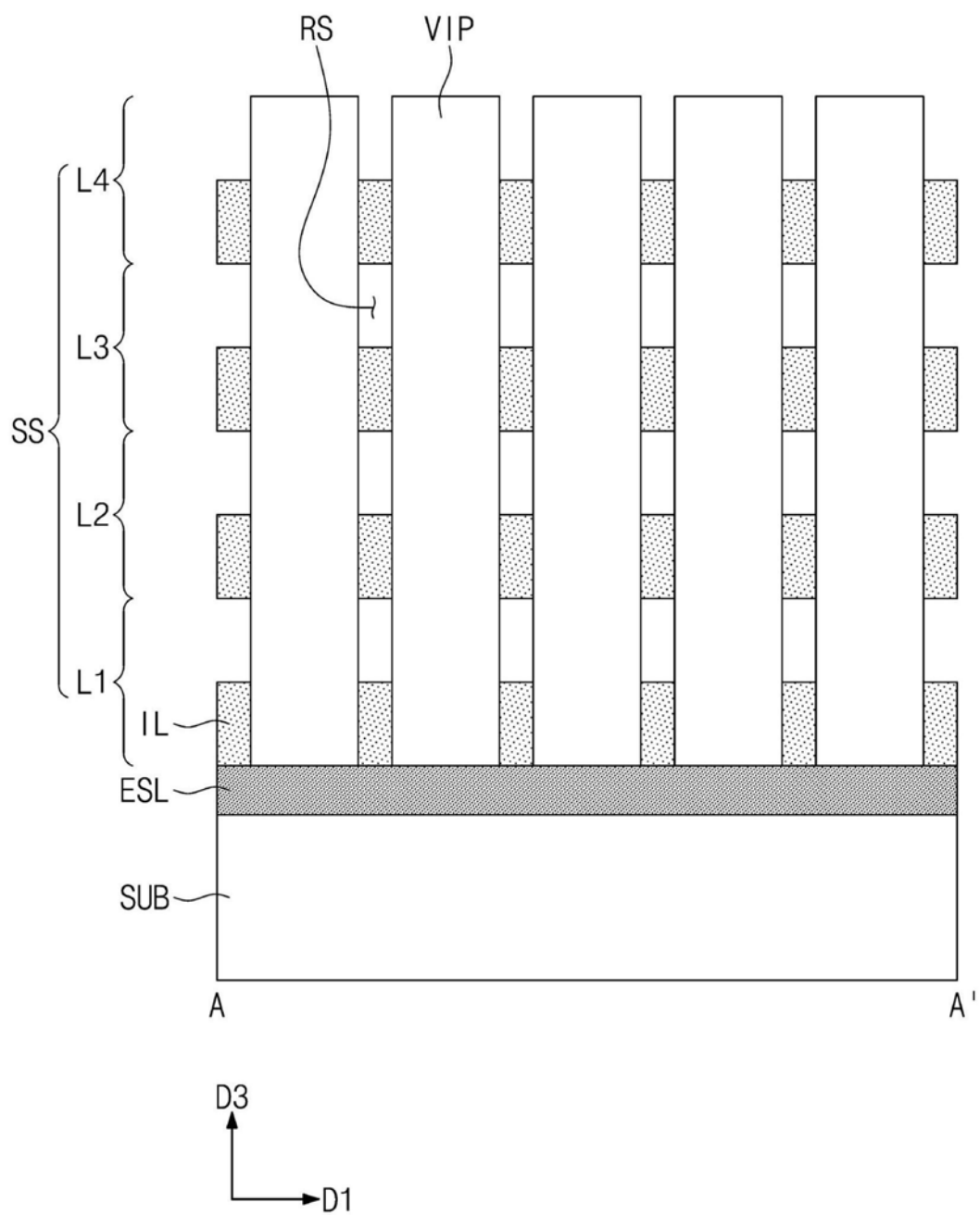


图34A

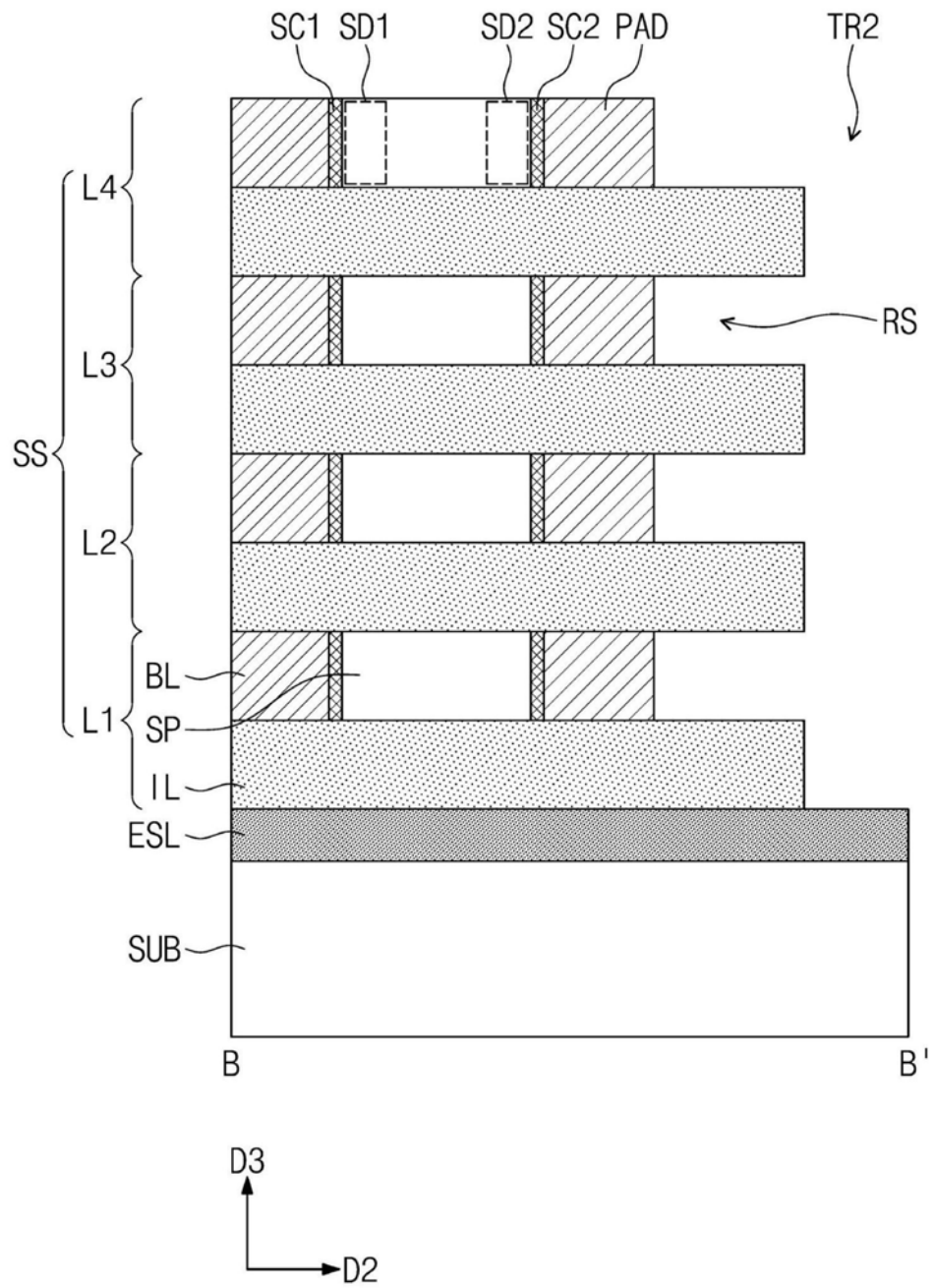


图34B