

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
H01L 21/283



[12] 发明专利说明书

[21] ZL 专利号 01144786.9

[45] 授权公告日 2004 年 12 月 15 日

[11] 授权公告号 CN 1180458C

[22] 申请日 2001. 12. 28 [21] 申请号 01144786.9

[30] 优先权

[32] 2000. 12. 29 [33] KR [31] 85582/2000

[71] 专利权人 海力士半导体香港有限公司

地址 韩国京畿道

[72] 发明人 朴大奎 赵兴在 林宽容

审查员 闫立刚

[74] 专利代理机构 中国专利代理(香港)有限公司

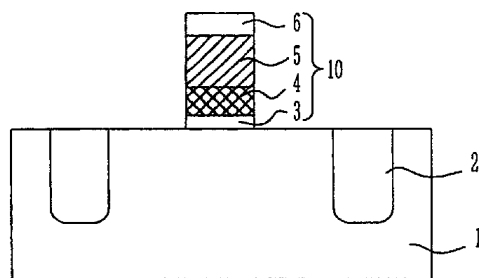
代理人 梁永

权利要求书 2 页 说明书 5 页 附图 4 页

[54] 发明名称 半导体器件中形成金属栅的方法

[57] 摘要

一种形成金属栅的方法，它可阻止形成于该金属栅上的栅绝缘膜性能的降级。形成金属栅的方法包括提供一个具有一个或多个用于确定有效区域的沟状的器件隔离膜的硅基体；用热氧化工艺在硅基体表面上形成栅绝缘膜；继续在栅绝缘膜上形成金属阻挡膜和栅的金属膜；为栅的金属膜、金属阻挡膜和栅绝缘膜构图，其中金属阻挡膜和栅的金属膜的沉积通过原子层沉积(ALD)工艺或遥控等离子体化学汽相沉积(CVD)工艺来实施。



ISSN 1008-4274

1. 一种半导体器件中形成金属栅的方法，它包括的步骤为：
提供一个硅基体，该基体具有一个或多个用于确定有效区域的沟状的
5 器件隔离膜；
用热氧化工艺在所述的硅基体表面上形成栅绝缘膜；
继续在所述的栅绝缘膜上形成金属阻挡膜和栅的金属膜；和
为所述的栅的金属膜、所述的金属阻挡膜和所述的栅绝缘膜构图，
其中所述的金属阻挡膜和所述的栅的金属膜的沉积通过选自由原子层
10 沉积工艺和遥控等离子体化学汽相沉积工艺组成的组中的工艺来实施。
2. 根据权利要求 1 的半导体器件中形成金属栅的方法，其中所述的热氧化工艺在温度范围为 650°C - 900°C 下用湿法 (H_2/O_2) 或干法 (O_2) 实施。
3. 根据权利要求 1 的半导体器件中形成金属栅的方法，其中所述
15 的金属阻挡膜选自由 TiN 、 TiAlN 、 TaN 、 MoN 和 WN 组成的组中。
4. 根据权利要求 1 的半导体器件中形成金属栅的方法，其中所述的 ALD 工艺在 50°C - 550°C 的温度范围内、在 0.05 托-3 托的压力下、用选自由 N_2 、 NH_3 和 ND_3 组成的组中的一种化合物作清洗前体的材料来实施。
5. 根据权利要求 1 的半导体器件中形成金属栅的方法，其中遥控
20 等离子体化学气相沉积工艺是在 2.0GHz-9GHz 的频率范围下，用电子回旋共振作等离子源，选自由 He 、 Ar 、 Kr 和 Xe 组成的组中的等离子体激发气来实施。
6. 根据权利要求 3 的半导体器件中形成金属栅的方法，其中金属阻挡膜是 TiN ，其中 Ti 来源的提供选自由 TiCl_4 、四（二乙基氨基）钛和四
25 （二甲基氨基）钛组成的组中，N 来源的提供选自由 N_2 、 NH_3 和 ND_3 组成的组中。
7. 根据权利要求 3 的半导体器件中形成金属栅的方法，其中金属阻挡膜是 TiAlN ，其中 Ti 来源的提供选自由 TiCl_4 、四（二乙基氨基）钛和四（二甲基氨基）钛组成的组中；Al 来源的提供选自由 AlCl_3 和 $\text{Al}(\text{CH}_3)_3$
30 组成的组中；N 来源的提供选自由 N_2 、 NH_3 、和 ND_3 组成的组中。
8. 根据权利要求 3 的半导体器件中形成金属栅的方法，其中金属阻挡膜是 TaN ，其中 Ta 来源的提供选自由 TaCl_4 和叔丁醇钽组成的组中；N

来源的提供选自由 N_2 、 NH_3 和 ND_3 组成的组中。

9. 根据权利要求 3 的半导体器件中形成金属栅的方法，其中金属阻挡膜是 MoN ，其中 Mo 来源的提供选自由 $MoCl_4$ 、 MoF_6 和叔丁醇钼组成的组中； N 来源的提供选自由 N_2 、 NH_3 和 ND_3 组成的组中。

5 10. 根据权利要求 3 的半导体器件中形成金属栅的方法，其中金属阻挡膜是 WN ，其中 W 来源的提供由 WF_6 和 WCl_4 组成的组中； N 来源的提供选自由 N_2 、 NH_3 和 ND_3 组成的组中。

11. 根据权利要求 1 的半导体器件中形成金属栅的方法，其中所述的栅的金属膜选自由 W 、 Ta 、 Al 、 $TiSi_x$ 、 $CoSi_x$ 和 $NiSi_x$ 组成的组中，其中 X
10 是 0.1-2.9 之间的整数。

12. 根据权利要求 1 的半导体器件中形成金属栅的方法，其中所述的栅的金属膜有多晶硅膜、氮化钨膜和钨膜的栈结构。

半导体器件中形成金属栅的方法

5 技术领域

本发明的方法一般涉及一种半导体器件中形成金属栅的方法。公开的方法尤其涉及一种可阻止栅绝缘膜中栅氧化物完整性（GOI）性能降级的半导体器件中的金属栅的形成方法。

背景技术

10 氧化硅膜（ SiO_2 ）主要一直被用作 MOSFET（金属氧化物半导体场效应晶体管）中的栅绝缘膜的材料，多晶硅膜一直被用作栅的材料是本领域熟知的。但是，随着半导体器件的集成度的提高，需要减小栅的线宽和栅绝缘膜的厚度。当氧化硅膜用作栅绝缘膜的材料时，如果栅绝缘膜的厚度太薄，由于直接穿通栅绝缘膜的隧道效应的增强而产生的漏电，使绝缘性能不稳定。

15 例如，当氧化硅膜被用作目前大量生产的 DRAM（动态随机存取存储器）和逻辑器件的栅绝缘膜时，其用于 70nm 厚的器件时，希望其厚度在 DRAM 中为 30\AA - 35\AA ，在逻辑器件中为 13\AA - 15\AA 。由于多晶硅栅损耗效应（PDE）所增加的电容器元件增至 3\AA - 8\AA ，但是减少厚度范围在 15\AA - 30\AA 之间的栅氧化物膜占有的电测厚度（ T_{eff} ）是困难的。

20 因此，作为一种克服上述问题的方法，人们一直努力用一种介电常数高的、比氧化硅膜的介电常数高的材料作为栅绝缘膜的材料。为了使多晶硅栅损耗效应降至最低，也努力用金属栅代替多晶硅栅。

25 当为金属栅时，作为金属阻挡膜的 TiN 或 WN 膜介于栅的金属膜和栅绝缘膜之间，用作蚀刻掩膜的坚固的掩膜置于栅金属膜上。

但是，根据常规技术在氧化硅栅绝缘膜上形成金属栅时，存在栅绝缘膜下述列各项性能降低的问题。

30 栅金属膜的沉积通常通过喷溅或化学气相沉积（CVD）来实现。但是，在硅栅绝缘膜上直接通过喷溅或 CVD 沉积栅的金属膜时，降低了栅绝缘膜的接口性能和绝缘性能。

图 1A 和 1B 给出了 MOS 电容器的电容（C）-电压（V）的曲线，该电容器是在根据常规技术用喷溅法形成的氧化硅栅绝缘膜上直接沉积 TiN

或 WN 膜作阻挡膜后，继续沉积钨（W）膜作为栅的金属膜而形成的。

如图所示，包括陆续在氧化硅栅绝缘膜上沉积金属阻挡膜（TiN 或 WN）和沉积钨膜栅的步骤的实施方式中，未进行随后的退火工艺，不重点考虑与电容-电压性能有关的沉积金属阻挡膜材料（TiN 或 WN）和喷溅方法（常规的 IMP 校准），由于过多的峰值约为 $1E12/eV\cdot cm^2$ 的接口陷阱密度和滞后约为 $1E12/cm^2$ 的氧化物陷阱电荷，从而形成了高数量级的氧化物缺陷电荷。基于此，导致了栅本身绝缘性能的损失和与基体的接口的严重损坏。

同时，该损坏可通过高温退火工艺，如 $800^\circ C$ 下恢复至一定的程度，但是不能实现对损坏的栅绝缘膜的完全恢复。另外，高温退火工艺有缺点而且成本高，并且必须增加栅绝缘膜的电测厚度（ T_{eff} ）以恢复一些损失的性能。

图 2A 至 2C 表明了 $TiCl_4+NH_3$ 在 $650^\circ C$ 下以热沉积方法沉积的 TiN 金属栅中的电容（C）-电压（V）曲线图。

如图所示，沉积后 MOS 晶体管的性能相对好于用喷溅法沉积得到的晶体管的性能。但是，由于在随后的退火工艺后，栅绝缘膜中电测厚度（ T_{eff} ）和氧化物陷阱电荷的增加，从而产生了栅氧化物完整性（GOI）性能的降级，即增加了滞后现象。尤其是，当制造 MOS 电容器/晶体管时，可产生严重的栅氧化物完整性（GOI）性能的降级。

20 发明内容

因此，公开的方法是解决上述问题的发明，公开的方法的一个目的是提供一种形成金属栅的方法，该金属栅可防止栅绝缘膜的 GOI 性能的降级。

为了达到上述目的，根据公开的方法，形成金属栅的方法包括一个提供硅基体的步骤，该基体具有沟状的器件隔离膜以确定有效的区域；用热氧化工艺在硅基体表面上形成栅绝缘膜；继续在栅绝缘膜上形成金属阻挡膜和栅的金属膜；为栅的金属膜、金属阻挡膜和栅绝缘膜构图，其中金属阻挡膜和栅的金属膜的沉积通过原子层沉积（ALD）工艺和/或遥控等离子体化学汽相沉积工艺来实施。

30 根据公开的方法，金属阻挡膜和栅的金属膜通过原子层沉积（ALD）工艺或遥控等离子体 CVD 工艺沉积。从而将在沉积膜的工艺过程中产生的栅绝缘膜的损坏降至最小。

结合下面的描述和附图，将对公开的方法的上述内容和其它的特征作更充分的解释。

附图说明

图 1A 和 1B 是表明根据常规技术，用喷溅法在氧化硅膜上直接沉积 TiN 或 WN 膜和钨 (W) 膜的电容 (C) -电压 (V) 曲线图；

图 2A 至 2C 表明根据常规技术， $\text{TiCl}_4 + \text{NH}_3$ 在 650°C 下以热沉积方法沉积的 TiN 金属栅中电容 (C) -电压 (V) 的曲线图；和

图 3A 至 3C 是包括根据本发明的实施方式形成的金属栅的半导体器件的截面图。

具体实施方式

将通过优选的实施方式参考附图对公开的方法进行详细的描述，其中用同样的参考数字表示相同或相似的部件。

图 3A 至 3C 是包括根据本发明的一个实施方式形成的金属栅的半导体器件的截面图。

图 3A 中，提供了硅基体 1。在硅基体 1 的特定区域上形成了沟状的器件隔离膜 2 以确定有效的区域。此时，器件隔离膜 2 可用常规的 LOCOS (硅的局部氧化) 工艺形成。通过热氧化工艺在硅基体 1 表面上形成的栅绝缘膜 3 是由氧化硅制成的厚度为 10\AA - 40\AA 的膜。此时，优选热氧化工艺在 650°C - 900°C 的炉中用湿法 (H_2/O_2) 或干法 (O_2) 来实施。

同时，可形成除热氧化工艺形成的氧化硅膜外的 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 ZrO_2 、 HfO_2 、Zr-硅酸盐、Hf-硅酸盐、 La_2O_3 中的任何一种或多种高介电常数绝缘膜和三维混合的绝缘膜 (ZrAlO 、 HfAlO 、 ZrSiO_4 和 HfSiO_4)。在沉积高介电常数绝缘膜之前，也可形成超薄 (例如 3\AA - 30\AA) 的氧化硅膜。另外，用高介电常数绝缘膜作栅绝缘膜时，高介电常数绝缘膜可在氧气、氮气或惰性气氛下采用 10-300 秒的快速热工艺，或 10-100 分钟的熔炉工艺而经受退火工艺，并且可经过一个 UV-臭氧工艺。

另外，尽管图中未示出，但是在栅绝缘膜 3 形成之前，可形成沟状的电容器。此时，介电膜可以包括 ON 膜、 Ta_2O_5 膜、 Al_2O_3 膜、BST 膜或 SBT 膜中的一种。

图 3B 中，在栅绝缘膜 3 上陆续沉积金属阻挡膜 4 和金属膜 5。优选金属阻挡膜 4 和栅的金属膜 5 通过非高温热沉积的工艺来沉积，例如，原子层沉积 (ALD) 工艺或遥控等离子体化学汽相沉积 (CVD) 工艺沉积，

因为该工艺不受金属渗透或掺杂的影响。

上述方法中，由于 ALD 工艺允许在 150°C -350°C 的温度范围内进行循环的配料和清洗，阻止了栅绝缘膜 3 和基体 1 之间的接口性能和栅绝缘膜 3 本身性能的降级。优选在 50°C -550°C 的温度范围内、在 0.05 托-3 托的压力下用 N₂、NH₃、ND₃ 或其混合物作清洗前体的材料来实施 ALD 工艺。

由于遥控等离子体 CVD 工艺实施方式在远处形成等离子体来沉积薄膜，也可得到与 ALD 工艺相同的效果。在遥控等离子体 CVD 工艺的实施过程中，优选在 2.0GHz-9GHz 的频率下，用电子回旋共振（ECR）作等离子源，He、Ar、Kr、Xe 或其混合物作等离子体激发气。另外，在遥控等离子体 CVD 工艺中，将金属源如钛引入室内在晶片周围喷溅，并且在等离子体周围激发 N 源，从而 Ti 和 N 可被引入涂覆于晶片表面。

同时，金属阻挡膜 4 可由选自由 TiN、TiAlN、TaN、MoN、WN 和它们的混合物组成的组中的一种化合物组形成。优选金属阻挡膜 4 的厚度在 50Å-500Å 的范围内。栅的金属膜 5 也可以是由 W、Ta、Al、TiSi_x、CoSi_x 和 NiSi_x 组成的组中的一种形成，其中 X 是 0.1-2.9 之间的整数，它也可形成多晶硅、氮化钨膜和钨膜的栈结构。优选栅的金属膜 5 的厚度是 300 Å -1500 Å。坚固的掩膜 6 可由二氧化硅膜（SiO₂）、氮化硅膜（Si₃N₄）或氮氧化硅膜（SiON）形成。坚固的掩膜 6 的厚度是 300 Å -2000 Å。

上述内容中，当金属阻挡膜 4 例如 TiN 通过 ALD 工艺和/或遥控等离子体 CVD 工艺沉积时，Ti 的来源可以包括 TiCl₄、TDEAT（四（二乙基氨基）钛）或 TDMAT（四（二甲基氨基）钛），N 的来源可以包括 N₂、NH₃ 或 ND₃。该实施方式也包括沉积 TiAlN 作金属阻挡膜的步骤，Ti 的来源可以包括 TiCl₄、TDEAT（四（二乙基氨基）钛）或 TDMAT（四（二甲基氨基）钛），N 的来源可以包括 N₂、NH₃ 或 ND₃，Al 的来源可以包括 AlCl₃ 或 TMA[Al（CH₃）₃]。另外，该实施方式包括沉积 TaN 作金属阻挡膜的步骤，Ta 的来源可以包括 TaCl₄ 或叔丁醇钽，N 的来源可以包括 N₂、NH₃ 或 ND₃。该实施方式也可包括沉积 MoN 作金属阻挡膜的步骤，Mo 的来源可以包括 MoCl₄、MoF₆ 或叔丁醇钼，N 的来源可以包括 N₂、NH₃ 或 ND₃。另外，该实施方式包括沉积 WN 作金属阻挡膜的步骤，W 的来源可以包括 WF₆ 或 WCl₄，N 的来源可以包括 N₂、NH₃ 或 ND₃。

图 3C 中，坚固的掩膜 6 的构图可以用例如通常的光刻法工艺。然后，

利用坚固的掩膜 6 作蚀刻膜，用蚀刻工艺陆续将栅的金属膜 5、阻挡膜 4 和栅绝缘膜 3 蚀刻，从而形成了金属栅 10。

5 由于栅的金属膜 5 包括阻挡金属膜 4 是通过 ALD 工艺或遥控等离子体 CVD 工艺沉积的，因此用公开的方法形成的金属栅 10 可以阻止氧化硅栅绝缘膜 3 的 GOI 性能的降级。

同时，上述的实施方式也解释了用常规的栅形成工艺形成栅的方法，即栅绝缘膜和栅导电膜先沉积后构图的工艺。但是，公开的方法也适用于金银镶花工艺，其中通过形成并且去除牺牲栅确定栅形成区域后，在栅形成区域形成了金属栅。尤其是，如果公开的方法适用于金银镶花工艺的栅形成工艺，可得到更改善的效果。

10 正如从上述内容可理解的，公开的方法形成金属栅，其中阻挡金属膜和栅的金属膜是通过 ALD 工艺或遥控等离子体 CVD 工艺沉积的。从而公开的方法形成可以阻止栅绝缘膜性能的降级。因此，公开的方法不仅可以改善金属栅的性能，而且可以改善器件的性能。另外，由于 ALD 工艺和遥控等离子体 CVD 工艺沉积有好的台阶覆盖，工艺本身有优势，并且可以很有利的应用于高速/高密度器件的制造中。

参考特定的实施方式，对与特定的应用有关的公开的方法进行了描述。那些具有本领域的普通技术和可得到公开的方法的教导的人员将意识到在其范围内的其它的修正和应用。

20 因此，欲用所附的权利要求来覆盖在公开的方法的范围内的任何的和所有的这种应用、修正和实施方式。

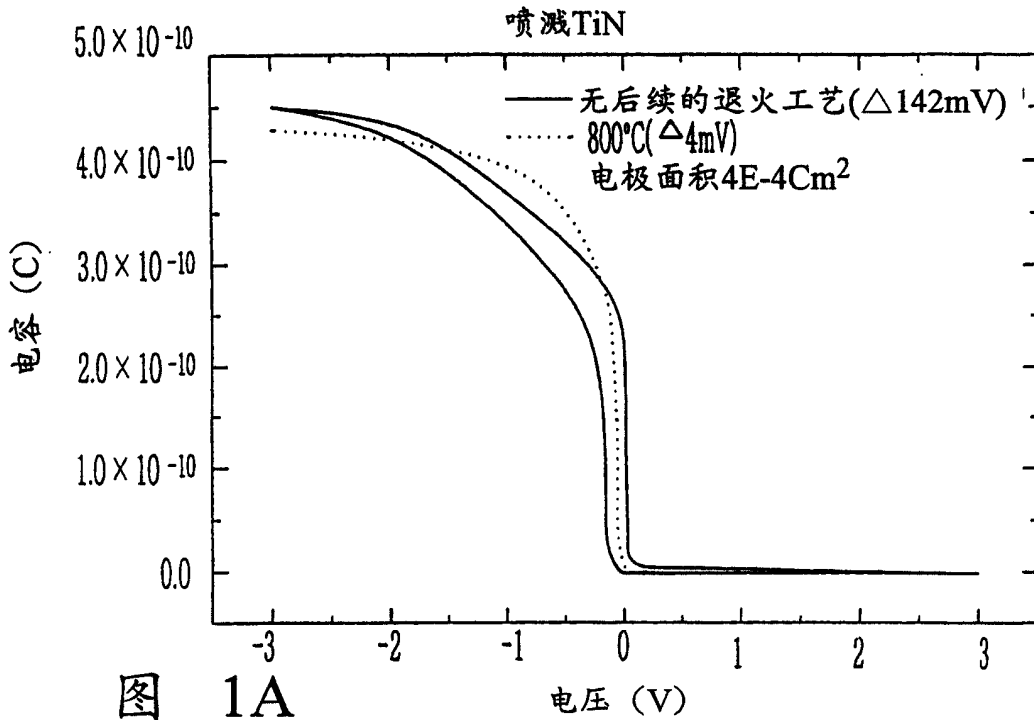


图 1A
(现有技术)

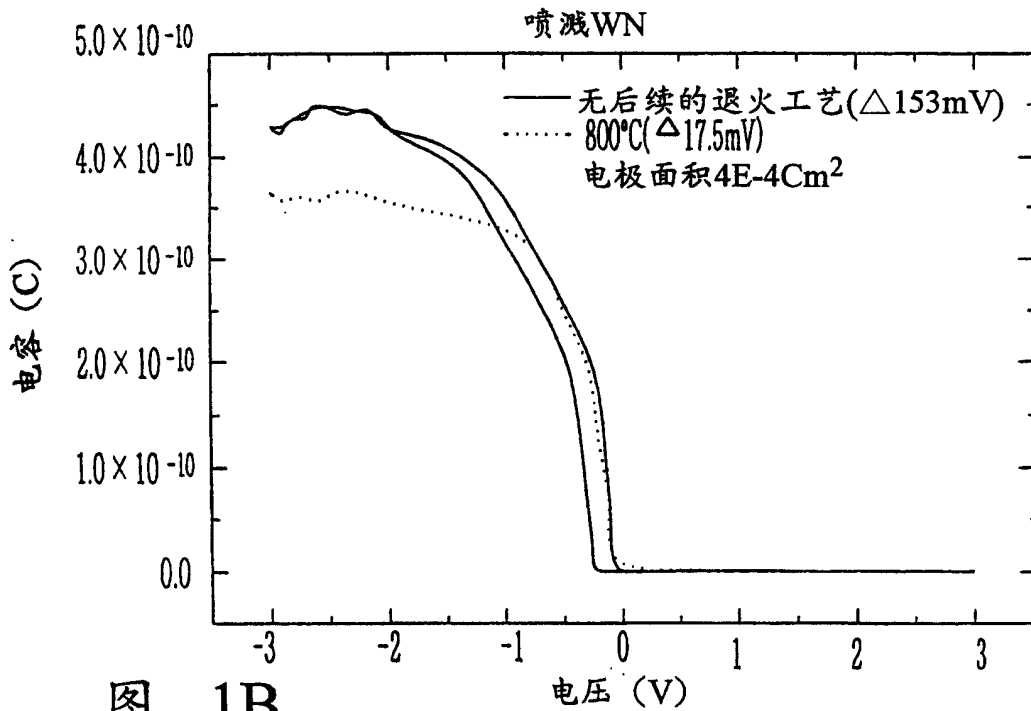


图 1B
(现有技术)

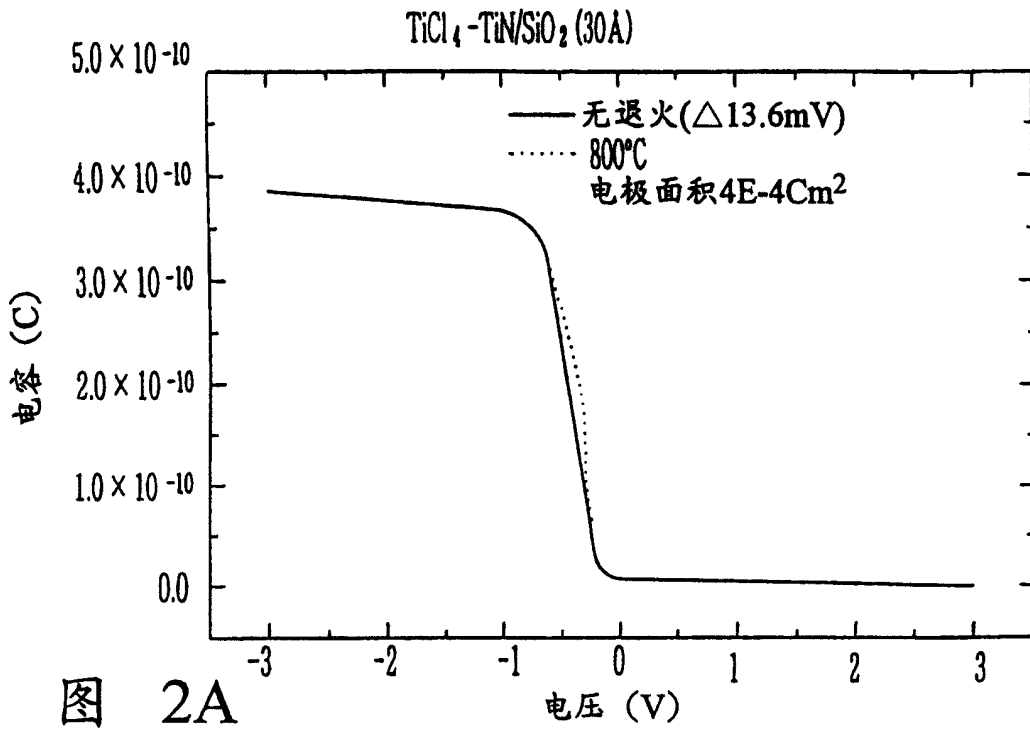


图 2A
(现有技术)

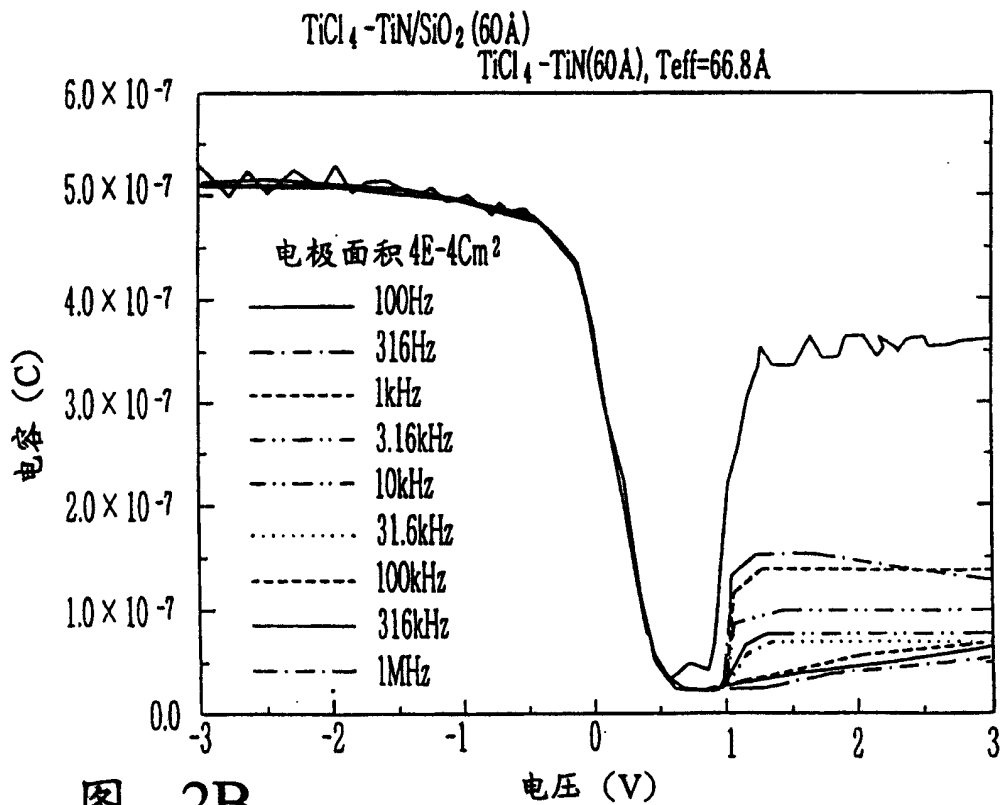


图 2B
(现有技术)

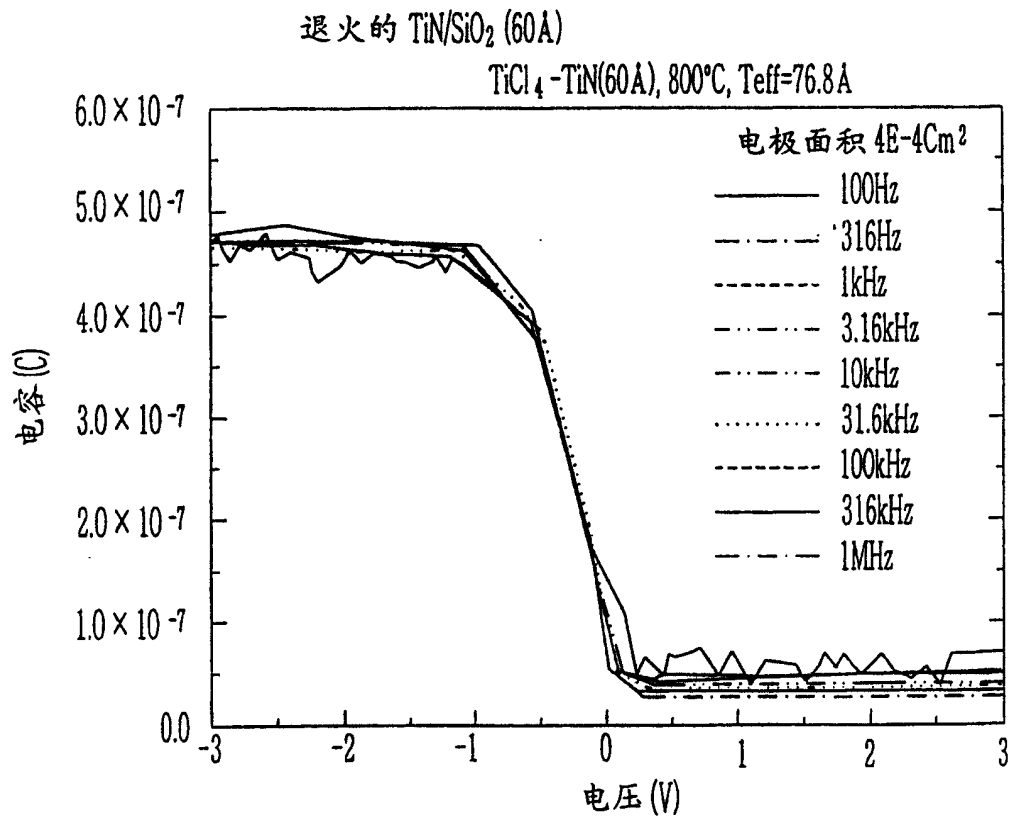


图 2C
(现有技术)

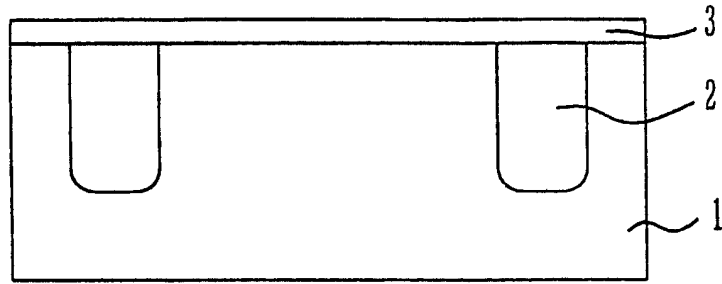


图 3A

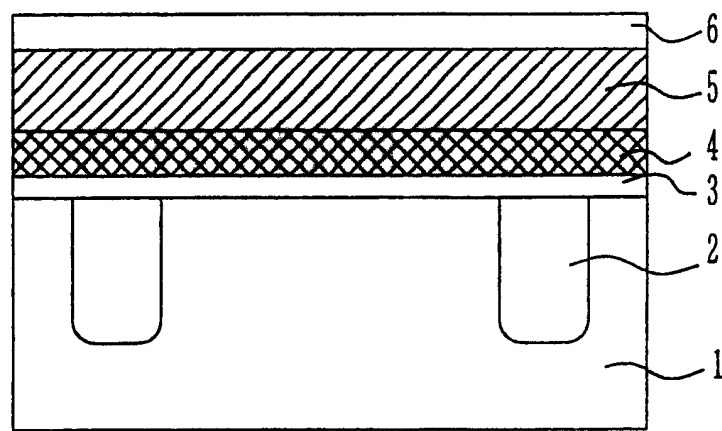


图 3B

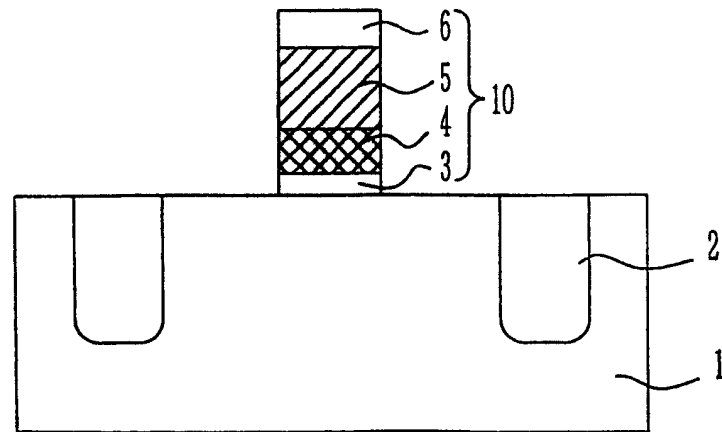


图 3C