



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월22일
(11) 등록번호 10-1067093
(24) 등록일자 2011년09월16일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2005-0076135
(22) 출원일자 2005년08월19일
심사청구일자 2010년07월28일
(65) 공개번호 10-2006-0053161
(43) 공개일자 2006년05월19일

(30) 우선권주장

JP-P-2004-00261751 2004년09월09일 일본(JP)

(56) 선행기술조사문헌

US05610854 A

US20030161192 A1

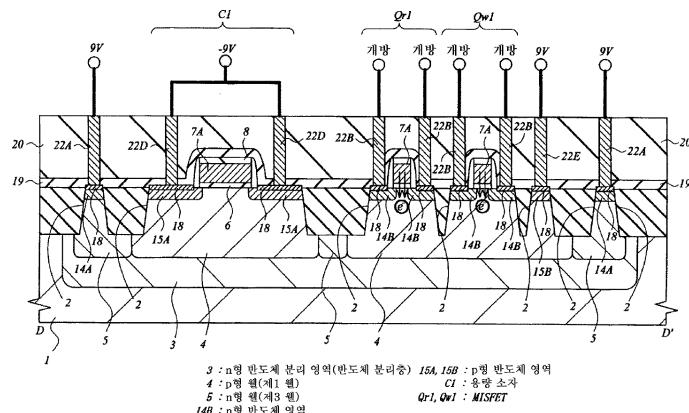
US20040155234 A1

전체 청구항 수 : 총 12 항

(54) 반도체 장치

(57) 요 약

소자 열화가 작고 데이터 유지 특성이 양호한 불휘발성 메모리를 제공한다. 상보형 MISFET의 제조 공정에 다른 공정을 추가하지 않고 형성한 불휘발성 메모리에 있어서, 데이터의 소거시에는, n형 웨(5)(n형 반도체 분리 영역 3)에 9V를 인가하고, p형 반도체 영역(15B)에 9V를 인가하고, p형 반도체 영역(15A)에 -9V를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1) 및 데이터 판독용의 MISFET(Qr1)의 소스, 드레인(n형 반도체 영역(14B))을 개방 전위로 하여, 게이트 전극(7A)으로부터 전자를 FN 터널 방식으로 p형 웨(4)에 방출한다. 이 때, 용량 소자(C1)가 형성된 p형 웨(4)에 마이너스의 전압을 인가하고, MISFET(Qw1, Qr1)가 형성된 p형 웨(4)에 플러스의 전압을 인가함으로써, 게이트 파괴를 일으키지 않는 전압에서 데이터 소거 동작에 필요한 전위차를 확보한다.

대 표 도

특허청구의 범위

청구항 1

불휘발성 메모리 셀을 구비한 반도체 장치로서,

반도체 기판의 주면에 형성된 제1 도전형의 반도체 분리층과,

상기 반도체 분리층 안에 형성된 제2 도전형의 제1 웨爾 및 제2 도전형의 제2 웨爾과,

상기 반도체 분리층 안에 형성되고, 상기 제1 웨爾과 상기 제2 웨爾을 분리하는 제1 도전형의 제3 웨爾과,

상기 제1 웨爾 위 및 상기 제2 웨爾 위에 제1 게이트 절연막을 개재하여 연장하는 제1 게이트 전극과,

상기 제1 웨爾에 형성되고, 상기 제1 게이트 전극을 게이트 전극으로 하는 데이터 기입용 MISFET 및 데이터 판독용 MISFET와,

상기 제2 웨爾에 형성되고, 상기 제1 게이트 전극을 용량 전극으로 하는 용량 소자를 포함하고,

상기 불휘발성 메모리 셀에의 데이터 기입시에는, 상기 제2 웨爾에 순방향의 제1 전압이 인가되고,

상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 제2 웨爾에 역방향의 상기 제1 전압이 인가되는 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 분리층 안에는 복수의 상기 불휘발성 메모리 셀이 형성되어 있는 반도체 장치.

청구항 3

제1항에 있어서,

상기 반도체 기판의 상기 주면 위에는, 상기 불휘발성 메모리 셀에는 포함되지 않는 제1 MISFET가 형성되고,

상기 제1 MISFET는 상기 제1 게이트 절연막을 포함하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 제1 게이트 절연막은, 막 두께가 13.5nm이고,

상기 제1 전압은 9V인 반도체 장치.

청구항 5

제1항에 있어서,

상기 불휘발성 메모리 셀에의 데이터 기입시에는, 상기 데이터 기입용 MISFET의 드레인에 상기 제1 전압보다 낮은 순방향의 제2 전압을 인가하여, 상기 데이터 기입용 MISFET의 채널로부터 상기 제1 게이트 전극에 핫 일렉트론을 주입하고,

상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 데이터 기입용 MISFET의 소스 및 상기 드레인을 개방 전위로 하고, 상기 제1 게이트 전극으로부터 상기 데이터 기입용 MISFET의 채널에 상기 핫 일렉트론을 방출하는 반도체 장치.

청구항 6

제4항에 있어서,

상기 불휘발성 메모리 셀에의 데이터 기입시에는, 상기 데이터 기입용 MISFET의 드레인에 상기 제1 전압보다 낮은 순방향의 제2 전압을 인가하여, 상기 데이터 기입용 MISFET의 채널로부터 상기 제1 게이트 전극에 핫 일렉트

론을 주입하고,

상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 데이터 기입용 MISFET의 소스를 개방 전위로 하여 상기 드레인에 순방향의 상기 제2 전압을 인가하고, 상기 제1 게이트 전극으로부터 상기 드레인에 상기 핫 일렉트론을 방출하는 반도체 장치.

청구항 7

제1항에 있어서,

상기 불휘발성 메모리 셀에의 데이터 기입시에는, 상기 데이터 기입용 MISFET의 소스 및 드레인을 개방 전위로 하여 상기 제1 웨로부터 상기 제1 게이트 전극에 전자를 주입하고,

상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 데이터 기입용 MISFET의 소스 및 상기 드레인을 개방 전위로 하고, 상기 제1 게이트 전극으로부터 상기 데이터 기입용 MISFET의 채널에 상기 전자를 방출하는 반도체 장치.

청구항 8

제1항에 있어서,

상기 불휘발성 메모리 셀에는, LCD 드라이버의 전압 제어 혹은 RAM 구제 정보가 기록되는 반도체 장치.

청구항 9

제1항에 있어서,

상기 데이터 기입용 MISFET 및 상기 데이터 판독용 MISFET는, 1개의 MISFET에서 겸용되는 반도체 장치.

청구항 10

제1항에 있어서,

상기 제3 웨은, 상기 제1 웨 및 상기 제2 웨과 이격하여 형성되어 있는 반도체 장치.

청구항 11

제1항에 있어서,

상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 데이터 기입용 MISFET와 상기 판독용 MISFET의 소스, 드레인에 인가하는 제2 전압과 상기 제1 웨에 인가하는 제1 전압과의 차가 드레인 접합 내압 이상으로 되지 않도록 제어하는 반도체 장치.

청구항 12

불휘발성 메모리 셀을 구비한 반도체 장치로서,

반도체 기판의 주면에 형성된 제1 도전형의 반도체 분리층과,

상기 반도체 분리층 안에 형성된 제2 도전형의 제1 웨 및 제2 도전형의 제2 웨과,

상기 반도체 분리층 안에서, 상기 제1 웨과 이격하여 형성된 제2 도전형의 제2 웨과,

상기 제1 웨 위 및 상기 제2 웨 위에 제1 게이트 절연막을 개재하여 연장하는 제1 게이트 전극과,

상기 제1 웨에 형성되고, 상기 제1 게이트 전극을 제1 게이트 전극으로 하는 데이터 기입용 MISFET 및 데이터 판독용 MISFET를 포함하고,

상기 불휘발성 메모리 셀에의 데이터 기입시에는, 상기 제2 웨에 순방향의 제1 전압이 인가되고,

상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 제2 웨에 역방향의 상기 제1 전압이 인가되는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0047] [특허 문헌1] 일본 공개특허 2001-185633호 공보

[0048] [특허 문헌2] 일본 공개특허 2001-257324호 공보

발명이 속하는 기술 및 그 분야의 종래기술

[0049] 본 발명은, 반도체 장치 및 그 제조 기술에 관한 것으로, 특히, 전기적 일괄 소거형 EEPROM(Electric Erasable Programmable Read Only Memory; 이하, 플래시 메모리라고 기재한다) 등의 불휘발성 메모리를 갖는 반도체 장치에 적용하기에 유효한 기술에 관한 것이다.

[0050] 특허 문헌1에는, 반도체 기판 위에 절연층에 의해서 절연하여 배치된 단일 도전층 위에 구성되는 EEPROM 디바이스에 있어서, 비트당의 면적을 작게 할 수 있는 단일 레벨 폴리 EEPROM 디바이스가 개시되어 있다.

[0051] 또한, 특허 문헌2에는, 단층 폴리 플래시 기술로 형성된 불휘발성 기억 소자에 있어서, 장기간의 정보 유지 성능을 향상시킬 수 있는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

[0052] 본 발명자들은, 상보형 MISFET를 형성하는 제조 공정에 다른 공정을 추가하지 않고 불휘발성 메모리를 형성하는 기술에 대하여 검토하고 있다. 그 중에서, 본 발명자는 이하와 같은 과제를 발견했다.

[0053] 즉, 상기 불휘발성 메모리를 이용하여 퓨즈 회로를 형성한 경우에는, 데이터의 전기적 소거를 드레인단에 있어서 FN(Fowler-Nordheim) 터널 방식에 의해서 행한다. 그 때문에, 드레인단에 전계가 집중하여, 소자 열화가 커져 버리는 과제가 존재한다.

[0054] 또한, 불휘발성 메모리를 이용하여 OTPROM(One Time Programmable Read Only Memory)형의 퓨즈 회로를 형성한 경우에는, 실제로는 재기입 동작을 행하지 않기 때문에, 메모리 용량이 재기입 횟수만큼 필요하게 되어, 모듈 사이즈가 대형화해 버리는 과제가 존재한다. 또한, 메모리 용량의 증가 및 모듈 사이즈의 대형화에 수반하여, 그 모듈의 제조 코스트가 증가해 버리는 과제도 존재한다.

[0055] 본 발명의 목적은, 소자 열화가 작고 데이터 유지 특성이 양호한 불휘발성 메모리를 제공하는 것에 있다.

[0056] 본 발명의 다른 목적은, 불휘발성 메모리를 탑재한 모듈의 사이즈를 소형화할 수 있는 기술을 제공하는 것에 있다.

[0057] 본 발명의 상기 및 그 밖의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

[0058] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

[0059] 즉, 본 발명에 따른 반도체 장치는,

[0060] 불휘발성 메모리 셀을 구비하고,

[0061] 반도체 기판의 주면에 형성된 제1 도전형의 반도체 분리층과,

[0062] 상기 반도체 분리층 안에 형성된 제2 도전형의 제1 웨爾 및 제2 도전형의 제2 웨爾과,

[0063] 상기 반도체 분리층 안에 형성되고, 상기 제1 웨爾과 상기 제2 웨爾을 분리하는 제1 도전형의 제3 웨爾과,

[0064] 상기 제1 웨爾 위 및 상기 제2 웨爾 위에 제1 게이트 절연막을 개재하여 연장하는 제1 게이트 전극과,

[0065] 상기 제1 웨爾에 형성되고, 상기 제1 게이트 전극을 게이트 전극으로 하는 데이터 기입용 MISFET 및 데이터 판독용 MISFET를 갖고,

- [0066] 상기 불휘발성 메모리 셀에의 데이터 기입시에는, 상기 제2 웨에 순방향의 제1 전압이 인가되고,
- [0067] 상기 불휘발성 메모리 셀의 데이터 소거시에는, 상기 제2 웨에 역방향의 상기 제1 전압이 인가되는 것이다.
- [0068] [발명을 실시하기 위한 최량의 형태]
- [0069] 이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또한, 실시예를 설명하기 위한 전체 도면에 있어서, 동일한 부재에는 원칙적으로 동일한 부호를 붙이고, 그의 반복 설명은 생략한다.
- [0070] (실시예1)
- [0071] 본 실시예1의 반도체 장치는, 불휘발성 메모리를 갖는 것이다. 이 본 실시예1의 반도체 장치의 제조 공정에 대하여, 도 1~도 13을 이용하여 설명한다.
- [0072] 도 1, 도 3, 도 6 및 도 11은, 본 실시예1의 반도체 장치의 제조 공정 중의 메모리 셀 영역의 주요부 평면도이고, 도 2, 도 4, 도 5, 도 7~도 10, 도 12 및 도 13은, 본 실시예1의 반도체 장치의 제조 공정을 설명하는 주요부 단면도이다. 또한, 각 단면도에 있어서, 부호 A, A'를 붙인 부분은 대응하는 평면도 중의 A-A'선을 따른 단면, 부호 B, B'를 붙인 부분은 대응하는 평면도의 B-B'선을 따른 단면, 부호 C, C'를 붙인 부분은 주변 회로 영역의 일부(n채널형 MISFET(Metal Insulator Semiconductor Field Effect Transistor)가 형성되는 영역)의 단면을 도시하고 있다. 각 평면도에는, 불휘발성 메모리 셀을 구성하는 주요한 도전층과 이들의 접속 영역만을 도시하고, 도전층 사이에 형성되는 절연막 등의 도시는 원칙적으로 생략한다. 주변 회로를 구성하는 n채널형 MISFET 등에 의해서 X 디코더 회로, Y 디코더 회로, 센스 앰프 회로, 입출력 회로, 논리 회로 등이 형성되지만, 이들에 한정하지 않고, 마이크로프로세서, CPU 등의 논리 회로를 형성하여도 된다.
- [0073] 우선, 도 1 및 도 2에 도시하는 바와 같이, 예를 들면 p형의 단결정 실리콘으로 이루어지는 반도체 기판(이하, 간단히 기판이라고 기재한다)(1)의 주면의 소자 분리 영역에 소자 분리홈(2)을 형성한다. 소자 분리홈(2)을 형성하기 위해서는, 예를 들면 기판(1)의 주면을 드라이 에칭하여 홈을 형성하고, 계속해서 이 홈의 내부를 포함하는 기판(1) 위에 CVD(Chemical Vapor Deposition)법으로 산화실리콘막 등의 절연막을 퇴적한 후, 홈의 외부의 불필요한 절연막을 화학적 기계 연마(Chemical Mechanical Polishing; CMP)법으로 연마, 제거함으로써, 홈의 내부에 절연막을 남긴다. 이 소자 분리홈(2)을 형성함으로써, 메모리 어레이의 기판(1)의 주면에는, 소자 분리홈(2)에 의해서 주위가 규정된 활성 영역이 형성된다.
- [0074] 다음으로, 예를 들면 기판(1)의 일부에 n형(제1 도전형)의 불순물(예를 들면 P(인) 또는 As(비소))를 이온 주입한 후, 기판(1)에 열 처리를 실시하는 것에 의해서 불순물을 기판(1) 안에 확산시킴으로써, n형 반도체 분리 영역(반도체 분리층)(3)을 형성한다.
- [0075] 계속해서, 예를 들면 기판(1)의 일부에 n형의 불순물(예를 들면 P)을 이온 주입하고, 다른 일부에 p형(제2 도전형)의 불순물(예를 들면 B(붕소))을 이온 주입한 후, 기판(1)을 열 처리하여 이를 불순물을 기판(1) 안에 확산시킴으로써, 기판(1)의 주면에 p형 웨(제1 웨, 제2 웨)(4) 및 n형 웨(제3 웨)(5)을 형성한다.
- [0076] 다음으로, 도 3 및 도 4에 도시하는 바와 같이, 기판(1)을 열 산화하여 p형 웨(4) 및 n형 웨(5)의 각각의 표면에, 예를 들면 산화 실리콘으로 이루어지는 막 두께 13.5nm 정도의 게이트 절연막(제1 게이트 절연막)(6)을 형성한다. 계속해서, 예를 들면 CVD법으로 게이트 절연막(6) 위에 다결정 실리콘막을 형성한 후, 그 다결정 실리콘막의 상부에, 예를 들면 CVD법으로 산화 실리콘막 등으로 이루어지는 절연막을 퇴적한다. 또한, 그 절연막을 형성하기 전에는, 다결정 실리콘막에는 n형의 도전형을 나타내는 불순물이 주입되어 있다. 계속해서, 포토리소그래피 기술에 의해 패터닝된 포토레지스트막(도시는 생략)을 마스크로 한 드라이 에칭에 의해, 주변 회로 영역의 절연막을 제거한다. 계속해서, 기판(1) 위에, 예를 들면 CVD법으로 막 두께 10nm 정도 이상의 산화 실리콘막 등으로 이루어지는 절연막을 퇴적한다.
- [0077] 다음으로, 포토리소그래피 기술에 의해 패터닝된 포토레지스트막(도시는 생략)을 마스크로 한 드라이 에칭에 의해, 기판(1) 상의 절연막을 패터닝한다. 계속해서, 남은 절연막을 마스크로 한 드라이 에칭에 의해 다결정 실리콘막을 패터닝하여, 게이트 전극(제1 게이트 전극)(7A, 7B, 7C)을 형성한다. 게이트 전극(7A, 7B, 7C) 상의 절연막은, 캡 절연막(8)으로 된다.
- [0078] 다음으로, p형 웨(4)과 n형 웨(5)의 일부에 n형의 불순물로서 P 또는 As를 이온 주입하는 것에 의해서 저농도 n형 반도체 영역(NMa, NMb, NMc)을 형성하고, p형 웨(4)의 일부에 p형의 불순물로서 붕소를 이온 주입하는 것에 의해서 저농도 p형 반도체 영역(PMa, PMb)을 형성한다. 이를 저농도 n형 반도체 영역(NMa, NMb, NMc) 및 저농도 p형 반도체 영역(PMa, PMb)은, 후술하는 n형 반도체 영역(14A, 14B, 14C) 및 p형 반도체 영역(15A, 15B)보

다 불순물 농도가 낮은 영역이다.

[0079] 계속해서, 도 5에 도시하는 바와 같이, 기판(1) 위에 CVD법으로 산화 실리콘막을 퇴적한 후, 그 산화 실리콘막 및 캡 절연막(8)을 이방적으로 애칭함으로써, 게이트 전극(7A, 7B, 7C), 및 캡 절연막(9)의 측벽에 사이드월 스페이서(12)를 형성한다. 이 때, 산화 실리콘막을 사이드월 스페이서(12)에 형성할 때에, 주변 회로 영역의 캡 막(8)은 제거되어, 게이트 전극(7C)의 표면이 노출된다. 이것은, 메모리 셀 영역의 캡 절연막(8)의 막 두께가 주변 회로 영역의 캡막(8)의 막 두께에 비하여 두껍게 되어 있기 때문이고, 주변 회로 영역의 게이트 전극(7C)의 표면이 노출된 곳에서 애칭을 정지하고 있기 때문이다.

[0080] 다음으로, 도 6 및 도 7에 도시하는 바와 같이, p형 웨爾(4)과 n형 웨爾(5)의 일부에 n형의 불순물로서 P 또는 As를 이온 주입하는 것에 의해서 n형 반도체 영역(14A, 14B, 14C)을 형성하고, p형 웨爾(4)의 일부에 p형의 불순물로서 붕소를 이온 주입하는 것에 의해서 p형 반도체 영역(15A, 15B)을 형성한다. 또한, 도 6 이후의 도면(도 8~도 10을 제외한다)에서는 설명의 간략화를 위해, 저농도 n형 반도체 영역(NMa, NMb, NMc) 및 저농도 p형 반도체 영역(PMa, PMb)의 기재는 생략하고, 후술하는 고농도 n형 반도체 영역(14A, 14B, 14C) 및 고농도 p형 반도체 영역(15A, 15B)을 대표로 도시한다. 여기까지의 공정에 의해, 메모리 셀 영역에는, n형 반도체 영역(14B)을 소스, 드레인으로 하는 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)와, n형 반도체 영역(14B)을 소스, 드레인으로 하는 데이터 판독용의 MISFET(Qr1, Qr2)와, 게이트 전극(7A, 7B) 및 p형 웨爾(4)을 용량 전극으로 하고 게이트 절연막(6)을 용량 절연막으로 하는 용량 소자(C1, C2)가 형성되고, 주변 회로 영역에는, n형 반도체 영역(14C)을 소스, 드레인으로 하는 n채널형 MISFET(제1 MISFET)가 형성된다. 또한, 메모리 셀 영역에 있어서는, 게이트 전극(7A, 7B)을 부유 게이트로 하고, p형 반도체 영역(15A)을 컨트롤 게이트로 하는 불휘발성 기억 소자가 형성된다.

[0081] 여기서, 도 7의 확대도를 도 8~도 10에 각각 도시한다.

[0082] 도 8에 도시하는 바와 같이, 불휘발성 기억 소자의 컨트롤 게이트로 되는 영역은, 저농도 p형 반도체 영역(PMa)과 고농도 p형 반도체 영역(15A)을 형성하기 위한 이온 주입이 실시된 영역이다. 또한, p형 웨爾(4)의 급전부는, 저농도 p형 반도체 영역(PMa)과 고농도 p형 반도체 영역(15B)을 형성하기 위한 이온 주입이 실시된 영역이다. 마찬가지로, n형 웨爾(5)의 급전부는, 저농도 n형 반도체 영역(NMa)과 고농도 n형 반도체 영역(14A)을 형성하기 위한 이온 주입이 실시된 영역이다.

[0083] 도 9에 도시하는 바와 같이, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2) 및 데이터 판독용의 MISFET(Qr1, Qr2)의 소스·드레인 영역은, 각각 저농도 n형 반도체 영역(NMb) 및 고농도의 n형 반도체 영역(14B)에 의해서 구성되어 있다. 또한, p형 웨爾(4)의 급전부 및 n형 웨爾(5)의 급전부의 설명에 대해서는, 상술한 도 8과 마찬가지이다.

[0084] 도 10에 도시하는 바와 같이, 주변 회로 영역의 n채널형 MISFET의 소스·드레인 영역은, 각각 저농도 n형 반도체 영역(NMb) 및 고농도의 n형 반도체 영역(14B)에 의해서 구성되어 있다.

[0085] 여기서, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 저농도 n형 반도체 영역(NMb)에 대해서는, 다른 영역의 저농도 n형 반도체 영역(NMa, NMc)보다 높은 불순물 농도로 형성할 수도 있다. 이와 같이 하여 저농도 n형 반도체 영역(NMb)을 형성한 경우, MISFET(Qw1, Qw2)의 기입 동작시에 발생시키는 핫 일렉트론의 발생량을 높게 하는 것이 가능하게 되기 때문에, 메모리 셀의 기입 동작을 고속화할 수 있다.

[0086] 이와 같이, 도 8~도 10에는, 저농도 n형 반도체 영역(NMa, NMb, NMc)에 대하여 상세하게 도시했지만, 다른 도면(도 7 등)에 있어서는, 설명의 간략화를 위해 그 기재를 생략하고, n형 반도체 영역(14A, 14B, 14C) 및 p형 반도체 영역(15A, 15B)만을 기재하고 있다.

[0087] 다음으로, 실리사이드층(18)을 형성한다. 이 실리사이드층(18)의 형성에 대해서는, 우선, 예를 들면 기판(1) 위에 스퍼터링법으로 Co(코발트)막을 퇴적한다. 계속해서, 기판(1)을 열 처리하여 Co막과 주변 회로 영역의 게이트 전극(7C)과의 계면, 및 Co막과 기판(1)과의 계면에 실리사이드 반응을 발생시킨 후, 미반응의 Co막을 애칭으로 제거한다. 이에 의해, 게이트 전극(7C)의 표면과 소스, 드레인(n형 반도체 영역(14))의 표면과 실리사이드(CoSi_2)층(18)이 형성된다. 또한, 메모리 셀 영역에 있어서는, n형 반도체 영역(14)의 표면에 실리사이드층(18)이 형성된다. 여기서, 게이트 전극(7A, 7B)의 표면에는 캡 절연막(8)이 남겨져 있기 때문에, 실리사이드층(18)은 형성되어 있지 않다. 또한, 본 실시예1에서는 실리사이드층(18)의 재료로서 Co(코발트)를 예시했지만, 이것에 한정되는 것은 아니고, Ti(티탄), W(텅스텐) 또는 Ni(니켈) 등을 사용할 수도 있다.

- [0088] 다음으로, 도 11 및 도 12에 도시하는 바와 같이, 기판(1) 위에 플라즈마 CVD법으로 질화 실리콘막(19)을 게이트 전극(7A, 7B, 7C), 캡 절연막(8) 및 사이드월 스페이서(12)를 희석하도록 퇴적한다. 이 질화 실리콘막(19)은, 이후 공정에서 기판(1) 위에 충간 절연막을 형성하고, 그 충간 절연막에 n형 반도체 영역(14A, 14B, 14C) 및 p형 반도체 영역(15A, 15B)의 각각에 도달하는 컨택트홀을 형성할 때에, 소자 분리홈에 매립한 산화 실리콘막과의 예칭 선택비를 크게 함으로써, 맞춤 어긋남에 의해 컨택트홀이 소자 분리홈 위에 형성되었다고 하더라도, 컨택트홀이 기판에 도달해 버리는 것을 방지하도록 기능한다. 또한, 오버 에칭에 의해서 실리사이드 층(18)의 표면이 깎이는 것을 방지하는 기능도 갖는다. 즉, 질화 실리콘막(19)은 예칭 스토퍼막으로서 기능한다.
- [0089] 다음으로, 기판(1) 위에, 예를 들면 CVD법으로 산화 실리콘막(20)을 퇴적하고, 계속해서 화학적 기계 연마법으로 산화 실리콘막(20)의 표면을 평탄화한다. 계속해서, 포토레지스트막을 마스크로 하여 상기 산화 실리콘막(20) 및 질화 실리콘막(19)을 드라이 에칭함으로써, n형 반도체 영역(14A, 14B, 14C) 및 p형 반도체 영역(15A, 15B)의 각각에 도달하는 컨택트홀을 형성한다. 이 때, 질화 실리콘막(19)은 산화 실리콘막(20)을 에칭할 때의 예칭 스토퍼막으로서 기능한다. 계속해서, 그 컨택트홀의 내부에 플러그(22A~22E)를 형성한다. 플러그(22A)는 n형 반도체 영역(14A) 상의 실리사이드층(18)에 도달하고, 플러그(22B)는 n형 반도체 영역(14B) 상의 실리사이드층(18)에 도달하고, 플러그(22C)는 n형 반도체 영역(14C) 상의 실리사이드층(18)에 도달하고, 플러그(22D)는 p형 반도체 영역(15A) 상의 실리사이드층(18)에 도달하고, 플러그(22E)는 p형 반도체 영역(15B) 상의 실리사이드층(18)에 도달한다. 플러그(22A~22E)를 형성하기 위해서는, 예를 들면 컨택트홀의 내부를 포함하는 산화 실리콘막(20) 위에 스퍼터링법으로 Ti(티탄)막 및 TiN(질화 티탄)막을 퇴적하고, 계속해서 CVD법으로 TiN막 및 금속막으로서 W(텅스텐)막을 퇴적한 후, 컨택트홀의 외부의 W막, TiN막 및 Ti막을 화학적 기계 연마법에 의해서 제거한다.
- [0090] 상기한 본 실시예1의 반도체 장치의 제조 방법에 따르면, 상보형 MISFET를 형성하는 제조 공정에 다른 공정을 추가하지 않고 불휘발성 메모리를 형성할 수 있다.
- [0091] 다음으로, 도 13에 도시하는 바와 같이, 산화 실리콘막(20) 및 플러그(22A~22E) 위에 복수의 배선(23)을 형성한다. 배선(23)을 형성하기 위해서는, 예를 들면 산화 실리콘막(20) 위에 Ti막, Al(알루미늄) 합금막 및 TiN막을 스퍼터링법에 의해 순차적으로 퇴적하고, 계속해서 포토레지스트막을 마스크로 한 드라이 에칭에 의해 그 Ti막, Al 합금막 및 TiN막을 패터닝한다. 이 후, 산화 실리콘막(20) 및 배선(23)을 형성한 공정과 마찬가지의 공정을 반복함으로써, 보다 다층으로 배선층을 형성하여도 된다.
- [0092] 다음으로, 본 실시예1의 불휘발성 메모리에 있어서의 데이터의 기입, 소거 및 판독의 각 동작에 대하여 도 14~도 17을 이용하여 설명한다. 도 14는 메모리 셀 영역의 주요부 평면도이고, 도 15~도 17은 도 14 중의 D-D'선을 따른 단면을 도시하고 있다. 또한, 도 14~도 17 중에서는, 설명을 알기 쉽게 하기 위해 배선(23)의 도시는 생략하고 있다.
- [0093] 우선, 도 15에 도시하는 바와 같이, 데이터의 기입시에는, 예를 들면 n형 웨(5)(n형 반도체 분리 영역(3))에 9V를 인가하고, p형 반도체 영역(15B)(MISFET(Qw1, Qw2, Qr1, Qr2))가 형성된 p형 웨(4)에 0V를 인가하고, p형 반도체 영역(15A)(용량 소자(C1, C2))가 형성된 p형 웨(4)에 순방향의 9V(제1 전압)를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 소스, 드레인(n형 반도체 영역(14B))의 한쪽에 7V(제2 전압)를 인가하고, 다른 쪽에 0V를 인가하고, 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인(n형 반도체 영역(14B))을 개방 전위로 한다. 이에 의해, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)에 있어서, 채널 핫 일렉트론(e^-)이 게이트 전극(7A)에 주입되어, 데이터의 기입이 행해진다.
- [0094] 데이터의 소거시에는, 도 16에 도시하는 바와 같이, 예를 들면 n형 웨(5)(n형 반도체 분리 영역(3))에 9V를 인가하고, p형 반도체 영역(15B)(MISFET(Qw1, Qw2, Qr1, Qr2))가 형성된 p형 웨(4)에 9V를 인가하고, p형 반도체 영역(15A)(용량 소자(C1, C2))가 형성된 p형 웨(4)에 역방향의 -9V(제1 전압)를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2) 및 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인(n형 반도체 영역(14B))을 개방 전위로 한다. 여기서, 용량 소자(C1, C2)의 용량 전극(게이트 전극(7A, 7B))의 면적은, MISFET(Qw1, Qw2)의 게이트 용량을 형성하는 용량 전극(게이트 전극(7A, 7B))의 면적보다 큰 것이기 때문에(도 14 참조), 용량 소자(C1, C2)의 용량은, MISFET(Qw1, Qw2)의 게이트 용량(게이트 전극(7A, 7B)과 MISFET(Qw1, Qw2)의 채널 사이에서 형성된다)에 비하여 커진다. 그 때문에, MISFET(Qw1, Qw2)의 게이트 용량에 인가되는 전압은, 용량 소자(C1, C2)에 인가되는 전압보다 커진다. 이에 의해, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2) 및 데이터

판독용의 MISFET(Qr1, Qr2)에 있어서, 게이트 전극(7A)으로부터 전자(e^-)를 FN 터널 방식으로 p형 웨爾(4)에 방출 한다. 그 결과, 예를 들면 드레인(n형 반도체 영역(14B))의 단부에 전계가 집중하는 것에 기인하는 소자의 열화를 방지할 수 있다. 소자의 열화를 방지하는 것에 의해, 전하의 리크를 방지하는 것이 가능하게 되므로, 불휘발성 메모리의 데이터 유지 특성의 열화를 방지하는 것이 가능하게 된다. 또한, 용량 소자(C1, C2)가 형성된 p형 웨爾(4)에 마이너스(역방향)의 전압을 인가하고, MISFET(Qw1, Qw2, Qr1, Qr2)가 형성된 p형 웨爾(4)에 플러스(순방향)의 전압을 인가함으로써, 게이트 파괴를 일으키지 않는 전압(9V 이하)에서 데이터 소거 동작에 필요한 전위차(18V)를 확보하는 것이 가능하게 된다.

[0095] 데이터의 판독시에는, 도 17에 도시하는 바와 같이, 예를 들면 n형 웨爾(5)(n형 반도체 분리 영역(3))에 3V를 인가하고, p형 반도체 영역(15B)(MISFET(Qw1, Qw2, Qr1, Qr2)가 형성된 p형 웨爾(4))에 0V를 인가하고, p형 반도체 영역(15A)(용량 소자(C1, C2)가 형성된 p형 웨爾(4))에 3V를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 소스, 드레인(n형 반도체 영역(14B))을 개방 전위로 하고, 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인(n형 반도체 영역(14B))의 한쪽에 1V를 인가하고, 다른 쪽에 0V를 인가한다. 이에 의해, 데이터 판독용의 MISFET(Qr1, Qr2)를 온으로 한다.

[0096] 그런데, 상기한 본 실시예1에서는, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)와, 데이터 판독용의 MISFET(Qr1, Qr2)를 각각 형성하는 경우에 대해 예시했지만, 어느쪽이든 한쪽을 생략하고, 데이터 기입, 데이터 소거 및 데이터 판독의 모든 동작을 1개의 MISFET에 의해서 행하여도 된다.

[0097] 상기한 바와 같은 본 실시예1의 불휘발성 메모리는, 예를 들면 LCD(Liquid Crystal Display) 드라이버에 있어서의 전압 제어 정보(화질 조정용 데이터)를 축적시켜, 퓨즈 회로로서 이용할 수 있다. 이 경우, 필요에 따라서 데이터의 재기입을 행할 수 있으므로, 메모리 용량이 재기입 횟수분만큼 필요하게 되는 OTPROM형의 퓨즈 회로에 비하여 모듈 사이즈를 소형화할 수 있다. 또한, 모듈 사이즈의 소형화에 의해, 모듈의 제조 코스트를 저감할 수 있다.

[0098] 또한, 상기한 본 실시예1의 불휘발성 메모리의 다른 용도로서, 용장 구성에 의한 DRAM(Dynamic Random Access Memory)의 불량 메모리 셀의 구제를 예시할 수 있다. 이 때, 메모리 셀은 단위 정보 셀로 되고, 이 단위 정보 셀이 복수개 모여, 복수개의 단위 정보 셀의 불휘발성 기억 소자에 대한 전기적인 프로그램 회로가 형성되고, 복수개의 단위 정보 셀이 피구제 회로에 대한 구제 정보의 기억 회로로 된다. 이것에 의해, 불량 구제의 신뢰성을 높게 할 수 있다.

[0099] 또한, 상기 피구제 회로에 대한 다른 구제 정보 기억 회로로서, 퓨즈 소자의 용단 상태에 따라서 구제 정보를 기억하는 퓨즈 프로그램 회로를 더 설치하여도 된다. 웨이퍼 단계에서 검출된 불량에 대한 구제를 퓨즈 프로그램 회로에서 행하고, 번인 후에 검출된 불량에 대하여 상기한 전기적인 프로그램 회로를 이용함으로써, 구제 효율을 높일 수 있다.

[0100] 또한, 상기 피구제 회로는, 마이크로컴퓨터 내장 DRAM의 메모리 셀 또는 마이크로컴퓨터 내장 SRAM의 메모리 셀이어도 된다. 또한, LCD 드라이버의 구제 회로를 구성하는 것도 가능하다.

[0101] (실시예2)

[0102] 다음으로, 본 실시예2의 불휘발성 메모리에 있어서의 데이터의 기입, 소거 및 판독의 각 동작에 대하여 도 18을 이용하여 설명한다.

[0103] 도 18은, 상기 실시예1에 있어서의 도 14 중의 D-D'선을 따른 단면을 도시한 것이다. 도 18에 도시하는 바와 같이, 본 실시예2의 불휘발성 메모리의 구조는, 상기 실시예1의 불휘발성 메모리와 거의 마찬가지이다.

[0104] 본 실시예2의 불휘발성 메모리에 있어서의 데이터의 기입 동작 및 판독 동작은, 상기 실시예1의 불휘발성 메모리와 마찬가지이다. 도 18에 도시하는 바와 같이, 데이터의 소거시에는, 예를 들면 n형 웨爾(5)(n형 반도체 분리 영역(3))에 9V를 인가하고, p형 반도체 영역(15B)(MISFET(Qw1, Qw2, Qr1, Qr2)가 형성된 p형 웨爾(4))에 0V를 인가하고, p형 반도체 영역(15A)(용량 소자(C1, C2)가 형성된 p형 웨爾(4))에 -9V를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 드레인(n형 반도체 영역(14B))에 7V를 인가하고, 소스(n형 반도체 영역(14B))를 개방 전위로 하고, 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인(n형 반도체 영역(14B))을 개방 전위로 한다. 이 때, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)에 있어서는, 게이트 전극(7A)의 단부에 전계가 집중하기 때문에, 상기 실시예1에 있어서의 데이터 소거 동작시의 전압(9V)보다 낮은 전압(7V)에서도 게이트 전극(7A)으로부터 전자(e^-)를 방출할 수 있다. 이에 의해, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)에 있어서,

게이트 전극(7A)의 단부로부터 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 드레인(n형 반도체 영역(14B))에 전자(e^-)를 방출한다.

[0105] 또한, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)에 있어서는, 게이트 전극(7A)의 단부에 전계가 집중하기 때문에, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 소자 열화가 발생하지 않도록, 게이트 절연막(6)에 대해서는, 전계 집중에 견딜 수 있기에 충분한 막 두께(예를 들면 13.5nm 정도)로 형성해 둔다.

[0106] 상기한 바와 같은 본 실시예2에 의해서도, 상기 실시예1과 마찬가지의 효과를 얻을 수 있다.

[0107] (실시예3)

[0108] 다음으로, 본 실시예3의 불휘발성 메모리에 있어서의 데이터의 기입, 소거 및 판독의 각 동작에 대하여 도 19를 이용하여 설명한다.

[0109] 도 19는, 상기 실시예1에 있어서의 도 14 중의 D-D'선을 따른 단면을 도시한 것이다. 도 19에 도시하는 바와 같이, 본 실시예3의 불휘발성 메모리의 구조는, 상기 실시예1의 불휘발성 메모리와 거의 마찬가지이다.

[0110] 본 실시예3의 불휘발성 메모리에 있어서의 데이터의 소거 동작 및 판독 동작은, 상기 실시예1의 불휘발성 메모리와 마찬가지이다. 도 19에 도시하는 바와 같이, 데이터의 기입시에는, 예를 들면 n형 웨(5)(n형 반도체 분리 영역(3))에 9V를 인가하고, p형 반도체 영역(15B)(MISFET(Qw1, Qw2, Qr1, Qr2))가 형성된 p형 웨(4))에 -9V를 인가하고, p형 반도체 영역(15A)(용량 소자(C1, C2))가 형성된 p형 웨(4))에 9V를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2) 및 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인(n형 반도체 영역(14B))을 개방 전위로 한다. 이에 의해, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2) 및 데이터 판독용의 MISFET(Qr1, Qr2)에 있어서, 채널 전면에서 FN 터널 방식에 의해서 전자(e^-)가 게이트 전극(7A)에 주입되어, 데이터의 기입이 행해진다.

[0111] 상기한 바와 같은 본 실시예3에 의해서도, 상기 실시예1과 마찬가지의 효과를 얻을 수 있다.

[0112] (실시예4)

[0113] 도 20은, 본 실시예4의 반도체 장치의 메모리 셀부의 주요부 단면도로서, 상기 실시예1에 있어서 나타낸 각 평면도 중의 A-A'선에 상당하는 단면을 도시한 것이다.

[0114] 반도체 소자나 배선의 미세 가공에 의해서, p형 웨(4)과 n형 웨(5) 사이의 접합 내압을 충분히 얻을 수 없게 되어 버린 경우에는, 도 20에 도시하는 바와 같이, p형 웨(4)과 n형 웨(5)을 이격하여 형성하여도 된다. 이에 따라, p형 웨(4)과 n형 웨(5) 사이의 접합 내압을 향상할 수 있다. 또한, 2개의 p형 웨(4) 사이가 충분히 넓은 경우에는, n형 웨(5)은 생략하여도 된다.

[0115] 상기한 바와 같은 본 실시예4에 의해서도, 상기 실시예1과 마찬가지의 효과를 얻을 수 있다.

[0116] (실시예5)

[0117] 다음으로, 본 실시예5의 불휘발성 메모리에 있어서의 데이터의 소거 동작에 대하여 설명한다.

[0118] 도 21은, 상기 실시예1에 있어서의 도 14 중의 D-D'선을 따른 단면을 도시한 것이다. 도 21에 도시하는 바와 같이, 본 실시예5의 불휘발성 메모리의 구조는, 상기 실시예1의 불휘발성 메모리와 거의 마찬가지이다.

[0119] 본 실시예5의 불휘발성 메모리에 있어서의 데이터의 소거시에는, 예를 들면 n형 웨(5)(n형 반도체 분리 영역(3))에 9V를 인가하고, p형 반도체 영역(15B)(MISFET(Qw1, Qw2, Qr1, Qr2))가 형성된 p형 웨(4))에 9V를 인가하고, p형 반도체 영역(15A)(용량 소자(C1, C2))가 형성된 p형 웨(4))에 -9V를 인가하고, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 소스, 드레인 및 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인(n형 반도체 영역(14B))에 9V를 인가한다. 상기한 실시예1과 같이, 데이터 소거시에 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 드레인을 개방 전위로 하기 위해서는, 그 밖에 제어용의 MISFET가 필요하게 되어, 반도체 장치의 소형화를 저해하게 된다. 따라서, 본 실시예5에서는, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)와 데이터 판독용의 MISFET(Qr1, Qr2)의 소스, 드레인에 9V를 인가함으로써, 상기 실시예 1과 마찬가지의 동작 상황으로 할 수 있다.

[0120] 여기서, 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 채널 영역에서는, 핫 일렉트론을 발생하기 쉽게 하기 위해 불순물 농도가 높게 되어 있고, 접합 내압이 상기 실시예1에서 설명한 게이트 파괴를 일으키지 않는 전압(9V 이하)보다 낮게, 약 7V 이하로 되어 있다. 따라서, 도 22에 도시하는 바와 같이, p형 웨(4)에 전압 9V가

인가되기에 앞서서 MISFET(Qw1, Qw2)의 드레인에 9V를 인가한다. 또한, MISFET(Qw1, Qw2)의 드레인 전압을 0V로 되돌리기에 앞서서 p형 웨(4)의 전압을 0V로 되돌리면, 쌍방의 전위차(V1)가 상기 접합 내압을 초과해 벼려 접합 파괴를 야기하게 된다. 그래서, 본 실시예5에서는, 데이터 소거 동작시에 있어서는, 도 23 및 도 24에 도시하는 바와 같은 타이밍에서 MISFET(Qw1, Qw2, Qr1, Qr2)가 형성된 p형 웨(4) 및 데이터 기입용 및 소거용의 MISFET(Qw1, Qw2)의 드레인(n형 반도체 영역(14B))에 전압을 인가하여, 쌍방의 전위차가 약 7V 이상으로 되지 않도록 하는 것을 예시한다.

[0121] 예를 들면, 도 23에 도시하는 바와 같이, p형 웨(4)의 전압을 상승시키기에 앞서서 MISFET(Qw1, Qw2)의 드레인의 전압을 상승시킨다. 이 때, 쌍방의 전압은, 급격하게 상승시키지 않고 완만하게 상승시켜, 쌍방의 전위차(V1)가 상기 접합 내압을 초과하지 않는 약 7V 이상으로 되지 않도록 한다. 또한, MISFET(Qw1, Qw2)의 드레인 전압을 0V로 되돌리기에 앞서서 p형 웨(4)의 전압을 0V로 되돌리고, 이 때의 쌍방의 전압 변화도 급준하게 되지 않도록 함으로써, 쌍방의 전위차(V1)가 상기 접합 내압을 초과하지 않는 약 7V 이상으로 되지 않도록 할 수 있다.

[0122] 또한, 도 24에 도시하는 바와 같이, p형 웨(4)의 전압을 상승시키기에 앞서서 MISFET(Qw1, Qw2)의 드레인의 전압을 상승시키고, 9V까지 상승시키기 전에 4V 혹은 5V로 하고, 그 동안에 p형 웨(4)의 전압을 상승시켜도 된다. 이 때, p형 웨(4)의 전압은, 타이밍이 서로 다를 뿐이고 MISFET(Qw1, Qw2)의 드레인의 전압과 마찬가지로 변화시킨다. 이에 따라, 쌍방의 전위차(V1)가 상기 접합 내압을 초과하지 않는 약 7V 이상으로 되지 않도록 할 수 있다. 또한, MISFET(Qw1, Qw2)의 드레인 전압 및 p형 웨(4)의 전압을 0V로 되돌릴 때에는, MISFET(Qw1, Qw2)의 드레인 전압을 저하시키기에 앞서서 p형 웨(4)의 전압을 저하시키고, 그 때의 전압 변화는, 전압을 상승시킬 때의 변화 과정을 반대로 거치도록 하면 된다.

[0123] 상기한 바와 같은 본 실시예5에 의해서도, 상기 실시예1과 마찬가지의 효과를 얻을 수 있다.

[0124] 이상, 본 발명자에 의해서 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 일탈하지않는 범위에서 여러 가지 변경 가능한 것은 물론이다.

[0125] 예를 들면, 상기 실시예1에 있어서, 기입시에, 데이터 판독용 MISFET(Qr1, Qr2)의 소스, 드레인을 0V로 하여도 되고, 판독시에, 데이터 기입용 및 소거용 MISFET(Qw1, Qw2)의 소스, 드레인을 0V로 하여도 된다. 또한, LCD 드라이버와 같이, 20V 정도 이상의 고 내압 MISFET를 포함하는 반도체 장치에서는, 상기 실시예1에 있어서, 소거시에, n형 웨(5)에 0V, p형 반도체 영역(15B)에 0V, p형 반도체 영역(15A)에 -18V를 인가하고, 데이터 기입용 및 소거용 MISFET(Qw1, Qw2) 및 데이터 판독용 MISFET(Qr1, Qr2)의 소스, 드레인을 0V 또는 개방 전위로 하여도 된다.

[0126] <산업상의 이용 가능성>

[0127] 본 발명의 반도체 장치는, 예를 들면 불휘발성 메모리를 갖는 반도체 장치에 적용할 수 있다.

발명의 효과

[0128] 본 발명에 따르면, 소자 열화가 작고 데이터 유지 특성이 양호한 불휘발성 메모리를 제조할 수 있다. 또한, 불휘발성 메모리를 탑재한 모듈의 사이즈를 소형화할 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 실시예1인 반도체 장치의 제조 방법을 설명하는 주요부 평면도.

[0002] 도 2는 본 발명의 실시예1인 반도체 장치의 제조 방법을 설명하는 주요부 단면도.

[0003] 도 3은 도 1에 이어지는 반도체 장치의 제조 공정 중의 주요부 평면도.

[0004] 도 4는 도 2에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0005] 도 5는 도 4에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

[0006] 도 6은 도 3에 이어지는 반도체 장치의 제조 공정 중의 주요부 평면도.

[0007] 도 7은 도 4에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.

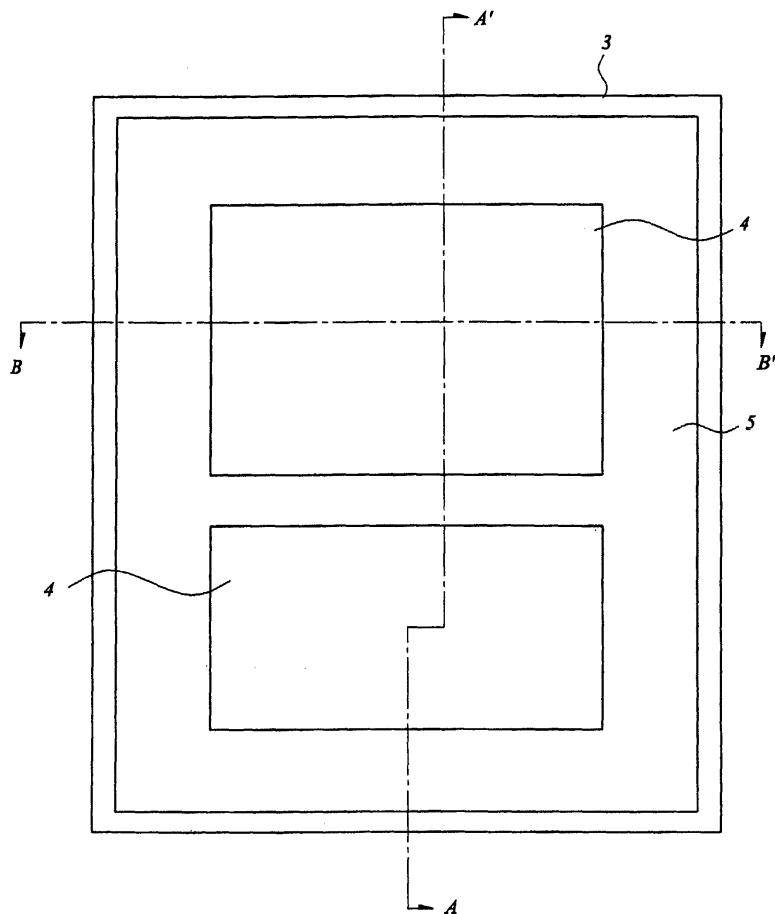
[0008] 도 8은 도 7의 A-A' 단면을 확대한 주요부 단면도.

- [0009] 도 9는 도 7의 B-B' 단면을 확대한 주요부 단면도.
- [0010] 도 10은 도 7의 C-C' 단면을 확대한 주요부 단면도.
- [0011] 도 11은 도 6에 이어지는 반도체 장치의 제조 공정 중의 주요부 평면도.
- [0012] 도 12는 도 7에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- [0013] 도 13은 도 12에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도.
- [0014] 도 14는 본 발명의 실시예1인 반도체 장치의 주요부 평면도.
- [0015] 도 15는 본 발명의 실시예1인 반도체 장치가 갖는 불휘발성 메모리의 데이터 기입 동작을 설명하는 주요부 단면도.
- [0016] 도 16은 본 발명의 실시예1인 반도체 장치가 갖는 불휘발성 메모리의 데이터 소거 동작을 설명하는 주요부 단면도.
- [0017] 도 17은 본 발명의 실시예1인 반도체 장치가 갖는 불휘발성 메모리의 데이터 판독 동작을 설명하는 주요부 단면도.
- [0018] 도 18은 본 발명의 실시예2인 반도체 장치가 갖는 불휘발성 메모리의 데이터 소거 동작을 설명하는 주요부 단면도.
- [0019] 도 19는 본 발명의 실시예3인 반도체 장치가 갖는 불휘발성 메모리의 데이터 기입 동작을 설명하는 주요부 단면도.
- [0020] 도 20은 본 발명의 실시예4인 반도체 장치의 주요부 단면도.
- [0021] 도 21은 본 발명의 실시예5인 반도체 장치가 갖는 불휘발성 메모리의 데이터 · 소거 동작을 설명하는 주요부 단면도.
- [0022] 도 22는 본 발명의 실시예5인 반도체 장치가 갖는 불휘발성 메모리의 데이터 소거 동작시에 있어서의 전압 인가의 타이밍을 나타내는 설명도.
- [0023] 도 23은 본 발명의 실시예5인 반도체 장치가 갖는 불휘발성 메모리의 데이터 소거 동작시에 있어서의 전압 인가의 타이밍을 나타내는 설명도.
- [0024] 도 24는 본 발명의 실시예5인 반도체 장치가 갖는 불휘발성 메모리의 데이터 소거 동작시에 있어서의 전압 인가의 타이밍을 나타내는 설명도.
- [0025] <도면의 주요 부분에 대한 부호의 설명>
- [0026] 1 : 기판
- [0027] 2 : 소자 분리홈
- [0028] 3 : n형 반도체 분리 영역(반도체 분리층)
- [0029] 4 : p형 웰(제1 웰, 제2 웰)
- [0030] 5 : n형 웰(제3 웰)
- [0031] 6 : 게이트 절연막(제1 게이트 절연막)
- [0032] 7A, 7B : 게이트 전극(제1 게이트 전극)
- [0033] 7C : 게이트 전극
- [0034] 8 : 캡 절연막
- [0035] 12 : 사이드월 스페이서
- [0036] 14A, 14B, 14C : n형 반도체 영역
- [0037] 15A, 15B : p형 반도체 영역

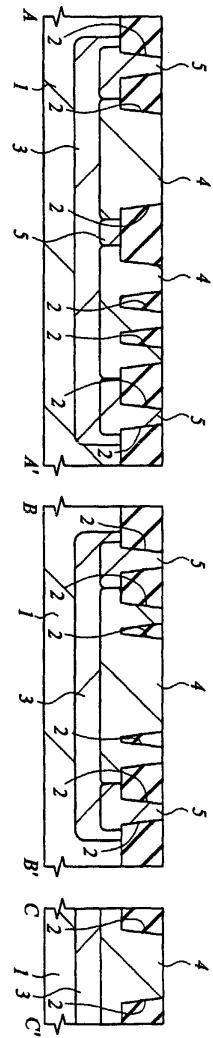
- [0038] 18 : 실리사이드층
- [0039] 19 : 질화 실리콘막
- [0040] 20 : 산화 실리콘막
- [0041] 224C~22E : 플러그
- [0042] 23 : 배선
- [0043] C1, C2 : 용량 소자
- [0044] NMa, NMb, NMc : 저농도 n형 반도체 영역
- [0045] PMa, PMb : 저농도 p형 반도체 영역
- [0046] Qr1, Qr2, Qw1, Qw2 : MISFET

도면

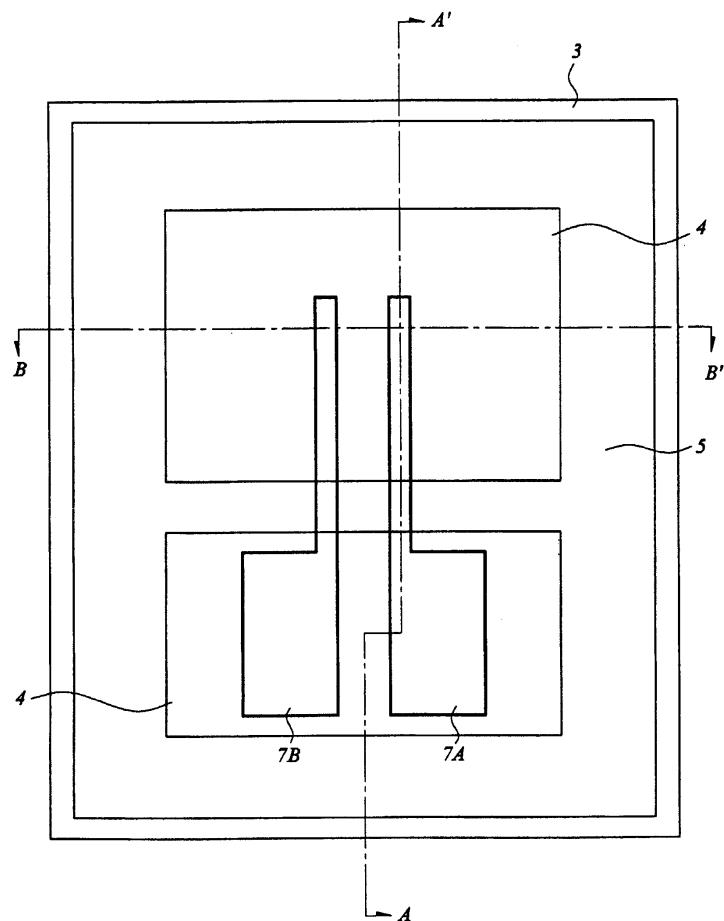
도면1



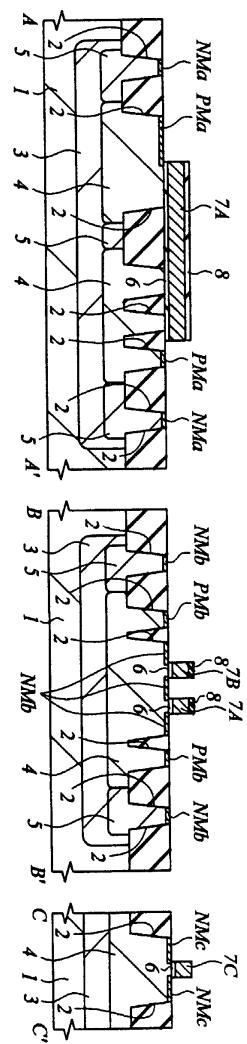
도면2



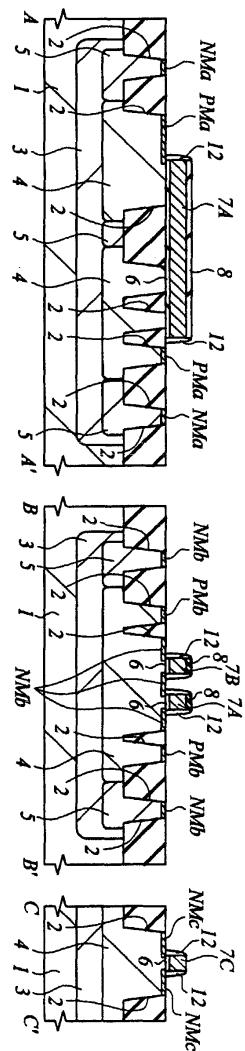
도면3



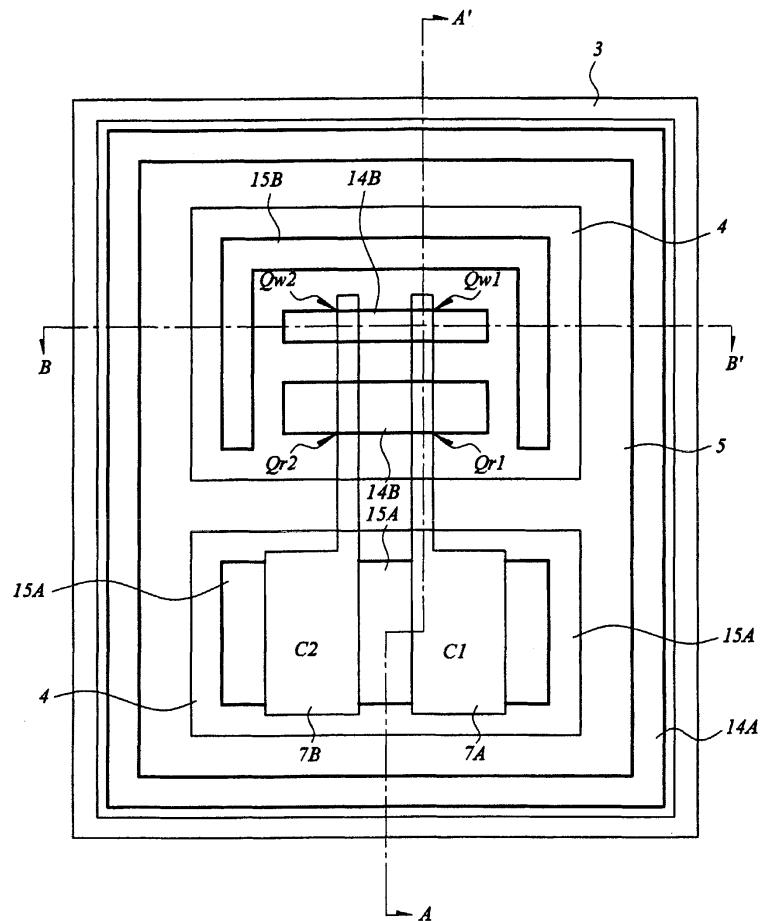
도면4



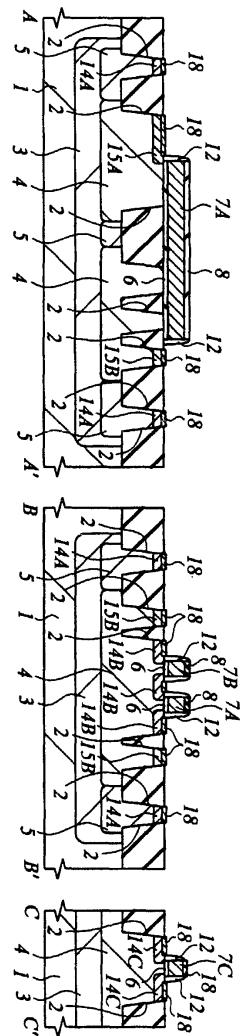
도면5



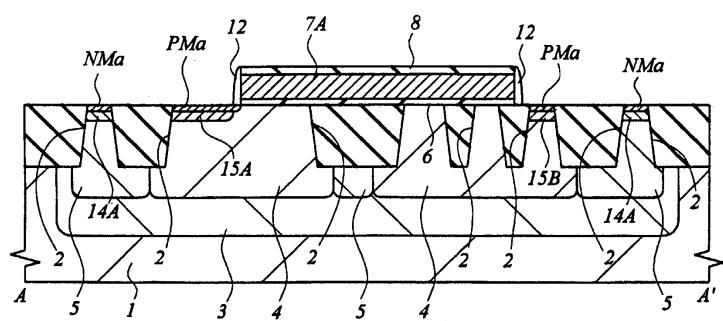
도면6



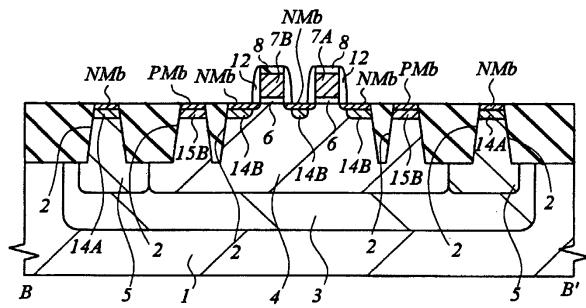
도면7



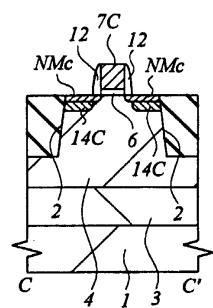
도면8



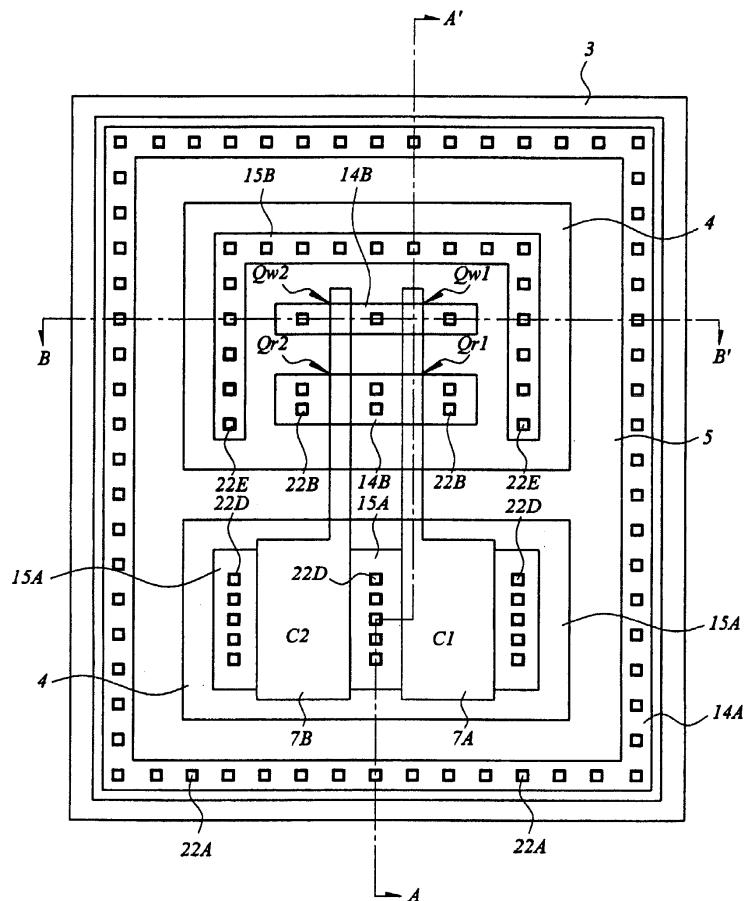
도면9



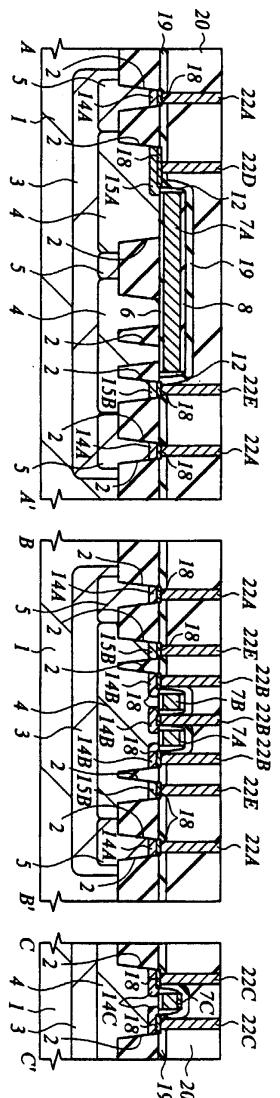
도면10



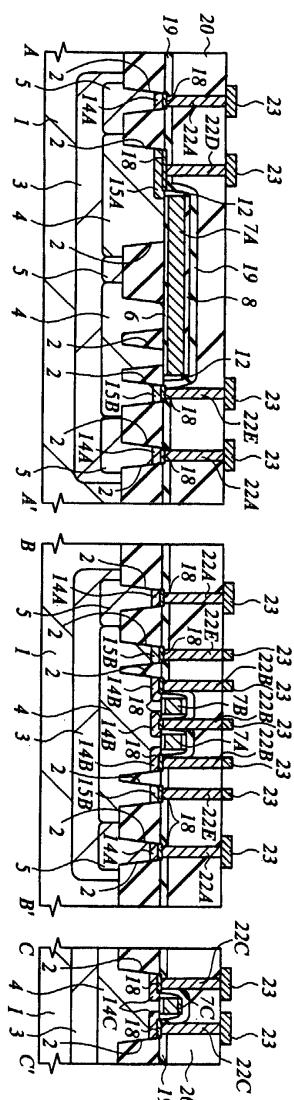
도면11



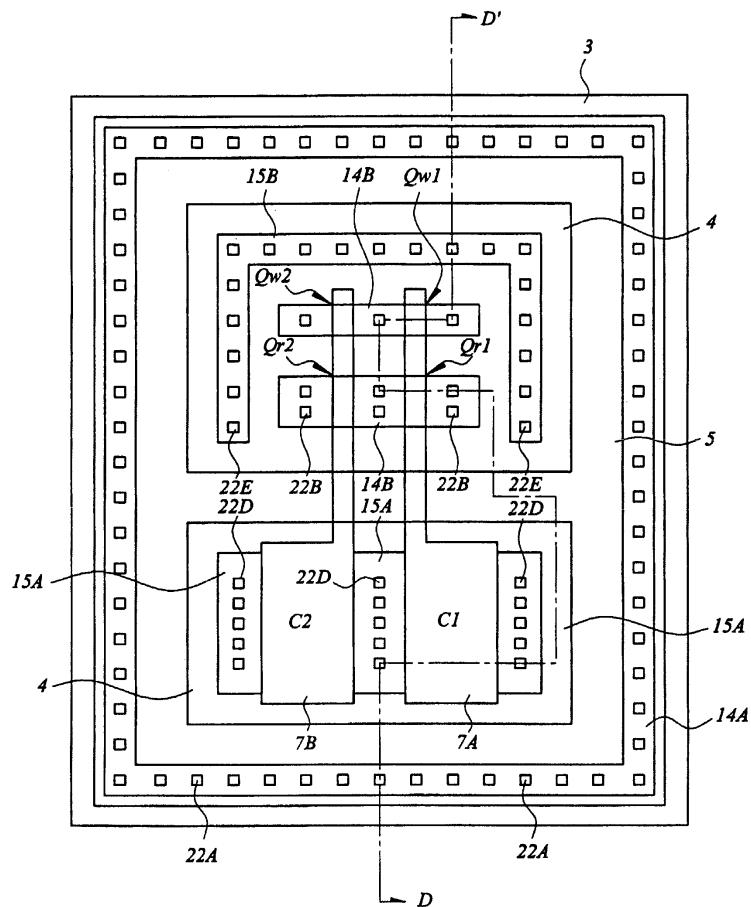
도면12



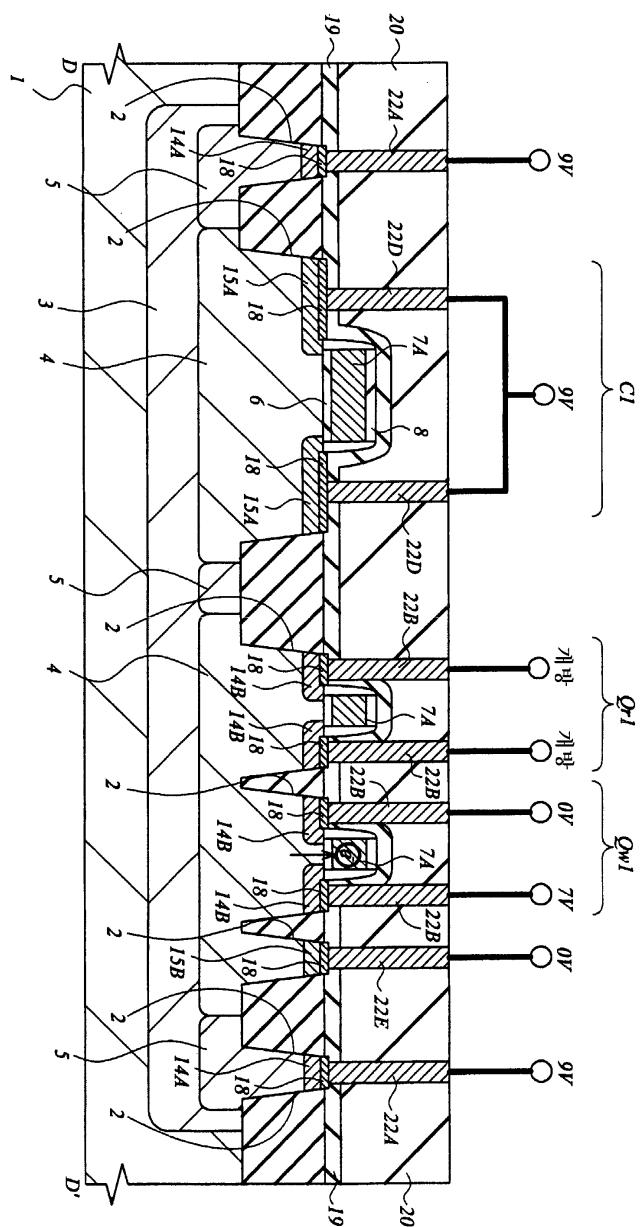
도면13



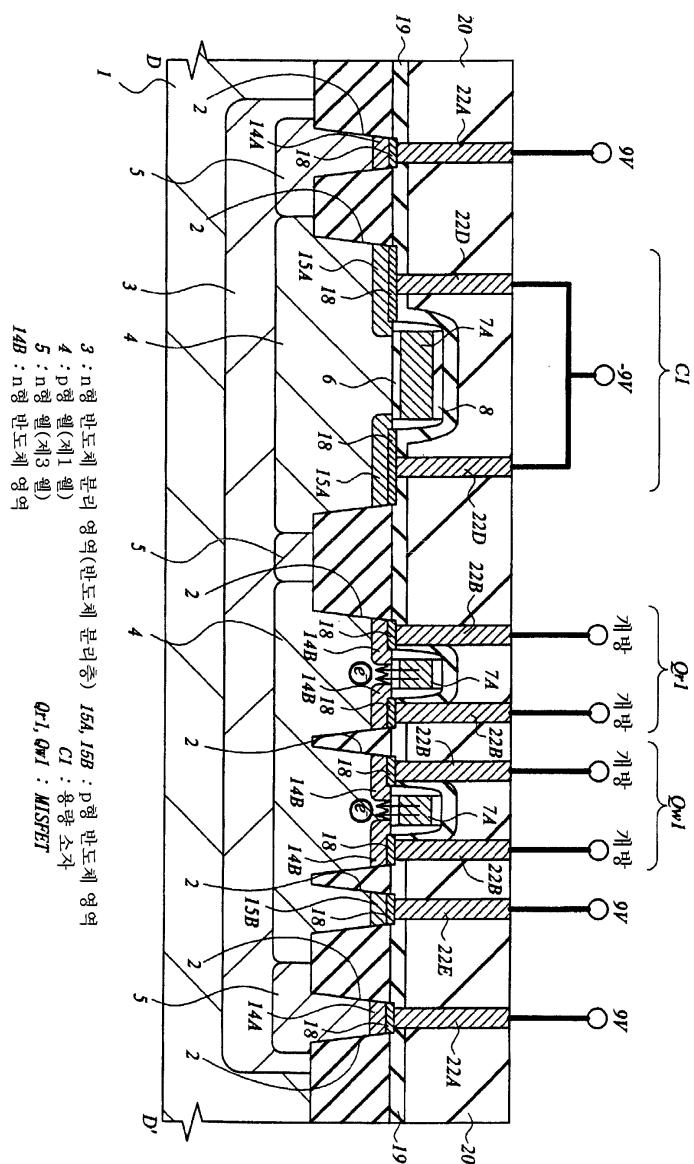
도면14



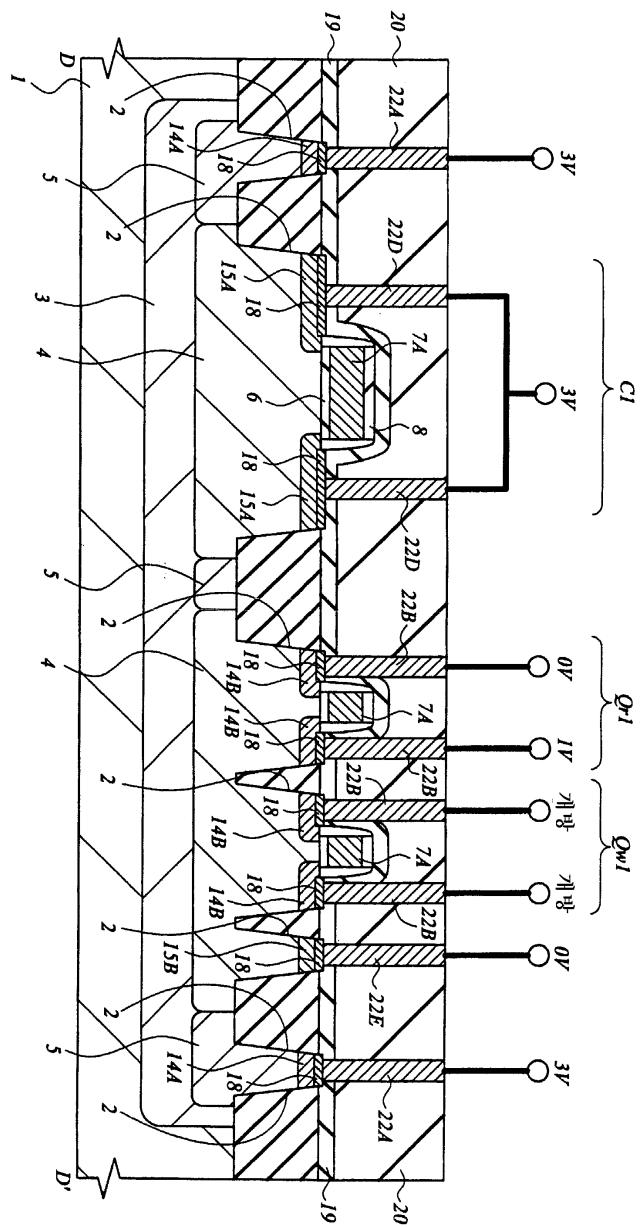
도면15



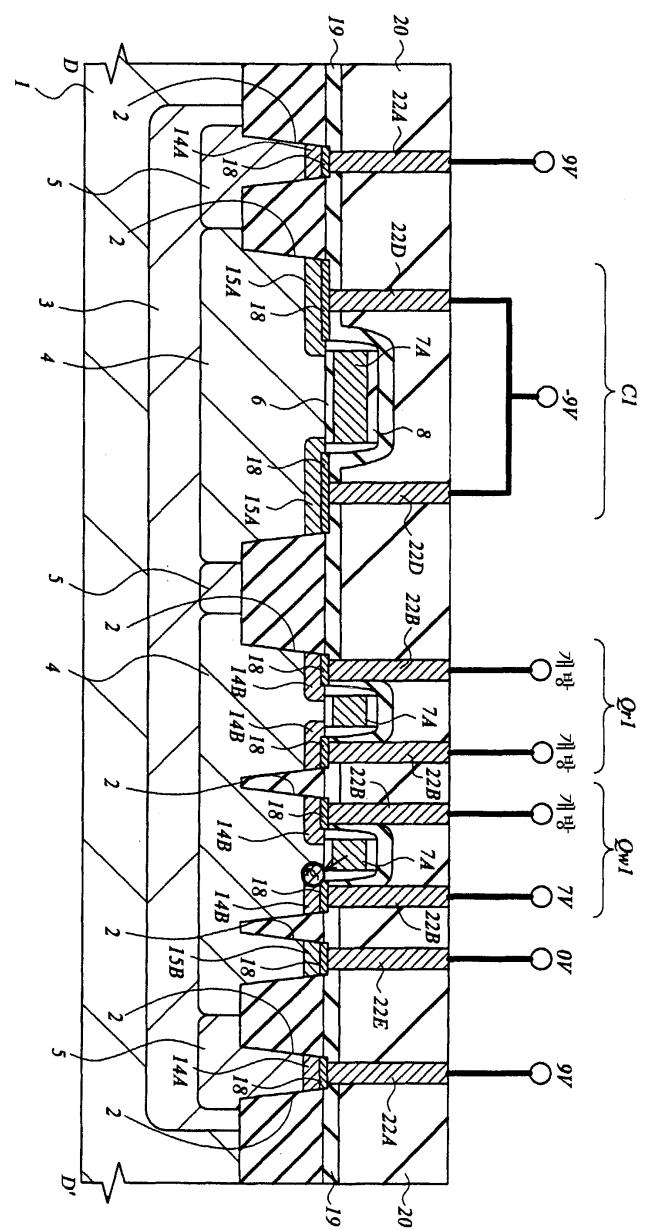
도면16



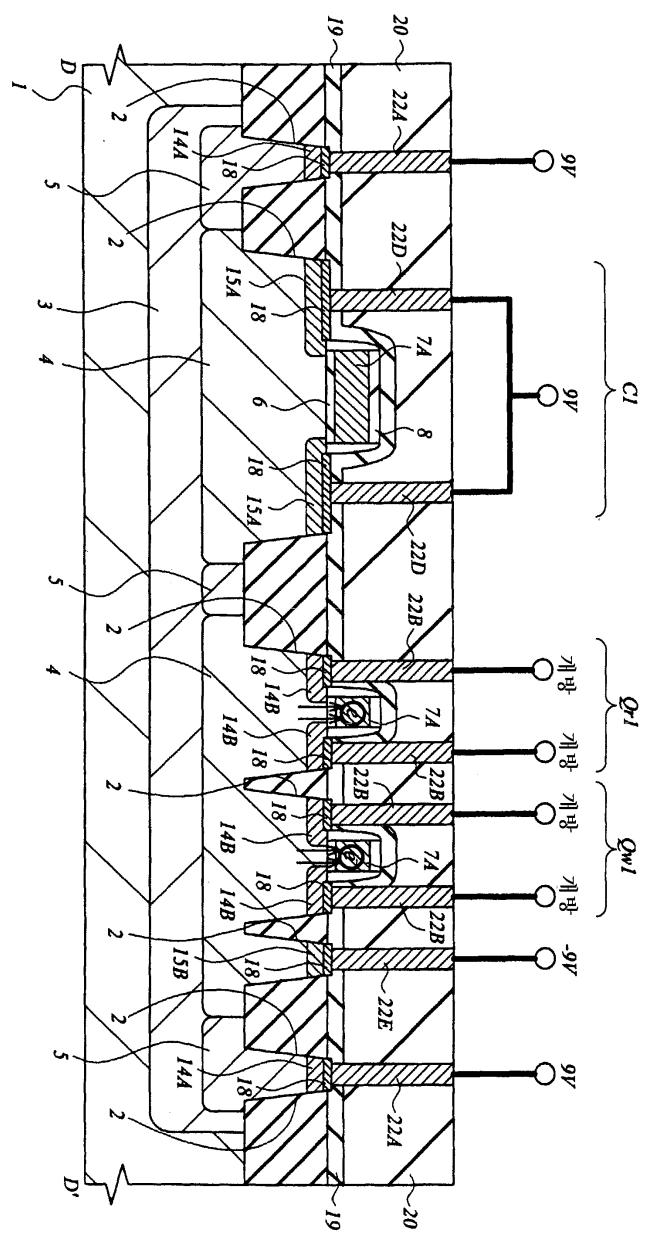
도면17



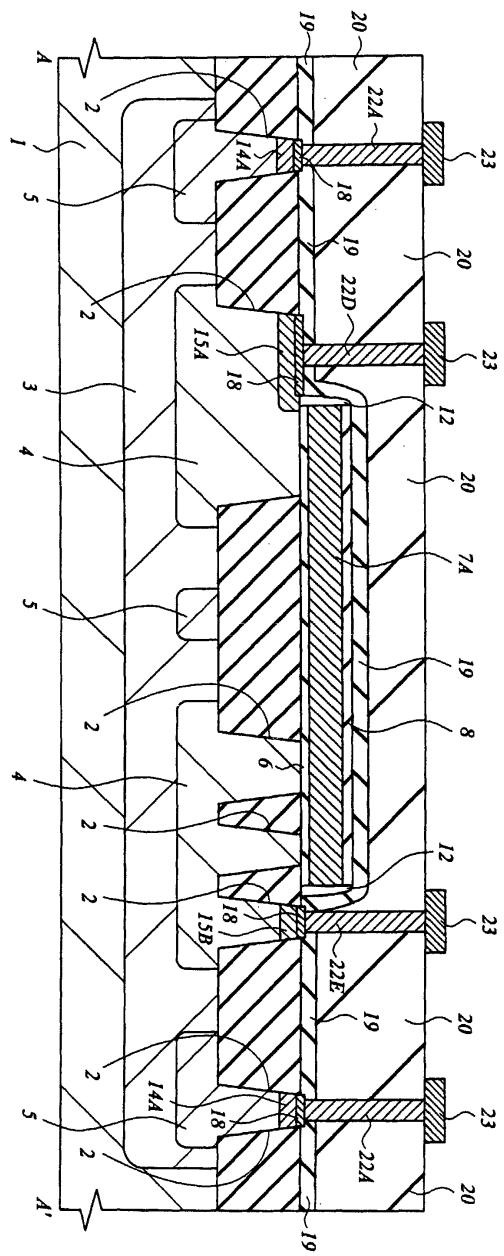
도면18



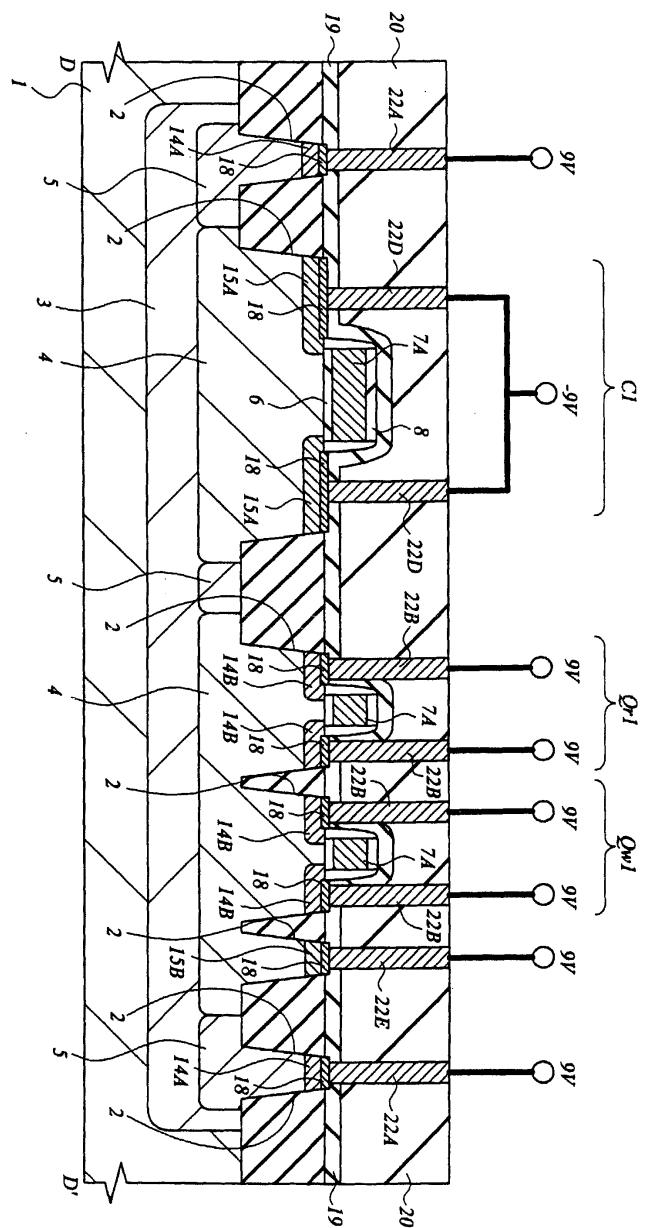
도면19



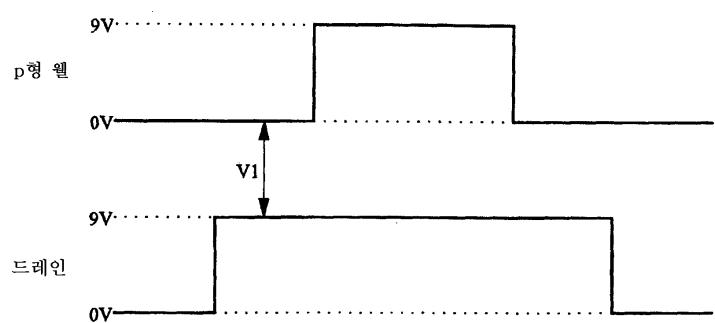
도면20



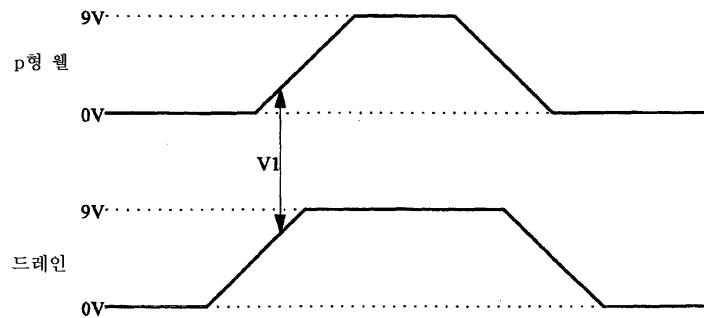
도면21



도면22



도면23



도면24

