

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年9月18日(18.09.2014)



(10) 国際公開番号  
WO 2014/141455 A1

- (51) 国際特許分類:  
G06F 11/18 (2006.01) H03K 19/23 (2006.01)
- (21) 国際出願番号: PCT/JP2013/057341
- (22) 国際出願日: 2013年3月15日(15.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者: 矢野 隆 (YANO Takashi); 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 増井裕也 (MASUI Hironari); 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP).
- (74) 代理人: 井上 学, 外 (INOUE, Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: FIELD-PROGRAMMABLE GATE ARRAY CIRCUIT

(54) 発明の名称: FPGA 回路

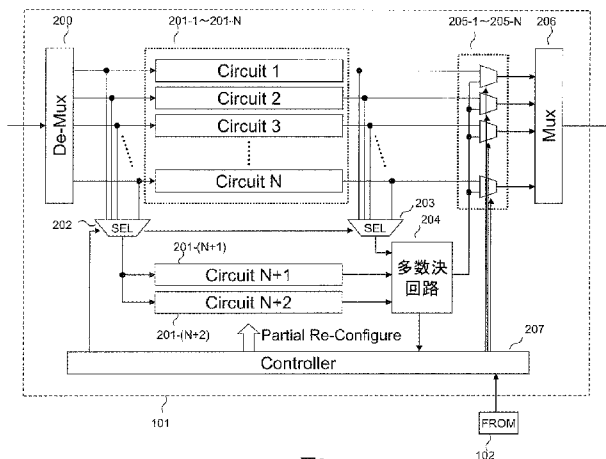


FIG. 2:  
204 Majority circuit

(57) Abstract: The present invention addresses the problem of preventing, in a field-programmable gate array (FPGA) circuit that processes parallelized signals, a reduction in reliability caused by the destruction of circuit configuration information, with a small increase in circuit scale. The problem is solved by a circuit configured using an FPGA characterized by having a majority circuit that makes a majority decision using the output of at least two circuits and one signal selected from the output of a plurality of circuits. The plurality of circuits disperse and carry out the same process, and the at least two circuits select and input an input signal to the plurality of circuits, and carry out the same process. The FPGA is further characterized in that: when all inputs in the majority circuit match a prescribed time, input signals inputted to the at least two circuits that were selected are switched to other input signals; and when a discrepancy in the inputs of the majority circuit is detected, circuit configuration information for the at least two circuits or the plurality of circuits that output an output signal is reset.

(57) 要約: 並列化された信号処理を行う FPGA 回路において、少ない回路規模の増加で回路構成情報の破壊による信頼性の低下を防止することが、開示された発明の課題である。FPGA を用いて構成される回路であって、同一の処理

を分散して行う複数の回路と、前記複数の回路への入力信号を選択して入力し前記同一の処理を行う少なくとも2つの回路と、前記複数の回路の出力から選択された一つの信号と前記少なくとも2つの回路の出力を用いて多数決判定を行う多数決回路を持ち、前記多数決回路においてすべての入力が所定の時間一致した場合には前記選択された少なくとも2つの回路への入力信号を他の入力信号に切り替え、前記多数決回路の入力に不一致が検出された場合には、その出力信号を出力した前記、複数の回路、または、前記少なくとも2つの回路の回路構成情報を再設定することを特徴とする FPGA を用いて構成される回路が、開示された発明の解決手段である。



WO 2014/141455 A1

## 明 細 書

**発明の名称** : FPGA回路

**技術分野**

[0001] 本発明は、FPGA回路に関し、特に、高速信号処理FPGA(Field Programmable Gate Array)回路の高信頼化技術に関し、さらには、並列化した信号処理回路の誤動作を防止する方法に関する。

**背景技術**

[0002] 本技術分野の背景技術として、FPGA (Field Programmable Gate Array)が広く使われている。FPGAは、回路構成データを書き込むことで様々な機能を持つデジタル回路を実現するLSI(Large Scale Integrated circuit)であり、電源投入時に接続されているROM(Read Only Memory)等から回路構成情報を読み込んで所望の回路機能を実現することができる。

[0003] 近年、半導体の微細加工技術の向上により、非常に大規模な回路を実現できるFPGAが入手できるようになって来た。大規模な回路を実現できるようになった結果、回路構成情報も膨大となり、さらに、微細加工によって回路構成情報をFPGA内で保持しているメモリセルに蓄えられる電荷が微少となったため、中性子線やアルファ線などによって回路構成情報が破壊される現象が問題となってきた。

[0004] これに対し、FPGAメーカーは、定期的に回路構成情報の正当性を確認する技術をFPGAに搭載するなどの対策をしている。特許文献1には巡回冗長検査(CRC : Cyclic Redundancy Check)符号を回路構成情報に付加し、定期的に回路構成情報を検査することで回路構成情報の破壊を検出する技術について記載がある。

[0005] また、FPGAの機能によらず回路を高信頼化する技術を採用する例も見られる。特許文献2には、同じ入力信号に対して同じ処理を行う処理回路を3系統用意して、それぞれの回路の出力結果の多数決により出力を決定する3重化冗長構成について記載されている。

## 先行技術文献

## 特許文献

[0006] 特許文献1：日本特許第4856848号公報

特許文献2：特開2011-216020号公報

## 発明の概要

### 発明が解決しようとする課題

[0007] 前記、特許文献1に記載される従来技術においては、所定のビット数以下の破壊であれば確実に検出できるが、膨大な回路構成情報を全てチェックするので、破壊が生じてから検出されるまでに時間がかかるという問題がある。この問題は近年の非常に大規模なFPGAにおいては特に顕著となる。破壊から検出までの時間が長い場合、その間に回路が誤動作を起こし、システムによっては重大な問題を引き起こす可能性がある。

[0008] 前記特許文献2に記載される従来技術においては、3重化冗長構成と多数決論理により、回路構成情報が破壊され一つの処理回路が誤動作を起こしてもシステムが誤動作することを防止できるが、3倍強の回路規模が必要となるという問題がある。特に非常に高速な信号処理を行うためにN倍並列化した回路を用いる場合、特許文献2に記載される従来技術を採用すると3N倍強の回路規模が必要となり、好ましくない。

### 課題を解決するための手段

[0009] 上記課題を解決するために、本発明においては、

N( $N > 1$ 。ここで、Nは自然数である。以下、同じ。)並列化されたN個の信号に対してそれぞれ処理を行うN個の第1の回路と、

前記N個の第1の回路への入力信号の何れか一つを選択して入力し、かつ、前記N個の第1の回路の何れか1つと同じ信号処理を行う少なくとも2つの第2の回路と、

前記N個の第1の回路の出力から選択された一の信号と、前記少なくとも2つの第2の回路の出力信号とを用いて、それらの信号の多数決判定を行う多

数決回路を持ち、

前記多数決回路において、すべての入力が入力の所定の時間内で一致した場合には、前記少なくとも2つの第2の回路への入力信号を他の前記入力信号に切り替える手段を持ち、

前記多数決回路への入力信号に不一致が検出された場合には、その出力信号を出力した前記N個の第1の回路の一つ、または、前記少なくとも2つの第2の回路の何れか一つの回路の回路構成情報を外部メモリから読み出し、再度書き込むことを特徴とする回路とを有するFPGA回路とする。

[0010] すなわち、高速な信号処理を行うために並列化構成されたN個の信号処理回路を持ち、それ以外に2つの検査用処理回路と多数決回路を持ち、それによって前記N個の内の1つの信号処理回路の処理結果をチェックする。一定期間動作に問題がなければ、続けて他の1つの回路の動作をチェックする。このようにしてN個の信号処理回路を順次検査する。ある1つの信号処理回路のチェック中に多数決回路が結果の不一致を検出した場合には、異なる結果を出力した回路(上記N個の1つ、または、前記2つの検査用処理回路のいずれか)の構成情報を再設定(構成情報の再書き込み)する。

[0011] 上記本発明によれば、N倍並列化した回路において(N+2)倍強の回路規模で大規模高速FPGA信号処理回路の信頼性を確保できる。

[0012] また、信号処理回路の処理結果をチェックする方式であるため、回路規模が膨大となった場合でも検査時間が増加することがなく、非特許文献1に記載される従来の技術よりも高速に回路情報の破壊を検出できる。

### 発明の効果

[0013] 本発明によれば、並列化された信号処理を行うFPGA回路において、少ない回路規模の増加で回路構成情報の破壊による信頼性の低下を防止できる。

### 図面の簡単な説明

[0014] [図1]第一の実施例の全体回路の例を示す図。

[図2]第一の実施例のFPGA回路の例を示す図。

[図3]第一の実施例の動作を表す図。

[図4]第二の実施例のFPGA回路の例を示す図。

[図5]第二の実施例の動作を表す図。

### 発明を実施するための形態

[0015] 以下、実施例を図面を用いて説明する。

#### 実施例 1

[0016] 実施例1の全体構成を図1に示す。電子回路基板1には、A/D変換器100、FPGA 101-1、101-2、フラッシュメモリ102-1、102-2などの部品が搭載される。電子回路基板1に入力された信号をA/D変換機100にてデジタル信号に変換し、FPGA 101-1に入力する。FPGA 101-1は、入力されたデジタル信号に対して所定の信号処理を施し、出力し、FPGA 101-2に入力する。

[0017] FPGA 101-2は、入力された信号に対して他の所定の信号処理を施し、出力する。前記、FPGA 101-1及び101-2は、電源投入時にそれぞれフラッシュメモリ102-1及び102-2から回路構成情報を読み出し、前記所定の信号処理を行う回路をFPGA内に構築する。フラッシュメモリ102-1及び102-2には、装置製造時に予めFPGA101-1及び101-2の回路情報を書き込んでおくのが一般的であるが、起動時にコンピュータなど外部装置から回路情報を書き込むこともできる。

[0018] また、A/D変換器100とFPGA101-1との間、FPGA101-1とFPGA101-2との間の信号は、LVD(Low Voltage Differential)高速シリアル通信で接続することが望ましい。

[0019] 前記、FPGA 101-1及び101-2の内部回路は、例えば、図2のように構成される。

[0020] 入力された信号は分配器(デマルチプレクサ)200にてN並列の信号に分配される。N個に分配された信号は、それぞれ、N個の信号処理回路201-1~201-Nに入力され所定の信号処理を行う。信号処理回路201-1~201-Nの信号処理結果はセレクタ205-1~205-Nを経由してマルチプレクサ206にて分配されていた信号を多重しFPGAから出力する。

[0021] ここで、信号をN個に分割して処理をしているのは、非常に高速な信号処理

を必要とするからである。例えば、10G(ギガ)シンボル/秒で入力される信号を200MHzの内部クロックで処理するために、同じ機能を持つ50個の回路に処理を分割して、並列に処理を行う場合などがこれにあたる。

[0022] セレクタ202は、前記分配器200にてN個に分配された信号の何れか一つを選択し、前記信号処理回路201-1~201-Nの各々と同じ機能を持つ2つの信号処理回路201-(N+1)、及び、201-(N+2)に入力する。一方、セレクタ203は、前記N個の信号処理回路201-1~201-Nの何れか一つの信号処理結果を選択し、信号処理回路201-(N+1)、及び、201-(N+2)の信号処理結果とともに多数決回路204に入力する。

[0023] 前記したセレクタ205-1~205-Nは、前記多数決回路の判定結果と前記信号処理回路201-1~201-Nの出力結果の何れかをそれぞれ選択して出力する。

[0024] また、前記多数決回路204は、3個の入力信号を比較し、比較結果を制御部207に通知する。前記、制御部207は、前記セレクタ202、203、205-1~205-Nを制御する。

[0025] この際、セレクタ202がi番目の信号を選択する時は、セレクタ203もi番目を選択する。また、セレクタ205-iについては多数決回路の出力を選択し、セレクタ205-1~205-N(i番目以外)は信号処理回路201-1~201-Nの処理結果を選択して出力する。

[0026] この結果、前記多数決回路204に入力される3つの信号処理結果は、通常全て同じとなっているはずである。

[0027] 回路構成情報の破壊が起こり、何れかの回路に問題が発生した場合に前記多数決回路204はこれを結果の不一致として検出する。

[0028] また、多数決判定としては、入力される3つの信号のうち、一致する2つの信号を判定結果として出力する。これにより何れかの回路に問題が発生した場合にも他の2つの回路が正常動作していれば正しい処理結果を出力することができる。

[0029] 前記制御部207の動作について図3を用いて説明する。

[0030] 手順301にて変数iを1にセットする。手順302にて前記変数iに従い、前述の

とおり、セレクトラ202、203、205-1~205-Nを制御する。

- [0031] 手順303にて前記多数決回路204の比較結果を所定時間監視する。手順304にて比較結果が全て一致した場合は、手順305に移る。
- [0032] 手順305において、前記変数*i*が並列化数*N*に一致した場合は、手順301に移り、変数*i*を再度1に戻し処理を続ける。手順305において、前記変数*i*が並列化数*N*に一致しない場合は、手順306にて*i*を1だけ増加させ、手順302に移る。
- [0033] 前記手順304にて比較結果において不一致が検出された場合は手順306に移る。手順306にて、不一致となる結果を出力した信号処理回路が信号処理回路201-*i* (*i*番目)であったかどうか判定する。*i*番目であった場合には、手順308にて信号処理回路201-*i* (*i*番目)の回路構成情報を再度フラッシュメモリ102から読み出して設定(書き込み)する。前記手順306で不一致となる結果を出力した信号処理回路が信号処理回路201-*i* (*i*番目)でなかった場合、手順307に移る。
- [0034] 手順307では不一致となる結果を出力した信号処理回路が信号処理回路201-(*N*+1) (*N*+1番目)であったかどうか判定する。*(N*+1)番目であった場合には、手順309にて信号処理回路201-(*N*+1) (*N*+1番目)の回路構成情報を再度フラッシュメモリ102から読み出して設定(書き込み)する。
- [0035] 前記手順307で不一致となる結果を出力した信号処理回路が信号処理回路201-(*N*+1) (*N*+1番目)でなかった場合(すなわち、不一致となる結果を出力したのが信号処理回路201-(*N*+2) (*N*+2番目)であった場合)、手順310にて信号処理回路201-(*N*+2) (*N*+2番目)の回路構成情報を再度フラッシュメモリ102から読み出して設定(書き込み)する。前記、手順308、309、310の完了後、前記手順305に移る。
- [0036] 回路構成情報の破壊により処理結果に問題が発生した場合、以上の動作によりFPGAの回路構成情報が再設定(書き込み)され修復される。本発明においては、*N*個の信号処理回路を順次検査する方式であるため、信号処理回路201-1~201-*N*回路構成情報に問題が発生した場合、検査の順番が回ってくるまで信号処理結果に問題が生じる可能性が残るが、前記非特許文献1に記載され

る従来の技術よりもその時間は短く、より高い信頼性を確保できる。

[0037] なお、回路構成情報の再設定(書き込み)に当たっては、回路が動作中に一部の回路構成情報を書き換えることのできる動的部分再設定(Dynamic Partial Reconfigure)機能を持つFPGAを使用することが望ましい。この場合、修正中の回路以外の回路は正常に動作し続けるため、システムを停止させずに修復することが可能である。

[0038] また、図3に記載の手順によれば、多数決回路は修正中の回路に接続されたままとまっているので、修正される回路以外の2つの信号処理回路が正常動作し続けているため、当該信号処理も停止することなく正常動作を続けることができる。

[0039] すなわち、上記実施例1において、システムが正常動作をしない可能性のあるのは、回路構成情報の破壊が発生してから処理結果の検査の順番が回ってくるまでの間のみであり、非常に短い時間となる。

[0040] 例えば、前述の10G(ギガ)シンボル/秒で入力される信号を200MHzの内部クロックで処理するために同じ機能を持つ50個の回路に処理を分割して並列に処理を行う場合において、1回に100シンボル分の処理結果を検査しながら巡回すると仮定すると、1つの信号処理回路の検査に0.5マイクロ秒かかるので、最悪条件として、直前に検査が終了した信号処理回路に問題が発生した場合でも0.5マイクロ秒×50=25マイクロ秒で正常動作に戻ることであり、回路の誤動作がシステム全体に影響を与える可能性は非常に小さい。

[0041] なお、上記の説明では、制御部207はFPGA 101 (101-1、101-2)の内部に配置されているが、外部のマイコンや他の回路部品で構成されても良い。また、図2では、検査用信号処理回路は2つであったが、3個以上の検査用信号処理回路を用いることもできる。

## 実施例 2

[0042] 次に実施例2の回路構成を図4に示す。実施例1では検査用に信号処理回路201-(N+1)、及び、201-(N+2)の二つを使用したが、実施例2では、信号処理回路201-(N+1)のみを使用している点が異なっている。また、多数決回路204に代

わり比較回路208にて不一致を検出するのみで、多数決による正しい処理結果は出力されない。このため、セレクトア205-1~205-Nも省略され、信号処理回路201-1~201-Nの処理結果は直接デマルチプレクサ206に接続される。他の構成については実施例1と同様であるので、説明を省略する。i番目の信号処理回路(201-i)を検査中、比較回路208は、i番目の信号処理回路(201-i)の処理結果と(N+1)番目の信号処理回路201-(N+1)の処理結果を比較し、結果を制御部207に通知する。

[0043] 実施例2の動作を図5を用いて説明する。手順301~306は実施例1と同様であるので説明を省略する。手順304にて不一致が検出された場合、手順308に移り、i番目の信号処理回路(201-i)の回路構成情報を再度フラッシュメモリ102から読み出して設定(書き込み)する。

[0044] 続いて、手順309にて信号処理回路201-(N+1) (N+1番目)の回路構成情報を再度フラッシュメモリ102から読み出して設定(書き込み)し、手順305に移る。

[0045] 実施例2では検査用信号処理回路を一つとしたため処理結果に不一致を検出した場合、本来の信号処理回路(201-1~201-Nの何れか選択中のもの)が故障したのか検査用信号処理回路201-(N+1)が故障したのか判別できない。

[0046] 従って、手順308と手順309の双方を実行することで信号処理回路を修復する。実施例2においては、回路構成情報の修復中、当該回路は正常動作を続けることはできず、N個中(N-1)個の回路が正常動作する。

[0047] 実施例2においてシステムが正常動作をしない可能性のあるのは、回路構成情報の破壊が発生してから処理結果の検査の順番が回ってきて、回路構成情報が修正されるまでの間となるため、実施例1よりも長い時間となる。これが問題とならないようなシステムにおいては実施例1に比べて検査用信号処理回路が少なくすむという利点がある。

[0048] なお、以上説明した実施例1及び実施例2において制御部207、多数決回路204、比較回路208をFPGA内に実装する場合、これらの回路の構成情報が破壊されることも考えられる。従って、前記手順308、309、310に引き続いてこれら

の回路の回路構成情報を再設定(書き込み)することも好適である。

[0049] また、これらの回路自体を3重化冗長構成などで構成し、信頼性を向上させることもまた好適である。

[0050] また、上記実施例における信号処理回路とは、例えばデジタルフィルタ回路、等化器回路、変調回路、検波回路など一般的なデジタル信号処理回路で並列構成をとることができる任意の回路として本発明を実施できる。

### 符号の説明

[0051] 1: 電子回路基板

100: A/D変換器

101、101-1、101-2: FPGA (Field Programmable Gate Array)

102、102-1、102-2: フラッシュメモリ

200: 分配器 (デマルチプレクサ)

201-1~201-N、201-(N+1)、201-(N+1): 信号処理回路

202、203、205-1~205-N: セレクタ

204: 多数決回路

206: マルチプレクサ

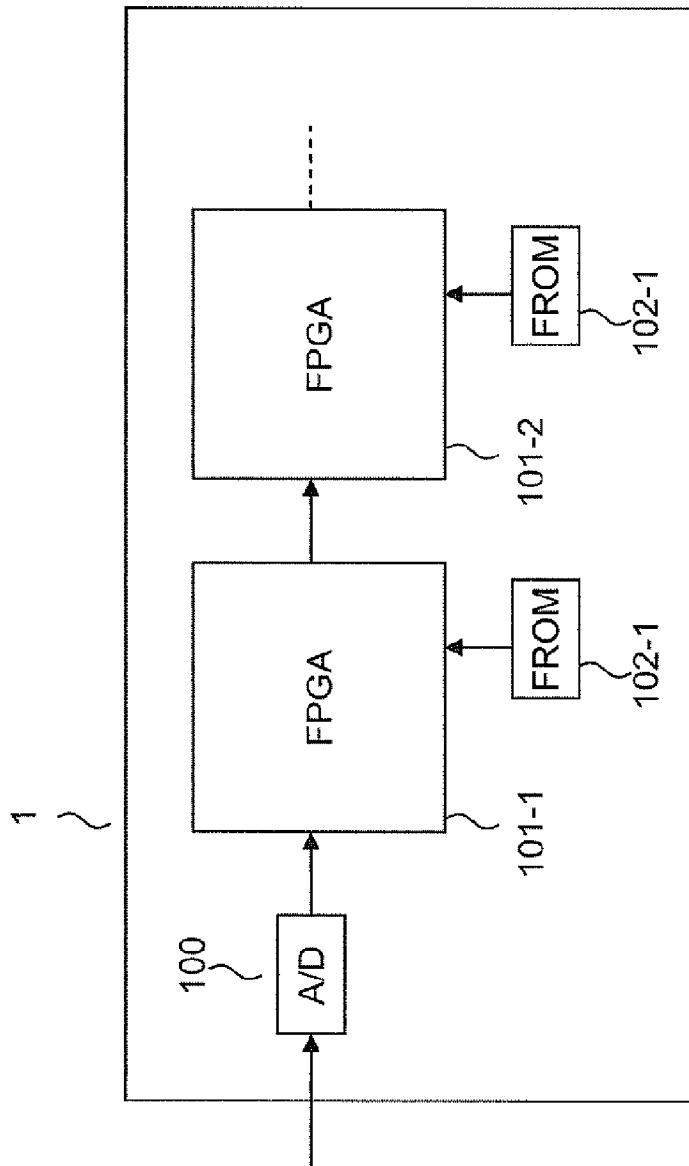
207: 制御部

208: 比較回路

## 請求の範囲

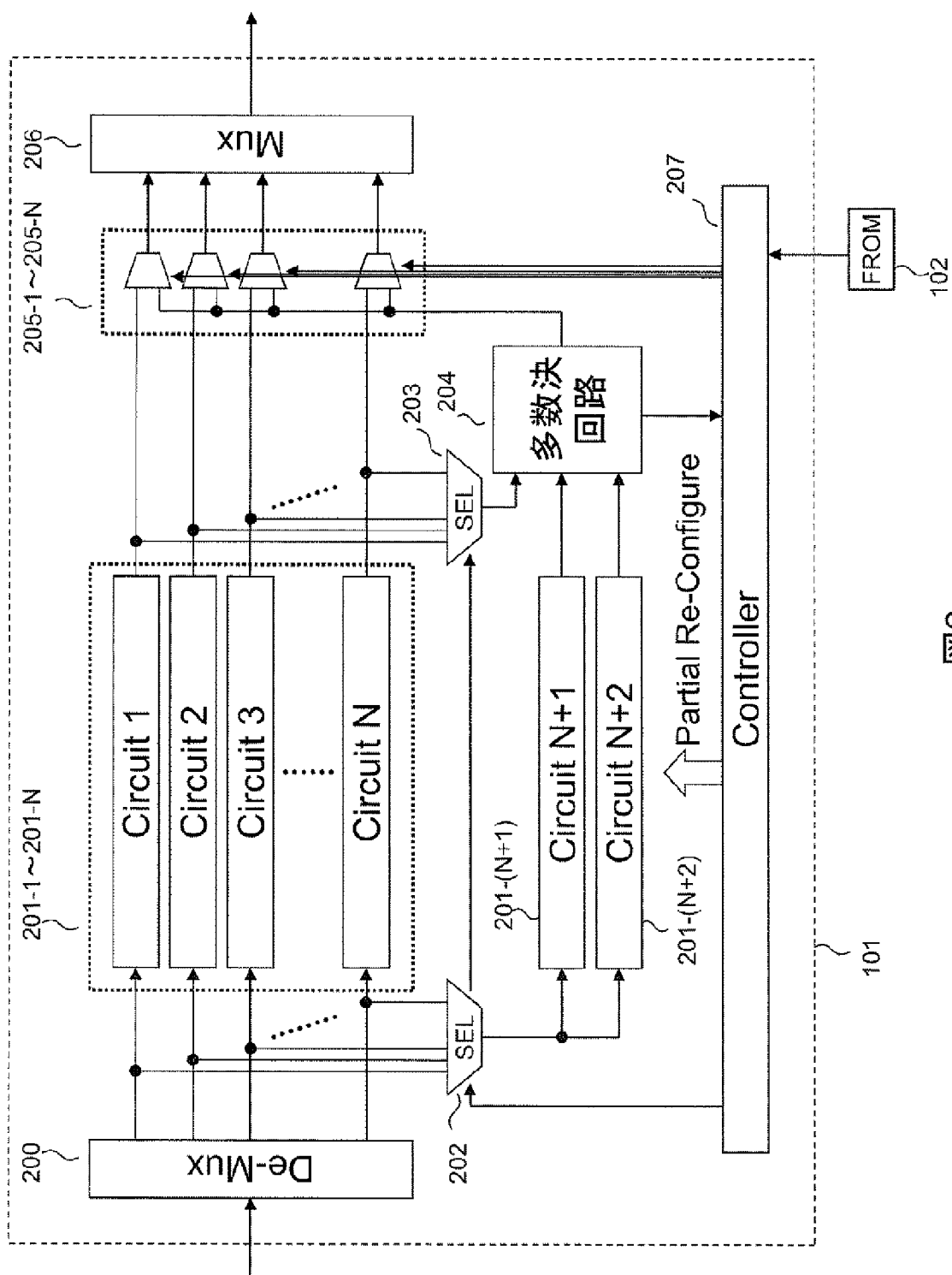
- [請求項1]  $N(N>1)$ 。ここで、 $N$ は自然数である。)並列化された $N$ 個の信号に対してそれぞれ処理を行う $N$ 個の第一の回路と、前記 $N$ 個の第一の回路への入力信号の何れか一つを選択して入力し、かつ、前記 $N$ 個の第一の回路の何れか一つと同じ処理を行う少なくとも2つの第二の回路と、前記 $N$ 個の第一の回路の出力から選択された一つの信号と前記少なくとも2つの第二の回路の出力信号とを用いて、それらの信号の多数決判定を行う多数決回路を持ち、前記多数決回路においてすべての入力が所定の時間内で一致した場合には前記少なくとも2つの第二の回路への入力信号を他の入力信号に切り替える手段を持ち、前記多数決回路への入力信号に不一致が検出された場合には、その出力信号を出力した前記 $N$ 個の第一の回路の一つ、または、前記少なくとも2つの第二の回路の何れか一つの回路の回路構成情報を外部のメモリから読み出して再度書き込むことを特徴とするFPGA回路。
- [請求項2] 前記多数決回路が出力する多数決判定結果は、前記 $N$ 個の第一の回路のそれぞれの出力と選択的に出力されることを特徴とする請求項1に記載のFPGA回路。
- [請求項3]  $N(N>1)$ 。ここで、 $N$ は自然数である。)並列化された $N$ 個の信号に対してそれぞれ処理を行う $N$ 個の第一の回路と、前記 $N$ 個の第一の回路への入力信号の何れか一つを選択して入力し、かつ、前記 $N$ 個の第一の回路の何れか一つと同じ処理を行う1つの第二の回路と、前記 $N$ 個の第一の回路の出力から選択された一つの信号と前記1つの第二の回路の出力信号とを比較する比較回路を持ち、前記比較において2つの入力が所定の時間内で一致した場合には前記1つの第二の回路への入力信号を他の入力信号に切り替える手段を持ち、前記比較回路への入力信号に不一致が検出された場合には、その出力信号を出力した前記、 $N$ 個の第一の回路、および、前記1つの第二の回路の回路構成情報を外部のメモリから読み出して再度書き込むことを特徴とするFPGA回路。

[図1]



[図1]

[図2]



[図2]

[図3]

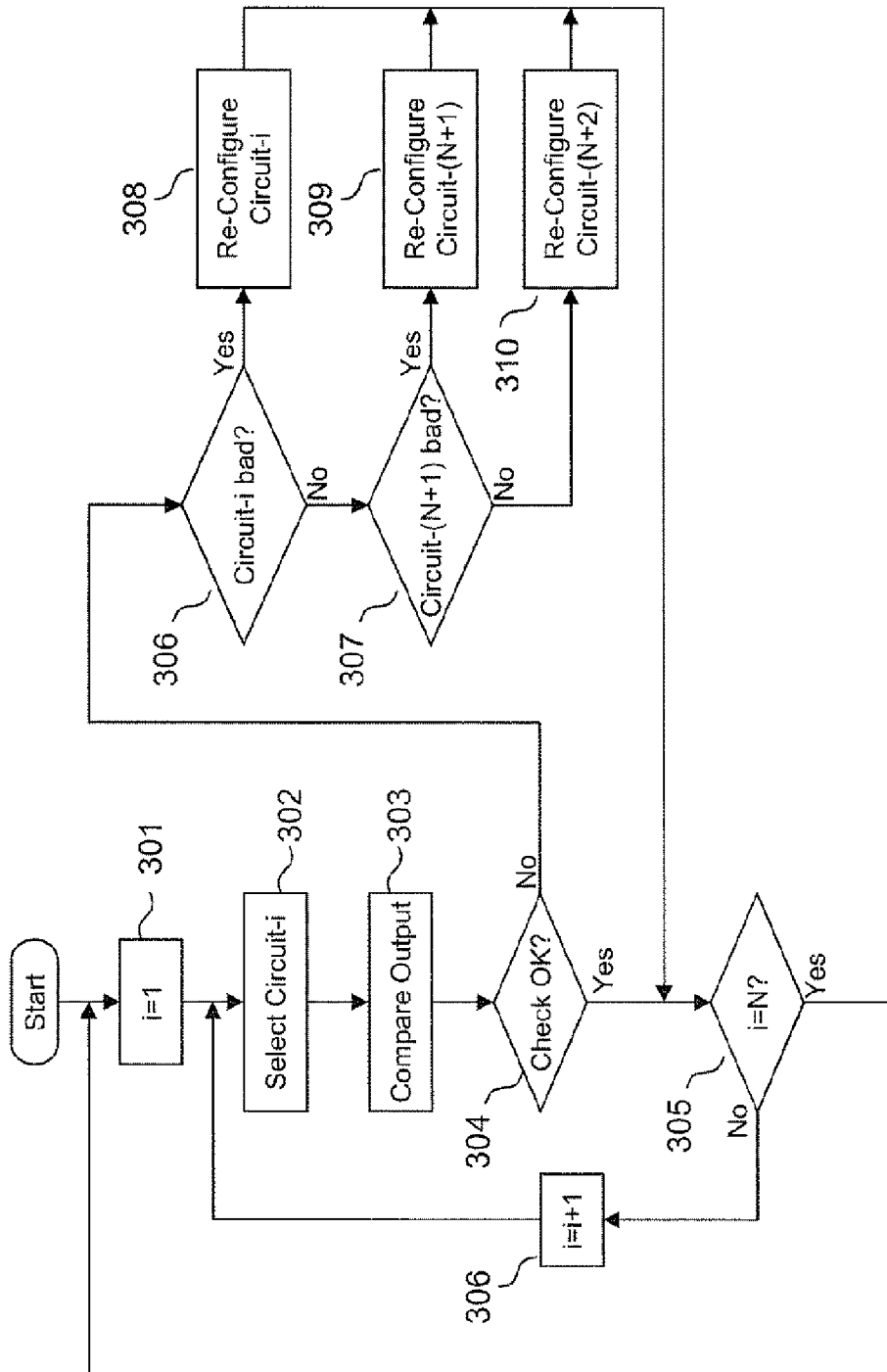
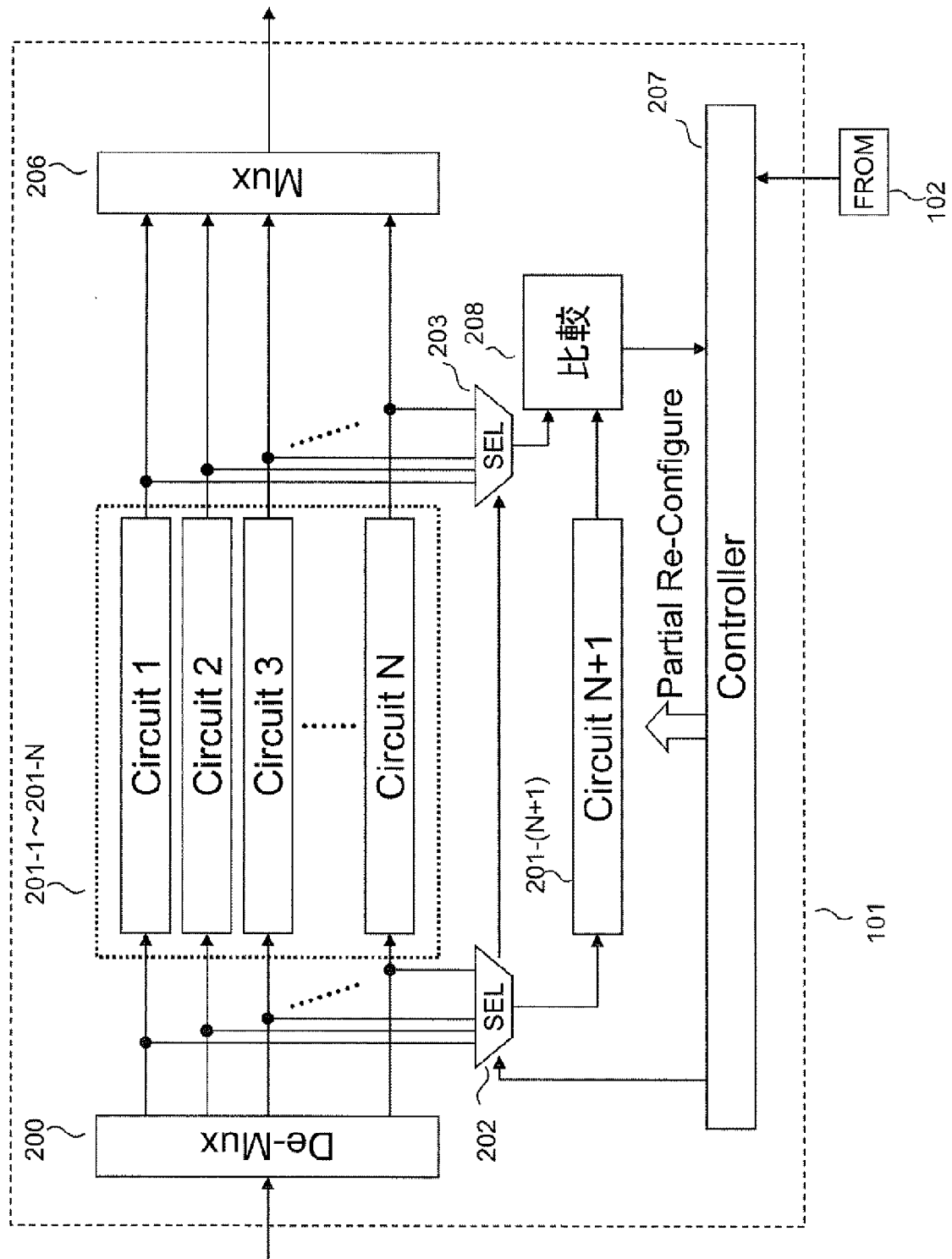


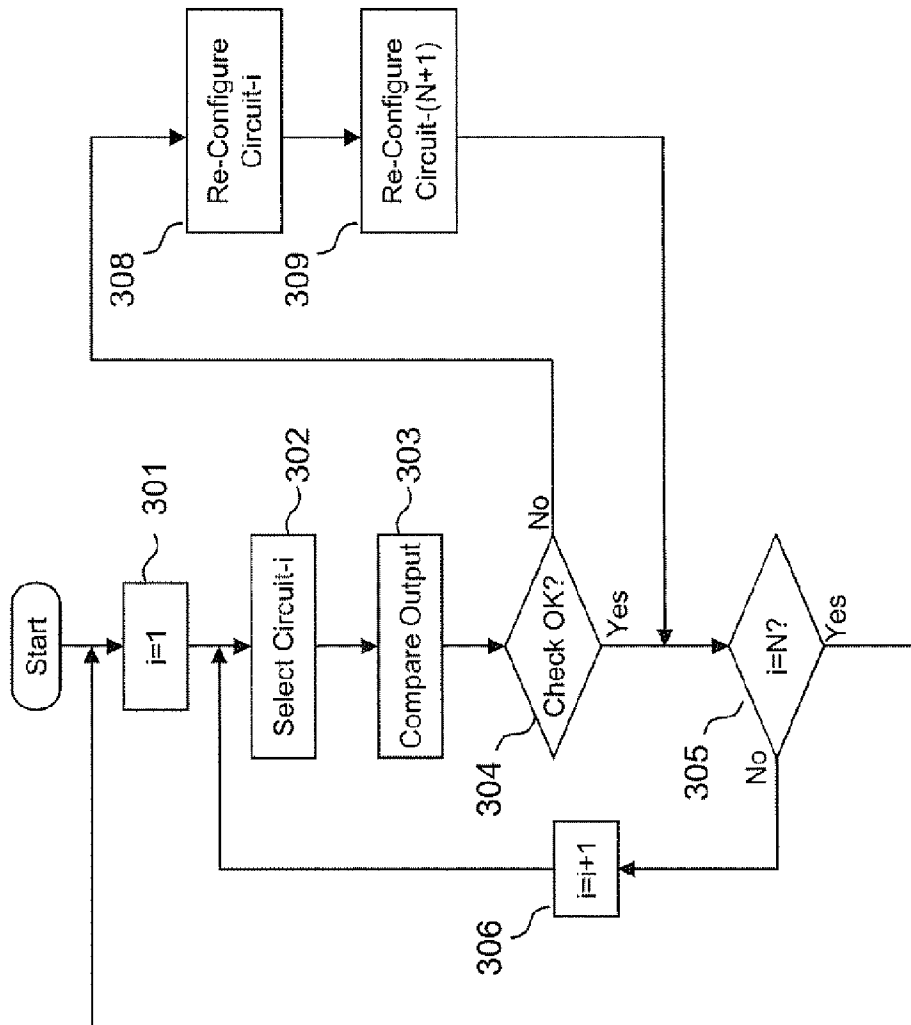
図3

[図4]



[図4]

[5]



[5]

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/057341

**A. CLASSIFICATION OF SUBJECT MATTER**

G06F11/18(2006.01) i, H03K19/23(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G06F11/16-11/20, H03K19/23

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-253657 A (NEC Engineering, Ltd.), 20 December 2012 (20.12.2012), paragraphs [0026] to [0033], [0090] to [0091]; fig. 1 (Family: none)	1-3
Y	WO 2013/027482 A1 (Hitachi, Ltd.), 28 February 2013 (28.02.2013), paragraphs [0021], [0024] to [0026]; fig. 1, 3 & JP 2013-046181 A	1-3

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
22 April, 2013 (22.04.13)

Date of mailing of the international search report  
07 May, 2013 (07.05.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. G06F11/18(2006.01)i, H03K19/23(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. G06F11/16-11/20, H03K19/23

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2013年  
 日本国実用新案登録公報 1996-2013年  
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-253657 A (NECエンジニアリング株式会社) 2012.12.20, 段落【0026】～【0033】, 【0090】～【0091】, 図1 (ファミリーなし)	1-3
Y	WO 2013/027482 A1 (株式会社日立製作所) 2013.02.28, 段落【0021】、【0024】～【0026】, 図1, 図3 & JP 2013-046181 A	1-3

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
 22.04.2013

国際調査報告の発送日  
 07.05.2013

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 ▲高▼橋 正▲徳▼  
 電話番号 03-3581-1101 内線 3544