

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 24 日 (24.05.2018)



(10) 国际公布号
WO 2018/090898 A1

(51) 国际专利分类号:
H01L 21/28 (2006.01)

(21) 国际申请号: PCT/CN2017/110857

(22) 国际申请日: 2017 年 11 月 14 日 (14.11.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201611009427.3 2016 年 11 月 16 日 (16.11.2016) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 刘涛 (LIU, Tao); 中国江苏省无锡市新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: MEMORY AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 存储器及其制作方法

在衬底上形成第一氧化层, 在所述第一氧化层上形成第一多晶硅层, 定义出存储区和逻辑区, 刻蚀形成存储区的第一栅极结构 S101

在所有结构的表面上形成 ONO 介质层 S102

在所述 ONO 介质层上形成隔离多晶硅层 S103

进行所述逻辑区的阱区光刻、离子注入 S104

进行逻辑区的光刻、刻蚀, 使逻辑区的衬底露出 S105

图 1

- | | |
|------|--|
| S101 | Forming a first oxide layer on a substrate, forming a first polysilicon layer on the first oxide layer, defining a storage area and a logical area, and etching to form a first grid structure of the storage area |
| S102 | Forming an ONO medium layer on the surface of all the structures |
| S103 | Forming an isolated polysilicon layer on the ONO medium layer |
| S104 | Performing well area photoetching and ion injection on the logical area |
| S105 | Performing photoetching and etching on the logical area to expose the substrate of the logical area |

(57) Abstract: A memory and a manufacturing method therefor, the method comprising forming a first oxide layer on a substrate, forming a first polysilicon layer on the first oxide layer, defining a storage area and a logical area, etching to form a first grid structure of the storage area, forming an ONO medium layer on the surface of all the structures, forming an isolated polysilicon layer on the ONO medium layer, performing well area photoetching and ion injection on the logical area, and performing photoetching and etching on the logical area to expose the substrate of the logical area.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权 (细则4.17(iii))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种存储器及其制作方法, 包括在衬底上形成第一氧化层, 在第一氧化层上形成第一多晶硅层, 定义出存储区和逻辑区, 刻蚀形成存储区的第一栅极结构, 在所有结构的表面上形成ONO介质层, 在ONO介质层上形成隔离多晶硅层, 进行逻辑区的阱区光刻、离子注入, 进行逻辑区的光刻、刻蚀, 使逻辑区的衬底露出。

存储器及其制作方法

技术领域

本发明涉及带电可擦可编程只读存储器（EEPROM）技术领域，尤其涉及一种存储器及其制作方法。

5 背景技术

目前，embedded EEPROM (embedded Electrically Erasable Programmable Read-Only Memory，嵌入式的带电可擦可编程只读存储器)的结构包括存储区、高压区和逻辑区。其通常的制作方法是，待 ONO (Oxide-SiN-Oxide，氧化硅-氮化硅-氧化硅) 隔离介质层做好之后，在存储区、高压区覆盖光阻，对逻辑区进行阱区光刻、离子注入，以及栅氧（GOX）光刻、刻蚀等，以获取逻辑区的阱、栅等结构。

在实际的批量生产中，由于仪器、产线的问题，可能会导致逻辑区的阱、栅结构的尺寸偏差。此时需要进行阱区光刻及 GOX 光刻的返工（rework），即洗掉光阻，重复上述光刻过程。该返工的过程会导致存储区的 ONO 介质层被损耗，造成其厚度不稳定，缩短存储器的使用寿命甚至将其损坏。

发明内容

基于此，有必要提供一种存储器及其制作方法。

一种存储器的制作方法，包括：

20 在衬底上形成第一氧化层，在所述第一氧化层上形成第一多晶硅层，定义出存储区和逻辑区，刻蚀形成存储区的第一栅极结构；

在所有结构的表面上形成 ONO 介质层；

在所述 ONO 介质层上形成隔离多晶硅层；

进行所述逻辑区的阱区光刻、离子注入；以及

进行逻辑区的光刻、刻蚀，使逻辑区的衬底露出。

另一方面，还提出一种存储器，包括存储区和逻辑区，所述存储区包括第一栅极结构和第一栅极结构上方的第二栅极结构，所述第一栅极结构与所述第二栅极结构之间形成有 ONO 介质层；以及所述 ONO 介质层上形成有隔离多晶硅层。

上述存储器及其制作方法，生长出 ONO 介质层之后，在该 ONO 介质层上沉积隔离多晶硅层；可以有效的保护 ONO 介质层在存储器的制作过程中不受阱区光刻返工及 GOX 光刻返工的影响，使得 ONO 介质层的厚度稳定，进而提高了存储器的性能稳定性。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 为一实施例中存储器的制作方法的方法流程图；

图 2 为另一实施例中存储器的制作方法的方法流程图；

图 3 为一实施例中存储器的制作过程的工序示意图；

图 4 为一实施例中存储器的制作过程的工序示意图；

图 5 为一实施例中存储器的制作过程的工序示意图；

图 6 为一实施例中存储器的制作过程的工序示意图；

图 7 为一实施例中存储器的制作过程的工序示意图；

图 8 为一实施例中存储器的制作过程的工序示意图；

图 9 为一实施例中存储器的制作过程的工序示意图。

具体实施方式

实施例一

参见图 1，图 1 为一实施例中存储器的制作方法的方法流程图。

在本实施例中，该存储器的制作方法包括如下步骤：

S101，在衬底上形成第一氧化层，在所述第一氧化层上形成第一多晶硅层，定义出存储区和逻辑区，刻蚀形成存储区的第一栅极结构。

S102，在所有结构的表面上形成 ONO 介质层。

在上述工艺的基础上，在存储器的所有结构，包括存储区和逻辑区表面上生长出 ONO 介质层。

S103，在所述 ONO 介质层上形成隔离多晶硅层。

S104，进行所述逻辑区的阱区光刻、离子注入。

传统技术中，待 ONO 介质层做好之后，在 ONO 介质层上覆盖光阻，然后对逻辑区进行阱区光刻，以获取逻辑区的阱。但是在实际的生产过程中，由于仪器、产线的问题，可能会导致逻辑区的阱尺寸有偏差，此时需要洗掉光阻，重复上述阱区光刻过程，即需要返工（rework）。而清洗光阻则会对 ONO 介质层带来影响。

本申请在 ONO 介质层上沉积了隔离多晶硅层之后，再进行逻辑区的阱区光刻，可以有效的避免清洗液直接接触到 ONO 介质层，保护 ONO 介质层不受到阱区光刻返工带来的影响。

S105，进行逻辑区的光刻、刻蚀，使逻辑区的衬底露出。

阱区形成之后需要对逻辑区进行光刻和刻蚀。在隔离多晶硅层上覆盖光阻，对逻辑区进行光刻和刻蚀，逻辑区的第一氧化层、第一氧化层上的 ONO 介质层和隔离多晶硅层被去除。若逻辑区光刻得到的区域尺寸有偏差，需要洗掉光阻，并重复上述光刻过程，即需要返工。

传统技术中，光阻直接覆盖在 ONO 介质层上，逻辑区光刻多次返工带来的反复清洗过程，清洗液将多次直接接触到 ONO 介质层，清洗液中的成分会对 ONO 介质层造成腐蚀性的损耗，严重影响到其厚度稳定性。

而本申请的技术方案在 ONO 介质层上沉积了隔离多晶硅层之后，再进行

逻辑区的光刻，可以有效的避免清洗液直接接触到 ONO 介质层，保护 ONO 介质层不受到逻辑区光刻返工带来的影响。保障 ONO 介质层的厚度稳定性，进而保障该存储器的性能稳定性。

上述存储器的制作方法，生长出 ONO 介质层之后，在该 ONO 介质层上沉积隔离多晶硅层，可以有效的保护 ONO 介质层在存储器的制作过程中不受阱区光刻返工及逻辑区光刻返工的影响，使得 ONO 介质层的厚度稳定，进而提高了存储器的性能稳定性。

实施例二

参见图 2，图 2 为另一实施例中存储器的制作方法的方法流程图。

在本实施例中，该存储器的制作方法包括如下步骤：

S201，在衬底上形成第一氧化层，在所述第一氧化层上形成第一多晶硅层，定义出存储区、逻辑区 and 高压区，刻蚀形成存储区的第一栅极结构和高压区结构。

参见图 3，在衬底 10 上生长出第一氧化层 11，在该第一氧化层 11 上沉积第一多晶硅层，该第一多晶硅层为掺杂的多晶硅层，定义出存储区、逻辑区 and 高压区，刻蚀形成存储区的第一栅极结构和高压区结构 23，该第一栅极结构包括水平方向分隔布置的选择栅 22 和浮栅 20。逻辑区的第一多晶硅层被去除。

S202，在所有结构的表面上形成 ONO 介质层。

参见图 4，在上述工艺的基础上，在存储器的所有结构，包括存储区、高压区和逻辑区表面上形成 ONO 介质层 12。

S203，在所述 ONO 介质层上形成隔离多晶硅层。

参见图 5，该隔离多晶硅层 13 为掺杂隔离多晶硅层，具体为磷掺杂隔离多晶硅层，掺杂浓度为 $1e20-5e20$ ，该掺杂浓度可调节。

S204，进行所述逻辑区的阱区光刻、离子注入。

参见图 6，在存储区 and 高压区的隔离多晶硅层 13 上覆盖光阻 30，通过光刻得到逻辑区的阱区，对阱区进行离子注入，由于隔离多晶硅层 13 和 ONO

介质层 12 很薄，注入的离子会穿过该隔离多晶硅层 13 和 ONO 介质层 12，进入到逻辑区的衬底 10 内，改变其导电特性。

S205，对所述逻辑区进行光刻和刻蚀，去除逻辑区的第一氧化层 11、ONO 介质层 12 和隔离多晶硅层 13，直至露出衬底 10。

5 参见图 7，在存储区 and 高压区的隔离多晶硅层 13 上覆盖光阻 30，对逻辑区进行光刻和刻蚀，逻辑区的第一氧化层 11、第一氧化层 11 上的 ONO 介质层 12 和隔离多晶硅层 13 被去除。对逻辑区刻蚀完成后，隔离多晶硅层 13 只覆盖于存储区 and 高压区。

10 S206，氧化，使所述存储区的隔离多晶硅层和所述逻辑区的衬底表面部分氧化。

参见图 8，对存储区 and 高压区表面的隔离多晶硅层 13，以及逻辑区的衬底 10 表面进行部分氧化，得到位于表层的部分多晶硅氧化层 132 和部分多晶硅未氧化层 131，以及位于表层的部分衬底氧化层 102 和部分衬底未氧化层 101。

15 S207，在所有结构的表面上形成第二多晶硅层。

在上述部分多晶硅氧化层 132 和部分衬底氧化层 102 的表面上形成第二多晶硅层 15。

S208，刻蚀，形成存储区的第二栅极结构和逻辑区的逻辑区结构，所述第二栅极结构位于所述第一栅极结构的上方。

20 参见图 9，图 9 为一实施例中存储器的制作过程的工序示意图，也为存储器的成品结构图。在该第二多晶硅层 15 上进行光刻和刻蚀，形成存储区的第二栅极结构和逻辑区的逻辑区结构 24，该第二栅极结构为控制栅 21。控制栅 21 依次覆盖隔离多晶硅层 13、ONO 介质层 12 和浮栅 20，在刻蚀过程中，将控制栅 21 未覆盖的隔离多晶硅层 13 和 ONO 介质层 12 去除。

25 该 ONO 介质层 12 可以对存储器的浮栅 20 和控制栅 21 进行有效的隔离，并成为浮栅 20 和控制栅 21 之间的电介质，这样控制栅 21、部分多晶硅氧化层 132、部分多晶硅未氧化层 131、ONO 介质层 12 和浮栅 20 形成两个串联

的电容。

上述存储器的制作方法，在第一氧化层 11 上生长出 ONO 介质层 12，在 ONO 介质层 12 上沉积隔离多晶硅层 13，可以有效的保护 ONO 介质层 12 在存储器的制作过程中不受光刻返工带来的反复清洗过程的影响，使得 ONO 介质层 12 的厚度稳定，进而提高了存储器的性能稳定性；该隔离多晶硅层 13 为掺杂浓度可调的掺杂多晶硅层，并对该隔离多晶硅层 13 的表面进行部分氧化得到位于表层的部分多晶硅氧化层和部分多晶硅未氧化层，使得控制栅、部分多晶硅氧化层、部分多晶硅未氧化层、ONO 介质层 12 和浮栅形成两个串联的电容。

实施例三

参见图 9，图 9 为一实施例中存储器的制作过程的工序示意图，也为存储器的成品结构图。

在本实施例中，该存储器包括存储区和逻辑区，所述存储区包括第一栅极结构和第一栅极结构上方的第二栅极结构，所述第一栅极结构与所述第二栅极结构之间形成有 ONO 介质层 12，所述 ONO 介质层 12 上形成有隔离多晶硅层 13。

在一个实施例中，该第一栅极结构包括呈水平方向分隔布置的选择栅 22 和浮栅 20，第二栅极结构为控制栅 21，控制栅 21 位于浮栅 20 的上方。

ONO 介质层 12 作为所述浮栅 20 和控制栅 21 之间的隔离层以形成 PIP 电容，隔离多晶硅层 13 形成于 ONO 介质层 12 之上，在逻辑区的阱区光刻和逻辑区光刻返工的过程中保护该 ONO 介质层 12 不被清洗光阻的清洗液腐蚀。

实施例四

参见图 9，图 9 为一实施例中存储器的制作过程的工序示意图，也为存储器的成品结构图。

在第三实施例的基础上，该隔离多晶硅层 13 为掺杂浓度可调的掺杂隔离多晶硅层。具体为磷掺杂隔离多晶硅层，掺杂浓度为 $1e20-5e20$ ，该掺杂浓度可调。

隔离多晶硅层 13 包括表面部分被氧化的部分多晶硅氧化层 132 和位于所述部分多晶硅氧化层 132 下面的部分多晶硅未氧化层 131。使得控制栅 21、部分多晶硅氧化层 132、部分多晶硅未氧化层 131、ONO 介质层 12 和浮栅 20 形成两个串联的电容。

5 在一个实施例中，在第三实施例的基础上，该存储器还包括高压区，所述高压区包括用于控制所述存储区工作的高压区结构 23，所述逻辑区包括逻辑区结构 24。

第一栅极结构由第一多晶硅层构成，第二栅极结构由第二多晶硅层构成，高压区结构 23 由第一多晶硅层构成，逻辑区结构 24 由第二多晶硅层构成。

10 上述存储器，在所述 ONO 介质层 12 上形成隔离多晶硅层 13，可以有效的保护 ONO 介质层 12 在存储器的制作过程中不受阱区光刻返工及 GOX 光刻返工带来的反复清洗过程的影响，使得 ONO 介质层 12 的厚度稳定，进而提高了存储器的性能稳定性；该隔离多晶硅层 13 为掺杂浓度可调的掺杂多晶硅层，其包括表面部分被氧化的部分多晶硅氧化层 132 和位于所述部分多晶硅氧化层 132 下面的部分多晶硅未氧化层 131，使得控制栅 21、部分多晶硅氧化层 132、部分多晶硅未氧化层 131、ONO 介质层 12 和浮栅 20 形成两个串联的电容。

20 以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

25 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。

权利要求书

1.一种存储器的制作方法，包括：

在衬底上形成第一氧化层，在所述第一氧化层上形成第一多晶硅层，定义出存储区和逻辑区，刻蚀形成所述存储区的第一栅极结构；

在所有结构的表面上形成 ONO 介质层；

5 在所述 ONO 介质层上形成隔离多晶硅层；

进行所述逻辑区的阱区光刻、离子注入；以及

进行所述逻辑区的光刻、刻蚀，使所述逻辑区的衬底露出。

2.根据权利要求 1 所述的方法，其特征在于，所述在衬底上形成第一氧化层，在所述第一氧化层上形成第一多晶硅层，定义出存储区和逻辑区，刻蚀形成所述存储区的第一栅极结构的步骤还包括：

10 定义出高压区，刻蚀形成高压区结构。

3.根据权利要求 1 所述的方法，其特征在于，所述在所述 ONO 介质层上形成隔离多晶硅层的步骤具体为：

在所述 ONO 介质层上沉积掺杂隔离多晶硅层。

15 4.根据权利要求 3 所述的方法，其特征在于，所述掺杂隔离多晶硅层为磷掺杂隔离多晶硅层，掺杂浓度为 $1e20-5e20$ 。

5.根据权利要求 1 所述的方法，其特征在于，所述进行所述逻辑区的光刻、刻蚀的步骤具体为：

20 对所述逻辑区进行光刻和刻蚀，去除所述逻辑区的第一氧化层、ONO 介质层和隔离多晶硅层，直至露出衬底。

6.根据权利要求 1 所述的方法，其特征在于，所述进行逻辑区的光刻、刻蚀，使逻辑区的衬底露出的步骤之后，还包括：

氧化，使所述存储区的隔离多晶硅层和所述逻辑区的衬底表面部分氧化；

在所有结构的表面上形成第二多晶硅层；

25 刻蚀，形成所述存储区的第二栅极结构和所述逻辑区的逻辑区结构，所

述第二栅极结构位于所述第一栅极结构的上方。

7.根据权利要求 6 所述的方法,其特征在于,所述存储区的第一栅极结构包括呈水平方向分隔布置的选择栅和浮栅,所述第二栅极结构为控制栅,位于所述浮栅的上方。

5 8.一种存储器,包括存储区和逻辑区,所述存储区包括第一栅极结构和第一栅极结构上方的第二栅极结构,所述第一栅极结构与所述第二栅极结构之间形成有 ONO 介质层;以及

所述 ONO 介质层上形成有隔离多晶硅层。

10 9.根据权利要求 8 所述的存储器,其特征在于,所述隔离多晶硅层为掺杂隔离多晶硅层。

10.根据权利要求 9 所述的存储器,其特征在于,所述掺杂隔离多晶硅层为磷掺杂隔离多晶硅层,掺杂浓度为 $1e20-5e20$ 。

15 11.根据权利要求 8 所述的存储器,其特征在于,所述隔离多晶硅层包括表面部分被氧化的部分多晶硅氧化层和位于所述部分多晶硅氧化层下面的部分多晶硅未氧化层。

12.根据权利要求 8 所述的存储器,其特征在于,所述存储器还包括高压区,所述高压区包括用于控制所述存储区工作的高压区结构,所述逻辑区包括逻辑区结构。

20 13.根据权利要求 12 所述的存储器,其特征在于,所述第一栅极结构由第一多晶硅层构成,所述第二栅极结构由第二多晶硅层构成,所述高压区结构由所述第一多晶硅层构成,所述逻辑区结构由所述第二多晶硅层构成。

14.根据权利要求 8 所述的存储器,其特征在于,所述存储区的第一栅极结构包括呈水平方向分隔布置的选择栅和浮栅,所述第二栅极结构为控制栅,位于所述浮栅的上方。

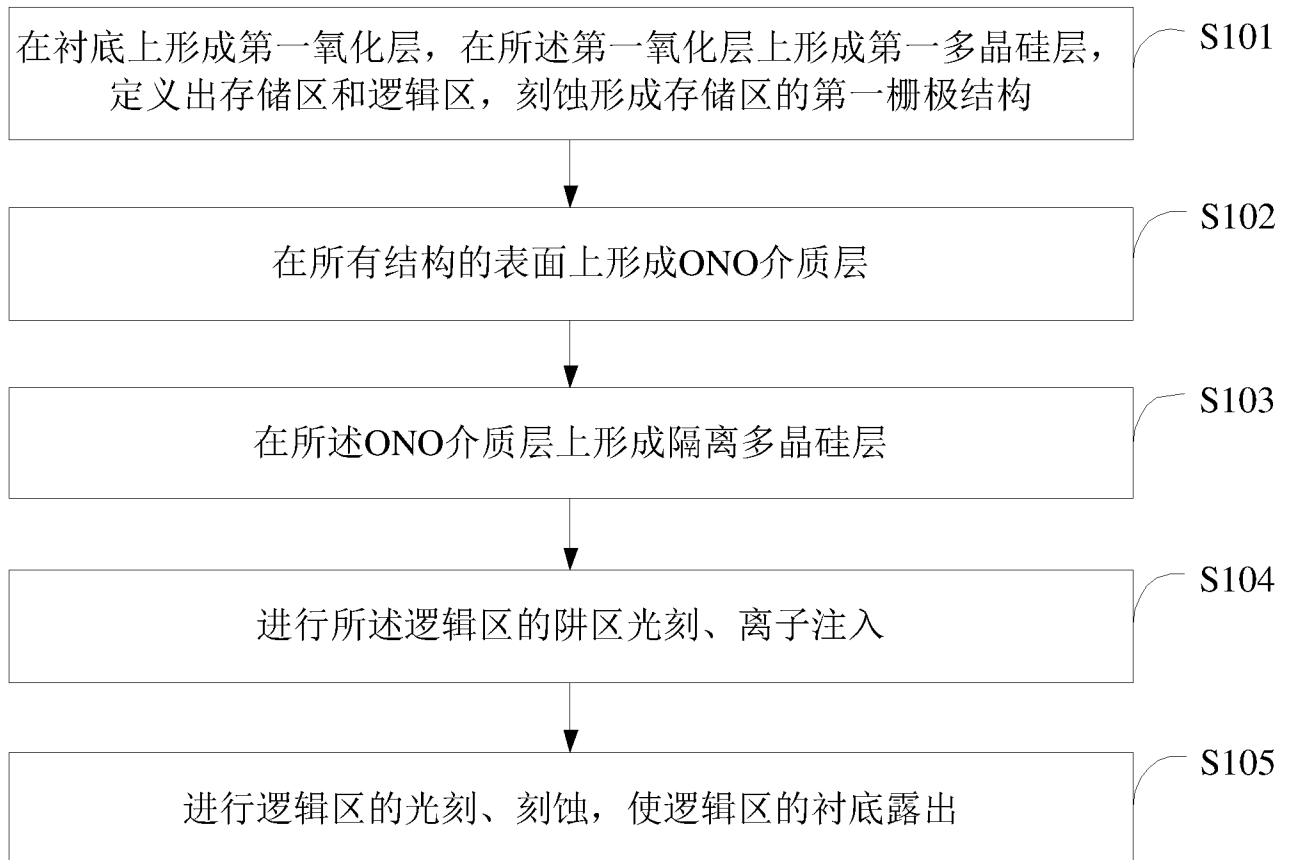


图 1

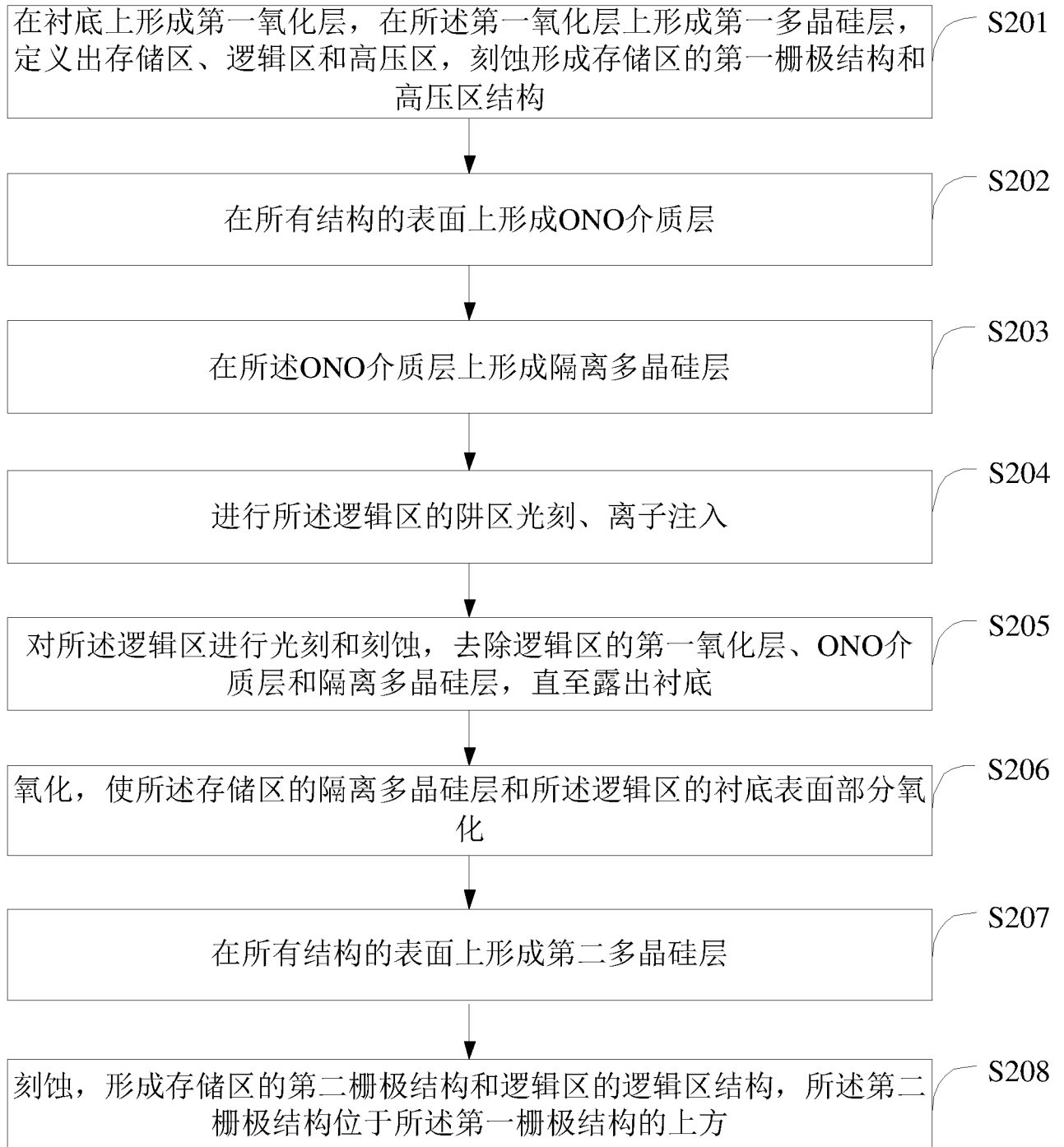


图 2

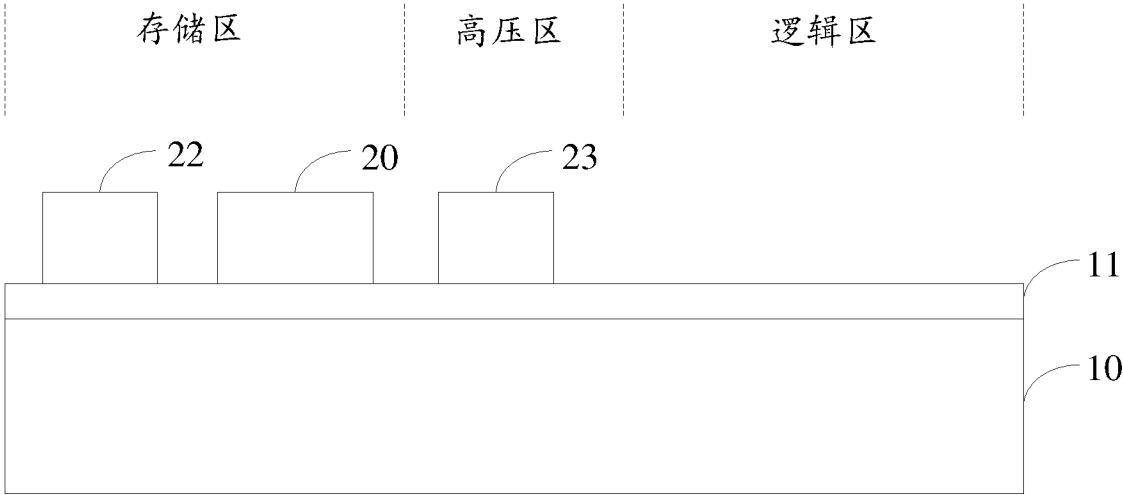


图 3

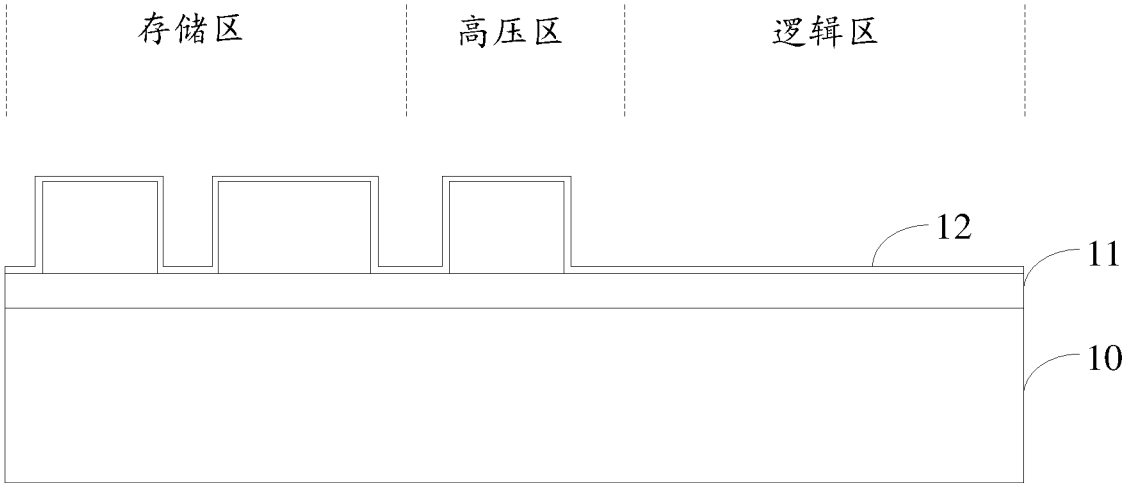


图 4

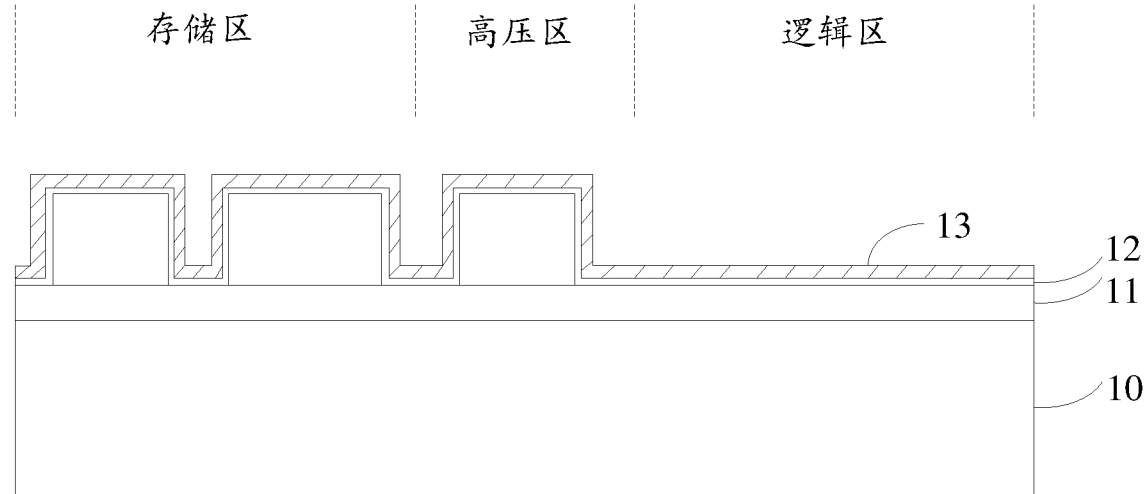


图 5

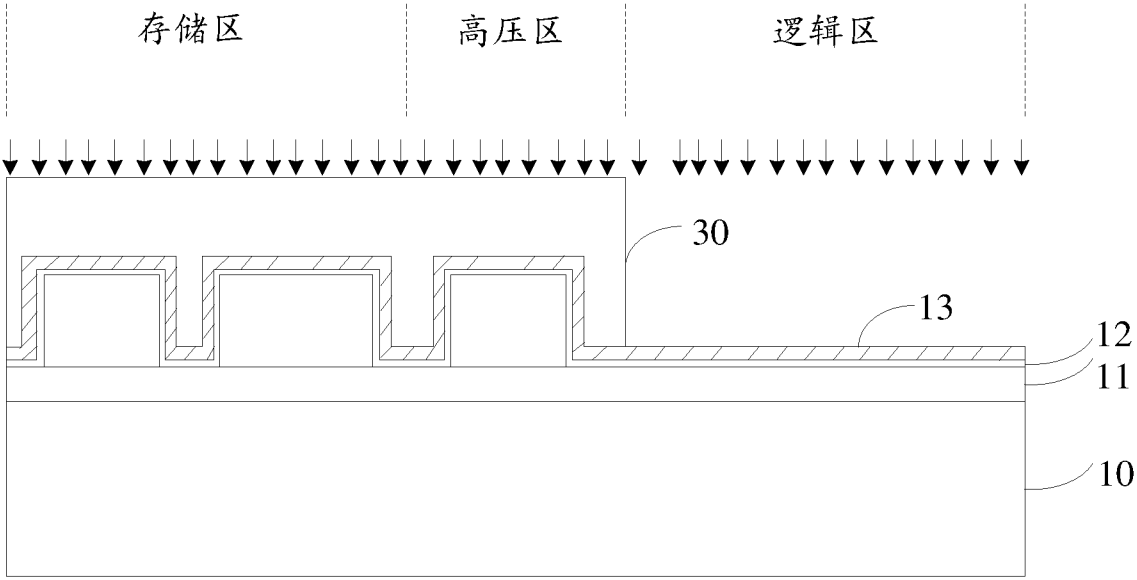


图 6

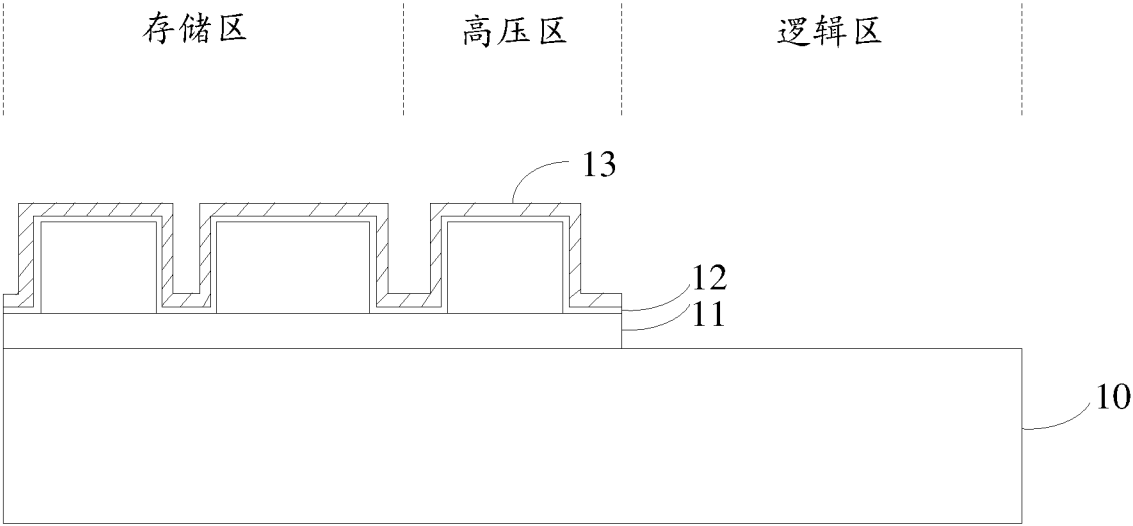


图 7

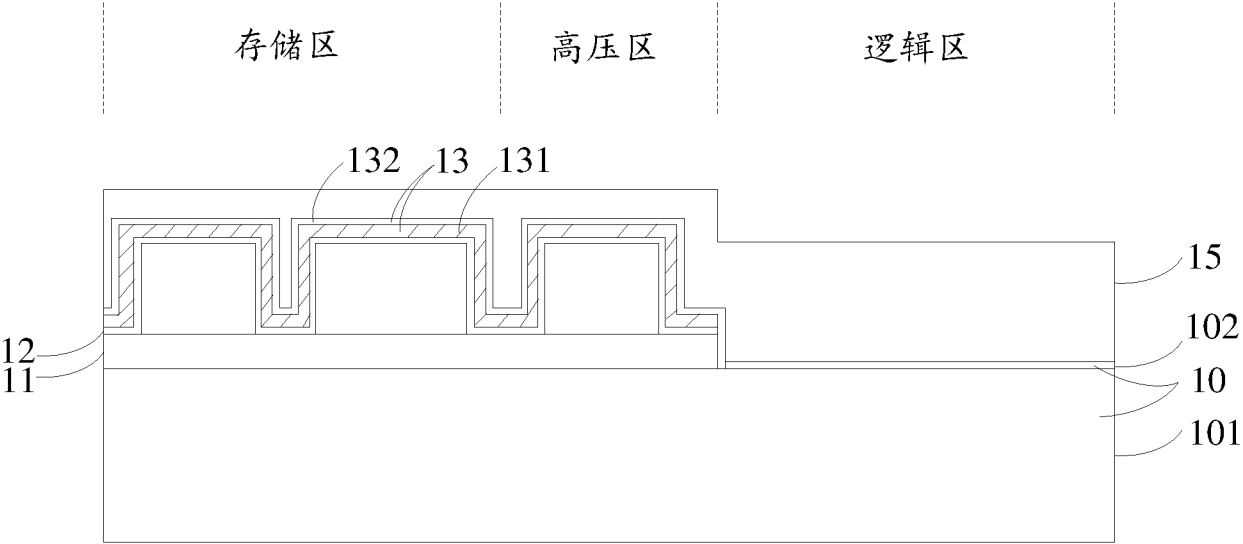


图 8

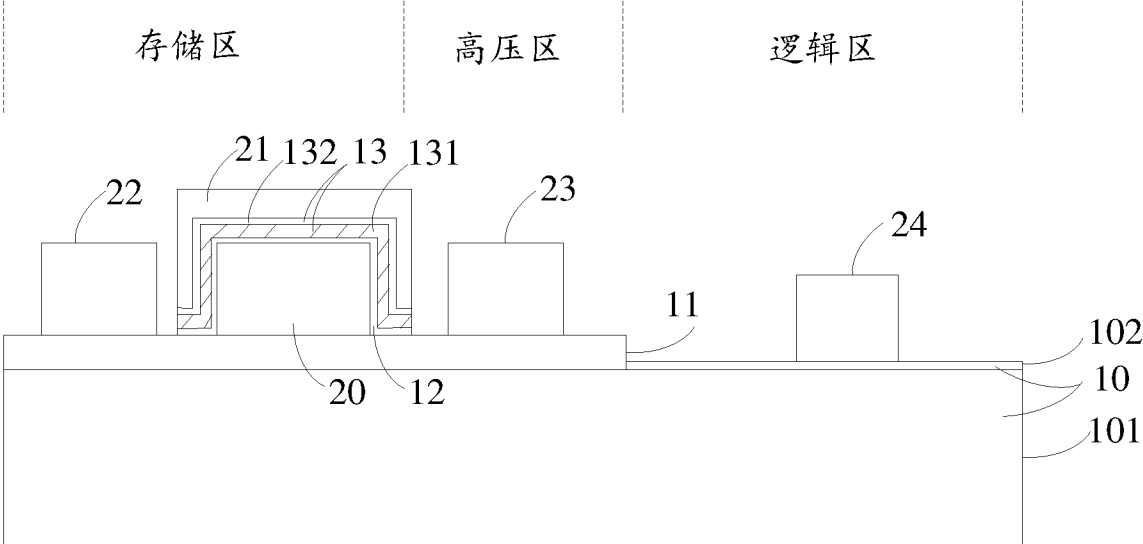


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/110857

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 存储, 氧化层, 多晶硅层, 存储区, 逻辑区, ONO, 介质层, 隔离, 保护, 光刻, memory, oxidation, polysilicon, storage area, logical area, dielectric layer, isolation, protection, lithography

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 1476081 A (MACRONIX INTERNATIONAL CO., LTD.), 18 February 2004 (18.02.2004), description, page 3, paragraph 7 to page 4, paragraph 4	1-14
Y	CN 104269404 A (WUHAN XINXIN SEMICONDUCTOR MANUFACTURING CORPORATION), 07 January 2015 (07.01.2015), description, paragraphs [0056]-[0058]	1-14
Y	CN 105244282 A (CSMC TECHNOLOGIES FAB1 CO., LTD.), 13 January 2016 (13.01.2016), description, paragraphs [0025]-[0027]	1-14
A	CN 102456561 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.), 16 May 2012 (16.05.2012), entire document	1-14
A	CN 101393918 A (SHANGHAI HUA HONG NEC ELECTRONICS CO., LTD.), 25 March 2009 (25.03.2009), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 February 2018	Date of mailing of the international search report 13 February 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer TANG, Yingyan Telephone No. (86-10) 53961367

International application No.
PCT/CN2017/110857

Form PCT/ISA/210 (patent family annex) (July 2009)

国际检索报告

国际申请号

PCT/CN2017/110857

A. 主题的分类

H01L 21/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI, IEEE: 存储, 氧化层, 多晶硅层, 存储区, 逻辑区, ONO, 介质层, 隔离, 保护, 光刻, memory, oxidation, polysilicon, storage area, logical area, dielectric layer, isolation, protection, lithography

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 1476081 A (旺宏电子股份有限公司) 2004年 2月 18日 (2004 - 02 - 18) 说明书第3页第7段至第4页第4段	1-14
Y	CN 104269404 A (武汉新芯集成电路制造有限公司) 2015年 1月 7日 (2015 - 01 - 07) 说明书第[0056]-[0058]段	1-14
Y	CN 105244282 A (无锡华润上华半导体有限公司) 2016年 1月 13日 (2016 - 01 - 13) 说明书第[0025]-[0027]段	1-14
A	CN 102456561 A (上海华虹NEC电子有限公司) 2012年 5月 16日 (2012 - 05 - 16) 全文	1-14
A	CN 101393918 A (上海华虹NEC电子有限公司) 2009年 3月 25日 (2009 - 03 - 25) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 2月 2日

国际检索报告邮寄日期

2018年 2月 13日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

唐楹琰

电话号码 (86-10)53961367

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/110857

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	1476081	A	2004年 2月 18日	无	
CN	104269404	A	2015年 1月 7日	无	
CN	105244282	A	2016年 1月 13日	无	
CN	102456561	A	2012年 5月 16日	无	
CN	101393918	A	2009年 3月 25日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)